

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7166261号
(P7166261)

(45)発行日 令和4年11月7日(2022.11.7)

(24)登録日 令和4年10月27日(2022.10.27)

(51)国際特許分類

F I

H 0 2 M 3/155(2006.01)

H 0 2 M 3/155

H

H 0 2 M 7/48 (2007.01)

H 0 2 M 3/155

U

H 0 1 L 41/09 (2006.01)

H 0 2 M 7/48

U

H 0 1 L 41/04 (2006.01)

H 0 2 M 7/48

E

H 0 1 L 41/09

請求項の数 13 (全37頁) 最終頁に続く

(21)出願番号 特願2019-541158(P2019-541158)

(86)(22)出願日 平成30年2月2日(2018.2.2)

(65)公表番号 特表2020-506654(P2020-506654
A)

(43)公表日 令和2年2月27日(2020.2.27)

(86)国際出願番号 PCT/US2018/016646

(87)国際公開番号 WO2018/144866

(87)国際公開日 平成30年8月9日(2018.8.9)

審査請求日 令和3年1月20日(2021.1.20)

(31)優先権主張番号 62/454,230

(32)優先日 平成29年2月3日(2017.2.3)

(33)優先権主張国・地域又は機関
米国(US)

(73)特許権者 507044516

プレジデント アンド フェローズ オブ
ハーバード カレッジ
アメリカ合衆国 マサチューセッツ 0 2
1 3 8, ケンブリッジ, クインシー
ストリート 1 7

(74)代理人 100079108

弁理士 稲葉 良幸

(74)代理人 100109346

弁理士 大貫 敏史

(74)代理人 100117189

弁理士 江口 昭彦

(74)代理人 100134120

弁理士 内藤 和彦

(72)発明者 シャビュウ, サイモン

最終頁に続く

(54)【発明の名称】 高度に統合された高圧アクチュエータドライバ

(57)【特許請求の範囲】

【請求項1】

低電圧源（ V_{IN} ）を受け取る単一のインダクタ（ L_1 ）を備える入力部（2010）に結合され、出力電圧（ V_{OUT} ）によって容量性負荷（2090）を駆動するように構成されたシングルダイドライバ集積回路（IC）（2020、2120）であって、

スイッチングノードにおいて前記入力部からスイッチング電圧 V_{SW} を生成し、前記低電圧源から高電圧波形 V_{FOLDED} を生成するように構成された双方向同期電力コンバータ段（2030）と、

前記電力コンバータ段のスイッチを制御するように構成された埋め込み式コントローラ（2050）とを備え、

前記双方向同期電力コンバータ段は、順方向の昇圧モードでは前記負荷にエネルギーの増加を伝達し、逆方向の降圧モードでは前記負荷からエネルギーの増加を伝達することによって前記低電圧源から前記高電圧波形を生成するように構成された昇圧-降圧コンバータを備える、2-スイッチコンバータである、シングルダイドライバ集積回路（IC）。

【請求項2】

前記低電圧源は、2～6ボルトの範囲内である、請求項1に記載のドライバ。

【請求項3】

前記出力電圧は、前記入力電圧より大きな振幅を有し、出力ローパスフィルタなしで5%未満の出力歪みを実現するアナログ出力波形を有する、請求項1に記載のドライバ。

【請求項4】

前記入力部は、前記低電圧源と前記高電圧波形にわたって接続されたフィルタコンデンサ（ C_{FILTER} ）と、前記低電圧源と前記単一のインダクタとの間に接続された感知抵抗器（ R_1 ）とをさらに備え、前記単一のインダクタは、前記感知抵抗器と、前記電力コンバータ段のスイッチングノードとの間に接続される、請求項 1 に記載のドライバ。

【請求項 5】

前記入力部における双方向の電流を検出するように構成された電流フィードバックセンサ（2052）と、

前記スイッチングノード電圧 V_{SW} に関してゼロ電圧条件を検出するように構成されたゼロ電圧スイッチング（ZVS）検出器（2053）と、

外部周辺デバイスから入力を受け取る、および／または前記外部周辺デバイスに入力を送信するように構成された通信インターフェース（2054）と、

V_{FOLDED} ノードと、 V_{IN} ノードとの間に配置された差動増幅器 2056 から出力を受け取るように構成されたアナログデジタルコンバータ（ADC）（2055）とをさらに備え、

前記埋め込み式コントローラは、前記電流フィードバックセンサ、前記 ZVS 検出器、前記通信インターフェースおよび前記 ADC のうちの少なくとも 1 つから信号を受信するように構成される、請求項 1 に記載のドライバ。

【請求項 6】

能動スイッチ（ M_9 ）およびコンパレータ（2156）を備える、単一方向電力入力段（2110）をさらに備え、前記埋め込み式コントローラは、前記コンパレータから信号を受け取るように構成される、請求項 5 に記載のドライバ。

【請求項 7】

前記 ADC は、
スイッチ（ SW_{series} ）を介して前記入力電圧と供給電圧（ V_{DD} ）を基準にする第 1 のシングルエンド n ビットハイブリットデジタルアナログコンバータ（DAC）（2610）を備える、第 1 の DAC と、

前記入力電圧を切り換え可能に基準にし、前記スイッチ（ SW_{series} ）を介して前記第 1 の DAC に直列に接続された第 2 のシングルエンド n ビットハイブリットデジタルアナログコンバータ（DAC）（2620）を備える、第 2 の DAC と、

前記第 1 の DAC からの第 1 の出力および前記第 2 の DAC からの第 2 の出力を受け取るように構成されたコンパレータと、

前記第 2 の DAC に n ビットの出力を提供し、前記第 1 の DAC に 8 ビット出力の補数を提供するように構成された逐次近似レジスタ（SAR）（2650）とをさらに備え、

n は、正の整数であり、前記第 1 の DAC および前記第 2 の DAC は、疑似差動バイポーラ方式で組み合わされる、請求項 5 に記載のドライバ。

【請求項 8】

前記埋め込み式コントローラは、前記負荷にわたって前記電圧を感知し、リアルタイムで前記出力の状態および／または電圧を前記通信インターフェースを介して提供するように構成される、請求項 5 に記載のドライバ。

【請求項 9】

前記埋め込み式コントローラは、前記通信インターフェースを介して受信した基準波形を追跡して、前記双方向同期電力コンバータ段および／または前記フルブリッジ段を制御して、前記基準波形に従って前記フルスイング信号を生成するように構成される、請求項 5 に記載のドライバ。

【請求項 10】

前記負荷にわたってフルスイング信号を生成するために、前記高電圧波形を受け取り、展開するように構成された 4 つのスイッチ（ $M_3 \sim M_6$ ）を備える低周波数フルブリッジ段（2040）をさらに備える、請求項 1 ～ 9 のいずれかに記載のドライバ。

【請求項 11】

前記低周波フルブリッジ段は、前記 4 つのスイッチのうちの最初の対（ $M_3 \sim M_4$ ）を

10

20

30

40

50

駆動する第1のハーフブリッジドライバ(2210)と、前記4つのスイッチのうちの第2の対(M₅~M₆)を駆動する第2のハーフブリッジドライバ(2220)とをさらに備える、請求項10に記載のドライバ。

【請求項12】

前記埋め込み式コントローラは、前記第1のハーフブリッジドライバおよび／または前記第2のハーフブリッジドライバを制御するようにさらに構成される、請求項11に記載のドライバ。

【請求項13】

前記低周波数フルブリッジ段は、300Hz以下の周波数範囲にわたって動作するように構成される、請求項10に記載のドライバ。

【発明の詳細な説明】

【技術分野】

【0001】

関連出願の相互参照

本出願は、「Highly Integrated High Voltage Actuator Driver」というタイトルで2017年2月3日に提出された米国仮特許出願シリアル番号62/454,230号の利益を主張しており、この特許はその全体が参照により本明細書に組み込まれている。

【0002】

本発明は、高圧容量性アクチュエータのための、例えば静電アクチュエータ、電気機械ポリマー(EMP)、電気活性ポリマー(EAP)および圧電性アクチュエータのための制御電気回路(ドライバ)に関する。

【背景技術】

【0003】

ファンなどの能動的な冷却システムは、タブレットまたはラップトップコンピュータなどの超薄型デバイスに実装される際に多くの難題に直面する。ジェネラルエレクトリック(GE)は、デュアル圧電性冷却ジェット(DCJ)と呼ばれる、2つの圧電膜を使用する冷却装置を開発した。圧電膜は、電気的に活性化させられ、それらを膨張および収縮させ、例えばふいごのように高速で空気を吐き出す空洞を形成する。しかしながらDCJは、エネルギー集約型装置であり、DCJのドライバは大型で費用がかかる場合がある。さらに、DCJの膜がスピーカ／トランスデューサのように作用することで、例えばドライバ信号におけるノイズまたは歪みに起因する、人の可聴帯域(おおよそ200Hzから20KHzまで)の範囲内の何らかの振動が耳で聞き取れるように検出される場合もある。

【0004】

図19は、再生可能なエネルギー源のための単相電圧源インバータに関する従来技術のトポロジーを示している。回路は、入力段、降圧-昇圧段および展開段を含む。それは、処理するための高い電力が原因で別個の部品に実装された。この回路は、典型的なPICコントローラまたはエネルギーコントローラおよび極めて低い固定周波数のスイッチングに基づいている。これは典型的には、極めて高い歪みレベル(>5%)、低電力出力における低い電力効率、および極めて制限された昇圧電圧比 3.5(V_{out}/V_{in})につながる。

【0005】

アクチュエータドライバに関する特定の用途、例えば飛行中のマイクロロボットなどは典型的には、自律した飛行を可能にするために、種々のセンサ(例えば光学フローカメラ、加速度計、ジャイロスコープなど)からの広範囲の電圧のシングルエンドアナログ入力の取り込みおよび処理に依拠する、電力と重量が厳しく制約された用途である。

【発明の概要】

【発明が解決しようとする課題】

【0006】

アクチュエータドライバは、アナログデジタルコンバータ(ADC)を組み込んでよく

10

20

30

40

50

、このことは例えば相対的に高い電力消費および／またはADCの大きな回路の設置面積および／またはADC入力の高圧スイッチングノードへの近接近に起因する高い電気ノイズが原因となって難題を提示する。逐次近似レジスタ(SAR)ADCの電力消費を低下させるために多くの技術が提示されてきたが、大抵は面積を増大させることによって電力消費を減少させるものである。したがって上記に挙げた欠点の1つまたは複数に対処することがこの産業における要望である。

【課題を解決するための手段】

【0007】

本発明の実施形態は、シングルダイドライバ集積回路を提供する。集積回路は、低電圧源を受け取る単一のインダクタを有する入力部に結合され、出力電圧によって容量性負荷を駆動するように構成されている。ドライバは、スイッチングノードにおいて入力部からスイッチング電圧を生成し、低電圧源から高電圧波形を生成するように構成された双方向同期電力コンバータ段を含む。埋め込み式コントローラは、電力コンバータ段のスイッチを制御するように構成されている。

10

【0008】

本発明の他のシステム、方法および特徴は、以下の図面および詳細な説明を精査する際に明らかであり、そうすることで当業者にとって明らかになるであろう。全てのそのような追加のシステム、方法および特徴は、この説明の中に含まれ、本発明の範囲内にあり、添付の特許請求の範囲によって保護されることが目的とされている。

【0009】

20

添付の図面は、本発明のさらなる理解を与えるために含まれており、この明細書に組み込まれ、その一部を構成している。図面は、説明と共に本発明の実施形態を例示しており、本発明の原理を説明する役目をしている。概略的な図面は、例えば例示の実施形態の進歩的な態様の理解には関係のない一般的に知られている、および／または自明な要素を省くことにより簡素化される場合がある。

【図面の簡単な説明】

【0010】

【図1】一例の第1の実施形態のドライバトポロジーを描く概略図である。

【図2A】図1の降圧－昇圧ドライバに対する第1の代替の2－スイッチ降圧－昇圧ドライバの回路図である。

30

【図2B】図1の降圧－昇圧ドライバに対する第2の代替の2－スイッチタップ付きインダクタ降圧－昇圧ドライバの回路図である。

【図2C】図1の降圧－昇圧ドライバに対する第3の代替の2－スイッチフライバック降圧－昇圧ドライバの回路図である。

【図2D】図1の降圧－昇圧ドライバに対する第4の代替の2－スイッチフライバック降圧－昇圧ローサイド二次スイッチの回路図である。

【図3A】容量性負荷に接続されたフルブリッジを有する出力構成を例示する回路図である。

【図3B】別個の電圧基準の選択肢を有するフルブリッジが容量性負荷に接続される出力構成を例示する回路図である。

40

【図3C】アナログ可変基準を有するフルブリッジが容量性負荷に接続される出力構成を例示する回路図である。

【図3D】別個の可変基準に接続された負荷を有する出力構成を例示する回路図である。

【図3E】アナログ可変基準に接続された負荷を有する出力構成を例示する回路図である。

【図4】電力コンバータの従来技術の疑似共振動作を示す回路図である。

【図5】図4の回路と同様の原理を利用する、電力コンバータのより最近の従来技術の疑似共振動作を示す回路図である。

【図6A】単一方向の電力入力の第1の代替の実施形態を示す図である。

【図6B】能動スイッチを利用することによって入力のロスが低減される単一方向の電力入力の第2の代替の実施形態を示す図である。

50

【図 6 C】より一般的に任意の電力コンバータを使用することができる単一方向の電力入力の第 3 の代替の実施形態を示す図である。

【図 6 D】入力に関して双方向コンバータを備えたコンバータの第 1 の代替の実施形態を示す図である。

【図 7】双方向コンバータに単一方向の電力入力を供給する結果を例示する 2 つの電圧グラフを示す図である。

【図 8】一例の浮遊低電圧供給の概略図である。

【図 9】一般的なハイサイドゲートドライバと、新規のドライバとを有するドライバ回路実施形態の回路図である。

【図 10 A】標準的な現行の D A C コンバータの回路図である。

10

【図 10 B】電流出力ノードの迅速なセtringのために強化された現行の D A C の回路図である。

【図 11】D A C 出力と交流路との電圧差を低下させた結果を示すグラフである。

【図 12】図 10 B からの D A C による一例の単一センサの双方向電流感知回路の回路図である。

【図 13】本発明のためのコントローラの一例を示す概略図である。

【図 14 A】ドライバコントローラの一例の実施形態の概略ブロック図である。

【図 14 B】一例の制御構成の概略図である。

【図 15】150 nF 容量性負荷において測定された 101.8 V p p、150 H z 波形に関する一例のドライバの出力のグラフと、1 M H z 帯域幅において 0.38 % T H D + N を有するそのスペクトラムのグラフである。

20

【図 16】5 V i n p u t からの 150 nF コンデンサにおける 100 V p p 出力に対する通常の降圧動作に対して、疑似共振同期降圧動作がどのように 8.9 % までの電力を節約するかを示すグラフである。

【図 17】正確なオン／オフ動作を達成するための電流目標のリアルタイムの調節の概略図である。

【図 18 A】昇圧モードにおける図 1 のコンバータの波形のグラフ図である。

【図 18 B】通常の降圧モードにおける図 1 のコンバータの波形のグラフ図である。

【図 19】従来技術のドライバトポロジーを描く概略図である。

【図 20】高度に統合された圧電性アクチュエータドライバのシングルダイ実施形態の概略図である。

30

【図 21】代替の入力セクションを含む、図 20 のドライバの変形形態の概略図である。

【図 22】図 20 のフルブリッジ段の詳細および関連する電圧グラフの概略図である。

【図 23】図 22 の回路のより大きな表現の図である。

【図 24】図 22 の電圧グラフのより大きな表現の図である。

【図 25 A】ハイブリット分割メインサブ D A C 回路の一例の実施形態の概略図である。

【図 25 B】2 つの同一のサブ D A C 回路を有する従来技術の厳密な実装形態 D A C を示す図である。

【図 26】図 25 A の 2 つのハイブリット D A C を組み合わせる拡張された範囲の S A R A D C の例示の実施形態の概略図である。

40

【図 27】図 26 の A D C に関してフル変換サイクルを通してのコンパレータ入力電圧の発生を示すグラフである。

【図 28】システムオンチップ (S o C) に埋め込まれた、図 26 の A D C の一例の実装形態の全体像を提供する概略図である。

【発明を実施するための形態】

【0011】

次に本発明の実施形態を詳細に参照されたく、この例は、添付の図面に例示されている。可能であれば必ず、同一の参照番号が同一または同様の部品を図面および説明において指すのに使用されている。

【0012】

50

図 19 に示される従来技術の駆動装置とは対照的に、本発明におけるドライバの実施形態は、電圧比を 10 を超えて増大させてよく、低電力出力において極めて効率的でありながら、1 % を下回る歪みレベルを達成し得る。圧電ドライバのための別個の部品を利用してこのトポロジーを実施することはサイズおよびコストの制約のために選択肢ではないが、大抵の CMOS プロセスは、プロセスの制限に起因してコンバータの有効な双方向動作に適應することができないため、高度に統合されたトポロジーは簡単ではない。

【0013】

本実施形態で使用されるトポロジーは、図 19 の回路に対する類似点を有するが、圧電性アクチュエータなどの容量性負荷を駆動するのに使用される限り有意に低下した歪みと、高い電力効率を達成する単一の集積回路内でのトポロジーの実施は、とりわけ、モバイル機器、圧電冷却ファンおよび圧電スピーカーにおける高精度の触覚フィードバックなど多様な新たな用途を可能にするための将来への重要なステップである。

【0014】

静電容量ドライバの例示の実施形態、例えばデュアル圧電冷却ジェット (DCJ) 用のドライバは、DC 入力電圧 V_{in} を入力として受け取り、クリーンな折り畳まれた正弦波形を出力として生成するように構成された電力コンバータと、 V_{in} を基準とし、コンバータからクリーンな折り畳まれた正弦波形を受け取り、折り畳まれた正弦波形を正弦波波形に展開するように構成された展開段と、ドライバを制御するように構成されたコントローラとを含む。コンバータは、双方向に動作するように構成されてよい。

【0015】

図 1 は、単相電圧源に関するトポロジーの例示の第 1 の実施形態 100 を示す。第 1 の実施形態 100 は、単一のインダクタ L_1 を備える疑似 dc リンク双方向ドライバとして記載されてよく、これは、0.5 % を下回る総高調波歪み (THD) を提供し、負荷によって使用される有効電力に近い電力をもたらす。プロトタイプからの一例の結果は、3.6 V の電力供給から 150 nF 負荷において 100 Vpp で 150 Hz の正弦曲線に関して 64.04 mW の総電力と、0.38 % の THD+N を生み出した。

【0016】

第 1 の実施形態 100 の回路は、入力段 110、順方向の昇圧／逆方向の降圧段 120 および展開段 160 を含む。第 1 の実施形態 100 の回路は、処理するための高い電力に起因して別個の部品に実装されてよい。入力段は、電圧源 V_{in} 、例えばバッテリーを含んでよい。入力段は、以下でより詳細に説明される (図 7A～図 7D を参照)。降圧－昇圧段 120 は、順方向の昇圧／逆方向の降圧コンバータであり、クリーンで折り畳まれた正弦波形を生成する。降圧－昇圧段 120 は、 V_{in} に接続されたインダクタ L_1 と、 L_1 とグランドとの間に接続された第 1 のローサイドスイッチ Q_1 と、 L_1 と展開段 160 との間に接続された第 2 のスイッチ Q_2 とを含む。第 1 のスイッチ Q_1 および第 2 のスイッチにおけるトランジスタのゲートは、ゲートドライバ (図示せず) に接続されてよい。

【0017】

第 1 の実施形態は、正弦波形で使用されるように説明されてるが、当業者は、本明細書に記載される実施形態は、例えば正方形、三角形、AM 変調された、FM 変調された任意の複雑な波形で動作してよく、正弦波形で動作することに制限されないことを理解するであろう。

【0018】

例えば DCJ に関連するインダクタ L_1 は、100 μ H インダクタであってよい。インダクタ L_1 は、(1) 目標とする歪み (インダクタンスが低い程、スイッチング周波数を増大させ、歪み／THD+N を低減する) を達成する、および／または (2) スwitching 周波数を最小限にするために選択されてよい。一般に、より低いスイッチング周波数は、より低い電力消費に対応する。

【0019】

スイッチ Q_1 および Q_2 は、同一のタイプであってよく、これらは集積回路 (IC) 実装形態に関する最も実用的な選択であり得るが、混合したスイッチを有する実施形態が利

10

20

30

40

50

用される場合もある。スイッチ Q_1 および Q_2 は、例えば、可能なスイッチの中でもとりわけ GaN、PMOS、MEMS スイッチであってよい。

【0020】

展開段 160 は、GND の代わりに V_{in} を基準とする。展開段は、例えばコンデンサまたは圧電冷却ジェットなどの負荷 165 と、スイッチ Q_3 、 Q_4 、 Q_5 および Q_6 とを含む。それ故、0 V の差を得るために、出力電圧と入力電圧は等しい。負荷 165 の両端の出力電圧を入力電圧 V_{in} を超えるように増大させることで信号振幅を生み出す。出力波形の極性は、展開段 160 の構成によって選択されてよい。その結果、入力電圧しか増大させる必要がないため、降圧-昇圧段 120 の 2-スイッチ昇圧コンバータトポロジーを電力段として使用することで十分である。

10

【0021】

降圧-昇圧段 120 の双方向の動作によって、容量性負荷 165 のエネルギー効率の高い制御が可能になる。フルブリッジ構成は、グラウンドの代わりに入力段 110 の入力電圧 (V_{in}) を基準とし、信号を展開段 160 の負荷 165 の両端で正弦波波形に展開する。

【0022】

最大出力電圧は、 $V_{in} + V_p$ の値を有してよく、この場合 V_p は、差動出力信号振幅である。その電圧オーバーヘッド V_{in} は、システム効率に対して制限された作用を有する。負荷を通過する電流は、 V_{in} に戻り、GND には戻らない。よって直接の電力消失が電圧オーバーヘッドに関連付けられることはない。それでもなお、より高い変換率におけるコンバータ 100 のわずかに低い効率に起因して小さな不利益が生じる可能性はある。

20

【0023】

50 V を超える出力電圧の場合、第 1 の実施形態のコンバータ 100 によって処理される電力が 100 mW ほどであることを考えると、DC とスイッチング損失の両方が重要である。電流臨界モード (BCM) におけるコンバータ 100 の動作は、その両方を最小限にするための優れたトレードオフを提供する。このモードにおいて、インダクタ L_1 を通って流れる電流は、スイッチングサイクルの終わりにゼロに戻り、その後、次のサイクルのためにすぐに上昇する。連続電流モード (CCM) と比べて、BCM は、ゼロ電圧スイッチング (ZVS) のための機会を提供し、これによりスイッチング損失を低下させ ($\propto f_c v^2$)、この場合 f はスイッチング周波数であり、 C は、スイッチングノードにおける寄生容量であり、 V は、スイッチングノードにおける最小電圧値と最大電圧値との電圧差である。非連続電流モード (DCM) と比べて、第 1 の実施形態 100 は、より低い平均二乗根 (RMS) 電流を提供し、これにより DC ロスを低下させ ($\propto I_{rms}^2 R$)、この場合、 I_{rms} は平均二乗根電流であり、 R は電流路における抵抗である。

30

【0024】

以下は、BCM と、第 1 の実施形態 100 についての高い変換率を有するコンバータにおけるその制限を説明する。このケースでは、変換率は、3.6 V の入力から 50 V ac の出力のために 14.9 まで上がる。図 18 A では、昇圧モードで動作中のコンバータ 100 の典型的な波形が提示されている。最初に、 Q_1 がオンになり、インダクタ L_1 の電流が線形に増大する。 Q_1 がオフになると、スイッチングノードにおける電圧は出力電圧値まで増大する。ここで、 Q_2 のボディダイオードがオンになり、出力を充電する。インダクタ L_1 電流が 0 に達したとき、ダイオードはオフになり、スイッチングノード電圧 V_{sw} は振動を開始する。第 1 の実施形態 100 において、昇圧コンバータ電圧ゲインは、大体の時間 2 を超えるため、 V_{sw} は、わずかに 0 を下回るまで低下し、 Q_1 のボディダイオードをオンにする。その後すぐに、 Q_1 は、ゼロ電圧スイッチング条件 (ZVS) の下で再びオンになり、これによりスイッチングノードにおける寄生容量に関連するスイッチング損失を低減させる。

40

【0025】

図 18 B は、降圧モードに関する同様のケースを示す。スイッチ Q_2 がオンになり、 V_{sw} は、出力電圧と等しくなり、インダクタ L_1 電流の量が増大する。 Q_2 がオフになったとき、 V_{sw} は、GND になり、 Q_1 ボディダイオードがオンになる。このケースでは、

50

ダイオードの電圧降下は、低い V_{in} に起因して無視できないDCロスを生み出す。インダクタ電流が0に達したとき、LCタンクは振動を開始する。このケースでは、 L は L_1 であり、 C は、ノードスイッチにおける全ての寄生容量の合計である。 V_{sw} は、およそ $2V_{in}$ において最大値に達し、この時点で Q_2 は、次のサイクルのためにオンになる。出力電圧と V_{in} との少なからぬ差は、降圧モードにおけるスイッチング機構の省電力化を制限する。

【0026】

降圧－昇圧段120が降圧動作を行っているとき、それは本明細書では降圧コンバータ120と呼ばれる。降圧コンバータ120が疑似共振同期降圧コンバータとして動作することは、SWノード静電容量によってスイッチング損失を事実上なくし、ダイオードの電圧降下によってDCロスを低減させることによって、その全体的な効率を高める。このモードでは、2つのスイッチは降圧モードで使用される。 Q_2 がオフになるとき、 Q_1 はZVS条件においてオンになる。インダクタ L_1 電流は、ダイオードを通過する代わりに、 Q_1 を通過し、このことはDCロスを低減させる。その後 Q_1 は、インダクタが、 V_{sw} から V_{out} まで充電するまで十分なエネルギーを蓄積するまでオンのままである。 Q_1 がオフになったとき、 V_{sw} は V_{out} をもたらし、 Q_2 は、ZVS条件の下でオンになり、これによりスイッチング損失を低減させる。

【0027】

図2A～図2Dに示され、以下で説明される代替の回路ブロックは、出力電圧と入力電圧の電圧比を10:1を超えるまで増大させてよく、低電力出力において極めて効率的でありながら1%を下回る歪みレベルを達成してよい。このトポロジを圧電ドライバのための別個の部品として実施することは、サイズおよびコストの制限が理由で実施上の難題を伴う可能性があるが、トポロジの統合は、大抵のCMOSプロセスは製造プロセスの制限に起因してコンバータの効率的な双方向動作に適応しないため恐らく簡単ではない。

【0028】

図2A～図2Dの代替の実施形態で使用されるトポロジは図1の回路に対して類似点を有するが、トポロジは、圧電性アクチュエータなどの容量性負荷を駆動するために、有意に低い歪みおよび高い電力効率と共に単一の集積回路（一般にインダクタ L を除いた）において実施されてよい。これは、様々な新たな用途を可能にするための将来の重要なステップである。

【0029】

図2A～図2Dの代替の実施形態は、双方向ドライバとして2つのスイッチの電力コンバータセルを使用して低歪みのアナログ波形によって容量性負荷を制御する。望ましい性能レベルを達成するために、2スイッチ電力コンバータは、スイッチング周波数が、出力波形が目標とする低歪みレベルを達成することを可能にするのに十分に高いことを保証するように設計される。要求される周波数は、

【数1】

$$\text{分解能} = 10 \log_2 \frac{f_{sw}}{2 * f_{sig}} \quad (\text{式1})$$

によって推定することができ、

この場合、 f_{sw} は、コンバータスイッチング周波数であり、 f_{sig} は、出力信号の周波数である。標準的なアナログ理論によって、分解能は、理想的な歪みレベルと関連付けることができる。

【0030】

図2A～図2Dは、容量性負荷を制御するために出力波形を直接生成するのに使用される2スイッチ電力コンバータの代替の実施形態の4つの例を描いている。図2Aは、2スイッチ降圧－昇圧コンバータ221に関するドライバトポロジを描く回路図である。2スイッチ降圧－昇圧コンバータ221は、変圧器または結合されたインダクタを

必要とせず、負荷に対して単極性の信号（常に0を超える）を直接推進させるのに使用されてよい。図2Bは、2スイッチのタップ付きインダクタ降圧-昇圧コンバータ222に関するドライバトポロジーを描く回路図である。図2Cは、2スイッチフライバック降圧-昇圧コンバータ223に関するドライバトポロジーを描く回路図である。図2Dは、2スイッチフライバック降圧-昇圧ローサイド二次スイッチコンバータ223に関するドライバトポロジーを描く回路図である。図2B、図2Cおよび図2Dは、図2Aと同一の原理を利用している。それらはより低い電力を達成し得るため、出力電圧がより高くなった場合、それらは2Aよりも好ましい場合がある。実装の選択は、その用途に関する確な要件（例えばサイズ、電力、製造プロセス）に左右される。代替のコンバータ221~224は、低歪みのアナログ波形を必要とする容量性負荷が、2スイッチ双方向コンバータから直接駆動され得ることを実証している。選択される確なトポロジーは、特定用途向けであってよい。コンバータ221は、その用途に対する最適な性能を達成するために、同期スイッチング、定周期スイッチング、またはその両方の組み合わせを使用し

10

【0031】

図3A~図3Eは、展開段160（図1）または出力段の異なる構成301~305を提示しており、これらは、容量性負荷365と接続するための異なるドライバ実施形態のために使用されてよい。標準的なフルブリッジ構成301が図3Aに提示されており、これは展開段160（図1）と同様である。構成301は、例えばコンデンサまたはアクチュエータなどの負荷365と、スイッチQ3、Q4、Q5およびQ6とを含む。この構成は、負荷365に対して有効な出力電圧信号を2倍にすることを可能にし、これはおおよそ2倍のより大きな変位量としてアクチュエータのために書き換える。フルブリッジは、入力電圧を基準にすることで2スイッチ降圧-昇圧（図2A）などの電力コンバータと共に使用されてよい。図3Bは、別個の電圧基準選択肢を有するフルブリッジ出力302を示す。図3Cは、アナログ可変基準 V_{ref} を有するフルブリッジ出力段303を示す。図3Dは、別個の可変基準に接続された負荷365を有する出力段304を示しているのに対して、図3Eは、可変アナログ基準 V_{ref} に接続された負荷365を有する出力段305を示す。

20

【0032】

第1の段が2スイッチフライバック構成223（図2C）、224（図2D）である場合、フルブリッジは、図3Bのコンバータ303によって示されるようにGNDを基準としてよい。他のケースでは、別個の可変基準（図3C）を有するフルブリッジコンバータ304は、より高い電力送達効率を可能にする。2つの二者択一の基準点（図3BのGNDと V_{in} ）によって描かれているが、例示される概念は任意の数の別個の基準点に拡張され得ることに留意されたい。極めて低歪みの用途では、可変アナログ基準を有するフルブリッジは、歪みを低減させ、コンバータ段の効率を高めることができる。単極性出力が望ましい場合、同一の手法が図3Dおよび図3Eに示されるものと同じ利点を有して利用されてよい。図3Cに示されるコンバータ出力段303および図3Eに示される出力段305に関して、三角形の符号は増幅器を表しており、この増幅器に対して可変入力 V_{ref} を送り、負荷365のその側を制御することができる。

30

40

【0033】

図3Bと図3Cまたは図3Dと図3Eを組み合わせることで、特定の基準電圧間の過渡期の平滑化を実現し、その一方で、簡素なスイッチより効率が低い可変アナログ基準が過渡期中しかアクティブにならないため、より高い電力効率を可能にする。そのような組み合わせは、別々の基準の手法の電力の利点の多くを維持しつつ、アナログ基準のより低歪みの利点を提供する。

【0034】

上記に記載した実施形態の下で、折り畳まれた波形は「半波形（正弦波）」として描かれており、展開出力段160によって完全な波形に展開される。しかしながら一部のシナリオでは、より優れた手法は、図3A~図3Eからの出力段を持たずに図2Aの回路を直

50

接適用し、この場合、ドライバは完全な波形を生成する。したがって折り畳まれた波形が半波形であり得るシナリオが存在し得るが、本実施形態は、折り畳まれた（半分の）波形を生成することに限定されることは意図されていない。

【0035】

図4は、高周波数コンバータにおいてスイッチング損失を低減させるために1991年に最初に提案された電力コンバータ400の疑似共振動作を示している。この設計は、固定された入力および出力条件の知識と、インダクタとコンデンサで構成された共振ネットワークを包含することに基づいている。

【0036】

図5は、図4の回路と同様の原理を用いる回路500の一実装形態を示している。ここでもまた、実装形態は、利点を達成するために受動素子を含む。高電圧コンデンサC1およびC2が回路に含まれており、これによりこの解決策のコストを上げ、サイズを増大させている。さらにこの実装形態は、DC/DCコンバータであり、そのため入力/出力電圧の関係がほとんど変化せず、これが問題を単純にしている。

【0037】

例えば図19によって示されるこれまでの回路と比べて、第1の実施形態100（図1）は、いかなる専用の反応型（誘導性（L）または容量性（C））構成要素も加えることなく疑似共振モードで動作し得る。このことは、追加の構成要素を使用せずに疑似共振動作の利点を実現する。疑似共振動作は絶えず出力電圧を監視する。出力電圧を使用して第1のローサイドスイッチQ1パルスに必要とされる電流を算出して、出力電圧までのスイッチングノードの疑似共振充電を達成する。さらに、出力/入力の関係性が絶えず変化するため、各スイッチングサイクルにおいてコントローラは、Q1に必要とされる電流を現在稼働中の状況に動的に適應させる。任意の時点で、コンバータは、その能力を下回る電力レベルを処理する必要があるため、疑似共振実装形態は、電流不連続モード（DCM）を認め、回路内で余分なエネルギーを損失せずに、ゼロ電流スイッチング（ZCS）モードにおいてQ1をオフにして同期スイッチングサイクルを終了させる。コンバータがDCMであり、エネルギーを伝達するのに新たなパルスが必要とされる際、回路は、まずQ1をオンにして疑似共振パルスを発生させることによって再開し、第2のスイッチQ2をハードスイッチングすることによる高いスイッチング損失を回避する。

【0038】

電力コンバータの双方向動作は多くの用途で利用されるが、シングルダイ双方向コンバータは、電流が逆方向に流れるときに形成される寄生トランジスタのために標準的なCMOS技術においては実用的ではない。その問題を解決するために、第1の実施形態のドライバ100は、シリコンオンインシュレータ（SOI）技術を用いて実装されてよい。これによって、ドライバが全てのそのスイッチQ1～Q6をシングルダイに実装することが可能になり、このことはこの解決策のサイズを縮小しコストを削減する。

【0039】

双方向コンバータは、入力から出力、および出力から入力の2つの方向で電力を伝える。双方向コンバータが容量性負荷を駆動するのに使用される場合、1つの波形の周期（出力が開始し、同一の電圧レベルで終わる）にわたるエネルギーの正味の流れは、エネルギー保存の法則が理由で、入力から出力であり得ることを前提とすることができる。システム内のロス、システムを出て行くエネルギーより多くのエネルギーがシステムに入ることを不可避なものにする。また、複数の電力コンバータにおいて、一般的なケースは電圧変換率が単一に近いほどロスが低減するため、その変換効率が高くなる。

【0040】

双方向コンバータに単一方向の電力入力を与えることで、以下のことを生じさせる。まず、電力コンバータが順方向モード（入力から出力へ）であるとき、入力源から電力が引き出される。次に、逆方向モード（出力から入力へ）になったとき、回収されたエネルギーは入力エネルギー蓄積デバイス、例えばコンデンサ上に蓄積する。

【0041】

コンデンサ上でのエネルギーの蓄積は入力電圧を増大させ、これにより電圧変換率を下げ、より高い全体の電力効率を導く。これは、図7の電圧グラフによって示されている。 V_{p1} (上のグラフ) は、特定の負荷の両端の差動電圧であり、 V_{in} (下のグラフ) は、システムの入力電圧であり、 V_{in1} は、双方向コンバータの入力における電圧である。位相0において、 V_{in1} は、コンバータが最初に順方向モードで動作する際、 V_{in} と同一の値に置かれる。位相1では、コンバータは逆方向モードに変わる。回収されたエネルギーは双方向コンバータ入力エネルギー蓄積デバイスに蓄積する。その結果、 V_{in} が増大する。コンバータが位相2において順方向モードに戻るとき、それはC1に蓄積されたエネルギーを消費することによって開始する (この位相では V_{in} からの電流の流れは生じない)。 V_{in1} が V_{in} に達したとき、コンバータは、 V_{in} からのエネルギーを再び使用し始める (位相3)。位相1、2および3は、コンバータが動作する限りそれらを繰り返す。省電力化は2つの方法で実現される。まず、位相2および位相3において電圧変換率が低下され、より高い効率を生み出す。第2に、 V_{in} に流れる V_{in} から流れる RMS 電流 (I_{rms}) が低下され、これにより DC ロスが低減される ($\propto I_{rms}^2 R$)、この場合、R はシステム電源、例えばバッテリーから V_{in} までの電流路の寄生抵抗である。単一方向の電力入力の別の利点は、それが、双方向コンバータをいかなるシステムにおいても安全に接続することが可能である点である。例えばドライバ負荷からのエネルギー回収は、システム電力送達網において逆向きの電流の流れを生み出す。この逆向きの電流流れは、電源がバッテリーである場合の安全上の問題、または全ての負荷が抵抗性である (この場合電流は一方方向のみに流れる) と仮定してシステムが設計された場合の機能上の問題を呈する可能性がある。的確な電圧の増大は、まず負荷から回収され得る最大エネルギーを計算し、その後入力コンデンサ (C1) を適切にサイズを合わせることで調節されて所望される電圧の増大を達成することができる。

【0042】

図7A~図7Dは、単一方向の電力入力の4つの代替の実施形態を示している。最も簡素な実装形態は、図6Aに示されるダイオードD1であり、電源、ダイオードD1、コンデンサC1、双方向電力コンバータ705および負荷765を有する。図6Bは、実装形態720を提示しており、ここでは、ダイオードD1の代わりに能動スイッチ721を利用することによって入力のロスが低減され得る。スイッチ721が両方向での電流を可能にする能力を有する場合、このとき逆向きの伝導能力は、コンバータが接続を遮断する準備をするとき、コンデンサC1内に蓄えられたエネルギーを回収するのに使用されてよい。図6Cは、より一般的に、いかなる電力コンバータも、例えば単一方向電力コンバータ735が使用されてもよい。単一方向電力コンバータ735を含むことの潜在的な利点は、それが V_{in1} の基準値を V_{in} を上回るまで増大させることができる点である。その電圧の増大は、メイン電力コンバータがより低い電圧変換率で動作することを可能にし、これによりより優れた全体の効率につながる。電荷ポンプとインダクタベースのコンバータは、可能な電力入力段の例である。最適な実装形態は用途に左右される。図6Bと同様に、図6Dは、入力のための双方向コンバータ745の利用を提示している。図6Dのドライバは双方向の能力を有するが、逆向きに電力を伝達するその能力は、メインコンバータが接続を遮断してコンデンサC1上で利用可能なエネルギーを回収しようとする際のみ利用されてよい。逆向きの電力の能力はまた、コンデンサC1において過電圧状態が検出された場合、回路の故障を阻止するために使用することもできる。

【0043】

典型的なセットアップコンバータでは、出力デバイス、例えばスイッチQ2 (図1) は好ましくは別個の部品である、または異なるダイ上にあることで、標準的なCMOSプロセスにおいて寄生トランジスタをトリガするのを回避する。このような寄生デバイスのトリガは、かなりの量のエネルギーがこのような寄生の経路を通して基板に接続されるため、入力から出力に伝達されるエネルギーの量を有意に低下させる。現在、コンバータに単一のフォワードダイオードを組み込むことは、従来とは異なるやり方であり、データシートにおいて強調される特徴である。

【0044】

図1のトポロジでは、5つもの不確実なデバイスが存在する可能性があり、とりわけQ2は任意の昇圧コンバータ構成において出力ダイオードとして作用するが、Q3～Q6もまた、コンバータが出力から入力にエネルギーを伝達する際にそのように作用する。この問題を解決するために、第1の実施形態は、シリコンオンインシュレータ(SOI)技術を利用してよい。その技術は、寄生デバイスを排除し、これによりドライバの完全な統合、またはほぼ完全な統合を可能にする。

【0045】

低コストで高度に統合されたICのためのフルブリッジ(Q3、Q4、Q5、Q6)の利用は、4つのスイッチがGNDを基準とせず、このことは、それらを制御するために必要とされる面積、サイズおよび電力を増大させるため問題となり得る。これを受けて、SOI技術の能力が活用されてよい。図4は、 V_{in} 電圧レベルの最上位に位置する低電圧供給を示している。電荷ポンプを利用することによって、入力電圧の2倍の出力電圧が生成されてよい。しかしながら入力電圧の2倍は、トランジスタに対して過剰な電圧ストレスをかける。この問題を解決するために、フルブリッジドライバはgndの代わりに V_{in} を基準にする。その結果フルブリッジドライバデバイスの両端の電圧は、 V_{in} 、すなわち通常動作中の電圧になる。

【0046】

図8の回路800は、 V_{in} を基準とするQ4およびQ6を駆動するための問題のみを解決する。Q3およびQ5に関しては異なる回路が使用されてよい。Q3を駆動する一般的な実装形態900が図9に示されている。ここで、駆動中のQ3は、Q3のソース電圧が高い間、Q3を制御しているドライバに供給することが可能である十分なエネルギーを蓄えるために極めて大きなコンデンサ、例えば10s nFのC1を使用する。Q3のソース電圧が再び低くなると、コンデンサC1は、次のサイクルのための準備において再充電させることができる。その手法は、C1は、その大容量が原因でチップ上に統合されない場合があるため、高度に統合された解決策に関しては上手く機能しない場合もある。またその手法は、ドライバが適切に動作することを確実にすることを可能にするために、C1の特定のリフレッシュ速度を保証することを設計者に要求する。それは、高い電圧を長い間保持することができないことを意味している。

【0047】

図9の回路900はこれらの問題に対処している。ノード2が低い(= V_{in})である場合、Q5ゲートは、D3を通してC2を充電することによって作動されてよい。D3は、Q4のゲートに接続される。この充電経路は必須ではないが、Q5がより速くオンになることを可能にする。その後ノード2がより高くなり始めたとき、C2における充電はリフレッシュされてQ5の寄生容量および漏れ経路に関連する電流に対抗する。そうするために、D1、D2およびC3の組み合わせは、Q5のゲートを、ほぼそのソースより高い V_{in} に維持する電荷ポンプとして作用する。Q5をオフにするためにスイッチQ7がオンにされる。極めて少ない電荷しかC2で置き換える必要がないため、ここに描かれる全ての構成要素は極めて小さくてよい。例えば極めて少ない電力しか必要とされないため、コンデンサはpFの範囲内にあり、ダイオードは極めて小さい。またこのような配置は、ユーザに対していかなるリフレッシュレートの制約も課すことなく、任意の波形を処理することを可能にする。このフルブリッジドライバは、極めて小さいドライバ面積オーバーヘッドによるフルブリッジのダイ上での統合を可能にする。

【0048】

典型的には、現行のデジタルアナログ変換器(DAC)は、図10Aの回路1010の通りに、電源電圧に接続された交流電流路を有する。しかしながらDAC値が変化するとき、各ビットラインの寄生容量は、ノード1とノード2間の大きな電圧の変動が理由で処理するのにより長い時間がかかる。それを改善するために、両方の電流路は、図10Bの回路1020によって示されるように、適切な電圧 V_{bias} でバイアスがかけられる一対のカスケードデバイスを介して接続される。これは、DAC値の変化と、DACの出力

10

20

30

40

50

が新たな値に落ち着く時間までの時間との間の時間を短縮させる。図 1 1 は、模擬実験の結果を示す。交流電流路が、 $V_{casc} = 0.45$ という結果は、交流路が、出力と同様の電圧レベルで電圧源に接続される場合である。

【0049】

図 1 1 は、DAC 出力と交流路との電圧差を低下させる作用を表している。差がより小さい場合、過渡電圧が小さくなり、セトリングがより速くなる。本実施形態の下では、これは、回路が電流検出のためにより短いブランキング時間を使用することを可能にする。本明細書で使用される際、「ブランキング時間」は、電流値の変化が検出されたとき、基準が所望される値に落ち着くまでの有限の時間量を指している。ブランキング時間中、誤ったトリガを回避するためにセンサ出力は停止されてよい。より高いレベルでは、これは、より正確な電流検出および最終波形のより低い出力歪みを可能にする。

10

【0050】

一般に、電流制御は、インダクタを備えた一連の抵抗器、並列 RC 回路または各々が切り替わるように並行する $sense\ Fet$ を介して達成されてよい。そのようなドライバでは、スイッチは絶対ゼロ電流においてオフにされるべきであるため（コントローラによって自動的に修正され得るピーク電流検出とは対照的に）、同期モードで動作するために高精度の電流感知が望ましい。並列 RC 回路の使用は、回路が DCM 内で動作することから選択肢ではない。 $sense\ Fet$ 手法は、ローサイドスイッチ (Q1) のために機能してよい。しかしながらスイッチ Q2 のためにより高精度の $sense\ Fet$ を実装することは、Q2 の大きな電圧振幅が理由で困難である。また、Q2 ZVS のためにハイサイド ZVS 検出回路を形成する必要を避けるために、両方のスイッチがオフになったときでさえ一連の抵抗が優れた電流感知能力を提供する。これによって、追加の回路なしで、Q2 をオンにするための理想的な時点を検出することが可能になる。

20

【0051】

本実施形態で使用される電流感知回路は好ましくは、コンバータの高効率を可能にするために、スイッチングサイクル当たり 3 つの異なる事象までを検出する。単一センサにおいてすべてのそのような事象を再編成することは、それが 3 つのセンサに置き換わるため、より高い性能のためのより高いセンサ能力を提供する。

【0052】

コンバータにおける広く変動する条件に起因して、電流感知回路の相対的に固定された待ち時間は、所望されるスイッチング時点と実際のスイッチング時点との間に様々なずれが生じる可能性があることを意味しており、このことは、同期整流器が 0 mA の代わりに -30 mA でオフになった場合、効率はずっと低下する可能性があるため重要である。したがってコントローラは、瞬間的な条件に応じて電流感知回路に関する様々なずれを計算してよく、スイッチが正確な時間に作動することを可能にする。

30

【0053】

先に説明した増強された現行の DAC と、双方向感知スキームとの組み合わせは、両方向で電流を感知するための同一の DAC およびコンパレータの再利用を可能にする。それはまた、極めて低い面積コストで有効な DAC 分解能を 1 ビット増加させることも可能にする。例えば DAC が 9 ビット DAC である場合、従来の接続での 0 から 511 の範囲の代わりに、この構成によって $-511 \sim 511\text{ mA}$ までの電流の感知が可能になる。そのような回路の一実施形態が図 1 2 に示される。感知される目的の電流は、S1 を通って流れる。S1 の構成に応じて、電流の値は回路によって正または負の値として解釈される。Q1、Q2 および Q3 は、以下で説明される増強された現行の DAC を形成する。2 つの電流源 I1 および I2 は整合され（同一電流）、DAC 電流が 0 であり、感知される電流も 0 である場合、コンパレータの 2 つの入力に同一の電圧でバイアスをかける。R2 および R3 は、整合された抵抗であり、DC オフセットを提供することで双方向の感知を可能にし、コンパレータの動作も容易にする。電流が R1 を通って流れる際、コンパレータの入力における電圧は、 $I \cdot R1$ に従って変化する。DAC 値を変化させることは R1 に必要とされる電流を変化させ、その結果コンパレータの 2 つの入力は、同一の電圧レベルに

40

50

戻ってよい。その後、コンパレータが始動して、所望される電流閾値が達成されたことを示す。

【0054】

トランジスタが電力スイッチのための現行の実装形態において使用されるが、電力路抵抗を下げ、ハイスайдスイッチの制御を容易にするために将来はMEMSスイッチが使用される可能性がある。MEMSスイッチの一例は、General Electricによって製造されている(2015年)。

【0055】

低歪みは、圧電性アクチュエータドライバに関する重要な性能基準である。電力段の設計およびフィードバック経路の分解能が歪みレベルに制約を加えるが、制御アルゴリズムは、完璧な解決策が、より高い歪みレベルの代わりに優れたシナリオを実現することを保証する。固定されたPIコントローラは、動作状況が広く変動することが理由で適切であるが、コントローラのパラメータは、全てのケースにおいて安定性を保証するために最も保守的な環境に設定されることを必要とする。しかしながらこれは十分に歪みを低減させない。デジタルコントローラの適応性を活用するために、現行の実装形態の下でドライバ用に設計されたコントローラは、その比例積分ゲインを瞬間的な動作条件(出力/入力電圧、周波数)に適応させ、結果として20dBまでの歪みの改善をもたらす。

【0056】

現行のDACの自動のオフセット調節は、常に正確なゼロ電流スイッチングを可能にする。電力コンバータの状態は著しく変動するため、コントローラを介して固定された待ち時間は、スイッチング時間の精度の点において常に同じ結果を生み出す訳ではない。あるケースでは、0mAでスイッチをオフにしようとすることは、-2mAでそれをオフにする可能性があり、その一方で別の設定の条件では、それは-30mAでのターンオフとなる場合もある。そのような不確実性が、電力ロス、およびまた出力の品質(歪み)の両方の点においてコントローラに関して問題を生む。この問題を解決するために、コントローラは目標とする電流を「人為的な電流目標」に自動的に修正する。電流センサが人為的な値でトリガする際、コントローラは、予定されるスイッチをオン/オフにする。補正関数(f (コンバータの状態))はシステムを認識しているため、「人為的な電流目標」においてトリガされたスイッチは、予定される目標の電流値でオン/オフになることで利益をもたらす。重要なことは、このことは、ハイスайдスイッチ(Q2)を適切な時にオンにすることを可能にすることで、ゼロ電圧スイッチングを達成し、より低い電力につながるが、恐らくより重要なことは歪みが低減することである。

【0057】

ドライバを制御するためのコントローラ1300、例えばデジタルコントローラはコンピュータであってよく、その一例が図13の概略図に示されている。コントローラ1300は、プロセッサ1302、ストレージデバイス1304、上記に挙げた機能性を定義するソフトウェア1308が中に格納されたメモリ1306、入力および出力(I/O)デバイス1310(または周辺機器)およびコントローラ内での通信を可能にするローカルバスまたはローカルインターフェース1312を収容している。ローカルインターフェース1312は、例えば限定するものではないが、当分野で知られるような1つまたは複数のバスあるいは他の有線または無線接続であってよい。ローカルインターフェース1312は、通信を可能にするために、コントローラ、バッファ(キャッシュ)、ドライバ、中継器および受信機などの追加の要素を有してよく、これらは簡素化のために省略されている。さらにローカルインターフェース1312は、上記に挙げた構成要素間での適切な通信を可能にするためにアドレス、制御および/またはデータ接続を含んでよい。

【0058】

プロセッサ1302は、とりわけメモリ1306内に格納されたソフトウェアを実行するためのハードウェアデバイスである。プロセッサ1302は、任意のカスタムメイドであってよい、あるいは商業的に入手可能なシングルコアまたはマルチコアプロセッサ、中央処理装置(CPU)、現行のコントローラ1300に対応付けられたいくつかのプロセ

10

20

30

40

50

ッサ間の補助プロセッサ、半導体ベースのマイクロプロセッサ（マイクロチップまたはチップセットの形態での）、マクロプロセッサまたはソフトウェア命令を実行するための一般的な任意のデバイスであり得る。

【0059】

メモリ1306は、揮発性の記憶素子（例えばランダムアクセスメモリ（DRAM、SRAM、SDRAMなどのRAM））または不揮発性の記憶素子（例えばROM、ハードドライブ、テープ、CDROMなど）のうちのいずれか1つあるいはその組み合わせを含むことができる。さらにメモリ1306は、電子、磁気、光学および／または他のタイプの記憶媒体を組み合わせる場合もある。メモリ1306は、分散型アーキテクチャを有することができ、その場合種々の構成要素は互いから離れて位置するが、プロセッサ1302によってアクセスすることができることに留意されたい。

10

【0060】

ソフトウェア1308は、本発明に従ってコントローラ1300によって実行される機能性を定義する。メモリ1306内のソフトウェア1308は、1つまたは複数の別個のプログラムを含んでよく、その各々は、以下で説明するようにコントローラ1300の論理的機能を実施するための実行可能命令の順序付けられたリストを含んでいる。メモリ1306は、オペレーティングシステム（O/S）1320を含んでよい。オペレーティングシステムは、コントローラ1300内でのプログラムの実行を基本的に制御し、スケジューリング、入力および出力の制御、ファイルおよびデータ管理、メモリ管理ならびに通信制御および関連するサービスを提供する。

20

【0061】

I/Oデバイス1310は、例えば限定するものではないがキーボード、マウス、スキャナ、マイクロフォンなどの入力デバイスを含んでよい。さらに、I/Oデバイス1310は、限定するものではないがプリンタ、ディスプレイなどの出力デバイスも含んでよい。最後に、I/Oデバイス1310は、限定するものではないが変調器／復調器（モデム、別のデバイス、システムまたはネットワークにアクセスするためのもの）、無線周波数（RF）または他のトランシーバ、電話によるインターフェース、ブリッジ、ルータまたは他のデバイスなど、入力と出力の両方を介して通信するデバイスをさらに含んでよい。

【0062】

コントローラが動作中のとき、プロセッサ1302は上記で説明したように、メモリ1306内に格納されたソフトウェア1308を実行して、メモリ1306に、またはメモリ1306からデータを伝達し、またソフトウェア1308に従ってコントローラの動作を概ね制御するように構成される。

30

【0063】

コントローラの機能性が実施中であるとき、プロセッサ1302は、メモリ1306内に格納されたソフトウェア1308を実行して、メモリ1306に、またはメモリ1306からデータを伝達し、またコントローラの動作をソフトウェア1308に従って概ね制御するように構成される。オペレーティングシステム1320は、プロセッサ1302によって読み取られ、おおかたプロセッサ1302内でバッファに格納されその後実行される。

40

【0064】

コントローラがソフトウェア1308において実施される場合、コントローラを実施するための命令は、コンピュータ関連デバイス、システムまたは方法による使用、またはそれらに関連する使用のために任意のコンピュータ可読媒体に格納することができることを留意されたい。

【0065】

そのようなコンピュータ可読媒体は、一部の実施形態では、メモリ1306またはストレージデバイス1304のいずれか、またはその両方に相当する。この文献の文脈では、コンピュータ可読媒体は、コンピュータ関連デバイス、システムまたは方法による使用、またはそれらに関連する使用のために、コンピュータプログラムを収容する、または格納

50

することができる電子、磁気、光学または他の物理的デバイスあるいは手段である。システムを履行するための命令は、プロセッサまたは他のそのような命令実行システム、装置またはデバイスによる使用、またはそれらに関連する使用のために任意のコンピュータ可読媒体において具現化することができる。プロセッサ1302が一例として挙げられてきたが、そのような命令実行システム、装置またはデバイスは、一部の実施形態では、命令実行システム、装置またはデバイスから命令をフェッチし、この命令を実行することができる任意のコンピュータベースのシステム、プロセッサ収容システムまたは他のシステムであってよい。この文献の文脈において、「コンピュータ可読媒体」は、そのような命令実行システム、装置またはデバイスによる使用、またはそれらに関連する使用のためにプログラムを格納、伝達、伝播または移送することができる任意の手段であってよい。

10

【0066】

そのようなコンピュータ可読媒体は、例えば限定するものではないが電子、磁気、光学、電磁、赤外線または半導体システム、装置、デバイス、あるいは伝播媒体であってよい。コンピュータ可読媒体のより特有の例（限定的なリスト）は、以下の、1つまたは複数のワイヤを有する電気接続（電子）、携帯型コンピュータディスク（磁気）、ランダムアクセスメモリ（RAM）（電子）、リードオンリメモリ（ROM）（電子）、消去可能プログラブルリードオンリメモリ（EPROM、EEPROMまたはフラッシュメモリ）（電子）、光ファイバ（光学）および携帯型コンパクトディスクリードオンリメモリ（CDROM）（光学）を含む。コンピュータ可読媒体はさらには、例えば紙または他の媒体の光学スキャンを介してプログラムが電子的に取り込まれ、その後コンパイルされる、解明される、または必要であればそれ以外の方法で好適なやり方で処理され、その後コンピュータメモリに格納することができるため、プログラムがそこにプリントされる紙または別の好適な媒体の場合もあることに留意されたい。

20

【0067】

コントローラがハードウェアで実施される代替の一実施形態では、コントローラは、それぞれが当分野で知られる以下の技術、すなわちデータ信号によって論理機能を履行するための論理ゲートを有するディスクリート論理回路、適切な組み合わせ論理ゲートを有する特定用途向け集積回路（ASIC）、プログラブルゲートアレイ（PGA）、フィールドプログラブルゲートアレイ（FPGA）などのうちのいずれか、またはその組み合わせによって実施することができる。

30

【0068】

本開示の範囲内で使用される際、比例積分微分調節器（PIDコントローラ）は、制御ループフィードバック機構（コントローラ）を記述している。PIDコントローラは、所望される設定値と測定されたプロセス変量との差としてエラーを継続して計算する。コントローラは、例えばアクチュエータの位置などの制御変数を、重み付けされた合計によって決定した新たな値に調節することによって経時的にエラーを最小限にすることを試みる。比例応答は、エラーに一定の比例ゲイン（ K_p ）を掛けることによって調節されてよい。

【0069】

図14Aおよび図14Bは、コンパクトで、低電力、低ノイズの圧電冷却を実現する制御ドライバの一例の実施形態1410、1420の2つのブロック図である。これらの実施形態では、コントローラ1410、1420は、ドライバの現在の状態についてのデジタルコントローラの内部の様々な状態変数を通して利用可能な情報を使用して、コントローラの比例ゲイン K_p および積分ゲイン（ K_i ）を適応させる。結果として波形の歪みが低減する。図14Aは、より特殊である。図14Bは、ドライバ状態変数の関数に従う K_p および K_i のスケールがどのようにシステム性能を高めるかを例示するのにより一般的である。図14Aおよび図14Bは、コンバータスイッチング周波数（ f_{sw} ）、たどるための電圧基準（ V_{ref} ）、比例ゲイン（ K_p ）、積分ゲイン（ K_i ）、コンバータ伝達関数（ $H(z)$ ）、外乱（ D ）、フィードバックゲイン（ $Gain$ ）およびコンバータの出力電圧（ V_{out} ）を示している。最も簡素な実施形態では、 K_p は、出力電圧と共に線形にスケール変更されてよく（ $K_p' \propto V_{out} \times K_p$ ）、 K_i は、スイッチン

40

50

グ周波数 (f_{sw}) と線形にスケール変更されてよい ($K_i' \propto f_{sw} \times K_i$)。D は、実際の実装形態に存在し得る何らかの外乱を表している。H (z) は、離散時間表現でのシステムの伝達機能を表しており、 z^{-1} は、離散時間表現を用いてコントローラにおいて一般に使用される z 変換に対応付けられた演算子である。例示の実施形態では、 f_{sw} は、150 kHz と 1 MHz の間の範囲内である。

【0070】

図15および図16は、図11のプロトタイプを用いた結果を示している。図15は、3.6V供給からのプロトタイプによって生成された150nFの容量性負荷における150Hz、101.8Vppの正弦曲線を提示する。磁気出力フィルタなしであっても、このプロトタイプは、1MHz帯域で0.38%のTHD+Nを達成する。このスペクトラムは、数百kHzの範囲内のコンバータのスイッチングノイズは波形を有意に低減させないことを示している。その動作地点において、プロトタイプは、64.04mWを消費し、すなわち電力路からの40.00mWと、FPGAを除くコントローラからの24.04mWを消費する。この結果は、高電圧低歪み出力を提供する従来の単一インダクタの解決策よりも7.81から13.85倍低くなる。疑似共振同期降圧モードは、図16に見られるように、通常の降圧モードと比べて8.9%までの電力の削減を達成する。

【0071】

本発明の精神および範囲から逸脱することなく、本発明の構造に対して様々な修正形態および変形形態を作成することができることは当業者には明らかであろう。例えば例示のドライバは、DCJ以外の他のタイプの圧電性アクチュエータであってもよく、例えば触覚フィードバックアクチュエータまたはマイクロロボットアクチュエータであってもよい。より一般的には、例示のドライバは、例えばマイクロミラーのような静電気アクチュエータ、電気機械ポリマー、電気活性ポリマーまたは別のタイプのMEMSデバイスなど、高電圧低歪み波形を必要とする任意の容量性負荷と共に使用される際に有利であり得る。

【0072】

上記に記載した実施形態の利点に加えて、別の重要な利点は、回路を広範な範囲のエネルギー源と適合可能にすることである。例えば双方向電力コンバータを入力エネルギー源としての特定のタイプのバッテリーに接続する場合、これまでのコンバータの場合、バッテリーは恐らく電流を下げるできない（例えば非充電型バッテリー）、または潜在的な故障を避けるために極めて制御された方法で電流を下げる必要がある場合もある（例えばリチウムイオン）。単一方向の電力は、例えばシステム統合において、このような問題に対処する。

【0073】

上記の記載は、高圧容量性アクチュエータの例示の実施形態を提供してきた。以下は、高度に統合された圧電性アクチュエータドライバの例示の実施形態を記載する。好ましくはこの実施形態の下で、入力は、3V～5Vの範囲内であり、例えば10sから100sほどのVpp（ピークからピークまで）の出力を有し、100Vppから200Vppの出力範囲を有するプロトタイプが構築されてきた。出力範囲は、特定の用途の要望に従ってスケール変更されてよい。アクチュエータドライバは、例えば100mW未満の低電力入力を、0.50%未満の出力波形総高調波歪みおよびノイズ（THD+N）と合わせて有してよい。出力帯域は、最大容量性負荷、例えば330nF、および最大出力電圧、例えば100Vppにおいて300Hzまでである。同一のデバイスが、出力帯域、容量性負荷および出力電圧の異なる組み合わせに適応することができる。例えば最大平均出力電力（P）は、

【数2】

$$P = f C V_p^2 \quad (\text{式2})$$

によって算出されてよく、この場合、fは出力波形の周波数であり、Cは容量性負荷を表

し、 V_{pk} は、波形のピーク振幅を表している。 $P = P_{example}$ に関して設計された特有の実施形態の場合、結果としての P がこの実施形態の最大値 $P (P_{example})$ を下回る限り、 f 、 C および V_{pk} の任意の組み合わせが可能であってよく、 V_{pk} は、使用されるパワーデバイスのブレイクダウン電圧に等しい、またはそれを下回り、 f は、最大帰還帯域および／またはこの実施形態のスイッチング周波数を下回る。一部の例示の実施形態では、最大帰還帯域は 500 kHz であってよく、数百 kHz の範囲内の最大スイッチング周波数、つまり実際の最大周波数は、 50 kHz の範囲内で高くなる。実施形態は、小型で（ PCB およびダイ）、単一インダクタの、高度に統合された低電力トポロジーにおいて履行されてよい。実施形態は、高周波数双方向電力コンバータに給電する入力段を有し、フルブリッジ低ロススイッチ網によって受け取られる折り畳まれた波形を生成し、このスイッチ網は、波形を展開して容量性負荷を駆動する。

10

【0074】

背景技術のセクションで指摘したように、圧電性アクチュエータは、例えば触覚フィードバックシステム、冷却ファン、音響およびマイクロロボットなど成長中の用途の範囲で使用される。しかしながら、その可能性を完全に実現するために、このようなアクチュエータは、ドライバが高圧（入力に対して、例えば 20 Vpp から 100 Vpp までおよびそれ以上）を効果的に生成し、また一部の用途では、小さい波形率を有する低電圧源（ $3\sim 5\text{ V}$ ）から低周波数（ 300 Hz 未満）のアナログ波形を効果的に生成することが可能であることを要求する。特定の用途、例えば圧電性（ PZT ）冷却ファンは、アクチュエータからの音の放出を最小限にするために低歪み波形（ $THD + N < 1\%$ ）もさらに要求する。小型の PZT ドライバに関する既存の解決策は典型的には、低電圧を増大させるために電力コンバータを実装し、その高圧増幅器が後に続く。エンベロープトラッキングは、増幅器の電力を低下させる働きをすることができるが、このような設計は、効率を改善するためにアクチュエータに蓄えられるエネルギーを回収することはできない。また差動双方向フライバックコンバータは、エネルギーを回収することができるが、それは、4つのインダクタを使用するため、重大なサイズに関連する不利益を被ることになる。

20

【0075】

本明細書で使用される際、高圧は一般に相対的な用語であり、入力電圧 V_{IN} より高い電圧範囲を指しており、例えば入力電圧の2倍、または入力電圧より高い（または多い）オーダーの電圧範囲を指している。

30

【0076】

上記に指摘したように、本実施形態は、低周波数用途（ 300 Hz 未満）に関して説明されているが、本発明は低周波数に限定されるものではなく、代替の一実施形態は、例えば中でもとりわけ音響ドライバ（ $0\sim 20\text{ kHz}$ ）などのより高い帯域の用途にも適用されてよい。

【0077】

例示の実施形態は、これまでの最新技術の解決策より小さいサイズで、 $12.6\times$ より低い電圧および $2.1\times$ より低い $THD + N$ を達成する単一インダクタの、高度に統合された双方向高圧アクチュエータドライバを含む。測定される結果は、 150 nF コンデンサを駆動するのに 57.7 mW を消散させつつ、 3.6 V 電源から 0.42% $THD + N$ を伴う 100 Vpp までの 200 Hz 正弦波波形を実証している。 PZT アクチュエータの範囲を超えて、 IC もまた、任意のタイプの容量性負荷、例えば静電気および電気活性ポリマーアクチュエータを駆動することができる。

40

【0078】

図20によって示されるように、例示のドライバは、出力電圧 V_{OUT} の両端で負荷 2090 を駆動するドライバ集積回路（ IC ） 2020 と、入力部 2010 とを含み、ここでは、入力電圧 V_{IN} は、1つの外部インダクタ L_1 （ドライバ $IC\ 2020$ の外側）、1つのフィルタコンデンサ C_{FILTER} および感知抵抗器 R_1 に給電する。フィルタコンデンサ C_{FILTER} は、例えば負荷の静電容量の 5% の範囲内であってよく（例えば 150 nF の負荷の場合 10 nF ）、高周波数スイッチングのノイズをフィルタリングする働きを

50

してよい。ドライバIC 2020は、3つのメインブロック2030、2040、2050を含む。点線の中に示される双方向同期電力コンバータ段2030は、順方向の昇圧モードでは負荷2090にエネルギーのわずかな増加を伝達し、逆方向の降圧モードでは負荷2090からのわずかなエネルギーの増加を伝達することによって低電圧の入力電圧源(V_{IN})から折り畳まれた波形(V_{FOLDED})を生成する。低周波数フルブリッジ段2040は、点線と点のラインの内側に示され、折り畳まれた波形を4つの高圧スイッチ $M_3 \sim M_6$ を介して展開して、負荷2090の両端でフルスイング信号(例えば $-50V \sim 50V$)を生成する。最後に、埋め込み式コントローラ2050が点線の内側に示されており、以下でさらに説明されるようにいくつかの技術を履行することで低電力および低歪みを達成する。

【0079】

好ましい一実施形態の下で、ドライバIC 2020のトポロジは、電力、サイズおよび性能を均衡させることで、最小限のオーバーヘッドでの高圧アクチュエータの使用を可能にする。フルブリッジ段2040が V_{IN} を基準にすることで、2スイッチ(M_1 、 M_2)電力コンバータトポロジを有する電力コンバータ段2030によって低歪みゼロ交差を可能にしてGNDを上回る電圧を生成する。4スイッチの降圧-昇圧または2スイッチの反転降圧-昇圧トポロジによって、ドライバIC 2020は、より小さいダイ面積(すなわち2つのスイッチ)、またはより簡素なダイバイアス(すなわち負の供給がない)をそれぞれ有してよい。外部 R_1 を介しての直流感知はより多くの電力を消散し得るが、それは、全ての動作条件にわたる正確な双方向のインダクタ電流の監視を可能にする。

【0080】

埋め込み式コントローラ2050は、複数の技術を履行することでDCロス(P_{DC})およびスイッチング損失(P_{sw})を低減させ、かつ波形の品質も改善し得る。まず、電流臨界モード(BCM)動作は、ロスを低減させ、インダクタ L_1 のサイズを縮小する。インダクタのサイズは、負荷のサイズに左右されてよい。100Vppおよび200Vppの出力を有する例示の実施形態では、10μHから100μHの範囲内のインダクタが使用されてよい。さらにインダクタ L_1 は、目的のTHD+Nおよび信号帯域を達成しつつ、スイッチング周波数(f_{sw})を最小限にするようにサイズが決められてよい。より小さいインダクタ L_1 は一般に f_{sw} を増大させ、よって P_{sw} も増加させるが、インダクタ L_1 に関してより小さい値を選択することは、コントローラが基準波形をより正確にたどり、これによりTHD+Nを低減させてよい。インダクタ L_1 のより低い値はまた、より多くのエネルギーが負荷2090に／負荷2090から伝達されることを可能にし、これにより出力信号の帯域幅を増大させてよい。

【0081】

P_{sw} は、ZVS検出器2053がスイッチングノード電圧 V_{sw} に関するゼロ電圧条件を検出し、デジタルコントローラ2051に信号を送る際、例えば電力コンバータ段2030の60V高圧スイッチ M_1 、 M_2 のゼロ電圧スイッチング(ZVS)によってさらに低減される場合もある。ZVS検出器は、ノードにおける電圧 V_{sw} がいつ特定の閾値(例えば3V)を下回るかを検出するハードウェアブロックであってよい。この閾値は、ノード V_{sw} のLC共振周波数およびシステムハードウェアにおける待ち時間の他のソースを考慮するために特有の実装形態に基づいて最適化されてよい。昇圧モードでは、ZVSは、従来の同期スイッチングによって発生してよい。しかしながら逆方向の降圧モードでは埋め込み式コントローラ2050は、第2のスイッチ M_2 のZVSを実現するために疑似共振同期(PRS)を履行してよい。第1のスイッチ M_1 は、インダクタ L_1 の電流 I_L が、スイッチングノード電圧 V_{sw} を V_{FOLDED} まで充電するのに十分な電流閾値に達するまで今の状態を続ける。したがって、第2のスイッチ M_2 は、ZVSと共にオンになり、電流波形には不連続性は見られない。デジタルコントローラ2051は、電流閾値をサイクル毎の基準で設定することで、スイッチング損失を低減させつつ、折り畳まれた波形を正確に生成してよい。デジタルコントローラ2051は、ドライバ2000の出力電圧およびスイッチング周波数などの状態変数に対してそのゲインを動的に調節し、これ

10

20

30

40

50

により負荷 2090 において出力電圧の全域にわたってより正確に基準波形をたどることを可能にする適応性のある比例積分 (PI) アルゴリズムを履行してよい。

【0082】

デジタルコントローラ 2051 は、いくつかの鍵となる機能性を履行し、これには、SPI インターフェースを通して提供される基準波形をたどるためのアルゴリズム、所望される状態を達成するための様々なスイッチ制御信号の管理、およびリアルタイムで出力における電圧をユーザに戻すように伝える能力が含まれる。圧電性アクチュエータなどの容量性負荷はまた、機械的に応力がかけられる際に電圧を生成するため、デジタルコントローラ 2051 は、出力を読み取り、ユーザに情報を伝達するように構成されてよい。これは、ドライバ 2000、2100 が、アクチュエータに加えられる機械的応力に基づいて反応する触覚フィードバックなど（例えばボタン）、システム内で有益であり得るセンサとしても使用される、またはアクチュエータがその共振周波数で正確に動作するときを検出するために使用されることも（例えばファン用途）可能にする。

10

【0083】

デジタルコントローラ 2051 は、リアルタイムで出力の状態／電圧を提供してよく、またドライバ IC 2120 の異なる電力状態に対処するなど、他の機能性を任意選択で提供する場合もある。図 20 および図 21 は、デジタルコントローラ 2051 に対する入力を示す単一の矢印を有するが、一般に、デジタルコントローラ 2051 からソースブロック（電流フィードバック 2052、ZVS 2053、ADC 2055、SPI 2054）に戻るよう進む何らかの形態の情報が存在する。矢印は、情報の「メインの」流れを提示することを意味しているが、情報が双方向に伝達されることは標準的なことである。例えば SPI 2054 が全二重式インターフェースの場合、したがって情報は、同一リンクによって送受信されてよい。

20

【0084】

電流フィードバックセンサ 2052 は、動作中の全ての可能性のあるスイッチング条件において、例えば電流臨界モード、電流不連続モードおよび電流連続モードにおいて双方向の電流感知を実現する。電流フィードバックセンサ 2052 は、第 1 のスイッチ M_1 および第 2 のスイッチ M_2 が適切な時間にオン／オフになることで、Vsw ノードにおける高スイッチング損失を回避することを保証する。

【0085】

図 20 に示されるように第 2 のスイッチ M_2 は、そのソースが Vsw を基準にする N 型トランジスタであってよい。そのゲートを適切に制御するために、レベルシフトブロック 2032 が、グラウンドを基準にするデジタルコントローラ 2051 からの制御信号を浮遊ノード (Vsw) を基準にする信号に変換する。第 1 の実施形態の下で、レベルシフトブロック 2032 は、デジタル論理レベルからのデジタル制御信号振幅をスイッチ M_2 に適したより高い振幅へのスケール変更、例えば 1.8 V から 5 V までのスケール変更を可能にする。

30

【0086】

レベルシフトブロック 2032 は、グラウンドからの信号に関する基準ノードを任意の浮遊ノード、このケースでは Vsw に変更してよい。図 20 は、スイッチ M_1 、 M_2 の N 型トランジスタを示しているが、代替の一実施形態では、レベルシフトブロックに関する同様の要件と共に p 型が使用される場合もある。p 型スイッチトランジスタの場合、レベルシフトブロック 2032 は、浮遊ブートストラップ供給（図示せず）を使用して、レベルシフトブロック 2032 の出力に関して所望されるレベルを提供してよい。

40

【0087】

差分信号 ($V_{out+} \sim V_{out-}$) が極めてクリーンであることが望ましい。しかしながら V_{out+} または V_{out-} のいずれかにおける信号に関してグラウンドを基準にすることは必須ではない。差動増幅器 2056 は、 V_{out+} と V_{out-} との差動電圧を継続して測定し、その差をアナログデジタルコンバータ (ADC) 2055 に供給されるシングルエンド信号に変換し、このアナログデジタルコンバータは、デジタルコントローラ 205

50

1 への出力のデジタル表現を提供する。

【0088】

フルブリッジ段2040出力の出力において、第3のスイッチ M_3 、第4のスイッチ M_4 、第5のスイッチ M_5 および／または第6のスイッチ M_6 は、それらが出力の品質に有意に影響を与えることがないため、動作中、オンまたはオフ低抵抗スイッチとしてみなされる。これは、差動増幅器2056を V_{out+} および V_{out-} に直接接続する代わりに、 V_{FOLDED} ノードと V_{IN} ノードとの間に接続することによって活用されてよい。これは、差動増幅器2056の入力が常に正であることからフィードバックを簡素化してよい。これは2つの利点、(1)簡素な差動増幅器2056が使用され、これは完全な差動増幅器、またはバイポーラ入力も範囲に含めるために正の供給と負の供給を必要とする差動増幅器と比べてダイ面積を削減することを実現する点、ならびに(2)図20に示される構成を使用することで、一般的なモードが、 V_{IN} (DC電圧)および帰還率によって定義される値に固定され得るため、増幅器のコモンモード除去率が緩和され得る点とを提供する。これはまた、増幅器ブロックのサイズと電力消費にも貢献している。

【0089】

図20は、デジタルコントローラ2051への4つのメインの入力を示している。代替の実施形態では、これより多い、またはこれより少ないデジタルコントローラ2051への入力が存在し得る。一連の周辺インターフェース(SPI)2054は、外部マイクロコントローラ(または他のデバイス、例えばコンピュータ)が、基準波形、特定の实装形態に使用される内部環境など、デジタルコントローラ2051を介してドライバ2000に情報を送信する／ドライバ2000から情報を受信することを可能にする通信プロトコルである。SPIは、デジタルコントローラ2051と接続するために実装され得る複数のデジタル通信プロトコルのうちの1つの一例であることに留意されたい。通信インターフェースの他の例には、限定するものではないがI2C、TDMおよびI2が含まれる。

【0090】

電流フィードバックセンサ2052は、デジタルコントローラ2051に、いかなるときもインダクタ L_1 を通して流れる電流に関する情報を提供する。デジタルコントローラ2051は、この情報を利用して、スイッチ M_1 、 M_2 をいつ切り換えるかを決定するように構成される。ZVS検出器は、スイッチングノード V_{sw} における瞬間電圧に関する情報を提供する。この情報は、ドライバ2000がDCM、BCMまたはCCMで作動されるかに応じて、ならびに平均の電流流れの方向に応じて異なるようにデジタルコントローラ2051によって使用されてよい。ADC2055は、出力のデジタル表示を提供する。デジタルコントローラ2051がフルブリッジ段2040の状態に関して既に有する情報と対にして、デジタルコントローラ2051は、ADC2055からの入力信号を使用して、SPI2054を介して送信される基準波形と比べて出力電圧に関するエラーを計算してよい。

【0091】

図21は、図20のドライバ2000の変形形態2100を示す。変形形態2100は、ドライバ2000(図20)に基づいており、図6Bからの単一方向の電力入力720を利用するドライバIC2120の一実装形態を含む。ここで、 V_{IN} は、チップのメイン電源にある(単一方向の電力入力スイッチ M_9 のチップサイドにある)。 V_{BUS} は、多くのチップ／サブシステムに電流を供給するシステム内の包括的な電源を指す。図20と比べると、図21は、単一方向の電力入力720(図6B)による単一方向の電力入力段2110を備えたドライバIC2120を実装していることを示しており、ここでは、能動スイッチ721(図6B)は、第9のスイッチ M_9 として実装され、コンパレータ2156は、デジタルコントローラ2051への入力として受信される出力を提供する。ここで、入力電圧 V_{BUS} は、第9のスイッチ M_9 を備えた単一方向の電力入力段2110を介して C_1 に供給され、これは、図20における V_{in} と等価な図21における地点となり、コンパレータ2156は、点線の中に示される。

【0092】

5 Vの電荷ポンプ2157が、ドライバIC2120における種々のブロックに電力を供給するために V_{IN} を超える安定供給（例えば5 V）を生み出してよい。例示の実施形態では、5 Vの電荷ポンプ2157は、差動増幅器2056に電力を供給してよく、これは、差動増幅器2056が5 Vまでの入力電圧範囲を有することを可能にすることでその信号をノイズ比に対して改善する。5 Vの電荷ポンプ2157はまた、フルブリッジ段2040を制御するのに使用されるスキームにおいて基準電圧を提供してもよい。

【0093】

10 Vの電荷ポンプ2158は、5 Vの電荷ポンプ2157と等しい振幅の V_{IN} に加えて浮遊供給を生む場合がある。例えば $V_{IN}=3.6$ Vで、5 Vの電荷ポンプ2157の出力が5 Vである場合、10 Vの電荷ポンプ2158の出力は、GNDを基準にする8.6 Vおよび V_{IN} を基準にする5 Vになるであろう。この電圧レベルは、フルブリッジ出力のローサイドデバイス（第4のスイッチM4および第6のスイッチM6）を駆動するのに有益であり、また V_{IN} とC1との間の低抵抗路を可能にするために V_{IN} よりかなり高い電圧での第9のスイッチ（単一方向の電力入力スイッチ）M9に関するn型トランジスタの使用も可能にし得る。

【0094】

オフセットブロック2159は、例えば差動増幅器2056の出力をオフセット値によってオフセットするために多くの方法で実装することができる。第1の実施形態の下で、差動出力が0であるとき、増幅器の出力は V_{offset} である。差動出力が V_x であるとき、増幅器の出力は $V_{offset}-V_x/\text{帰還率}$ である。オフセットなしでは、差動増幅器2056の接続は、正の出力を得るために反転される必要があり、増幅器のコモンモードは、動作中に大きく変動することになる。実施形態は、いくつかのコモンレベルシフトブロック、および明確にする目的のために図20および図21に示されない他のブロックを組み込む場合もあることに留意されたい。

【0095】

図22～図24は、フルブリッジ段2040と、そのドライバの詳細な図を提示する。高電圧トランジスタ（スイッチ）M3～M6スイッチは、低い比率で（毎秒当たり数百（100）回のオーダで／出力波形と同一の周波数で、または出力波形より低い周波数で）切り替わって最終的な波形（ V_{OUT} ）を構築するため、2つのハーフブリッジドライバ2042は小さくてよく、例えば例示の実施形態に関して2.2 mm²のダイのほぼ0.5%のダイ面積ほどの最小限の面積の不利益しか課さない。

【0096】

従来のハイサイドドライバの複雑さを回避するために、ドライバIC2120は、コンパクトな電荷ポンプ（C1、D1およびD2）を使用して、 V_{GS} 、M3を駆動し、所望されるバイアス電圧に維持し、例えばこの実施形態に関して第3のスイッチM3がオンであるとき、おおよそ4 Vに維持する。この構成は、例えば100 V_{pp}振幅を有する任意波形（DCを含めた）を生成してよい。

【0097】

低い電力、小さいサイズおよび優れた信号信頼度は、システムレベルにおいて有意な影響を有する。ウェアラブル製品のためのマルチアクチュエータ触覚フィードバックシステムは、利用可能なアクチュエータドライバからの電力量および熱の消散に対処するように奮闘している。圧電ファンのケースでは、低電力消費は、携帯電子機器におけるファンの利用のために必須である。優れた信号信頼度は、低音響ノイズ動作、すなわち大抵の用途における要件を達成するために圧電ファンにとって重要である。300 Hzまでの信号帯域が、そのような用途では十分である。それは、ノイズの生成を回避し（ファン）、人が振動に対して最も感じやすい（触覚）帯域に相当する。圧電スピーカーなどの他の用途に関して設計をスケール変更することによって、より高い信号帯域、スルーレートおよび出力電圧範囲が達成されてよい。

【0098】

8ビットの逐次近似レジスタ（SAR）アナログデジタルコンバータ（ADC）の例示

10

20

30

40

50

の実施形態は、低エネルギーエリア製品（EAP）を提供することで、ADCの接地面積を最小限にし、シングルエンドの入力範囲を電力供給電圧の2倍に拡大することでセンサへの直接の接続を可能にする。このサイズおよび電力が削減された実装形態は、マルチコア「ブレイン」システムオンチップ（SoC）、例えば制御されたフライトのための図28に示されるようなものなどへの統合を促進してよい。0.9V供給（V_{DD}）に電力が下げられたSoCへの直接のセンサ接続を可能にするために、1.8Vのアナログ入力範囲が望ましい。

【0099】

以下に記載される例示のコンバータの実施形態は、（i）これまでの技術と比べて面積および電力消費をさらに削減するための分割コンデンサとサブDAC技術のハイブリッドな組み合わせ、および（ii）低V_{DD}とは切り離して動作することで省電力化を維持しつつ、シングルエンドの入力電圧範囲を2倍にする拡張された範囲の技術を備えた、ハイブリッドの、拡張された範囲のデジタルアナログコンバータ（DAC）を提供する。

【0100】

図25Aは、ハイブリッドな分割コンデンササブDAC2530を利用する8bDACを実装するデジタルアナログコンバータ（DAC）の実施形態2500を示しており、図25Bは、2つの同一のサブDAC、すなわちMSB（最も有効なビット）サブDAC2570と、メインのサブDAC2580とを有する厳密な実装形態を示している。

【0101】

一般に、厳密な実装形態2501の下で、MSBコンデンサアレイ2550およびメインコンデンサアレイ2560は各々、各変換ビットに関するコンデンサを有し、すなわちビット4コンデンサ2554、2564、ビット2コンデンサ2552、2562およびビット1コンデンサ2551、2561ならびにMSBアレイ2550をMSBサブDAC2570に結合するMSBアレイ結合コンデンサ2555、およびメインアレイ2560をメインのサブDAC2580に結合するメインアレイ結合コンデンサ2565を有する。同様に、ハイブリッド手法を用いるDAC実施形態2500の下で、MSBアレイ2510およびメインアレイ2520は各々、各変換ビットに関するコンデンサを有し、すなわちビット4コンデンサ2514、2524、ビット2コンデンサ2512、2522およびビット1コンデンサ2511、2521を有する。しかしながらメインアレイ2520は、メインアレイ2520を分割メインサブDAC2530に結合する結合コンデンサ2525を含むのに対して、MSBアレイ2510は、結合コンデンサは省いており、代わりにユニットコンデンサ2515を含む。

【0102】

DAC実施形態2500の分割コンデンササブDAC2530は、消費されるスイッチングエネルギーを低下させつつ、厳密な分割サブDAC実装形態、詳細にはMSBサブDAC2570から生じる面積の不利益を排除する。

【0103】

DAC実施形態2500の分割メインサブDAC2530と同様に、MSBサブDAC2570とメインのサブDAC2580の組み合わせは各々、2つのビット4コンデンサ（DAC実施形態2500の場合2534、ならびに厳密な実装形態2501の場合2574および2584）、2つのビット2コンデンサ（DAC実施形態2500の場合2532ならびに厳密な実装形態2501の場合2572および2582）、2つのビット1コンデンサ（DAC実施形態2500の場合2531ならびに厳密な実装形態2501の場合2571および2581）、および2つのユニット結合コンデンサ（DAC実施形態2500の場合2535ならびに厳密な実装形態2501の場合2575および2585）を有する。しかしながらDAC実施形態2500は、厳密な実装形態2501のMSBサブDAC2570を排除し、MSBアレイ2550における結合コンデンサC_c2555をユニットコンデンサC_c2515で置き換えている。DAC実施形態2500は、ビット8コンデンサ8C_c2588をメインのサブDAC2580から分割して分割メインサブDAC2530を創り出す。結合コンデンサC_c2555の値がほぼユニットコンデンサ

C 2 5 7 5 であると仮定すると、厳密な実装形態 2 5 0 1 の面積は、
【数 3】

$$A_{strict} = (2^M + 2^{s+1}) C \quad (\text{式 3})$$

であり、

この場合、M は、メインのサブ DAC 2 5 8 0 のビットの数を表しており、S は、MSB サブ DAC 2 5 7 0 のビットの数を表している。対照的に、DAC 実施形態 2 5 0 0 の場合、面積式は、

【数 4】

$$A_{hybrid} = (2^M + 2^s) C \quad (\text{式 4})$$

である。8 ビット DAC に関してより少ないコンデンサを有する結果として、DAC 実施形態 2 5 0 0 の下で、4 b サブ DAC を有するシングルエンド DAC に関する面積は、4 8 C から 3 2 C まで低下し、元のコンデンサ面積の 3 3 . 3 % を排除する。総体的に、DAC 実施形態 2 5 0 0 は、コンデンサ群が SAR ADC において面積の大部分を消費するため、総 ADC 面積を有意に減少させ、例示の実施形態では約 5 0 % 減少させる。

【0 1 0 4】

DAC 実施形態 2 5 0 0 は、平均スイッチングエネルギーを損なうことがなく、厳密な実装形態 2 5 0 1 における場合よりも 3 . 5 % 低くなる。スイッチングアルゴリズムは従来の分割コンデンサアルゴリズムに従うが、MSB アレイの LSB コンデンサを低下させる必要がある場合、慣例的な過渡期が発生する。この「慣例的な」過渡期にもかかわらず、DAC 実施形態 2 5 0 0 の全体のスイッチングエネルギーは、厳密な実装形態 2 5 0 1 よりも低下する。分割メインサブ DAC 2 5 3 0 の動作中、2 つの結合コンデンサ 2 5 5 5、2 5 6 5 を通して接続された 2 つのサブ DAC 2 5 7 0、2 5 8 0 上の分割コンデンサ法と比べてより少ない電荷しか移動する必要がない。このことから DAC 実施形態 2 5 0 0 は、厳密な実装形態 2 5 0 1 と比べてわずかなエネルギーの削減をもたらす。

【0 1 0 5】

シングルエンドの入力範囲を拡張するために、2 つのハイブリッド DAC 2 5 0 0 (図 2 6) が、コンパレータ 2 6 4 0 および SAR 論理 2 6 5 0 を介して疑似差動バイポーラ方式で ADC 2 6 0 0 として組み合わせられてよく、第 1 のハイブリッド DAC 2 6 1 0 および第 2 のハイブリッド DAC 2 6 2 0 は、スイッチ (SW_{series}) を介して直列に接続され、DAC 2 2 6 2 0 は、動的展開範囲技術と同様のサンプリング中、 V_{DD} を基準とする。この構成において、第 2 のハイブリッド DAC 2 6 2 0 は、それがシングルエンド動作に使用されないため、 V_{in} 入力を必要としない。

【0 1 0 6】

図 2 7 は、図 2 6 の ADC 2 6 0 0 を参照してフル変換サイクルを通してのコンパレータ入力電圧の発生を示す。ゼロ相において、全てのコンデンサは SW_{zero} を介して V_{DD} に短絡される。サンプル相では、第 1 のハイブリッド DAC 2 6 1 0 および第 2 のハイブリッド DAC 2 6 2 0 は、 SW_{series} を介して直列に接続され、第 2 のハイブリッド DAC 2 6 2 0 は V_{DD} を基準にしている。2 V_{DD} の入力範囲の場合、コンパレータの入力は $V_{DD}/2$ (入力が 0 V のとき) から 3 $V_{DD}/2$ (入力が 2 V_{DD} のとき) まで変動する。これにより、LSB のサイズを縮小することなく、各 DAC 2 5 0 0 におけるプラス 0 . 4 5 V またはマイナス 0 . 4 5 V の最大値を可能にする。入力電圧を縮小するのに電圧ディバイダーを必要とする ADC と比べて、この技術は、コンパレータ入力において 2 倍大きな信号を提供する。サンプル相が終了すると、第 1 のハイブリッド DAC 2 6 1 0 および第 2 のハイブリッド DAC 2 6 2 0 は互いから切り離される。同時に、第 1 のハイブリッド DAC 2 6 1 0 の MSB アレイおよび第 2 のハイブリッド DAC 2 6 2 0 の

10

20

30

40

50

メインアレイは、GNDに接続される。このことは $V_{DD}/2$ において第1のハイブリッドDAC2610と第2のハイブリッドDAC2620との間にコモンモードを設置し、コンパレータ入力電圧が V_{DD} の範囲内に留まることを保証する。この時点で、あたかもADCが差動ADCであるかのように、全てのビットが決定する。コモンモードは、比較ステップの間 $V_{DD}/2$ において一定であり、したがってコンパレータ設計を簡素化し、 V_{DD} 供給とは切り離して動作する。

【0107】

拡張アルゴリズムはまた、従来のシングルエンド設計におけるフル入力範囲に匹敵する基準と比べて、半分の入力範囲の基準値を用いることによって必要とされるエネルギーを削減する。エネルギーは V_{2ref} に比例するため、DACエネルギーは4の倍率で低下する。しかしながら2つのDACが使用されるため、全体のエネルギーは2の倍率で低下される。このような省電力化を達成するためにどのように V_{ref} が生成されるかについて注意すべきである。過渡期に関するエネルギーは式5によって与えられてよい。

【数5】

$$E_{transition} = \int i_{ref}(t) V_{ref} dt \propto \alpha C V_{ref}^2 \quad (\text{式5})$$

この場合 α は正確な過渡期に基づいた因数であり、 C は、アレイ内のユニットコンデンサの値である。式5は、 V_{ref}^2 の二次関係が、2つの鍵となる要因、すなわち V_{ref} の電圧レベルと、 V_{ref} から引き出される総電流、すなわち電荷の品質（ Q ）に結び付けられていることを示している。 V_{ref} がどのように生成されようとも、電流レベルは、容量性DACではより少ない電荷が移動するため V_{ref} の値と共に変倍する。しかしながら V_{ref} が、LDOなどの損失の大きいメカニズムによって生成される場合、入力電圧源の値を使用して有効なエネルギー要件を計算する必要がある。

【0108】

一般的に言えば、図26のADC2600は、 V_{DD} より高い入力をサンプルするために V_{DD} まで増大させるよりもエネルギー効率が低い。しかしながらエネルギー節約の厳密な目的でこの方法を使用する前に、システムレベルでその性能を判定するために詳細な分析が行われることが望ましい。

【0109】

図28は、4つの4：1アナログマルチプレクサを介して16のアナログ入力までを許容する4つの独立したADCコアを有するSoC内に埋め込まれたADCサブシステムの全体像を提供する。統合された電圧基準およびLDO回路は、SoC内の統合された電圧レギュレータによって提供される $V_{batt}/2$ 供給からプロセス、電圧、温度（PVT）に依存しない $0.9V_{DD}$ 供給を生み出す。オンチップ電荷ポンプは、 V_{DD} 入力を2倍にして、含まれるスイッチをブートストラップし、 $1.8V$ までの信頼できる入力感知を実現する。SoCにおける $10MHz$ 固定周波数クロックソースは、ADCクロックを設定し、これは各々の変換が 10 ステップかかるため、ADCあたり $1MS/s$ の最大サンプリング速度を課す。

【0110】

そのように実装されると、ADCは、異なるセンサ出力インピーダンスに適応するためにサンプリング時間を $100ns$ から $800ns$ まで動的に調節することができる。その結果、サンプリング速度は、 $800ns$ のサンプリング時間に関して $588.2kS/s$ まで低下する。

【0111】

8bの実装形態に合わせてサイズを決めると、例示のADCコアは、4：1アナログマルチプレクサなしで例えば $0.00986mm^2$ を占めてよい。コンデンサアレイは、 $352fF$ の総体的に等価な入力コンデンサに関して $44fF$ の金属-酸化物-金属（MOM）ユニットコンデンサを使用してよい。変換後のビットの数は、システムにおける固有のADC要件に応じて増大または縮小されてよい。

【0112】

13の入力パッドまで多重化された4つのADCチャネル、LDO、バンドギャップおよび電荷ポンプ(CP)を含む例示の完全なADCサブシステムは 0.0655 mm^2 を占める。ハイブリッド拡張範囲設計は、低電圧の薄層酸化物デバイスを用いて構築されたStrong Armラッチコンパレータ(Comp)を使用してよい。

【0113】

拡張範囲のADCは、厳密な実装形態ADCよりより高い振幅を有する信号を受け入れ、このことは、パワーデバイスが、例えば100Vまで切り替わるICにおいて重要である。ADC入力における多すぎるノイズは、回路の適切な機能性を危険に曝すことになる。

【0114】

上記に記載した実施形態は好ましくは、容量性負荷、例えば(限定するものではないが)圧電性アクチュエータ、電気活性ポリマーアクチュエータまたは静電気アクチュエータを駆動してよい。上述のことを鑑みて、本発明は、本発明の修正形態および変形形態が以下の特許請求の範囲およびその等価物の範囲内にあるという条件で、それらを網羅することが意図されている。

10

20

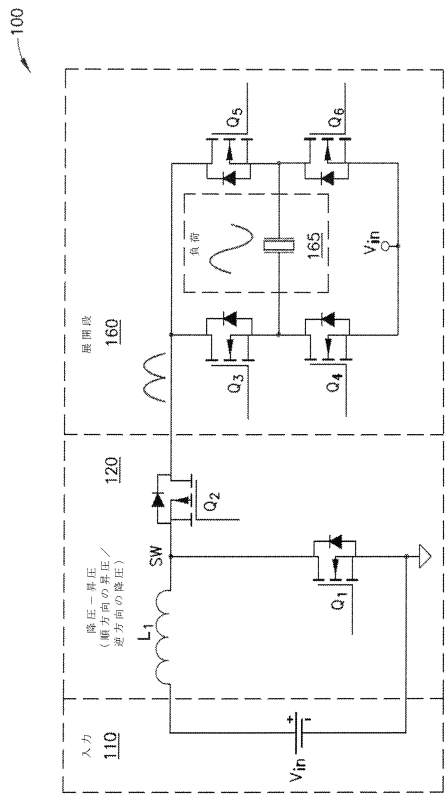
30

40

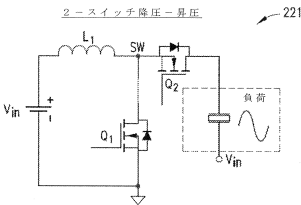
50

【図面】

【図 1】



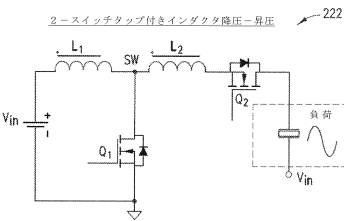
【図 2 A】



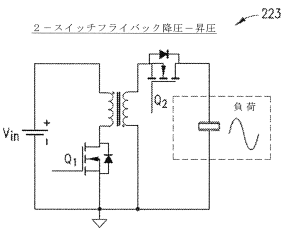
10

20

【図 2 B】



【図 2 C】

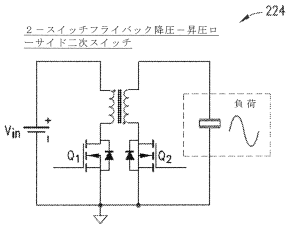


30

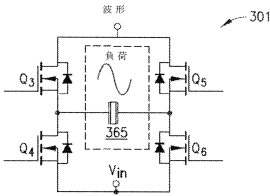
40

50

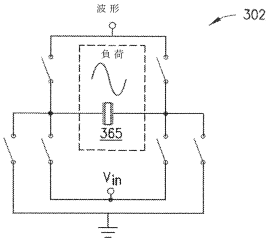
【図 2 D】



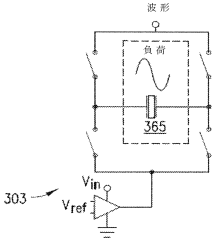
【図 3 A】



【図 3 B】

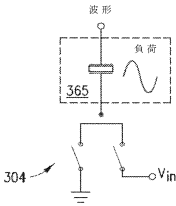


【図 3 C】

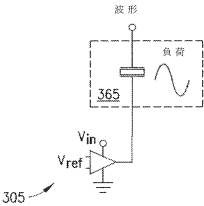


10

【図 3 D】



【図 3 E】



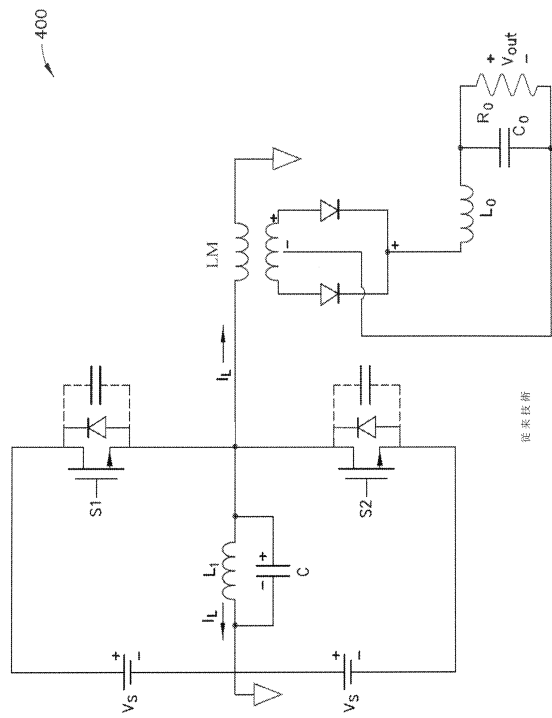
20

30

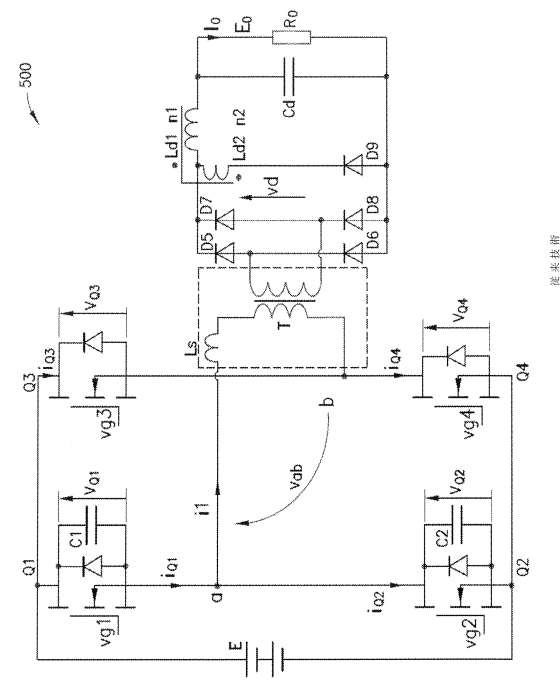
40

50

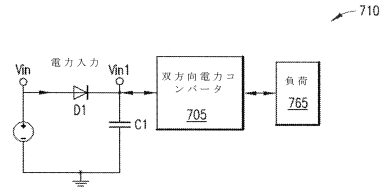
【図 4】



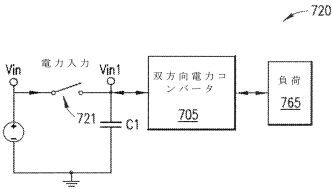
【図 5】



【図 6 A】



【図 6 B】



10

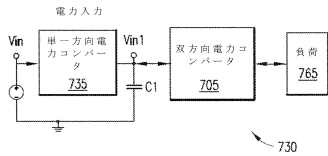
20

30

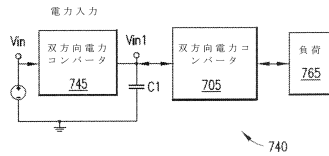
40

50

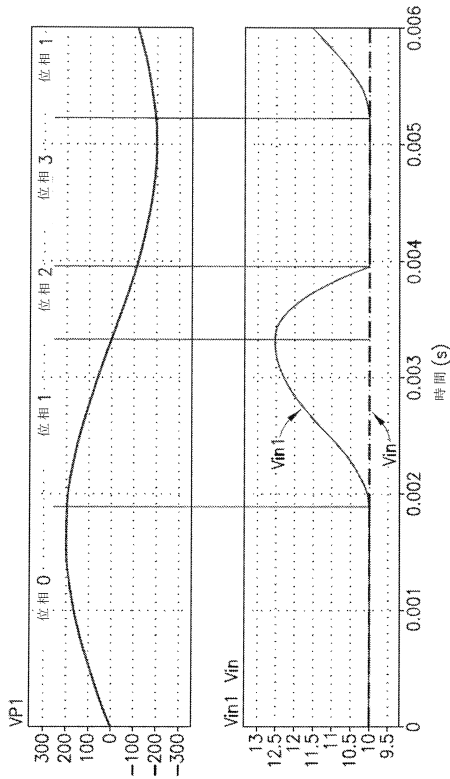
【図 6 C】



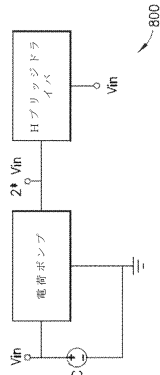
【図 6 D】



【図 7】



【図 8】



10

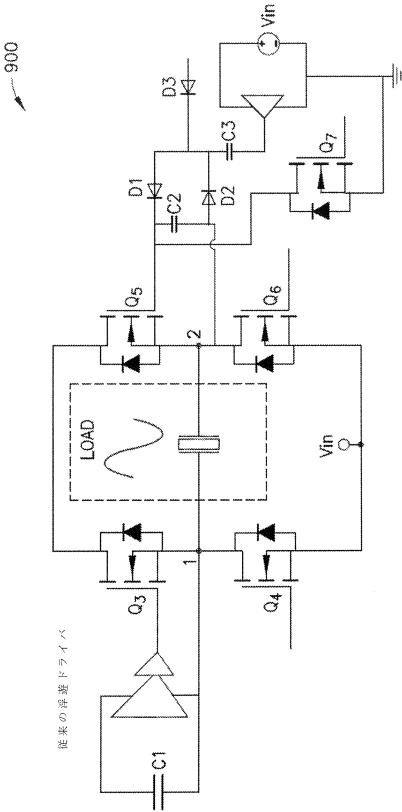
20

30

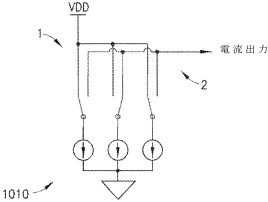
40

50

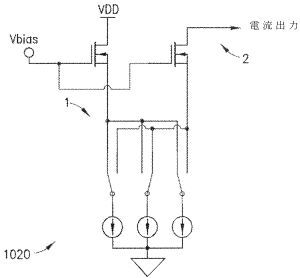
【図 9】



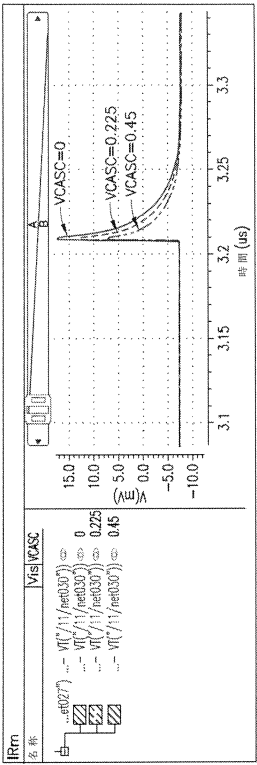
【図 10 A】



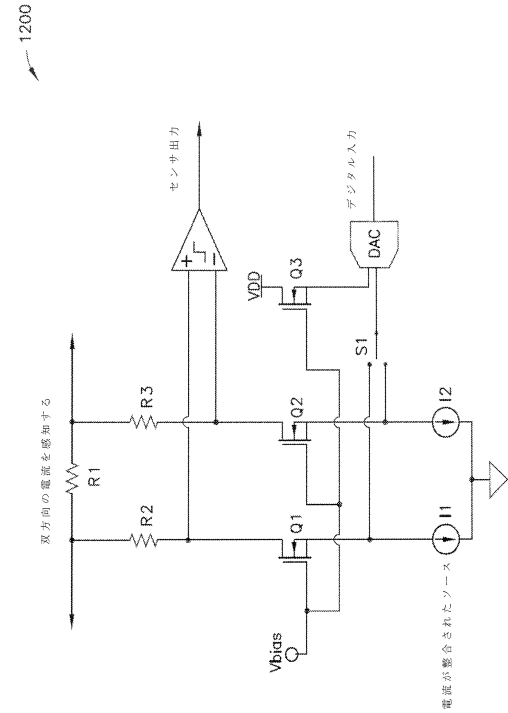
【図 10 B】



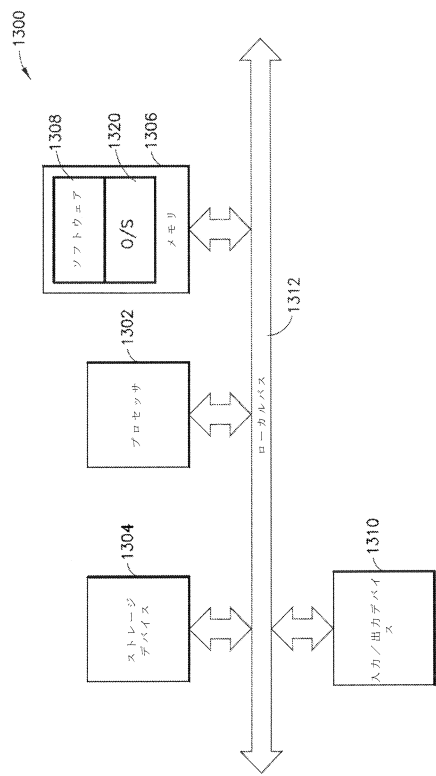
【図 11】



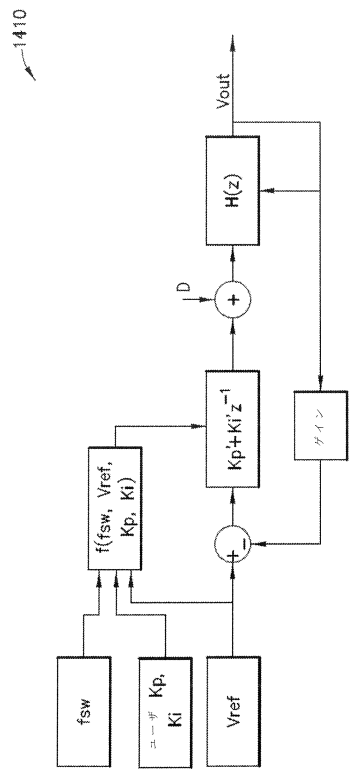
【図 1 2】



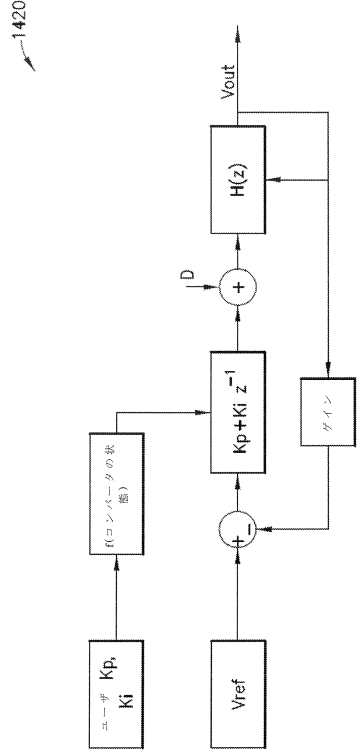
【図 1 3】



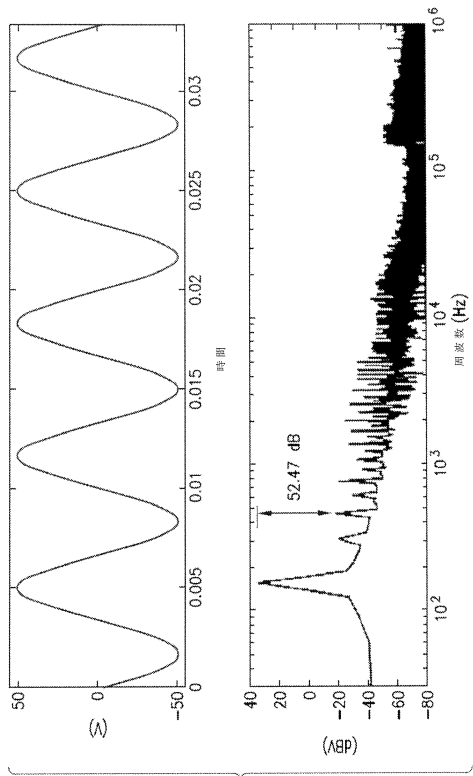
【図 1 4 A】



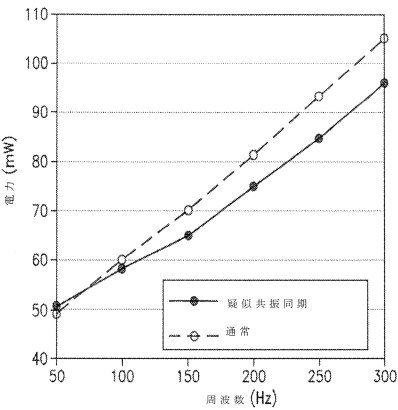
【図 1 4 B】



【図 15】



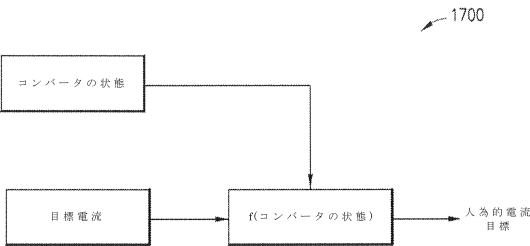
【図 16】



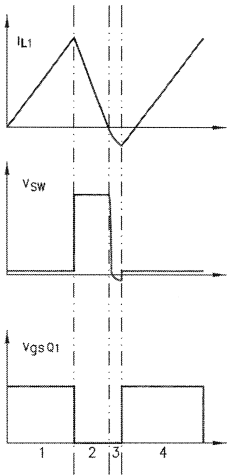
10

20

【図 17】



【図 18 A】

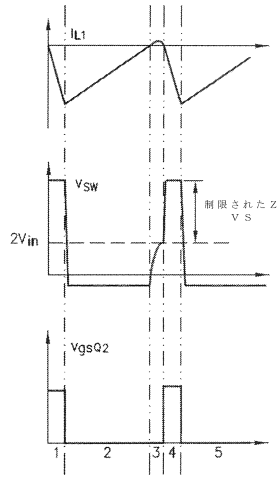


30

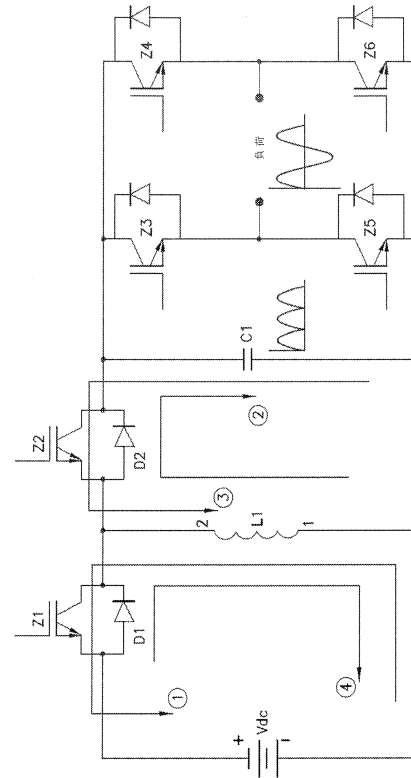
40

50

【図 18 B】

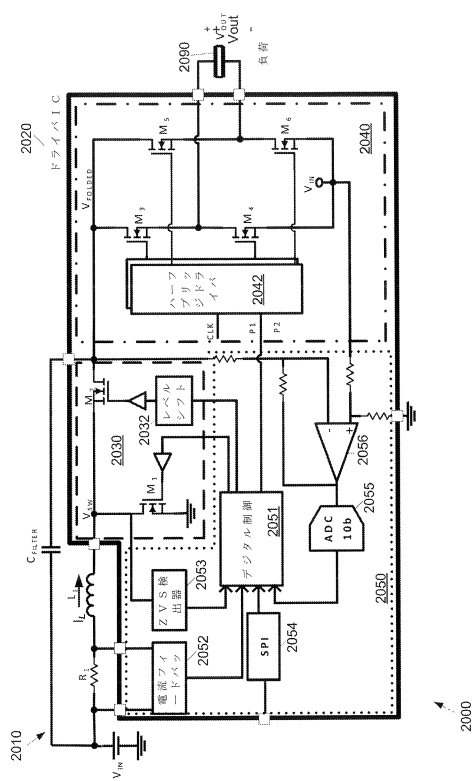


【図 19】

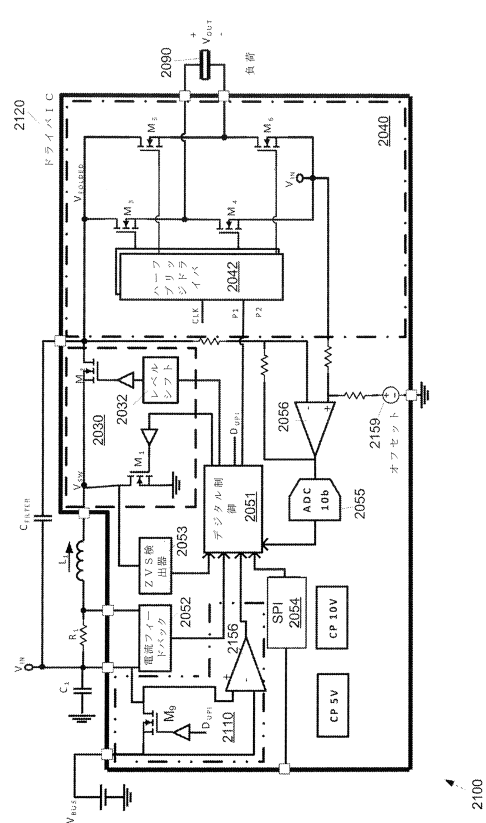


従来技術

【図 20】



【図 21】



10

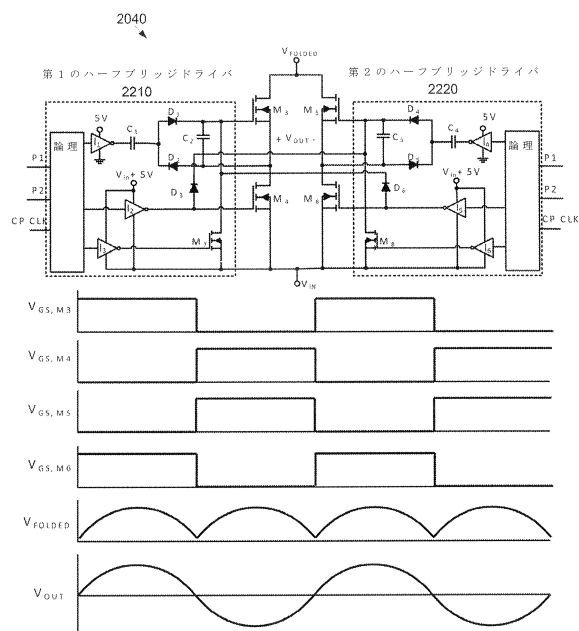
20

30

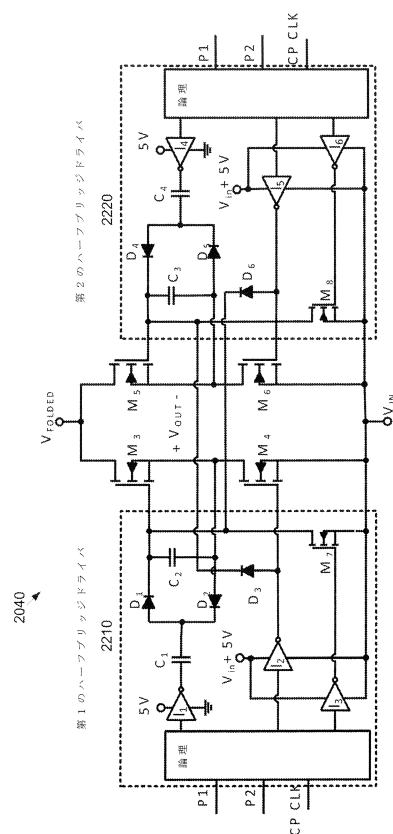
40

50

【圖 2 2】



【図 2 3】



10

20

【図 24】

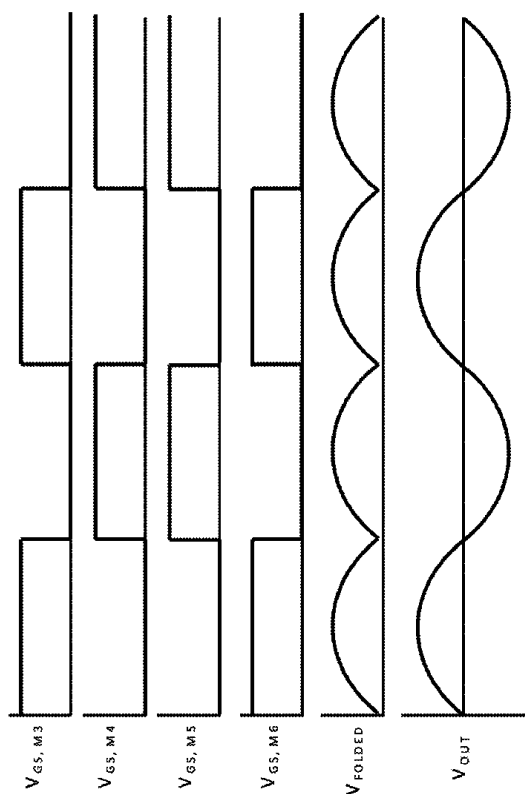
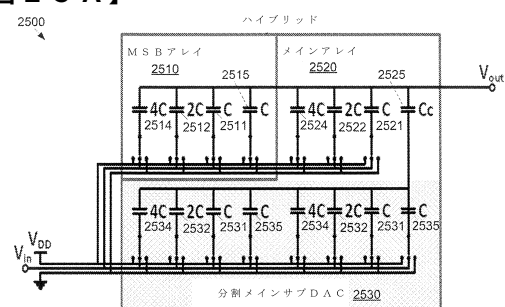


FIG. 24

【図 25 A】

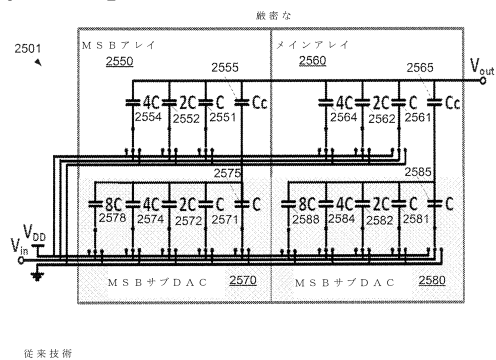


30

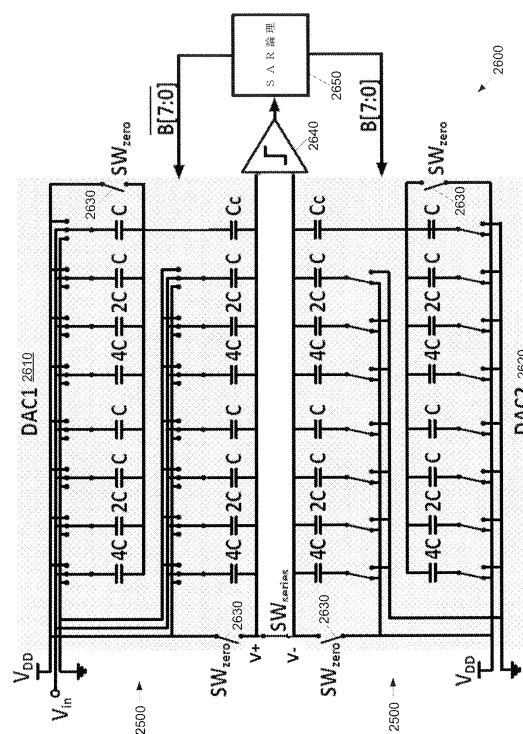
40

50

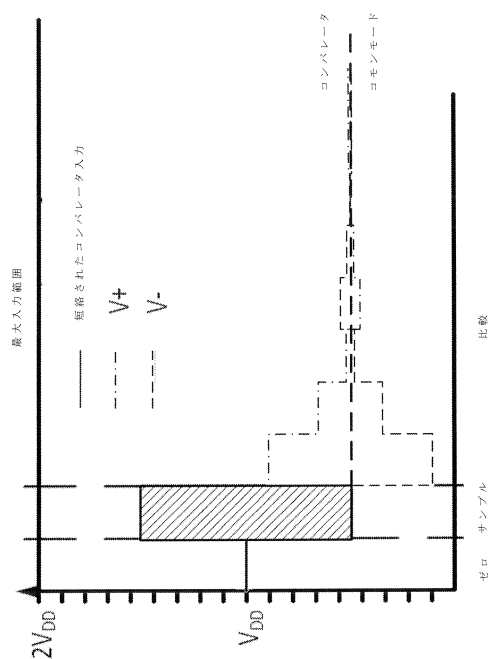
【図 25 B】



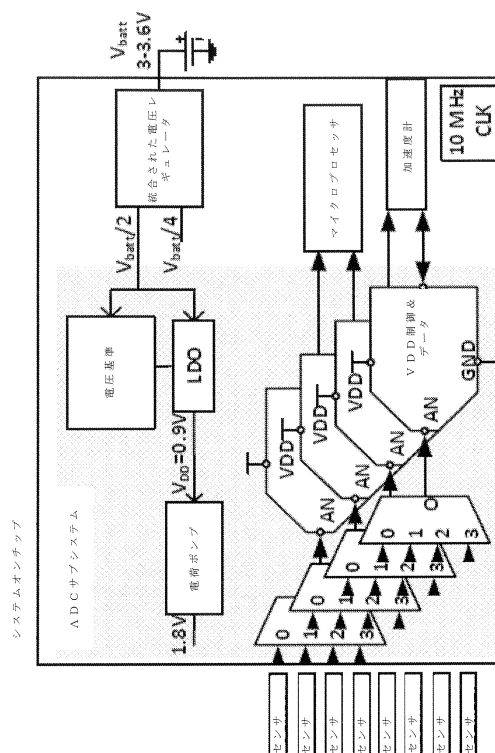
【図 2 6】



【図 27】



【圖 28】



フロントページの続き

(51)国際特許分類

F I
H 0 1 L 41/04カナダ国, ケベック ジェイ1エックス 0エイチ8, メーゴグ, ル ドゥ ラ サーペンタイン 1
2 3 7

(72)発明者 ウェイ, グーヨン

アメリカ合衆国, マサチューセッツ州 0 2 1 3 4, ボストン, ケンブリッジ ストリート 5 3 3
, ナンバー 3 0 2

審査官 柳下 勝幸

(56)参考文献

特表 2 0 1 5 - 5 2 5 5 5 8 (J P, A)

特開 2 0 0 5 - 3 0 4 2 1 0 (J P, A)

特開 2 0 0 7 - 1 8 9 8 7 3 (J P, A)

特開 2 0 0 7 - 1 4 2 8 6 3 (J P, A)

特開 2 0 1 6 - 1 3 6 7 9 3 (J P, A)

特開 2 0 1 5 - 1 0 4 2 0 4 (J P, A)

(58)調査した分野 (Int.Cl., D B名)

H 0 2 M 3 / 1 5 5

H 0 2 M 7 / 4 8

H 0 1 L 4 1 / 0 9

H 0 1 L 4 1 / 0 4