

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-196954
(P2005-196954A)

(43) 公開日 平成17年7月21日(2005.7.21)

(51) Int. Cl.⁷
G11C 13/00

F I
G11C 13/00

テーマコード (参考)

A

審査請求 未請求 請求項の数 25 O L (全 13 頁)

(21) 出願番号 特願2004-378128 (P2004-378128)
(22) 出願日 平成16年12月27日 (2004.12.27)
(31) 優先権主張番号 2003-100549
(32) 優先日 平成15年12月30日 (2003.12.30)
(33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839
三星電子株式会社
大韓民国京畿道水原市靈通区梅灘洞 4 1 6
(74) 代理人 100064908
弁理士 志賀 正武
(74) 代理人 100089037
弁理士 渡邊 隆
(74) 代理人 100108453
弁理士 村山 靖彦
(74) 代理人 100110364
弁理士 実広 信哉
(72) 発明者 安 洙珍
大韓民国ソウル特別市廣津區紫陽2洞69
5番地 漢陽アパート5棟107號

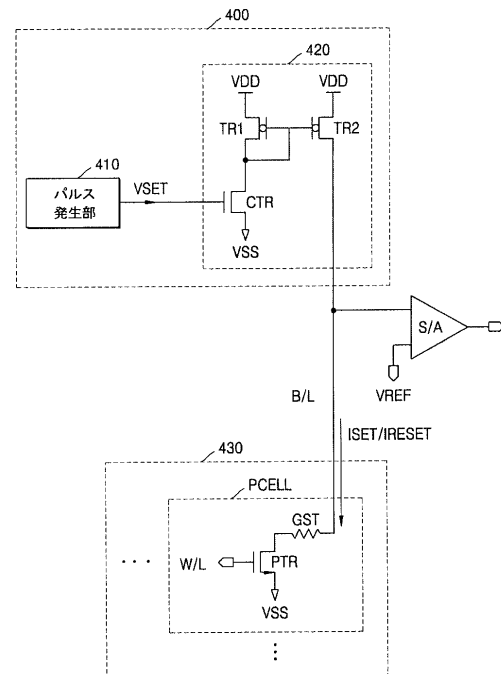
(54) 【発明の名称】 相変化メモリアレイのセットプログラミング方法及び書き込みドライバ回路

(57) 【要約】

【課題】 相変化メモリアレイのセットプログラミング方法及び書き込みドライバ回路を提供する。

【解決手段】 印加される電流パルスにตอบสนองして、リセット抵抗またはセット抵抗に状態が変化される相変化セルを備える、相変化メモリアレイのセットプログラミング方法において、前記相変化セルの状態をセット抵抗状態に変換させるために、電流量が順次に減少する第1ないし第nステージを備えるセット電流パルスを、前記相変化セルに印加する段階を備えるセットプログラミング方法。前記第1ステージの電流量は、前記相変化セルの中、セット抵抗状態となるに当たって最も大きい電流量を必要とする相変化セルをセット抵抗状態に変換させる電流量である。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

印加される電流パルスに応答して、リセット抵抗またはセット抵抗に状態が変化される相変化セルを備える、相変化メモリアレイのセットプログラミング方法において、

前記相変化セルの状態をセット抵抗状態に変換させるために、電流量が順次に減少する複数個のステージを備えるセット電流パルスを、前記相変化セルに印加する段階を備えることを特徴とする相変化メモリアレイのセットプログラミング方法。

【請求項 2】

前記複数個のステージは、

第 1 ないし第 n ステージを備え、 $n \geq 2$ であることを特徴とする請求項 1 に記載の相変化メモリアレイのセットプログラミング方法。 10

【請求項 3】

前記第 1 ステージの電流量は、

前記相変化セルの中、セット抵抗状態となるに当たって最も大きい電流量を必要とする相変化セルを、セット抵抗状態に変換させる電流量であることを特徴とする請求項 2 に記載の相変化メモリアレイのセットプログラミング方法。

【請求項 4】

前記第 1 ステージの電流量は、

前記相変化セルを溶融温度まで加熱させる電流量を超えないことを特徴とする請求項 2 に記載の相変化メモリアレイのセットプログラミング方法。 20

【請求項 5】

前記セット電流パルスの第 1 ステージないし前記第 n ステージのそれぞれの間には、前記電流量が 0 である区間が存在することを特徴とする請求項 1 に記載の相変化メモリアレイのセットプログラミング方法。

【請求項 6】

前記セット電流パルスの複数個のステージのそれぞれは、

連続して発生されることを特徴とする請求項 1 に記載の相変化メモリアレイのセットプログラミング方法。

【請求項 7】

前記複数個のステージは、

4 個のステージであることを特徴とする請求項 1 に記載の相変化メモリアレイのセットプログラミング方法。 30

【請求項 8】

印加される電流パルスに応答して、リセット抵抗またはセット抵抗に状態が変化される相変化セルを備える、相変化メモリアレイのセットプログラミング方法において、

対応する前記相変化セルの状態をセット抵抗状態に変換させるために、所定の電流量を有する第 1 電流パルスを、前記相変化物質に印加する段階と、

前記第 1 電流パルスの電流量より少量の電流量を有する第 2 ないし第 n 電流パルスを、前記相変化セルに順次に印加する段階と、を備え、

前記第 2 ないし第 n 電流パルスは、

電流量が順次に減少することを特徴とする相変化メモリアレイのセットプログラミング方法。 40

【請求項 9】

前記第 1 電流パルスの電流量は、

前記相変化セルの中、セット抵抗状態となるに当たって最も大きい電流量を必要とする相変化セルを、セット抵抗状態に変換させる電流量であることを特徴とする請求項 8 に記載の相変化メモリアレイのセットプログラミング方法。

【請求項 10】

前記第 1 電流パルスの電流量は、

前記相変化セルを溶融温度まで加熱させる電流量を超えないことを特徴とする請求項 8 50

に記載の相変化メモリアレイのセットプログラミング方法。

【請求項 1 1】

前記第 1 電流パルスないし前記第 n 電流パルスのそれぞれの間には、電流量が 0 である区間が存在することを特徴とする請求項 8 に記載の相変化メモリアレイのセットプログラミング方法。

【請求項 1 2】

前記第 1 電流パルスないし前記第 n 電流パルスのそれぞれは、連続して発生することを特徴とする請求項 8 に記載の相変化メモリアレイのセットプログラミング方法。

【請求項 1 3】

前記 n は、4 であることを特徴とする請求項 7 に記載の相変化メモリアレイのセットプログラミング方法。

【請求項 1 4】

印加される電流パルスに応答して、リセット抵抗またはセット抵抗に状態が変化される相変化セルを備える、相変化メモリ装置の書き込みドライバ回路において、

電圧の大きさが順次に減少する第 1 ないし第 n (n ≥ 2) ステージを備える、セット電圧パルスを発生させるパルス発生部と、

前記セット電圧パルスに응答して、電流量が順次に減少する第 1 ないし第 n ステージを備えるセット電流パルスを、前記相変化セルに印加する電流制御部と、を備えることを特徴とする書き込みドライバ回路。

【請求項 1 5】

前記電流制御部は、電源電圧に第 1 端が連結され、ゲートと第 2 端とが互いに連結される第 1 トランジスタと、

前記電源電圧に第 1 端が連結され、前記第 1 トランジスタのゲートにゲートが連結され、第 2 端に前記セット電流パルスが出力される第 2 トランジスタと、

前記第 1 トランジスタの第 2 端に第 1 端が連結され、接地電圧に第 2 端が連結され、ゲートに印加される前記セット電圧パルスに응答して、ターンオンされる程度が決定される制御トランジスタと、を備えることを特徴とする請求項 1 4 に記載の書き込みドライバ回路。

【請求項 1 6】

前記セット電圧パルスの第 1 ステージの電圧の大きさは、前記相変化セルの中、セット抵抗状態となるに当たって最も大きい電流量を必要とする相変化セルを、セット抵抗状態に変換させるセット電流パルスを発生させ得る電圧の大きさであることを特徴とする請求項 1 4 に記載の書き込みドライバ回路。

【請求項 1 7】

前記セット電圧パルスの第 1 ステージの電圧の大きさは、前記相変化セルを溶融温度まで加熱させるセット電流パルスを発生させ得る、電圧の大きさを超えないことを特徴とする請求項 1 4 に記載の書き込みドライバ回路。

【請求項 1 8】

前記セット電圧パルスの第 1 ステージないし前記第 n ステージのそれぞれの間には、前記電圧の大きさが 0 である区間が存在することを特徴とする請求項 1 4 に記載の書き込みドライバ回路。

【請求項 1 9】

前記セット電圧パルスの第 1 ステージないし前記第 n ステージのそれぞれは、連続して発生することを特徴とする請求項 1 4 に記載の書き込みドライバ回路。

【請求項 2 0】

前記 n は、4 であることを特徴とする請求項 1 4 に記載の書き込みドライバ回路。

10

20

30

40

50

【請求項 2 1】

電源電圧に第 1 端が連結され、ゲートと第 2 端とが互いに連結される第 1 トランジスタと、

前記電源電圧に第 1 端が連結され、前記第 1 トランジスタのゲートにゲートが連結され、第 2 端に前記セット電流パルスが出力される第 2 トランジスタと、

前記第 1 トランジスタの第 2 端に第 1 端が連結され、接地電圧に第 2 端が連結され、ゲートに印加される前記セット電圧パルスに应答して、ターンオンされる程度が決定される制御トランジスタと、を備えることを特徴とする電流コントローラ。

【請求項 2 2】

複数個のステージの間、複数個のセット電圧パルスに应答して複数個のセット電流パルスを発生させ、前記セット電圧パルス及び前記セット電流パルスの大きさは徐々に減少し、前記複数個のセット電流パルスは相変化メモリセルに印加されて、相変化メモリセルをセット状態に変化させることを特徴とする書き込みドライバ回路。

10

【請求項 2 3】

請求項 1 に記載のセットプログラミング方法を具現した書き込みドライバ回路。

【請求項 2 4】

請求項 8 に記載のセットプログラミング方法を具現した書き込みドライバ回路。

【請求項 2 5】

請求項 2 1 に記載の電流コントローラを備える書き込みドライバ回路。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、相変化メモリアレイのセットプログラミング方法及び、セットプログラミング方法を具現する書き込みドライバ回路に関する。

【背景技術】

【0002】

P R A M (P h a s e - c h a n g e R a n d o m A c c e s s M e m o r y) は、温度変化による状態転移に応じて、抵抗が変化される G S T (G e - S b - T e) のような物質（以下、相変化物質という）を用いて、データを保存する不揮発性メモリ素子である。P R A M は、D R A M の全てのメリットと不揮発性、低消費電力という特徴を有する。

30

【0003】

書き込み動作時、相変化物質に電流を流せば、相変化物質が結晶状態または非結晶状態に転移される。

相変化物質の結晶状態または非結晶状態は、相変化物質に流れる電流の大きさと量に左右される。相変化物質に多量の電流を短時間流せば、相変化物質は非結晶状態に変化されるが、このような状態を普通リセット状態と称し、データ 1 に対応する。

【0004】

相変化物質に、リセット電流より少量の電流を長時間流せば、相変化物質は結晶状態に変化されるが、このような状態を普通セット状態と称し、データ 0 に対応する。

40

【0005】

リセット状態での相変化物質の抵抗が、セット状態でのそれより大きい。初期に、セット状態にあるメモリセルをリセット状態に変換させようとする時、相変化物質にリセット電流を流して、溶融点以上に相変化物質を加熱した後、急速冷却させれば、相変化物質はリセット状態となる。

【0006】

それに対し、初期に、リセット状態にあるメモリセルをセット状態に変換させようとする時、相変化物質にセット電流を流して、相変化物質を結晶化温度以上に加熱した後、一定時間を維持してから冷却させれば、相変化物質がセット状態となる。

【0007】

50

図1は、相変化物質にデータを書き込むための、一般的な電流パルスを示す図面である。

既存のデータ書き込み方法は、図1のように、短くて大きい電流パルスを相変化物質に印加して、相変化物質を溶かした後に急速冷却させて、非晶質状態（リセット状態）に変換させるか、または長くて小さな電流パルスを相変化物質に印加して、結晶化温度以上に加熱して、相変化物質を結晶化状態（セット状態）に変換させる。

【0008】

ところが、複数個の相変化メモリセルを備えるメモリアレイにおいて、メモリアレイ内部のメモリセルの配置によって、それぞれのメモリセルの寄生抵抗が相異なることもある。

10

また、メモリセルに連結される信号線間の負荷が相異なることもあり、メモリアレイの面積が大きくなるにつれて、製造工程中に発生するメモリセルの間に、リセット電流の差が発生することもある。メモリセルの間にリセット電流の差が発生すれば、セット電流の差も発生する。

【0009】

このように、複数個の相変化セルを備えるメモリアレイで、相変化セルをセット状態に変換させるセット電流の電流量が、メモリセルの間に相異なることもあるため、一つのセット電流で全てのメモリセルをセット状態に転換させ得ないという問題がある。

【0010】

すなわち、一部のメモリセルはセット電流によってセット状態となるが、他の一部のメモリセルはリセット状態ともなり、また更に他の一部のセルはセット状態ともなるが、セット状態の抵抗値が、他のメモリセルのセット状態の抵抗値と異なる問題が発生することもある。これは、相変化メモリアレイの動作エラーを発生させる原因となる。

20

【発明の開示】

【発明が解決しようとする課題】

【0011】

本発明が達成しようとする技術的課題は、相変化メモリアレイの全てのメモリセルを、セット状態に変換させ得るセットプログラミング方法を提供するところにある。

【0012】

本発明が達成しようとする他の技術的課題は、相変化メモリアレイの全てのメモリセルをセット状態に変換させ得る書き込みドライバ回路を提供するところにある。

30

【課題を解決するための手段】

【0013】

前記技術的課題を達成するための、本発明の実施例に係るセットプログラミング方法は、印加される電流パルスに 응답して、リセット抵抗またはセット抵抗に状態が変化される相変化セルを備える、相変化メモリアレイのセットプログラミング方法において、前記相変化セルの状態をセット抵抗状態に変換させるために、電流量が順次に減少する複数個のステージを備えるセット電流パルスを、前記相変化セルに印加する段階を備える。前記複数個のステージは、第1ないし第nステージを備え、 $n \geq 2$ である。

【0014】

前記第1ステージの電流量は、前記相変化セルの中、セット抵抗状態となるに当たって最も大きい電流量を必要とする相変化セルを、セット抵抗状態に変換させる電流量である。

40

【0015】

前記第1ステージの電流量は、前記相変化セルを熔融温度まで加熱させる電流量を超えない。

【0016】

前記セット電流パルスの第1ステージないし前記第nステージのそれぞれの間には、前記電流量が0である区間が存在する。前記セット電流パルスの複数個のステージのそれぞれは連続して発生される。前記複数個のステージは4であり得る。

50

【0017】

前記技術的課題を達成するための、本発明の他の実施例に係るセットプログラミング方法は、印加される電流パルスに 응답して、リセット抵抗またはセット抵抗に状態が変化される相変化セルを備える、相変化メモリアレイのセットプログラミング方法において、対応する前記相変化セルの状態をセット抵抗状態に変換させるために、所定の電流量を有する第1電流パルスを、前記相変化物質に印加する段階を備える。

【0018】

そして、前記第1電流パルスの電流量より少量の電流量を有する第2ないし第n電流パルスを、前記相変化セルに順次に印加する段階を備える。前記第2ないし第n電流パルスは、電流量が順次に減少される。

10

【0019】

前記他の技術的課題を達成するための、本発明の実施例に係る書き込みドライバ回路は、前記印加される電流パルスに 응답して、リセット抵抗またはセット抵抗に状態が変化される相変化セルを備える、相変化メモリ装置の書き込みドライバ回路において、パルス発生部及び電流制御部を備える。

【0020】

パルス発生部は、電圧の大きさが順次に減少する第1ないし第nステージを備えるセット電圧パルスを発生させる。

【0021】

電流制御部は、前記セット電圧パルスに 응답して、電流量が順次に減少する第1ないし第nステージを備えるセット電流パルスを、前記相変化セルに印加する。

20

前記電流制御部は、第1トランジスタ、第2トランジスタ及び制御トランジスタを備える。

【0022】

第1トランジスタは、電源電圧に第1端が連結され、ゲートと第2端とが互いに連結される。第2トランジスタは、前記電源電圧に第1端が連結され、前記第1トランジスタのゲートにゲートが連結され、第2端に前記セット電流パルスが出力される。

【0023】

制御トランジスタは、前記第1トランジスタの第2端に第1端が連結され、接地電圧に第2端が連結され、ゲートに印加される前記セット電圧パルスに 응답して、ターンオンされる程度が決定される。

30

【0024】

前記セット電圧パルスの第1ステージの電圧の大きさは、前記相変化セルの中、セット抵抗状態となるに当たって最も大きい電流量を必要とする相変化セルをセット抵抗状態に変換させる、セット電流パルスを発生させ得る電圧の大きさである。

【0025】

前記セット電圧パルスの第1ステージの電圧の大きさは、前記相変化セルを溶融温度まで加熱させるセット電流パルスを発生させ得る電圧の大きさを超えない。

【0026】

前記セット電圧パルスの、第1ステージないし前記第nステージのそれぞれの間には、前記電圧の大きさが0である区間が存在する。前記セット電圧パルスの第1ステージないし前記第nステージのそれぞれは連続して発生する。前記nは4であり得る。

40

【0027】

前記他の技術的課題を達成するための、本発明の実施例に係る電流コントローラは、電源電圧に第1端が連結され、ゲートと第2端とが互いに連結される第1トランジスタ、前記電源電圧に第1端が連結され、前記第1トランジスタのゲートにゲートが連結され、第2端に前記セット電流パルスが出力される第2トランジスタ及び、前記第1トランジスタの第2端に第1端が連結され、接地電圧に第2端が連結され、ゲートに印加される前記セット電圧パルスに 응답して、ターンオンされる程度が決定される制御トランジスタを備える。

50

【0028】

前記他の技術的課題を達成するための、本発明の実施例に係る書き込みドライバ回路は、複数個のステージの間、複数個のセット電圧パルスに 응답して複数個のセット電流パルスを発生させ、前記セット電圧パルス及び前記セット電流パルスの大きさは徐々に減少し、前記複数個のセット電流パルスは相変化メモリセルに印加されて、相変化メモリセルをセット状態に変化させる。

【発明を実施するための最良の形態】

【0029】

本発明と本発明の動作上のメリット及び、本発明の実施によって達成される目的を十分に理解するには、本発明の好ましい実施例を例示する添付図面及び図面に記載された内容を参照せねばならない。

以下、添付した図面を参照して本発明の好ましい実施例を説明することで、本発明を詳細に説明する。各図面に提示された同じ参照符号は同じ部材を示す。

【0030】

図2は、相変化メモリセルに印加される電流変化による相変化セルの抵抗変化を説明する図面である。

図2を参照すれば、相変化メモリアレイに存在するメモリセルの中、二つのメモリセルA、Bを例として挙げて説明する。

メモリセルAに印加される電流を増加させれば、メモリセルAの抵抗が減少する。メモリセルAに印加される電流が約1mAならば、メモリセルAの抵抗は最低となる。

そして、メモリセルAに印加される電流が1mAを超えれば、メモリセルAの抵抗は徐々に増加して電流が約1.2mA以上になれば、メモリセルAの抵抗は最大となり、抵抗がそれ以上増加しない飽和状態となる。

【0031】

メモリセルAの抵抗が最大の状態で、再び印加される電流の量を減らせば、メモリセルAの抵抗も減る。ところが、印加される電流量が1mA以下になっても、メモリセルAの抵抗が再び増加されず、一定値を維持する。

すなわち、印加される電流を1mA以下に下げても、メモリセルAの抵抗は図2の抵抗曲線(i)に示されたように、一定値を維持する。

【0032】

メモリセルAに印加される電流が1mAである場合のメモリセルの抵抗状態をセット抵抗状態と定義すれば、メモリセルAに印加される電流を増加させた後、再び減少させる場合、メモリセルAはセット抵抗状態を維持し続けるということがわかる。

このような原理は、メモリセルBについても同様に適用される。メモリセルBに印加される電流が約0.8mAならば、メモリセルBの抵抗は最低となり、メモリセルBに印加される電流が約0.9mA以上になれば、メモリセルBの抵抗は最大となる。

【0033】

メモリセルBの抵抗が最大の状態で再び印加される電流の量を減らせば、メモリセルBの抵抗も減る。ところが、印加される電流量が0.8mA以下となっても、メモリセルBの抵抗が再び増加されず、一定値を維持する。

すなわち、印加される電流を0.8mA以下に下げても、メモリセルBの抵抗は、図2の抵抗曲線(i)に示されたように、一定値を維持する。

【0034】

メモリセルBに印加される電流が0.8mAである場合のメモリセルの抵抗状態をセット抵抗状態と定義すれば、メモリセルBに印加される電流を増加させた後、再び減少させる場合、メモリセルBはセット抵抗状態を維持し続けるということがわかる。

【0035】

図2から、メモリセルA、Bの状態がセット抵抗状態となる電流量が相異なることがわかる。図2では、二つのメモリセルA、Bのみを例として挙げたが、相変化メモリアレイに存在する多数のメモリセルがセット抵抗状態となる電流量は相異なることもある。

10

20

30

40

50

【0036】

本発明は、一旦、メモリセルに多量の電流量を印加した後、再び印加される電流量を減少させれば、メモリセルがセット抵抗状態を維持するという原理を用いる。

メモリセルに印加されるセット電流を一回でなく数回印加し、印加されるセット電流の電流量を徐々に減少させれば、相変化メモリアレイ内部のメモリセルを全てセット抵抗状態に変換させ得る。

したがって、相変化メモリアレイ内部の相変化セルのセット抵抗が相異なることにより、セット電流を受信したメモリセルの中の一部がセット抵抗状態になれない問題を解決できる。

【0037】

図3Aは、本発明の実施例に係る相変化メモリアレイに印加されるセット電流パルスを示す図面である。

図3Bは、本発明の他の実施例に係る相変化メモリアレイに印加されるセット電流パルスを示す図面である。

【0038】

本発明の実施例に係るセットプログラミング方法は、相変化セルの状態をセット抵抗状態に変換するために、電流量が順次に減少する第1ないし第nステージを備えるセット電流パルスISETを相変化セルに印加する段階を備える。

図3Aを参照すれば、セット電流パルスISETの第1ステージST1の電流量が最も多く、第nステージSTnの電流量が最も少ない。第1ステージST1の電流量は、相変化セルの中、セット抵抗状態となるに当たって最も大きい電流量を必要とする相変化セルを、セット抵抗状態に変換する電流量である。

【0039】

図2を例として挙げれば、もし複数個のメモリセルの中、セット抵抗状態となるに当たって最も大きい電流量を必要とする相変化メモリセルが、図2のAに対応するメモリセルならば、セット電流パルスISETの第1ステージST1の電流量は1mAとなる。

【0040】

セット電流パルスISETの電流量は、印加されるメモリアレイのメモリセルによって異なり得るが、セット電流パルスISETの第1ステージST1の電流量は、相変化セルを溶融温度まで加熱させる電流量を超えない。

【0041】

相変化セルを溶融温度以上に加熱すれば、相変化セルはリセット抵抗状態に変化される。したがって、セット電流パルスISETの最も大きい電流量である第1ステージST1の電流量は、相変化セルを溶融温度まで加熱させる電流量よりは少なくなければならぬ。

【0042】

相変化メモリアレイに印加されるセット電流パルスISETは、図3A及び図3Bのように、2つの形態であり得る。図3Aのセット電流パルスISETは、第1ステージないし前記第nステージST1、ST2ないしSTnのそれぞれの間には、電流量が0である区間が存在する。

【0043】

図3Aのセット電流パルスISETは、第1ステージST1電流が相変化メモリアレイに印加された後、一定時間の間、電流が相変化メモリアレイに印加されない区間が存在する。そして、再び第2ステージST2電流が相変化メモリアレイに印加される。

【0044】

図3Bのセット電流パルスISETは、第1ステージST1電流が相変化メモリアレイに印加された後、次いで、第2ステージST2電流が相変化メモリアレイに印加される。このような方式で、第nステージSTn電流まで相変化メモリアレイに連続的に印加される。図3Bのセット電流パルスISETは、階段波と同じ形態である。

【0045】

10

20

30

40

50

図 3 A 及び図 3 B には、セット電流パルス I S E T のそれぞれのステージ S T 1、S T 2 ないし S T n が矩形波形態で示されているが、セット電流パルス I S E T の形態が必ず矩形波に限られるものではない。

【 0 0 4 6 】

セット電流パルス I S E T が備えるステージの数は、複数個であり得る。相変化メモリアレイの大きさと第 1 ステージ S T 1 の電流量とを考慮して、相変化セルをいずれもセット抵抗状態に変換させ得るステージの数が決定される。

【 0 0 4 7 】

一実施例として、n が 4 である場合、すなわち、セット電流パルス I S E T が第 1 ないし 4 ステージ S T 1、S T 2、S T 3、S T 4 を備える場合、相変化メモリアレイの全てのセルをセット抵抗状態に変換させ得る。

【 0 0 4 8 】

本発明の他の実施例に係るセットプログラミング方法は、対応する相変化セルの状態をセット抵抗状態に変換させるために、所定の電流量を有する第 1 電流パルスを前記相変化物質に印加する段階と、前記第 1 電流パルスの電流量より少量の電流量を有する第 2 ないし第 n 電流パルスを、前記相変化セルに順次に印加する段階と、を備える。

前記第 2 ないし第 n 電流パルスは、電流量が順次に減少される。

【 0 0 4 9 】

本発明の他の実施例に係るセットプログラミング方法で、前記第 1 電流パルスないし第 n 電流パルスは、図 3 A 及び図 3 B のセット電流パルス I S E T のそれぞれのステージ S T 1、S T 2 ないし S T n と同じである。

すなわち、本発明の他の実施例に係るセットプログラミング方法は、図 3 A 及び図 3 B のそれぞれのステージ S T 1、S T 2 ないし S T n 電流を、順次に相変化メモリアレイに印加する方法に関する。図 3 A 及び図 3 B のセット電流パルス I S E T を相変化メモリアレイに印加する方法については、既に説明したため詳細な説明を省略する。

【 0 0 5 0 】

図 4 は、本発明の実施例に係る書き込みドライバ回路を示す図面である。

図 5 A は、図 4 のパルス発生部が発生させるセット電圧パルスの実施例を示す図面である。

図 5 B は、図 4 のパルス発生部が発生させるセット電圧パルスの他の実施例を示す図面である。

【 0 0 5 1 】

本発明の実施例に係る書き込みドライバ回路 4 0 0 は、パルス発生部 4 1 0 及び電流制御部 4 2 0 を備える。

パルス発生部 4 1 0 は、電圧の大きさが順次に減少する第 1 ないし第 n ステージ S T 1、S T 2 ないし S T n を備えるセット電圧パルス V S E T を発生させる。

【 0 0 5 2 】

電流制御部 4 2 0 は、セット電圧パルス V S E T に応答して、電流量が順次に減少する第 1 ないし第 n ステージ S T 1、S T 2 ないし S T n を備えるセット電流パルス I S E T を、相変化セル P C E L L に印加する。

【 0 0 5 3 】

図 4 には、相変化セル P C E L L のうち一つが示されている。相変化セル P C E L L は、ワードライン W / L に連結されてターンオンまたはターンオフされるトランジスタ P T R と、印加されるセット電流パルス I S E T またはリセット電流パルス I R E S E T によって抵抗の大きさが変化される相変化物質 G S T とを備える。

【 0 0 5 4 】

図 4 の書き込みドライバ回路 4 0 0 は、前記したセットプログラミング方法を具現するための回路である。すなわち、書き込みドライバ回路 4 0 0 は、相変化メモリアレイ 4 3 0 の相変化セル P C E L L をセット抵抗状態に変換させるためのセット電流パルス I S E T を、相変化メモリアレイ 4 3 0 に印加する。

10

20

30

40

50

【0055】

セット電流パルス I S E T は、図 3 A 及び図 3 B に示されたような、前記セット電流パルス I S E T の特性を有する。すなわち、第 1 ないし第 n ステージ S T 1、S T 2 ないし S T n を備えて電流量が順次に減少する。

【0056】

書き込みドライバ回路 400 で、図 3 A または図 3 B に示されたようなセット電流パルス I S E T を発生させるために、パルス発生部 410 は、図 5 A または図 5 B のような電圧波形を有するセット電圧パルス V S E T を発生させる。

【0057】

図 5 A の左側には、パルス発生部 410 が発生させるリセット電圧パルス V R E S E T が示されている。パルス発生部 410 がリセット電圧パルス V S E T を発生させれば、書き込みドライバ回路 400 は、相変化メモリアレイ 430 の相変化セル P C E L L にリセット電流パルス I R E S E T を出力する。 10

【0058】

図 5 A の右側には、パルス発生部 410 が発生させるセット電圧パルス V S E T が示されている。図 5 A の右側に示されたセット電圧パルス V S E T は、図 3 A に示されたセット電流パルス I S E T と同じ形態である。

すなわち、セット電圧パルス V S E T の第 1 ステージないし前記第 n ステージ S T 1、S T 2 ないし S T n のそれぞれの間には、電圧の大きさが 0 である区間が存在する。

【0059】

図 5 B の右側に示されたセット電圧パルス V S E T は、図 3 B に示されたセット電流パルス I S E T と同じ形態である。すなわち、セット電圧パルス V S E T の第 1 ステージないし前記第 n ステージ S T 1、S T 2、S T 3 ないし S T n のそれぞれは、連続して発生する。 20

すなわち、電流制御部 420 は、パルス発生部 410 から印加されるセット電圧パルス V S E T と同じ波形を有するセット電流パルス I S E T を発生させる。

【0060】

言い換えれば、相変化メモリアレイ 430 の相変化セル P C E L L に印加されるセット電流パルス I S E T の形態は、パルス発生部 410 で発生させるセット電圧パルス V S E T の形態によって制御される。 30

【0061】

図 5 A 及び図 5 B のようなセット電圧パルス V S E T を発生させるパルス発生部 410 の構造は、当業者ならば理解できるため、詳細な説明を省略する。

パルス発生部 410 が発生させるセット電圧パルス V S E T の第 1 ステージ S T 1 の電圧の大きさは、相変化セル P C E L L の中、セット抵抗状態となるに当たって最も大きい電流量を必要とする相変化セルをセット抵抗状態に変換させるセット電流パルス I S E T を発生させ得る電圧の大きさである。

【0062】

セット電圧パルス V S E T の第 1 ステージ S T 1 の電圧の大きさは、前記相変化セル P C E L L を溶融温度まで加熱させるセット電流パルス I S E T を発生できる電圧の大きさを超えない。 40

【0063】

セット電圧パルス V S E T が備えるステージの数は、複数個であり得る。相変化メモリアレイ 430 の大きさと、セット電圧パルス V S E T の第 1 ステージ S T 1 の電圧量とを考慮して、相変化セル P C E L L をいずれもセット抵抗状態に変換させ得るセット電圧パルス V S E T のステージの数が決定される。

【0064】

一実施例として、n が 4 である場合、すなわち、セット電圧パルス V S E T が第 1 ないし 4 ステージ S T 1、S T 2、S T 3、S T 4 を備える場合、相変化メモリアレイ 430 の全てのセルをセット抵抗状態に変換させ得る。 50

【0065】

電流制御部420は、第1トランジスタTR1、第2トランジスタTR2及び制御トランジスタCTRを備える。

第1トランジスタTR1は、電源電圧VDDに第1端が連結され、ゲートと第2端とが互いに連結される。第2トランジスタTR2は、電源電圧VDDに第1端が連結され、第1トランジスタTR1のゲートにゲートが連結され、第2端にセット電流パルスISETが出力される。

第1トランジスタTR1と第2トランジスタTR2とは、電流ミラー形態で結合される。

【0066】

制御トランジスタCTRは、第1トランジスタTR1の第2端に第1端が連結され、接地電圧VSSに第2端が連結され、ゲートに印加されるセット電圧パルスVSETにตอบสนองしてターンオンされる程度が決定される。

【0067】

制御トランジスタCTRのゲートにセット電圧パルスVSETの第1ステージST1電圧が印加される場合、制御トランジスタCTRのターンオンされる程度は、セット電圧パルスVSETの第nステージSTn電圧が印加される場合、制御トランジスタCTRのターンオンされる程度より大きい。

すなわち、制御トランジスタCTRのゲートにセット電圧パルスVSETの第1ステージST1電圧が印加される場合、制御トランジスタCTRを通じて流れる電流量が、セット電圧パルスVSETの第nステージSTn電圧が印加される場合、制御トランジスタCTRを通じて流れる電流量より多い。

【0068】

第1トランジスタTR1に電流ミラーの形態で結合される第2トランジスタTR2の第2端に流れるセット電流パルスISETの電流量は、制御トランジスタCTRを流れて流れる電流量に比例する。

したがって、制御トランジスタCTRに印加されるセット電圧パルスVSETの電圧の大きさに比例して、相変化メモリアレイ430に流れるセット電流パルスISETの電流量が決まる。

したがって、書き込みドライバ回路400は、パルス発生部410で発生されるセット電圧パルスVSETの電圧の大きさを制御して、相変化メモリアレイ430に印加されるセット電流パルスISETの電流量を決定できる。

【0069】

図4の書き込みドライバ回路400を用いて、相変化メモリアレイ430に印加されるセット電流パルスISETの電流量を徐々に減少させて、相変化メモリアレイ430のあらゆる相変化セルPCELLをセット抵抗状態に変換させ得る。

【0070】

前述したように、本発明に係るセットプログラミング方法及び書き込みドライバ回路は、相変化メモリアレイに複数個のセット電流パルスを印加し、電流量を徐々に減少させることで、相変化メモリアレイのあらゆる相変化セルをセット抵抗状態とし得るメリットがある。

【0071】

本発明の実施例で、電流パルスや電圧パルスが、階段波形または矩形波形であると説明されているが、当業者ならば、本発明の実施例が電流パルスや電圧パルスの波形に限られないということがわかる。

なお、本発明の実施例が相変化メモリについて説明しているが、当業者ならば、いかなる適当な物質によって形成された適当なメモリ装置にも適用できるということが分かる。

【0072】

本発明の実施例で、電流パルスの大きさの変化を例として説明しているが、当業者ならば、電流パルスの幅の変化も相変化メモリに影響を与え得ることが理解できる。

10

20

30

40

50

また、本発明の実施例が、相変化メモリセルがリセット状態からセット状態に変化されることを例として説明しているが、当業者ならば、いかなるメモリセルまたはアレイが、ある状態から他の状態に変化される場合にも、本発明の実施例が適用され得ることが理解できる。

【0073】

本発明の実施例で、セット状態をデータ0に対応させ、リセット状態をデータ1に対応させて説明したが、当業者ならば、対応するデータ値を異ならせ得るということが理解できる。

【0074】

以上のように、図面と明細書とで最良の実施例が開示された。ここでは特定用語が使用されたが、これは単に、本発明を説明するための目的で使用され、意味限定や特許請求の範囲に記載された本発明の範囲を制限するために使用されたものではない。したがって、当業者ならば、これから多様な変形及び均等な他の実施例が可能であるということが理解できる。したがって、本発明の真の技術的保護範囲は、特許請求の範囲の技術的思想によって決まるべきである。

【図面の簡単な説明】

【0075】

【図1】相変化物質にデータを書き込みするための一般的な電流パルスを示す図面である。

【図2】相変化メモリセルに印加される電流変化に係る相変化セルの抵抗の変化を説明する図面である。

【図3A】本発明の実施例に係る相変化メモリアレイに印加されるセット電流パルスを示す図面である。

【図3B】本発明の他の実施例に係る相変化メモリアレイに印加されるセット電流パルスを示す図面である。

【図4】本発明の実施例に係る書き込みドライバ回路を示す図面である。

【図5A】図4のパルス発生部が発生させるセット電圧パルスの実施例を示す図面である。

【図5B】図4のパルス発生部が発生させるセット電圧パルスの他の実施例を示す図面である。

【符号の説明】

【0076】

400	書き込みドライバ回路
410	パルス発生部
420	電流制御部
430	相変化メモリアレイ
VSET	セット電圧パルス
ISET	セット電流パルス
PCELL	相変化セル
W/L	ワードライン
PTR	トランジスタ
IRESET	リセット電流パルス
GST	相変化物質
TR1	第1トランジスタ
TR2	第2トランジスタ
VDD	電源電圧
CTR	制御トランジスタ
VSS	接地電圧

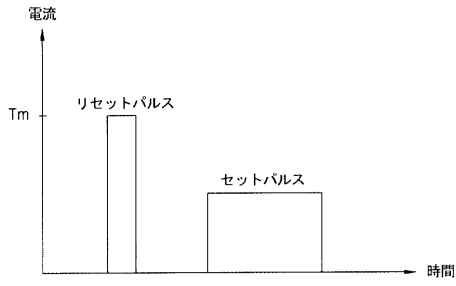
10

20

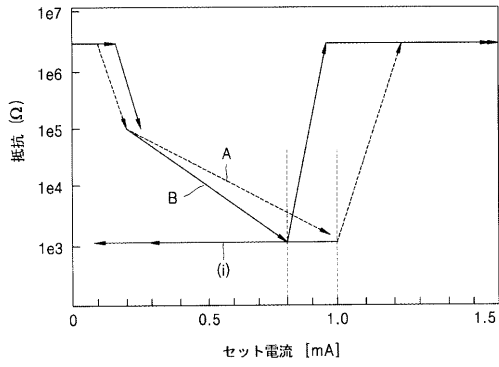
30

40

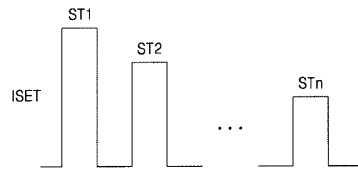
【 図 1 】



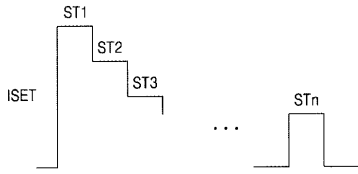
【 図 2 】



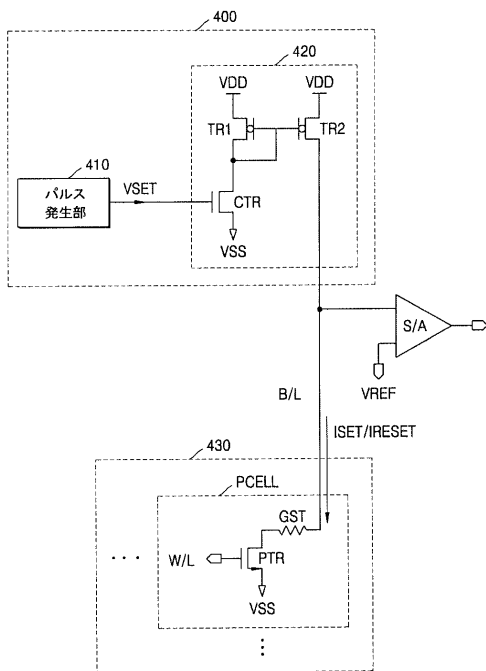
【 図 3 A 】



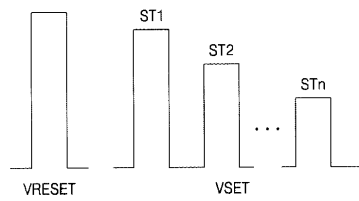
【 図 3 B 】



【 図 4 】



【 図 5 A 】



【 図 5 B 】

