

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2005-516264
(P2005-516264A)

(43) 公表日 平成17年6月2日(2005.6.2)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G 0 6 F 12/02	G 0 6 F 12/02 5 1 0 A	5 B 0 2 5
G 0 6 F 12/00	G 0 6 F 12/00 5 9 7 U	5 B 0 6 0
G 1 1 C 16/02	G 1 1 C 17/00 6 0 1 Z	

審査請求 未請求 予備審査請求 未請求 (全 23 頁)

(21) 出願番号 特願2001-512381 (P2001-512381)
 (86) (22) 出願日 平成12年6月9日(2000.6.9)
 (85) 翻訳文提出日 平成13年12月10日(2001.12.10)
 (86) 国際出願番号 PCT/US2000/015777
 (87) 国際公開番号 W02000/077791
 (87) 国際公開日 平成12年12月21日(2000.12.21)
 (31) 優先権主張番号 09/330, 278
 (32) 優先日 平成11年6月11日(1999.6.11)
 (33) 優先権主張国 米国 (US)

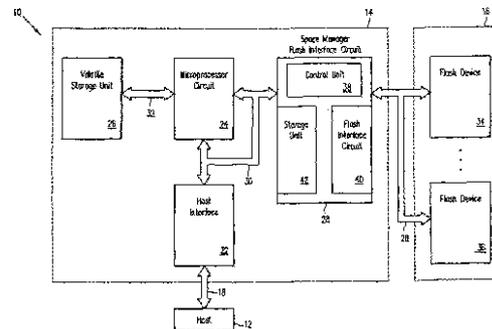
(71) 出願人 300005057
 レクサー・メディア・インコーポレイテッド
 Lexar Media, Inc
 アメリカ合衆国 94538 カリフォルニア州 フレモント、ベイサイド・パークウェイ 47421番
 (71) 出願人 501477727
 エスタクリ, ペトロ
 アメリカ合衆国 カリフォルニア 94566, ブリーズントン, フットヒルノウルス 7966
 (74) 代理人 100078282
 弁理士 山本 秀策

最終頁に続く

(54) 【発明の名称】 不揮発性メモリ上で実行されるブロック書き込み動作時間を低減させる方法および装置

(57) 【要約】

メモリデバイスは、ホスト(12)とコントローラ(14)を備える。コントローラ(14)は、セクタ(34, 36)に組織化された情報の不揮発性メモリユニット(16)からの読み出しおよび書き込みを制御する。コントローラ(14)は、揮発性メモリ内に格納されたLUTにおけるセクタ情報のマッピングを保持する。各不揮発性メモリユニット(16)の各ブロック内部に保持されるアドレス値およびフラグ情報の使用によって、ブロックは本発明の様々な代替的な実施形態における異なる数の書き込み動作を用いることによって再書き込みされる。フラグ情報はブロックの状態を示すため、電源投入の間コントローラ(14)は、ブロックのアドレス値およびフラグ情報を読み出し、ブロックの状態を判定し、それによってブロックの再書き込みを終了し、必要ならばLUTをそれに応じて更新する。



【特許請求の範囲】

【請求項 1】

ホストおよび不揮発性メモリユニットと共に使用する固体格納システムであって、該ホストはセクタに組織化されたデジタル情報を該不揮発性メモリユニットから読み出し、該不揮発性メモリユニットに書き込み、該不揮発性メモリユニットは、1以上の不揮発性メモリデバイスを含み、各不揮発性メモリデバイスは、セクタ情報を格納するための複数のセクタ格納空間を有する少なくとも1つのブロックを含み、各セクタ格納空間は、データおよびオーバーヘッド情報を格納するための格納空間を含み、該固体格納システムは、該ホストによって識別される特定の群のセクタ情報を再書き込みするために、該ホストと該不揮発性メモリユニットとの間に結合されるコントローラデバイスであって、該特定の群のセクタ情報は、該不揮発性メモリユニットの以前に書き込まれたブロック内部に含まれ、該コントローラデバイスは、空きブロックを識別し、少なくとも2つのセクタ格納空間、すなわち第1のセクタ格納空間および第2のセクタ格納空間を含むように該空きブロックを構成し、

10

該第1のセクタ格納空間は、データ格納フィールドおよびオーバーヘッド格納フィールドを含み、該第1のオーバーヘッド格納フィールドは、該空きブロックを識別するアドレス値を格納するためのアドレスフィールドを含み、該第2のセクタ格納空間は、データ格納フィールドおよびオーバーヘッド格納フィールドを含み、該第2のオーバーヘッド格納フィールドは、該空きブロックの状態を示すフラグフィールドを含み、該コントローラデバイスは、該第1のセクタ格納空間上で書き込み動作を実行して該データ格納フィールドにデータを書き込み、該アドレスフィールドにアドレス値を書き込み、該コントローラデバイスは、さらなる書き込み動作を実行して該特定の群のセクタ情報を書き込み、またさらなる書き込み動作を実行して該以前に書き込まれたブロックから空きブロック内の同じセクタの格納空間にセクタ情報を移動し、セクタ情報を該第2の格納空間に書き込む場合、該コントローラは、該フラグフィールドの内容を修正して、該空きブロックへの書き込みの終了を示す、コントローラデバイスを備え、ブロックの再書き込みの間、書き込み動作の数がブロック内のセクタ格納空間の数以下であり、それにより該システムの全性能を増大する、固体格納システム。

20

【請求項 2】

前記アドレス値は、前記コントロールデバイスによる使用のための前記空きブロックを識別する仮想論理ブロック値 (V L B A) である、請求項 1 に記載の固体格納システム。

30

【請求項 3】

前記空きブロックへの書き込みの終了は、該空きブロックの状態を「ブロック終了」として示すバイナリ値によって示される、請求項 1 に記載の固体格納システム。

【請求項 4】

前記コントローラデバイスは、ホストによって提供されたセクタアドレス間のマッピング情報を格納するためのルックアップテーブル (L U T) と前記不揮発性メモリユニット内部のブロックとを含み、対応するセクタ格納領域が位置付けられる、請求項 1 に記載の固体格納システム。

【請求項 5】

電源投入の間、前記コントローラデバイスは、前記アドレスフィールドおよび前記フラグフィールドの内容を読み出し、該フラグフィールドの内容に従って、情報が該フラグフィールドにプログラミングされたかった場合、該コントローラは、前記アドレスフィールドの内容を用いてセクタが転送される元の前記ブロックを判定し、該セクタの前記空きブロックへの転送を終了し、前記ルックアップテーブルを修正して前記アドレス値と該空きブロックとの間の現在の対応を反映する、請求項 4 に記載の固体格納システム。

40

【請求項 6】

前記第1のセクタ格納空間は、前記空きブロックの最初のセクタ格納空間である、請求項 1 に記載の固体格納システム。

【請求項 7】

50

前記第2のセクタ格納空間は、前記空きブロックの最後のセクタ格納空間である、請求項1に記載の固体格納システム。

【請求項8】

ホストおよび不揮発性メモリユニットと共に使用する固体格納システムであって、該ホストは、セクタに組織化されたデジタル情報を該不揮発性メモリユニットから読み出し、該不揮発性メモリユニットに書き込み、該不揮発性メモリユニットは、1以上の不揮発性メモリデバイスを含み、各不揮発性メモリデバイスは、セクタ情報を格納するための複数のセクタ格納空間を有する少なくとも1つのブロックを含み、各セクタ格納空間は、データおよびオーバーヘッド情報を格納するための格納空間を含み、該固体格納システムは、該ホストによって識別される特定の群のセクタ格納空間にセクタ情報を再書き込みするために、該ホストと該不揮発性メモリユニットとの間に結合されるコントローラデバイスであって、該特定の群のセクタ格納空間は、該ホストによって以前に該セクタ格納空間に書き込まれ、該コントローラデバイスは、複数のセクタ格納空間を有する空きブロックを識別し、該セクタ格納空間の1つを構成し、該空きブロックの状態を示す状態フラグ値を格納するための状態フラグフィールドを含み、該コントローラデバイスは、該状態フラグ値を変更して該空きブロックが「使用中」であることを示し、該特定の群のセクタ情報をセクタ格納空間の1つに書き込み、該状態フラグ値をさらに変更して該空きブロックが「処理中」であることを示し、セクタ情報を該特定の群のセクタ格納空間の残りに書き込み、書き込み動作を実行して該空きブロックに再書き込みされていない以前に書き込まれたセクタ格納空間の該内容を転送し、該状態フラグ値をさらに変更して該空きブロックが「ブロック完了」であることを示す、コントローラデバイスを備え、ブロックを再書き込みするための書き込み動作の数は、3つのさらなる書き込み動作を加えたブロック内部の該セクタ格納空間の数に低減され、それにより該システムの全性能を増大する、システム。

10

20

【請求項9】

前記状態フラグフィールドは、前記空きブロックの最後のセクタ格納空間内部に存在する、請求項8に記載の固体格納システム。

【請求項10】

前記コントローラデバイスは、前記以前に書き込まれたセクタ格納空間を消去するための手段を含む、請求項8に記載の固体格納システム。

30

【請求項11】

前記空きブロックは、前記不揮発性メモリユニット内部の該空きブロックを識別するアドレス情報を格納するためのアドレスフィールドをさらに含む、請求項8に記載の固体格納システム。

【請求項12】

前記空きブロックは、該空きブロックが欠陥があるか否かを示すフラグフィールドをさらに含む、請求項8に記載の固体格納システム。

【請求項13】

不揮発性メモリ内の情報のブロックを再書き込みするための固体格納システムにおいて実行される書き込み動作の数を低減する方法であって、該固体格納システムは、該コントローラデバイスの制御下において、セクタに組織化されたデジタル情報を該不揮発性メモリユニットから読み出し、かつ該不揮発性メモリユニットに書き込むためのホストを含み、該不揮発性メモリユニットは、1以上の不揮発性メモリデバイスを含み、各不揮発性メモリデバイスは、該セクタ情報を格納するための複数のセクタ格納空間を有する少なくとも1つのブロックを含み、各セクタ格納空間は、データおよびオーバーヘッド情報を格納するための格納空間を含み、該方法は、特定の群のセクタ情報を識別する工程であって、該ホストと該不揮発性メモリユニットとの間に結合されたコントローラデバイスは、特定の群のセクタ情報を再書き込みし、該特定の群のセクタ情報は、該不揮発性メモリユニットの以前に書き込まれたブロック内部に含まれる、工程と、

40

50

該特定の群のセクタ情報の格納のための該不揮発性メモリユニット内部の空きブロックを識別する工程と、

少なくとも2つのセクタ格納空間、すなわち第1のセクタ格納空間および第2のセクタ格納空間を含む該空きブロックを構成する工程であって、該第1のセクタ格納空間はデータ格納フィールドおよびオーバーヘッド格納フィールドを含み、該第1のオーバーヘッド格納フィールドは、該空きブロックを識別するアドレス値を格納するアドレスフィールドを有し、該第2のセクタ格納空間はデータ格納フィールドおよびオーバーヘッド格納フィールドを含み、該第2のオーバーヘッド格納フィールドは、該空きブロックの状態を示す状態フラグフィールドを有する、工程と、

該第1のセクタ格納空間上で書き込み動作を実行する工程であって、データが該データ格納フィールドに書き込まれ、該アドレス値が該アドレスフィールドに書き込まれる、工程と、

さらなる書き込み動作を実行する工程であって、該特定の群のセクタ情報が該空きブロックに書き込まれる、工程と、

なおさらなる書き込み動作を実行する工程であって、セクタ情報は、該以前に書き込まれたブロックのセクタ格納空間から該空きブロック内部の同じセクタ格納空間に移動する、工程と、

該空きブロックの該第2の格納空間にセクタ情報を書き込む際に、該状態フラグフィールドの内容を変更して、該空きブロックへの書き込みの完了を示す、工程と

を含む、方法。

【請求項14】

ホストおよび不揮発性メモリユニットと共に使用される固体格納システムであって、該ホストは、セクタに組織化されたデジタル情報を該不揮発性メモリユニットから読み出し、かつ該不揮発性メモリユニットに書き込み、該不揮発性メモリユニットは、1以上の不揮発性メモリデバイスを含み、各不揮発性メモリデバイスは、該セクタ情報を格納するための複数のセクタ格納空間を有する少なくとも1つのブロックを含み、各セクタ格納空間は、データおよびオーバーヘッド情報を格納するための格納空間を含み、該固体格納システムは、

該ホストによって識別される特定の群のセクタ格納空間にセクタ情報を再書き込みするために該ホストと該不揮発性メモリユニットとの間に結合されるコントローラデバイスであって、該特定の群のセクタ格納空間は、該ホストによって以前に書き込まれており、該コントローラデバイスは、複数のセクタ格納空間を有する空きブロックを識別し、該空きブロックの状態を示す状態フラグ値を格納するための状態フラグフィールドを含むように該セクタ格納空間の1つを構成し、該コントローラデバイスは、以前に書き込まれたセクタ格納空間の該内容を該空きブロック内部の同じセクタの格納空間に転送し、該状態フラグ値を変更して該空きブロックの状態が「処理中」であることを示し、該空きブロック内部の該特定の群のセクタ格納空間にセクタ情報を書き込み、該特定のセクタ格納空間の最後の1つを書き込む間、該状態フラグフィールドを変更して該空きブロックの状態が「ブロック完了」であることを示す、コントローラデバイスを備え、

ブロックを再書き込みするための書き込み動作の数は、1つの追加的な書き込み動作を加えたブロック内部のセクタ格納空間の数まで減少され、それによって該システムの全性能が増大する、固体格納システム。

【請求項15】

前記状態フラグフィールドは、前記空きブロックの最後のセクタ格納空間内部に存在する、請求項14に記載の固体格納システム。

【請求項16】

前記コントローラデバイスが前記以前に書き込まれたセクタ格納空間を消去する手段を含む、請求項14に記載の固体格納システム。

【請求項17】

前記空きブロックは、前記不揮発性メモリユニット内部の該空きブロックを識別するアド

10

20

30

40

50

レス情報を格納するためのアドレスフィールドをさらに含む、請求項14に記載の固体格納システム。

【請求項18】

前記空きブロックは、該空きブロックが欠陥があるか否かを示すフラグフィールドをさらに含む、請求項14に記載の固体格納システム。

【発明の詳細な説明】

【0001】

(発明の背景)

(関連出願の相互参照)

本願は、以前に出願された特許出願、すなわち「SPACE MANAGEMENT FOR MANAGING HIGH CAPACITY NONVOLATILE MEMORY」と題された1999年4月1日出願された特許出願第09/283,728号であり、発明者は、Petro Estakhri, Berhanu Iman、およびMin Guoと、別の以前に出願された出願「MOVING SECTORS WITHIN A BLOCK OF INFORMATION IN A FLASH MEMORY MASS STORAGE ARCHITECTURE」と題された1999年3月8日出願された特許出願第09/264,340号であり、発明者は、Petro Estakhri, Berhanu ImanおよびAli Ganjuei、(これは「MOVING SECTORS WITHIN A BLOCK OF INFORMATION IN A FLASH MEMORY MASS STORAGE ARCHITECTURE」と題された米国特許第5,907,856号の継続出願)との一部継続出願である。これら特許書類の両方の開示を全体的に記載されたかのように本明細書で参考として援用する。

【0002】

(発明の分野)

本発明は不揮発性メモリを利用するデジタルシステムの分野に関し、特に、コンピュータ、デジタルカメラ等の大容量記憶装置としてのフラッシュメモリに関する。

【0003】

(従来技術の説明)

近年、固体メモリは、コンピュータ、デジタルカメラ、モデムなど様々な技術領域において大容量記憶ユニットを配置することに使用する際に人気を得ている。例えば、デジタルカメラでは、固体メモリ(例えば、フラッシュメモリ、)の使用は、従来の薄膜メモリを代替する。

【0004】

概してフラッシュメモリは、各デバイスが多数のトランジスタメモリセルから形成され、各セルが個別にプログラム可能な半導体デバイス(またはチップ)の形態で供給される。このようなメモリセルのプログラミング(または書き込み)および消去は、有限数の消去-書き込みサイクルに限定され、本質的にデバイスの寿命を決定する。さらに、フラッシュメモリセルの固有の特性は、フラッシュメモリセルが消去され、プログラミングされる前に消去が成功したことを確認しなければならない点である。

【0005】

しかし、フラッシュメモリの使用について、情報を含むメモリの領域は、再プログラミングされる前にまず一旦消去されなければならない。概してフラッシュメモリデバイスでは、書き込みおよび消去サイクルが遅く、大容量記憶装置のようなフラッシュメモリを利用するシステム性能を著しく低減し得る。

【0006】

フラッシュメモリデバイス(例えば、パーソナルコンピュータおよびデジタルカメラ)を利用する用途において、ホストは、コントローラデバイスを介するフラッシュメモリデバイスに情報を書き込みかつ読み込む。これは、通常の半導体デバイスの形態である。このような情報は、各セクタがユーザデータ情報およびオーバーヘッド情報を含む各セクタを

10

20

30

40

50

有するセクタで組織化される。セクタのユーザデータ部分は、典型的には長さ 5 1 2 バイトであるが、他のサイズのセクタ同様に使用され得る。ホストからセクタ情報を受信する際、ホストコマンド書き込み動作の間、コントローラは、所定のセクタ組織化に従って、フラッシュメモリデバイスに情報を書き込む。ホストが複数のセクタにアクセスされている間、その時点で、各セクタは一度にフラッシュデバイスに書き込まれ得る。

【 0 0 0 7 】

現在では、市販のソフトウェアおよびユーザプログラム等の大きなファイルがフラッシュメモリ内部に格納されたコンピュータ、ならびに大きな画像ファイルがフラッシュデバイス内部に格納されたデジタルカメラにおいて、ファイルはフラッシュ内部で一度に 1 つのセクタに書き込まれる。各書き込み動作に関連する待ち時間のために、多量の情報が格納される場合、これらのシステムの性能は限定される。

10

【 0 0 0 8 】

データファイル（データファイルは、市販のソフトウェア、ユーザプログラム、ワードプロセッサソフトウェア文書、拡張シートファイル等）を格納および/または取り出す場合、ホストはデータファイルが大容量記憶装置内部に存在することを信じる領域を示す論理ブロックアドレスとして参照することをコンピュータ（またはホスト）システムが提供する。ホストに提供されたアドレスは、円筒形の、ヘッドおよびセクタ（CHS）の形態で存在し得、コントローラが受け取った際、論理ブロックアドレスフォーマットに変換される。同じことはデジタルカメラ用途に適用される。次いでコントローラは、論理ブロックアドレス（LBA）を物理ブロックアドレス（PBA）に変換し後者をフラッシュメモリ内部のデータファイルにアクセスするために用いる。データファイルが変化するたびにファイルの最新のバージョンが新しい物理領域（または新しい PBA）によって識別されるフラッシュメモリ内部の有効な（または「未使用の」）領域に格納される。フラッシュメモリ内部で更新されたファイルのための多くの空き領域または有効な領域を用いる際、消去動作は、追加的情報の格納のために有効な「古い」領域を形成する必要がある。消去動作は、時間を消費する（書き込み動作に対して）ために、次の消去動作の前にさらに多くの領域が使用されること、およびフラッシュメモリ内部の空き領域を検索するために消費される時間まで消去動作を実行する頻度に対して、トレードオフが存在する。

20

【 0 0 0 9 】

様々な異なるアルゴリズムが利用されて、消去動作がいつ発生するか、およびアルゴリズムの関数として、フラッシュメモリ（大容量記憶装置）内部で次の有効な空きブロックがデータファイルを格納するためにどこに位置付けられるかを決定する。コントローラデバイスの空間マネージャユニットは、この関数を実行する。

30

【 0 0 1 0 】

不揮発性メモリまたはフラッシュメモリにおける情報は、コントローラの方向に格納され、その情報はセクタの形態でそのようになされ、そしてセクタの数はブロックを規定する。1つのブロックは、16、32または他の数のセクタを含み得る。しかし、一旦ブロックが所定数のセクタを含むことを決定すると、この決定されたサイズは各ブロックを規定する。従って、不揮発性メモリに格納される情報は、ブロックに組織化され、各ブロックは独自にコントローラによってアドレス可能である。各ブロックは、複数のセクタをさらに含み、各セクタは、5 1 2 バイトと、フラグ、アドレス、およびエラー訂正コード（ECC）情報等の非データ情報を格納するための追加的格納空間によって規定される。セクタは、5 1 2 バイト以外のデータ格納空間を有し得るが、いくつかの従来技術のシステムでは、消去動作の間、全体のブロックが消去されるが、他の従来技術のシステムではセクタが消去され得る。ブロック内部の各セクタは、不揮発性メモリから情報を読み出し、不揮発性メモリに情報を書き込むために独自にアドレス可能である。独自の値は、電源投入の間、不揮発性メモリと関連付けられた情報のアドレッシングまたはマッピングを再構築するために使用するための仮想論理ブロックアドレス（VLBA）としてセクタ情報を含む各ブロック内部に維持される。このマッピング情報は、ここでさらに説明されるように、不揮発性メモリ内で維持されるルックアップテーブルの内容である。

40

50

【0011】

コントローラデバイスの空間マネージャユニットは、「古い」（変更された情報）およびまだ消去されていないおよび／または「欠陥のある」（領域は、いくつかの種類の欠陥によって情報を格納するために用いることができない）または「使用された」（現在最新の情報を含む）と考えられている情報の領域に加えて、フラッシュメモリ内部の最新のデータの領域に関連する情報のテーブルを維持する。情報のこのテーブルは、コントローラデバイスの外部または内部のいずれかで、RAMのような揮発性メモリ領域において格納されかつ更新される。ホストによって情報がアクセスされるたびに、空間マネージャテーブルを用いて、フラッシュメモリデバイスに書き込まれおよび／またはフラッシュメモリデバイスから読み出される情報の領域を見出す。

10

【0012】

不揮発性メモリデバイスを用いる従来技術の方法および装置についての問題は、例えば、特定の不揮発性メモリデバイス内部の情報ブロックが書き込まれた場合、その動作に関連する多くの書き込み動作が存在することである。現在、例えば、16のセクタを含むブロックを書き込むためには、実行される少なくとも20の書き込み動作が存在し、16の動作はセクタを書き込み、4よりも大きい動作は、非セクタ情報を書き込む。これは、概して不揮発性メモリ上で実行される書き込み動作が時間を消費し、ブロックがアクセスされるたびにブロックが不揮発性メモリ内部の異なる位置に移動する必要があるためにシステム性能に実質的に影響を与え、ブロックの書き込みを要求する。ブロックが再度繰り返してアクセスされる場合、発生するブロックの書き込みを要求する多くの移動動作が存在する。

20

【0013】

従って、ブロックが複数のセクタを含む不揮発性メモリのブロックへの書き込みことを効率的に実行する方法および装置に対して必要性が生じる。

【0014】

（発明の要旨）

簡単に、本発明の好適な実施形態は、ホストによって以前に書き込まれた情報のブロックを再書き込みする場合、書き込み動作の数を低減するための固体格納装置システムおよび方法を含む。システムは、ホストによって命令される場合、不揮発性メモリユニットからセクタ内で組織化された情報を読み出し、かつ不揮発性メモリユニットにセクタ内で組織化された情報を書き込みを制御するためのホストおよび不揮発性メモリユニットに結合されたコントローラを含む。コントローラは、電力が失われた場合に揮発性メモリの内容が失われる揮発性メモリ内に格納されるLUTにおけるセクタ情報のマッピングを維持する。不揮発性メモリユニットの各ブロック内に維持されるアドレス値およびフラグ情報の使用によって、本発明の様々な例示的な実施形態における異なる数の書き込み動作を用いてブロックが再書き込みされる。フラグ情報はブロックの状態を示すため、電源投入の間、コントローラは、ブロックのアドレス値およびフラグ情報を読み出し、ブロックの状態を判定し、それに従ってブロックの再書き込みを終了し、従って必要であればLUTを更新する。

30

【0015】

本発明の上述および他の目的、特徴、利点は、いくつかの図面を参照することによって好適な実施形態の以下の詳細な説明から明らかになる。

40

【0016】

（好適な実施形態の詳細な説明）

図1を参照して、コンピュータ（パーソナルコンピュータ（PC））、デジタルカメラ等の一部であり得るデジタルシステム10は、ホスト12、コントローラデバイス14、および不揮発性メモリユニット16を含む、本発明の実施形態に従って示される。ホスト12は、コントローラデバイス14の指示のもとメモリユニット16から情報を読み出し、メモリユニット16に情報を書き込むように結合されることを示す。上述のように、メモリユニット16は、本発明による少なくとも2つの不揮発性メモリデバイスから構成され

50

、各不揮発性メモリデバイスは、集積回路（または通常、当該産業によって呼ばれる半導体デバイス）である。不揮発性メモリデバイスは、フラッシュ、EEPROM（電氣的消去可能プログラム可能読み出し専用メモリ）または固体メモリの他のタイプであり得る。

【0017】

ホスト12は、ホストバス18を介してコントローラ14と通信し、コントローラデバイス14は、メモリ信号20を介してメモリユニット16に結合することが示される。

【0018】

コントローラデバイス14は、ホストインターフェース回路22、マイクロプロセッサ回路24、揮発性格納ユニット26、および空間マネージャ/フラッシュインターフェース回路28を含むことが示される集積回路（または半導体回路）である。ホストインターフェース回路22は、ホストバス18を介してホスト12に結合し、ホストバス18は、アドレスバス、双方向データバス、および制御信号（個別に図示しない）を含む。利用されるホストのアーキテクチャに依存して、ホストアドレスバスおよびデータバスは、同一のバスにバスアドレス信号およびデータ信号を多重送信することによって、アドレス情報およびデータ情報の両方を搬送する信号バスから構成され得る。本明細書中で使用される用語バスは、複数の電気導電体または信号線を含むことを留意すべきである。ホストバス18は、PCMCIAインターフェース、ATAインターフェースまたは当該産業で利用される他の種類のインターフェースであり得る。

10

【0019】

ホストインターフェース回路22は、ホストバス18に結合されるように示され、マイクロプロセッサバス30を介してマイクロプロセッサ回路24に接続されるようにさらに示される。マイクロプロセッサ回路24は、マイクロプロセッサバス30を介して空間マネージャ/フラッシュインターフェース回路28にさらに接続される。マイクロプロセッサバス30は、マイクロプロセッサ回路24と空間マネージャ/フラッシュインターフェース回路28との間のアドレス情報およびデータ情報と制御信号の通信を容易にする。マイクロプロセッサ回路24は、揮発性格納バス32を介して揮発性格納ユニット26に情報を読み出し、かつ揮発性格納ユニット26に書き込むように結合される。

20

【0020】

本発明の1実施形態では、マイクロプロセッサ回路24は、Intel（登録商標）8051プロセッサであり、あるいはマイクロプロセッサユニット24は、任意の汎用プロセッサユニットであり得る。概して揮発性格納ユニット26は、マイクロプロセッサ回路24によって実行されるファームウェアコードを格納するための読み出しアクセスメモリ（RAM）である。ホスト12とコントローラ14との間の情報は、ホストバス18を介して転送され、コントローラ14とメモリユニット16との間の情報は、メモリ信号20を介して結合される。メモリユニット16は、2以上の不揮発性メモリデバイス（34および36等）から構成される。不揮発性メモリデバイス34および36のそれぞれのサイズは、デジタルシステム10の用途に依存して変更され得る。それでもなお、このサイズは、概して各バイトが8ビットであるバイト別に参照される。例えば、1つの用途において、不揮発性メモリユニット16のサイズは、32MBである各フラッシュメモリデバイスまたは不揮発性メモリデバイスを加えて160MB（メガバイト）である。別の用途では、不揮発性メモリユニット16のサイズは、各フラッシュメモリデバイスが18MBを有する80MBである。不揮発性メモリデバイス34および36は、パワーダウンの間、メモリの内容を保持するタイプのメモリである。不揮発性メモリデバイスの典型的な例は、Toshiba, Hitachi等の会社によって製造される浮動ゲートセルから構成されるフラッシュまたはEEPROMデバイスである。

30

40

【0021】

図1には示されていないが、空間マネージャ/フラッシュインターフェース回路28は、空間マネージャ制御ユニット38、フラッシュインターフェース回路40、および空間マネージャ格納ユニット42を含む。本発明の1実施形態における空間マネージャユニット38は、空間マネージャ格納ユニット42内部に保持されたルックアップテーブル（LU

50

T) に格納された情報を制御する状態マシンから構成される。あるいは、空間マネージャ制御ユニット38の機能は、当業者に理解されるようなハードウェアおよび/またはソフトウェアの他のタイプによって実行され得る。空間マネージャ制御ユニット42は、LUT内部のブロックアドレッシング情報およびステータス情報を格納するためのRAM等の揮発性のメモリのタイプからなる。

【0022】

やはり図1には示されていないが、メモリ信号20は、フラッシュアドレスバス、双方向フラッシュデータバス、およびフラッシュ制御信号を含む。これらの信号のいくつかは、本明細書に含まれる他の図面に関してさらに説明される。

【0023】

動作において、ホスト12は、時々メモリユニット16にアクセスしたり、メモリユニット16への読み出しおよびメモリユニット16への書き込み動作のような様々な動作の実行の間、メモリユニット16にアクセスする。そうする際に、ホスト12は、データの読み出しまたは書き込みのため領域を識別するアドレスを提供する。ホストが提供されたアドレスは、情報をメモリユニット16にアクセスする場合、または情報をメモリユニット16から読み出す場合、コントローラ14によって用いるためにホストバス18に結合する。1実施形態において、ホストが提供したアドレスは、CHS(シリンダー、ヘッドおよびセクタ)の形態で存在する。このタイプのアドレッシングは、ハードディスクを用いるシステムから適用され、このようなアドレッシング方式を用いて、ディスク上の特定の領域を識別する。しかし、情報の格納のための不揮発性メモリの出現によって、CHSアドレスフォーマットは、不揮発性メモリユニット内部の領域を識別するための値に変換される必要がある。従って、CHSアドレスがホストバス18に結合される場合、コントローラ14は、CHSアドレスフォーマットを論理ブロックアドレス(LBA)に変換する。次いでLBAは、空間マネージャ/フラッシュインターフェースユニット28が用いるためのマイクロプロセッサバス30を介して結合される。あるいは、ホスト12は、LBA型のアドレスをコントローラ14に提供する。この場合、変換がなおも実行されるが、この変換はCHS/LBA変換ではない。前者の変換(すなわち、CHS/LBAが用いられる場合)もまた実行され、後者の変換は、単にLBAを置換するだけである。読者は、本明細書中で上記にて議論したようにブロックが、16、32または他の数のセクタ等の所定数のセクタを含むように規定されることを留意する。

【0024】

LBA計算は、ハードウェアまたはファームウェアによって実行され得る。ファームウェアが用いられてLBAを計算する場合、マイクロプロセッサ24は、揮発性格納ユニット26において格納されるファームウェアコードの実行によってこのような関数を実行する。ハードウェアが用いられてLBAを計算する場合、状態マシンブロック(図1に示されていない)がこのような計算を実行する。

【0025】

上記の式によるLBAの計算後、LBAは、LBAの所定の最下位ビットをマスキングすることによってVLBA(仮想論理ブロックアドレス)値に変換される。例えば、ブロック当たり16セクタを用いる場合、VLBAは、6進数値0x3FFFF0を有するLBAの論理「AND」によるLBAから計算される。これにより本質的には、LBAはLBAの4つの最下位ビットを除いて保存されることになる。ブロック当たり32セクタを使用する場合、VLBAは6進数値0x3FFFE0を有するLBA値の論理「AND」によって計算され、LBAの5つの最下位ビットを効率的にマスキング除去し、残りのビットを保存する等である。LBAのVLBAへの変換は、空間マネージャ/フラッシュインターフェース28によって実行される。この変換は、ハードウェアまたはソフトウェアのいずれかで実行され得る。

【0026】

図1において、VLBAは、マイクロプロセッサ24から空間マネージャ/フラッシュインターフェース回路28の空間マネージャ制御ユニット38までマイクロプロセッサバス

10

20

30

40

50

30に結合され、V L B Aは、空間マネージャ格納ユニット42のL U T (ルックアップテーブル)にアドレスするために用いられる。実際に、V L B Aは、V P B A (仮想物理ブロックアドレス)が取り出されるL U Tの特定の領域をアドレスするために使用される。特定のL B A値は、様々なP B A値を示すために用いられ得ることを留意すべきである。例えば、ホストが特定のL B A値によって識別される領域に書き込むことを望む場合、特定のL B A値は、L U T内のV P B A値を参照するために用いられる。このV P B A値は、例えば「20」であるが、次に、ホストが同一のL B A識別領域に書き込むことを望む場合には、L U Tから取り出されるV P B A値は、「20」ではなく「200」であり得る。これが為される方法は、L U T内部でも保存される所定のフラグ情報の使用による。簡単には、消去動作の後に初めて特定のL B A領域が、そこに書き込むためのホストによってアドレスされ、情報が書き込まれ、そして特定のL B Aに対応するL U T内のフラグフィールド「使用された」としてマーキングされるため、次回ホストは消去動作の前に同一の領域への書き込みを望む場合に、メモリユニット16内部の異なる領域は、このような書き込みのための異なるP B Aによって識別される。従ってL B AとP B Aとの間の1対1対応は存在しない。フラグフィールドおよびL B AおよびP B A L U Tアドレッシングのさらなる説明について、読者は、「Moving Sectors Within a Block of Information in a Flash Memory Mass Storage Architecture」と題された1997年3月31日に出願された米国出願を参照されたい。この出願の発明者は、Petro Estakhri, Berhanu Iman, およびAli R. Ganjueiであり、この開示があたかも完全に記載されたものとして本明細書中で参考として援用する。

10

20

【0027】

PC用途では、情報のブロックは、典型的には、従来のハードディスクドライブにおいて使用されるようなセクタであり、各セクタは、典型的には512バイトのデータのための空間およびオーバーヘッド情報のための追加的な空間を含むが、他のサイズのセクタが同様に使用され得る。

【0028】

マイクロプロセッサ24は、マイクロプロセッサ24の内部または外部のいずれかに位置付けられる揮発性メモリユニット26 (ROM (読み出し専用メモリ) またはRAM (読み出しおよび書き込みメモリ) 等) からプログラムコードの形態で命令を実行する。マイクロプロセッサ24は、空間マネージャ制御ユニット38に、ホストによって提供されたCHS値によって発生するL B Aを使用して、メモリユニット16内部で利用可能な次の未使用の (または空き) アドレス可能格納ブロック領域を見付けるように命令する。ホスト書き込み動作時に、この未使用ブロック領域はL U Tに格納され、ホスト読み出し動作間で、この未使用ブロック領域はL U Tから読み出される。L U T内部に格納されるように、メモリユニット16内部の領域を識別するアドレス値は、仮想物理ブロックアドレス (V P B A) と呼ばれる。空間マネージャ制御ユニット38は、様々なアルゴリズムの任意の1つを用いて、フラッシュメモリデバイス内部に位置付けられる次の利用可能な (または空き) ブロックを見付ける。空間マネージャの1例は、「Flash Memory Mass Storage Architecture Incorporating Wear Level Technique Without Using Cam Cells」と題された1996年1月16日に発行された初期に付与された米国特許第5,485,595号において開示され、発明者は、Mahmud Assar, Petro Estakhri, Siamak Nemazie, およびMahmood Mozaffariであり、この開示を完全に記載されたかのように本明細書で参考として援用する。読者は、特に図11~図13およびこれらの図についての説明を参照されたい。しかし、別の実施形態では、他の空間マネージメント方法および装置が本発明によって同様に使用され得る。

30

40

【0029】

V L B A値は、最終的にはL U TからのV P B A値を参照するために使用される。L U T

50

は、行および列から構成され、各行はV L B A値によってアドレスされる。読み出し動作の間、V L B A値を用いてL U Tから取り出すためにL U Tの特定の行にアドレスする。V P B Aは所定のフラグ情報を含む。書き込み動作の間、V L B Aを用いて、所定のフラグ情報を含むV P B A値を格納するためにL U Tの特定の行をアドレスする。V P B Aは、メモリユニット16内部の特定のセクタ領域を識別するために、最終的には物理ブロックアドレス(P B A)に変換される。

【0030】

L B A値は、空間マネージャ/フラッシュインターフェース28によって使用するためにマイクロプロセッサ24によってマイクロプロセッサバス30に結合され、L B A値はV L B Aアドレスに変換される。4ビットのセクタは、2の4乗が16に等しいためブロック当たり16のセクタの使用を示す。V L B Aはセクタビットをマスキングする(マスキングされたセクタビットは、セクタオフセット値と呼ぶ)ことによって得られ、この例では4ビットを含む。ブロックおよびチップ選択情報は同じままである。チップ選択ビットを用いて、メモリユニット16内部に含まれる複数の不揮発性メモリデバイスの特定のうちの1つのデバイス(例えばデバイス34または36のうちの1つ)を選択する。ブロック情報は選択された不揮発性メモリデバイス内部の特定のブロックを識別する。V L B Aはまた、ブロックが不揮発性メモリ内に格納され、書き込まれ、または移動される場合、不揮発性メモリに書き込まれる。すなわち、ブロックのセクタの全てを書き込んだ後、V L B Aはブロックの最後の行に書き込まれる。あるいは、V L B Aはブロックの任意の他の行に書き込まれ得る。これは以下の図面に関してさらに説明される。

【0031】

図2に戻って、ブロック200は16のセクタ含むことを示し、各セクタ格納空間202はデータおよびE C C情報を格納するために用いられる。代替的な実施形態では、ブロック200は16セクタ以外のセクタを含み得る。例えば、容量128 M b i tのメモリユニットを有するシステムでは、ブロック当たり用いるのは32セクタであり得るが、64 M b i tの容量を用いると16セクタブロックを必要とし得る。図2において各セクタはブロック200の格納空間の行において格納される。

【0032】

図2に示されるようにブロック200の最後の行では、セクタ格納領域202の後、V L B Aを格納するためのV L B Aフィールド204、ブロック状態フラグフィールド206、および欠陥フィールド208が存在する。ブロック状態フラグフィールド206は、本明細書で提供される以後の例を参照して、明らかになるようにブロック200の状態を格納するために用いられる。欠陥フィールド208は、ブロック200が欠陥であるか否かを示すフラグを格納するために用いられる。以後の例では、このフィールドは、「G D」として示され、ブロックが破壊的ではないが、実際的にこのフィールド専用の1バイト(または8ビット)が存在し得ることを示す。ブロックステータスフラグフィールド206はまた、1バイトを占有し、V L B Aフィールド204は、2バイトを占有する。フィールド204~208のサイズは設計選択であり、本明細書中で記載されるサイズと異なってもよい。

【0033】

図3は、空間マネージャブロック210の内容を示し、V L B A値の1つ(V L B A値によって識別される空間マネージャの行)は、フラッシュメモリユニットおよび特に図3におけるフラッシュデバイス214内部において、ブロック「0220」(16進数表記)をアドレスするために「0020」(16進数表記)である。図3に示されるように値「0220」はV P B A値として用いられ、P B A値「0220」によって識別されるフラッシュデバイス214内部の特定の領域を示す。識別されたブロックはフラッシュデバイス214内部の216(図3)によって参照される。ブロック216内部では、ブロックの最後の行においてすなわち、V L B Aフィールド218において「0020」(16進数表記)のV L B A値が格納される。これはブロック216をV L B A「0020」に属するものとして識別するためであり、何らかの理由で電力が中断され、次いで再度電源が

入り、空間マネージャ 210 の内容が失われた場合、空間マネージャ内容は、フラッシュデバイス 214 における情報からやはり再構築され得る。例えば電源を入れた場合、ブロック 216 の最後の行が検査され、特に V L B A フィールド 218 が読み出される。V L B A フィールド 218 は、値「0020」を含み、この V L B A 値に対応する行は空間マネージャにおいて到達され、「0220」の値がその行に配置される。

【0034】

図 3 において、ブロック 216、224 およびブロック 232 等の各ブロックは、複数のセクタ（例えば、16、32 または任意の他の数 2^N （ N は整数））を含む。各セクタはデータおよび E C C 情報を含む。

【0035】

図 3 において、ブロック 216 には、格納されたブロック状態フラグフィールド 220 および欠陥フィールド 222 にさらに存在し、初めに議論したようにブロック 216 に関する所定の情報を識別する。16 進数で「480」のアドレスを有するブロック 224 は、フラッシュデバイス 214 内部でさらに示される。ブロック 224 の最後の行は、以後の例に関して明らかになるように、ブロック 224 へのブロック 216 の内容の移動により値「0020」を含むように示される V L B A フィールド 226 を含む。ブロック 224 は、ブロック状態フラグフィールド 228 および欠陥フィールド 230 をさらに含む。ブロック 216 および 224 を示す理由は、同じブロックがアクセスまたは書き込まれた場合、ブロック（ブロック 216 等）のフラッシュデバイス 214 内部の別のブロック（ブロック 224 等）への移動の概念を読者に理解させやすくすることである。言い換えれば、同じの L B A または V L B A に識別された領域が消去される前に再書き込みされる場合（フラッシュまたは E E P R O M 等の不揮発性メモリ特性の 1 つが、書き込みまたはプログラミングされる場合、再書き込みまたは再プログラミングされる前に消去される必要があることであるが、頻繁な消去を避けるために、本発明および従来発明の発明者らは、再書き込みが発生する場合、同じ V L B A を有する異なるブロックを用いるようにシステムを設計してきたことを読者は想起されたい）、再書き込みされるブロック部分、すなわち再書き込みされるブロックの特定のセクタは、同一の V L B A によって識別され、別のブロックに書き込まれるが、フラッシュメモリユニット内部で物理的に異なる位置の別のブロックにまず書き込まれる。次に書き換えられないされないセクタは、新しいブロックに移動し得、次いで以前のブロックは消去され得る。図 3 において、例えば V L B A に識別されたブロック、すなわち V L B A 「0020」は、第 1 にブロック 216 に、フラッシュデバイス 214 内部のブロック「0220」を示す。しかし、同じ V L B A に識別された領域、すなわち V L B A 「0020」は、コントローラがブロック 216 を消去する機会を有する前に、ホストによって書き換えられる場合、後者のブロックは、物理的にまたは実際的に再プログラミングできない。従って別のブロック、すなわちブロック 224 は、再書き込みのために識別される。これらのブロックの状態は、任意の所与の時間、特に電源投入の間、コントローラは、どのブロックが「使用状態」にあるか、および/または「古い」情報を含むか等を知らなければならない点で重要である。この種の情報は、以前に記載したように各ブロックのブロック状態フラグフィールドによって識別される。移動の動作は、恐らく図 4 a ~ 図 4 i に示されるように実施例によって最良に理解され、ホストは L B A 27 ~ 2 F（16 進数表記）によって識別される 9 個のセクタを再書き込みする。

【0036】

図 4 a では、空間マネージャ 400 が、V L B A 「20」によって識別される行において値「220」を含むように示される。この行は、L B A 値 27 ~ 2 F によって識別されるセクタが V L B A 「20」によってアドレスされたブロック内部に存在するために示される。なぜなら、図 4 a ~ 図 4 i の例では、各ブロックが 16 セクタを含むためである。対応するブロック 220 は、フラッシュデバイス 214 のブロック 402 に物理的に格納される。フラッシュデバイス 214 は 16 のセクタを含み、各セクタはデータおよび E C C 情報、ならびにブロックの最後の行を含み、ブロック最後の行は、V L B A フィールド 4

10

20

30

40

50

04、ブロック状態フラグフィールド406と欠陥フィールド408とを含む。ブロック402は、以前にホストによってブロック402に書き込まれたために、ブロック402のブロック状態フラグフィールド406は、図4aに「zz」として示される値を含む。「zz」は、単にブロック402が完了している。すなわちブロック402を「ブロック完了」として指定することを表す表記として本明細書中で使用する。実際には、「zz」は、1バイト等のバイナリ値であり、「ブロック完了」を示す所定値を有する。「zz」および「xx」、「yy」等の他の用語は、本特許文書にわたって使用され、ブロック状態フラグフィールドの状態を説明する一方で、実際これらの用語はバイナリ値を表す。

【0037】

ブロック402のV L B Aフィールド404は値「20」を含み、ブロック402が属する空間マネージャ400内部の特定領域を示す。電源が入れられた場合、空間マネージャ400 L U Tの内容がその揮発的な性質により失われる一方で、フラッシュデバイス214の内容が保持されるので、ブロック402の内容は空間マネージャを再構築するために用いられる。実際には、フラッシュメモリユニット内部の全てのブロックの内容は、空間マネージャ400のL U Tを再構築するために使用される。図4aでは、V L B Aフィールド404の内容(20である)が用いられて、V L B A 20によって識別される対応する領域または行を示し、値「220」をそこに格納する。

10

【0038】

L B Aに識別されたセクタ27 - 2Fを書き込む例は、図4bに続く。ここで空きブロックは、ブロック410のような空間マネージャによって位置付けられる。V P B A値「480」によって識別されるブロック410は、16のセクタ格納空間およびV L B Aフィールド412、ブロック状態フラグフィールド414、ならびに欠陥フィールド416を含む。ブロック402の状態は同じままであるが、ブロック410はこの時点で空いているため、フィールド412、414、および416内に有効なデータ、E C C、または情報が存在しない。

20

【0039】

図4cでは、ブロック410は、「使用中」としてマーキングされる。これはフィールド414における「xx」値およびフィールド412における「0020」を書き込むことによって行われる。また、これは実際の「xx」値ではなく、本明細書中で「xx」は、ブロック410が「使用中」であることを示す所定のバイナリ値を示すように用いられる。「使用中」としてのブロック410のマーキングは、データ以外のセクタ情報(すなわち「オーバーヘッド情報」)の書き込み動作を要求する。従って、図4cにおけるブロックのマーキングが、この例で行われる第1の「オーバーヘッド」書き込み動作である。読者は、全体で3回のオーバーヘッド書き込みが存在し、全体で3 + 16(セクタ書き込み)すなわち19回の書き込みが実行されることを留意する。

30

【0040】

次に、図4dでは、書き込むために必要な第1のセクタ、すなわちL B A 27 Hによって識別されるセクタが、ブロック410内のセクタ420によって示されるように、書き込まれ、フィールド412、414、および416の内容は、この書き込み動作の間、不変のままである。読者は、またこの書き込み動作が実際にL B A 27 Hによって識別されるセクタの再書き込みであることを気付かせる。すなわち、後者のセクタは、「220」のアドレスを有するブロック402内に前に書き込まれ、ここでブロック402の消去の前にホストによって再書き込みされる。ブロック402は、ブロック402の消去の欠如によって書き込まれ得ないため、空きブロック410は、新しいセクタ情報の格納のために設計され得る。

40

【0041】

図4eでは、セクタ420が書き込まれた後、ブロック410のブロック状態フラグフィールド414の内容は、ブロック410が「処理中」であることを示す「yy」に変更される。そうでなければ、ブロック410の残りの内容は同じままである。この書き込み動作は、別の「オーバーヘッド」書き込み動作であり、セクタ情報が書き込まれない。読者

50

が留意するように、これは本例の第2のオーバーヘッド動作である。図4c～4eでは、V L B Aフィールド412は同じ(すなわち「20」)ままである。なぜならこれは、このブロックがそこに書き込まれるための空きブロックとして見出されてからずっとブロック410に対応するV L B A領域に存在するためである。さらに、このブロックは、欠陥があるとは考えられておらず、従って欠陥フィールド416は、「GD」すなわち良好なブロックを示す。以前に説明したように、欠陥フィールドは、実際に、バイナリ値を含み、このブロックが欠陥があるか否かを示す。

【0042】

図4fでは、28～2FのL B A値によって識別された残りのセクタは、セクタの各領域においてブロック410に書き込まれる。フィールド412～416の内容は同一のままである。この時点まで本例では、全11の書き込み動作が存在し、このうち2つは、「オーバーヘッド」書き込み動作であり、9つはセクタ書き込み動作である。

10

【0043】

図4gでは、7の追加のセクタ書き込み動作(または移動動作)が実行され、ブロック402においてL B A値20～26によって識別されるセクタの内容がコントローラによって読み出され、ブロック410の対応するブロックに書き込まれる。フィールド412～416の内容は、同じままであり、この時点で、ブロック220が消去される。図4hでは、最後の書き込み動作が実行されてブロック410のブロック状態フラグフィールド414の内容を、「ブロック完了」状態を示す「zz」に変更する。「ブロック完了」状態は、ブロックが完全に書き込まれていることを意味する。これは、ブロック402の状態と同じであることを留意すべきである。ここで、全19の書き込み動作が実行される。

20

【0044】

この文書にわたって、ブロック状態フラグフィールドの内容を変更させることについて参照する。このような変更は、ブロック状態フラグフィールドを含むブロックの消去の前に実行される。これは、このフィールドが、書き込み前の消去を要求する、不揮発性メモリユニット内部に含まれる場合、先に消去されることなくどのようにしてブロック状態フィールドが更新され得るかについて読者の心に疑問を生じさせ得る。簡単には、これは2バイト(各バイトは8ビットである)のようなビット数をブロック状態フラグフィールドに割り当てることによって為される。このフィールドの第1の更新または変更の前に、このフィールドが存在するブロックの消去動作後に、このフィールドの値は、全てバイナリ表記で「1」または16進数表記で「FFFFFF...」である。ブロックの各状態に割り当てられる所定の値が存在する。説明のために、「11111100」(バイナリ表記または16進数表記で「FC」)の値が、状態「xx」に割り当てられ、次いでフィールドの2つの最下位ビット(L S B)が「1」から「0」に変更され、値「11111100」(バイナリ表記)を得る。その後フィールドが「yy」の状態を反映する値に更新される必要があり、この値を「11110000」(バイナリ表記または16進数表記で「F0」)であると仮定する場合、第3および第4のL S Bは「0」にプログラミングされ、ビットの残りは不変のままである。最後に、例えば「zz」状態を表す値は「11000000」であり得、第5および第6のL S Bは、不変のままのビットの残りを有する「0」にプログラミングされる。従って、ブロック状態フラグフィールドは、論理状態「1」において存在するビットの状態を「0」に変更することによって変更され得るが、論理状態「0」において既に存在するビットと同じにする。これは、フィールドが変更される必要があるたびにフィールドを消去する必要性を除去する。

30

40

【0045】

本発明に従って、電源投入の間、フラッシュメモリユニットのブロックが空間マネージャLUTを再構築するために読み出される場合、各ブロックのブロック状態フラグフィールドは、以下のブロックの状態を示す。「使用中」は、ブロック内に格納された有効なデータがまだ存在しないが、使用のためにブロックが指定されたブロックを意味し、「処理中」は、第1のセクタがブロックに書き込まれたことを意味し、「ブロック完了」は、ブロックが完全に書き込まれたことを意味する。

50

【 0 0 4 6 】

図 4 i では、ブロック 4 1 0 が「ブロック完了」にマーキングされるとすぐにブロック 2 2 0 が消去されるため、ブロック 2 2 0 が消去される。

【 0 0 4 7 】

本発明の代替的な実施形態では、ブロック状態フラグフィールドは、3つの値ではなく2つの値を獲得し、それによって1つの「オーバーヘッド」書き込み動作を除去し得る。すなわち、第1の状態「x x」は実際には記されず、実際には結果的に19回ではなく18回の全書き込み動作を生じる。これはブロック 4 1 0 のフィールド 4 1 4 が減少する変更によって行われ、フィールドの状態の第1の変更は処理中であるとして示される。セクタ情報は、図 4 a ~ 図 4 i を参照して上述の例で示されるようにブロックにさらに書き込まれる。

10

【 0 0 4 8 】

本発明のさらに別の実施形態では、システムの性能はさらに改良され、ブロックまたはブロックの部分に再書き込みするために、ブロック内に存在するセクタと同一の回数の書き込み動作に1回の追加的な書き込み動作を加えたのみが実行される。例えば、図 5 に示されるように例によって説明されるように、ブロックは16のセクタを含み、17回の書き込み動作は、ブロックの1以上のセクタに再書き込みされる場合に実行される。

【 0 0 4 9 】

図 5 において、フローチャートは、ブロック 0 の L A B 1 3、1 4、および 1 5 によって識別されるセクタを再書き込みする際に実行される工程を示すように図示される。工程 5 0 0 では、ホストは、コントローラにコマンドを送信し、ブロック 0 に以前に書き込まれた L B A 1 3 ~ 1 5 によって識別される不揮発性メモリユニット内のセクタ格納領域に書き込む。コントローラは、この書き込みをこれら特定のセクタの再書き込みであると認識し、工程 5 0 2 において空間マネージャは、以前に書き込まれた同じ領域内の空きブロック（すなわちブロック 0）を検索し、それがまず消去されなければ再書き込みできない。

20

【 0 0 5 0 】

工程 5 0 4 において、空間マネージャによってブロック 1 であると見出された空きブロックの場合を考慮する。工程 5 0 8 において、ブロック 1 内の V L B A フィールドおよびブロック状態フラグフィールドが更新される。ブロック 1 の状態を「処理中」として示すために、ブロック 1 内のブロック状態フラグフィールドが「y y」にプログラムされる。工程 5 0 8 における書き込み動作は、1回の書き込み動作であり、ホストによって命令されてブロック 1 を書き込む場合に実行される第1の「オーバーヘッド」書き込み動作である。本明細書で前に議論したように、「y y」は実際には所定のバイナリ値であることを留意すべきである。

30

【 0 0 5 1 】

次に工程 5 0 6 において、実行される 1 3 回の書き込み動作が存在し、各書き込み動作は、ブロック 0 からブロック 1 に L B A によって識別されたセクタを移動する。例えば、L B A 0 によって識別されるセクタの内容は、ブロック 0 から読み出され、ブロック 1 - ブロック 1 の L B A 0 の対応するセクタに書き込まれる。同じ動作がブロック 0 からブロック 1 に転送させる残りの 1 2 のセクタに対して行われる。

40

【 0 0 5 2 】

最後に工程 5 1 0 において、新しい情報、すなわち L B A 1 3 - 1 5 においてホストによって識別されるセクタ情報がブロック 1 に書き込まれる。これはブロック 0 からブロック 1 への同じセクタの転送ではないことを留意されたい。むしろブロック 1 に書き込まれる新しいセクタ情報である。すなわち、L B A 1 3 ~ 1 5 が更新されたため、ブロック 0 における L B A 1 3 - 1 5 によって識別されたセクタ内のセクタ情報がブロック 1 に移動する必要がない。最後のセクタ、すなわち L B A 1 5 によって識別されるセクタは、同じ書き込み動作の範囲内で書き込まれ、またブロック 1 内のブロック状態フラグフィールドはまた、「ブロック完了」であるとしてブロック 1 の状態を示すために「z z」に変更される。工程 5 1 0 は、3回よりも多くの書き込み動作を必要とし、それにより 1 6 セクタブ

50

ロックに対する全書き込み動作数を17(16回のデータ書き込み動作と1回の「オーバーヘッド」書き込み動作)にする。この方式で、書き込み動作数は、低減され、それにより、システム性能(特に多くの書き込みおよび再書き込み動作が実行される必要のある用途において)を増大する。図5の上記の工程の後、ブロック0の内容は、ブロック0が消去され得、その後、ブロック0は、「空き」ブロックまたはさらなる格納使用のための有用なブロックのプールに戻される。

【0053】

本発明のさらなる実施形態では、システム性能は、ブロック内に存在する数と同じに過ぎないように書き込み動作を実行することによってさらに改善される。これは図6aおよび6bに示される例の使用によって最良に理解される。図6aは、消去動作後最初にLBA 5~15を書き込む場合、不揮発性メモリユニット602内のブロック0の状態を示し、図6bは、LBA 5~15を書き込む場合、ブロック0および1の状態を示す。

10

【0054】

図6aでは、ホストはコントローラに命令し、セクタ情報をLBA 5-15によって識別される領域に書き込む場合、コントローラはLBA 5~15によって識別されたセクタが以前に書き込まれたか否かを判定する。この場合、まだ書き込まれておらず、したがって「空き」ブロックは、そのような書き込み処理に対して識別される。この場合、「空き」ブロックはブロック0である。ブロック0は16セクタ(s0~s15)から構成され、各セクタは、少なくともデータフィールドおよびECCフィールドを有する。ブロック0の第1のセクタs0はまた、V L B A情報を格納するためのV L B Aフィールド604を含み、最後のセクタs15は、ブロック状態情報を格納するためのブロック状態フラグフィールド606を含む。

20

【0055】

第1に、「オーバーヘッド」書き込み動作が実行されて、第1のセクタs0のV L B Aフィールド604に適切なV L B A値(この値は最初の図に関して上記に示したように決定される)を書き込む。次にデータおよびECCは、LBA値5~15によって識別される各セクタに書き込まれ、11回の書き込み動作を必要とし、最後のセクタs15を書き込む間、ブロック状態フラグフィールド606が書き込まれて「zz」すなわち「ブロック完了」を示す。

【0056】

図6bでは、ホストはコントローラに命令して再度LBA 5~15に書き込むと仮定すると、不揮発性メモリユニット602は、以下のように変更される。コントローラはこれらのLBAが以前にブロック0に書き込まれたことを判定する。従って、ブロック1が位置付けられ、セクタ格納領域内の情報はLBA 0~4によって識別され、「空き」ブロック、すなわちs0~s4は、ブロック0からブロック1に動かされる。第1のセクタs0がコントローラによって書き込まれる場合、V L B AはまたV L B Aフィールド608に書き込まれ、従って別の書き込み動作に対する必要性を避ける。次にホストによって提供される新しい情報が連続的な順序で11回の書き込み動作を用いてブロック1のセクタs5~s15に書き込まれる。最後のセクタs15を書き込む間、ブロック状態フラグがまたブロック1のブロック状態フィールド610に、「ブロック完了」を示す「zz」として書き込まれる。最初に議論したように、「zz」は実際には、長さ、バイであるバイナリ値である。従って全ブロックは、必要な別の「オーバーヘッド」書き込み動作がないように16回の書き込み動作のみ書き込まれる。その後、ブロック0の内容は消去され、ブロック0は、さらなる格納使用のため「空き」ブロックのプールに戻される。

30

40

【0057】

電源投入の間、システムの突然のまたは典型的なパワーダウンの後発生するように、空間マネージャにおけるLUTの内容は、LUTが不揮発性メモリで保持されるために失われる。揮発性メモリは、電力がシステムに供給されない場合メモリの内容を失う。従って、コントローラは、ホストに提供されたセクタアドレスと使用されたアドレスとの間の必要なマッピングを提供するため、および不揮発性メモリユニットから情報を読み出し、不揮

50

発性メモリユニット内部に情報を書き込むように、電源投入の間 L U T の内容を再構築しなければならない。

【 0 0 5 8 】

電源投入の間、コントローラは、ブロックの状態を判定するために不揮発性メモリユニット内の各ブロックに対して2回の読み出し動作を実行する。これは例を提供することによって最良に理解される。多くのブロック0内のセクタがブロック1に再書き込みされるが、以前に書き込まれたセクタの再書き込みおよび移動がパワーダウンが起こった前にまだ完了していない場合を検討する。パワーダウンの前に空間マネージャにおける V L B A 2 0 がブロック0を示すことをさらに考慮する。すなわち、L U T の行 2 0 (1 6 進数で) は、不揮発性メモリユニットにおけるブロック0を識別するアドレスを含む。ブロック0におけるセクタのいくつかはブロック1への移動を受けるため、ブロック0の状態フラグは、「 z z 」すなわち「ブロック完了」を示し、セクタの移動はまだ完了していないために、ブロック1の状態フラグは「 F F . 」を示す。「 F F . 」は、フラッシュセルがまだプログラムされていない場合のフラッシュセルの状態である。読者が思い出すように、16回のみ書き込み動作のみがブロックを再書き込みすることを要求される場合に、状態フラグが最後のセクタ(すなわちセクタ15)書き込まれる場合のみ更新される。この場合、全セクタがブロック1にまだ書き込まれていないために、ブロック1の最後のセクタ(すなわち s 1 5) の内容は、プログラミングされていないままであり、または「 F F F F 」である。

10

【 0 0 5 9 】

電源投入の間、コントローラはブロック1内の第1のセクタ s 0 の内容を読み出し、V L B A 値を取り出す。この場合、V L B A は「 2 0 」(1 6 進数表記で) である。次にコントローラは、ブロック1の最後のセクタ s 1 5 の内容を読み出し、状態フラグが「 F F . 」であることを示す。これはブロック1が書き込まれるが、書き込み動作は完了していないことをコントローラに知らせる。ブロック0のV L B A フィールドがブロック1のV L B A 値(すなわち「 2 0 」)と同じ値を含むことを留意すべきである。従ってコントローラは、不揮発性メモリユニット内部のブロックを検索し、ブロック1に含まれるV L B A 値と同じV L B A を見つけ出し、同じ値 2 0 を有するブロック0を見つけ出す。従って、コントローラはブロック0からブロック1にまだ移動していない全セクタを移動することを認識する。コントローラは、以前に書き込まれたセクタに関してセクタの内容が全て「 F F F F 」以外の値であり、まだ書き込まれていないセクタに関してセクタの値が「 F F F F 」であるために、セクタの内容に従ってどのセクタが移動するかを認識する。

20

30

【 0 0 6 0 】

ブロック0からブロック1に移動する必要があるが、まだ移動されていないセクタが、ブロック1に移動され、ブロック1内の状態フラグフィールド「 z z 」すなわち「ブロック完了」としてプログラミングされる。次いでコントローラはブロック1のアドレスを含むように空間マネージャの L U T において行「 2 0 」を更新する。

【 0 0 6 1 】

本発明は特定の実施形態の点において説明されてきたが、本発明の変更および改変が疑いなく当業者に明白であることが理解される。従って上記請求の範囲は本発明の真の精神および範囲内にあるように、このような変更および改変を全て含むものとして解釈されることが意図される。

40

【 図面の簡単な説明 】

【 図 1 】

図 1 は、本発明の実施形態によるデジタルシステムを示す。

【 図 2 】

図 2 は、図 1 のデジタルシステムにおいて使用される場合のフラッシュメモリユニットのフラッシュデバイスの1つの内部のブロックの組織の例を示す。

【 図 3 】

50

図 3 は、図 1 の空間マネージャブロック内容内にブロックが反映される場合、フラッシュメモリデバイス 1 つの内部にある情報のブロックを移動する例を示す。

【図 4 a】

図 4 a は、本発明の実施形態によるブロックがフラッシュメモリユニットの 1 つの領域から別の領域に移動する場合、空間マネージャブロックおよびフラッシュメモリデバイスのブロックへの影響を示す。

【図 4 b】

図 4 b は、本発明の実施形態によるブロックがフラッシュメモリユニットの 1 つの領域から別の領域に移動する場合、空間マネージャブロックおよびフラッシュメモリデバイスのブロックへの影響を示す。

【図 4 c】

図 4 c は、本発明の実施形態によるブロックがフラッシュメモリユニットの 1 つの領域から別の領域に移動する場合、空間マネージャブロックおよびフラッシュメモリデバイスのブロックへの影響を示す。

【図 4 d】

図 4 d は、本発明の実施形態によるブロックがフラッシュメモリユニットの 1 つの領域から別の領域に移動する場合、空間マネージャブロックおよびフラッシュメモリデバイスのブロックへの影響を示す。

【図 4 e】

図 4 e は、本発明の実施形態によるブロックがフラッシュメモリユニットの 1 つの領域から別の領域に移動する場合、空間マネージャブロックおよびフラッシュメモリデバイスのブロックへの影響を示す。

【図 4 f】

図 4 f は、本発明の実施形態によるブロックがフラッシュメモリユニットの 1 つの領域から別の領域に移動する場合、空間マネージャブロックおよびフラッシュメモリデバイスのブロックへの影響を示す。

【図 4 g】

図 4 g は、本発明の実施形態によるブロックがフラッシュメモリユニットの 1 つの領域から別の領域に移動する場合、空間マネージャブロックおよびフラッシュメモリデバイスのブロックへの影響を示す。

【図 4 h】

図 4 h は、本発明の実施形態によるブロックがフラッシュメモリユニットの 1 つの領域から別の領域に移動する場合、空間マネージャブロックおよびフラッシュメモリデバイスのブロックへの影響を示す。

【図 4 i】

図 4 i は、本発明の実施形態によるブロックがフラッシュメモリユニットの 1 つの領域から別の領域に移動する場合、空間マネージャブロックおよびフラッシュメモリデバイスのブロックへの影響を示す。

【図 5】

図 5 は、ブロックを再書き込みする場合、17 回の書き込み動作が実行される本発明の代替的实施形態による書き込み動作の間実行される工程のフローチャートを示す。

【図 6 a】

図 6 a は、ブロックを再書き込みする場合、16 回の書き込み動作が実行される本発明のさらに別の実施形態による不揮発性メモリの内容の一例を示す。

【図 6 b】

図 6 b は、ブロックを再書き込みする場合、16 回の書き込み動作が実行される本発明のさらに別の実施形態による不揮発性メモリの内容の一例を示す。

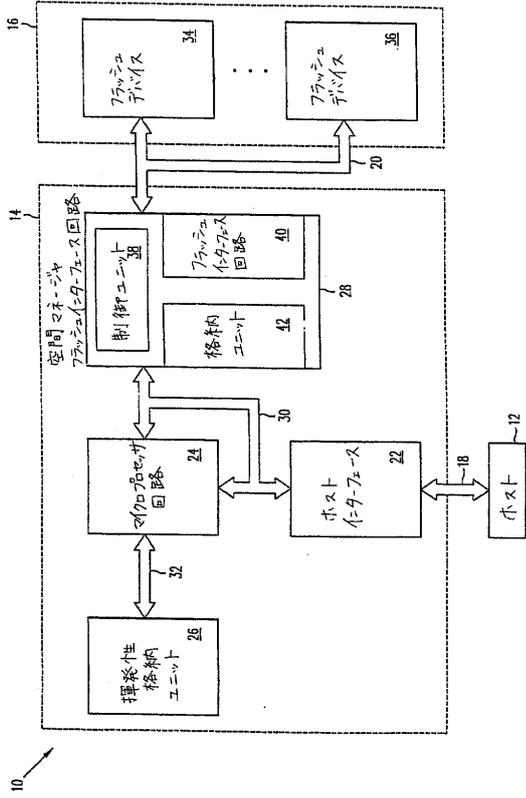
10

20

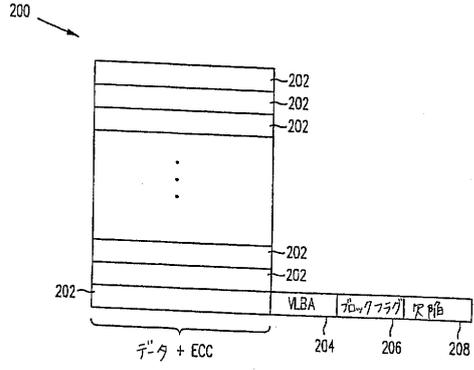
30

40

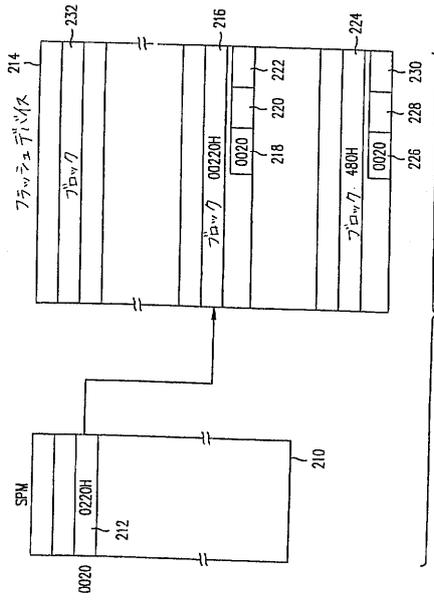
【図1】



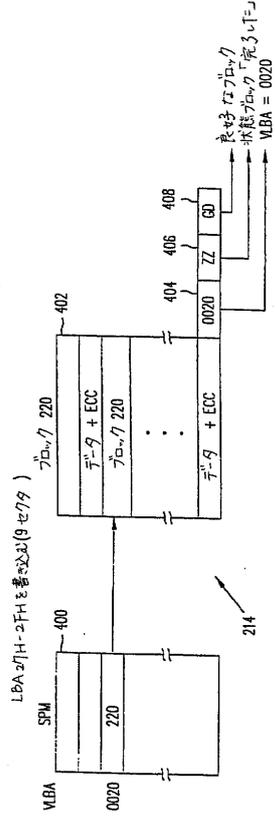
【図2】



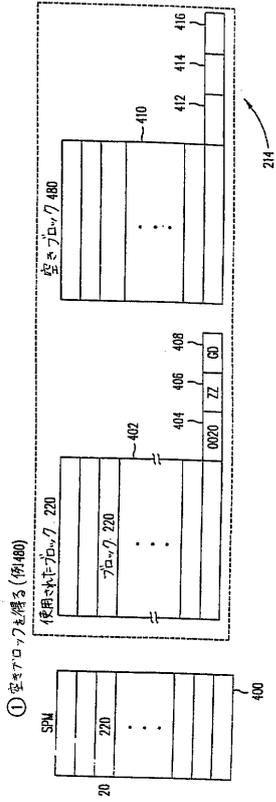
【図3】



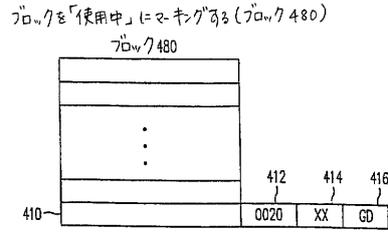
【図4a】



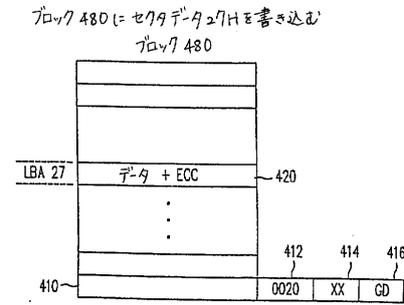
【 図 4 b 】



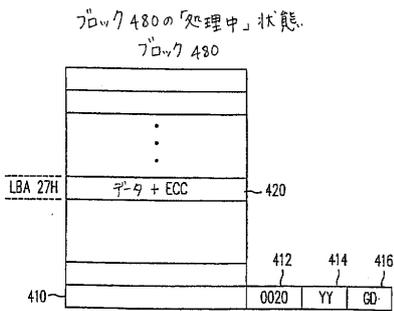
【 図 4 c 】



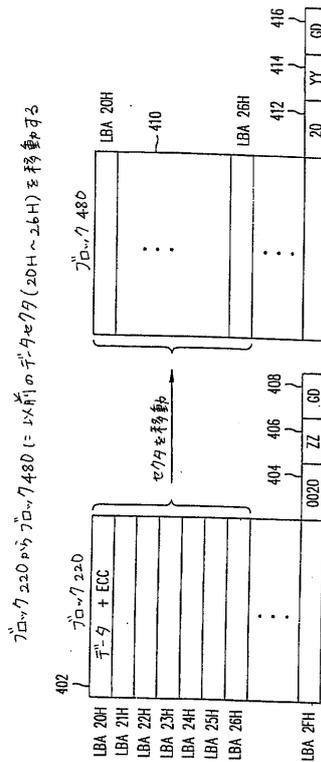
【 図 4 d 】



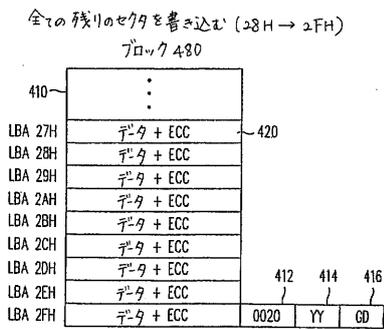
【 図 4 e 】



【 図 4 g 】

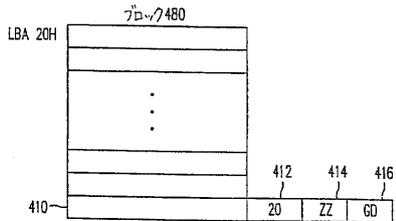


【 図 4 f 】



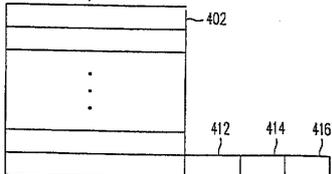
【図 4 h】

ブロック 480 を「ブロック完了」としてマキングする
(ブロック状態 == ZZ)

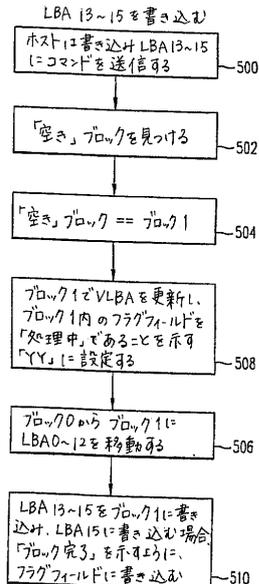


【図 4 i】

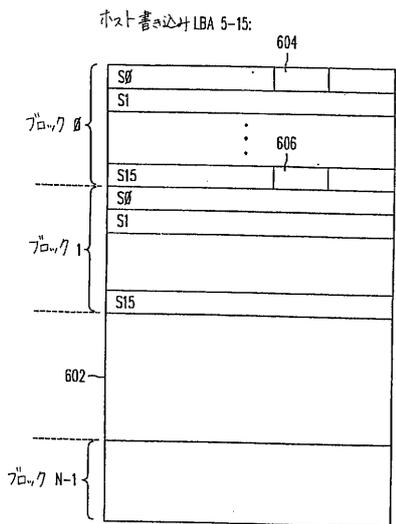
ブロック 220 を消去する



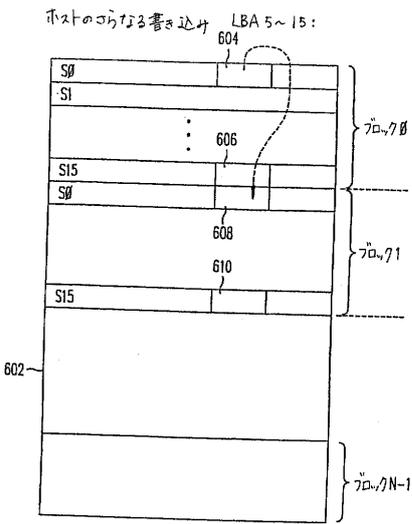
【図 5】



【図 6 a】



【図 6 b】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US00/15777
A. CLASSIFICATION OF SUBJECT MATTER		
IPC(7) :G11C 16/04 US CL :365/185.11, 185.12, 185.33, 230.03 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) U.S. : 365/185.11, 185.12, 185.33, 230.03		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched NONE		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) NONE		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5,627,783 A (MIYAUCHI) 06 May 1997 (06.05.1997), see entire document.	1-18
A	US 5,663,901 A (WALLACE et al) 02 September 1997 (02.09.1997), see entire document.	1-18
A	US 5,745,410 A (YIU et al) 28 April 1998 (28.04.1998), see entire document.	1-18
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents:	"T" later documents published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention	
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone	
"E" earlier document published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art	
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family	
"O" document referring to an oral disclosure, use, exhibition or other means		
"P" document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 12 OCTOBER 2000	Date of mailing of the international search report 14 NOV 2000	
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703) 305-3230	Authorized officer SON DINH Telephone No. (703) 308-4120 <i>Kenneth P. Pustan</i>	

フロントページの続き

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,CH,CY,DE,DK,ES,FI,FR,GB,GR,IE,IT,LU,MC,NL,PT,SE),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,CA,CH,CN,CU,CZ,DE,DK,DZ,EE,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MD,MG,MK,MN,MW,MX,MZ,NO,NZ,PL,PT,RO,RU,SD,SE,SG,SI,SK,SL,TJ,TM,TR,TT,UA,UG,US,UZ,VN,YU,ZA,ZW

(72)発明者 エスタクリ, ペトロ

アメリカ合衆国 カリフォルニア 94566, ブリーズントン, フットヒル ノウルス 7966

(72)発明者 イマン, ビハヌ

アメリカ合衆国 カリフォルニア 94086, サニーベイル, アイリス アベニュー 946

Fターム(参考) 5B025 AD01 AD04 AD08 AE05

5B060 AA00 AA02 AA06 AA14