

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup>  
H01L 23/52  
H01L 21/60

(11) 공개번호 10-2005-0100663  
(43) 공개일자 2005년10월19일

(21) 출원번호 10-2005-7014633  
(22) 출원일자 2005년08월09일  
    번역문 제출일자 2005년08월09일  
(86) 국제출원번호 PCT/JP2004/001079 (87) 국제공개번호 WO 2004/075280  
    국제출원일자 2004년02월03일                      국제공개일자 2004년09월02일

(30) 우선권주장 JP-P-2003-00040730 2003년02월19일 일본(JP)

(71) 출원인 소니 가부시키 가이샤  
일본국 도쿄도 시나가와쿠 기타시나가와 6초메 7반 35고

(72) 발명자 에자키 다카유키  
일본국 도쿄도 시나가와쿠 기타시나가와 6초메 7반 35고 소니가부시키  
가이샤내

(74) 대리인 신관호

심사청구 : 없음

(54) 반도체장치

요약

외부기관과의 가열가압에 의해 접속을 행하는 데에 있어서, 내가압력의 낮은 제 1의 기능영역으로의 손상을 경감하고, 신뢰성이 높은 접속을 행하는 것이다.

본 발명은, 제 1의 기능영역(1)(예를 들면, 기억소자영역)과 제 2의 기능영역(2)(예를 들면, 구동회로 혹은 신호처리회로)이 기관(10)에 설치되어있는 반도체 장치에 있어서, 이 기관(10)을 평면으로 본 경우, 제 1의 기능영역(1)의 외접구형보다도 내측에 배치된 제 2의 기능영역(2)내에, 외부와의 신호입출력을 행하는 전극인 범프(B)(bump: 금속돌기)가 설치되어있는 것이다.

대표도

도 1

명세서

기술분야

본 발명은, 기관에 기억영역 등으로 이루어지는 제 1의 기능영역과, 구동회로등으로 이루어지는 제 2의 기능영역과, 외부와의 신호입출력을 행하는 전극이 설치된 반도체장치에 관한 것이다.

## 배경기술

DRAM(Dynamic Random Access Memory)등의 메모리 및 구동회로 등이 형성된 칩(DRAM칩)을 외부기판에 접속하는 기술로서, 뿔납범프(bump: 금속돌기)를 이용하여 가열가압에 의해 고정하는 방법이 알려져 있다. 이 DRAM칩에 범프접속용 패드를 배치하는 경우, DRAM셀어레이 바로 위에 배치하면, 범프접속(조립)시에 하중이 걸리기 때문에, DRAM셀어레이에 손상을 입거나, 특성이 악화하는 등의 문제가 발생한다.

이 때문에 종래에는 DRAM셀어레이 바로 위를 피하여 주변회로(구동회로 등)의 위치에 범프접속용 패드를 배치하고 있다. 도 8(a), 도 8(b)은 종래의 반도체장치를 설명하는 모식도이고, 도 8(a)은 평면도, 도 8(b)은 단면도이다. 즉, 이 반도체장치는, 신호처리칩 등의 LSI로 이루어지는 외부기판(20)상에 범프(B)를 거쳐서 상부에 DRAM칩 등을 구비한 기판(10)을 접속한 구성으로 되어있다. 이 경우, DRAM칩상에 형성된 DRAM셀어레이영역(제 1의 기능영역(1))내의 동일 표면상을 피하여, 다른 신호처리회로 등이 형성된 제 2의 기능영역(2)내에 범프접속용 패드 및 범프(B)가 배치되어 있다. 또한, 본딩와이어를 접속하기 위한 본딩패드의 배치에 관련하는 기술이 특허문헌1에 개시되어있다.

특허문헌1: 특개평4-162664호 공g .

그러나, 종래의 반도체장치에서는, 범프접속용 패드 및 범프가 DRAM셀어레이영역을 피해서 배치되어있기 때문에, DRAM칩의 접속시에 범프를 거쳐서 하중이 걸려도 DRAM셀어레이에 영향을 끼치는 것은 없지만, 범프접속용패드 및 범프가 DRAM칩상에 좌우양단 등과 같이 떨어진 위치에 배치되기 때문에, 범프접속(조립)시의 수율이 저하한다고 하는 문제가 발생한다. 결국, DRAM칩의 약간 기울어지더라도 좌우양단에 배치된 범프로의 하중 불균일이 커지며, 예를 들면, 일단의 범프는 접속되어도 다단의 범프가 떠버리는 등 모든 범프에 대한 균일한 가압접속이 곤란하게 되고, 제품의 신뢰성저하를 초래하게 된다

## 발명의 상세한 설명

본 발명은, 이와 같은 과제를 해결하기 위해 구성된 것이다. 즉, 본 발명은, 제 1의 기능영역과 제 2의 기능영역이 기판에 설치되어있는 반도체장치에 있어서, 이 기판을 평면으로 본 경우, 상기 제 1의 기능영역의 외접구형(外接矩形)보다도 내측으로 배치된 제 2의 기능영역과 중첩하는 위치에 외부와의 신호입출력을 행하는 전극이 설치되어있는 것이다.

이와 같은 본 발명에는, 제 1의 기능영역의 외접구형보다도 내측으로 배치된 제 2의 기능영역과 중첩하는 위치에 전극이 배치되어있기 때문에, 전극의 배치로써 기판의 대략 중앙에 모이게 할 수 있다. 이것에 의해, 접속시에 압력이 제 1의 기능영역으로 가해지는 것을 방지함과 동시에, 전극의 배치영역을 확장하지 않고 전극을 거쳐서 외부기판과의 가압접속을 행할 수 있고, 전극에 대한 균일한 접속을 행하는 것이 가능하게 된다.

## 도면의 간단한 설명

도 1(a), 도 1(b)은, 제 1 실시형태에 관한 반도체장치를 설명하는 모식도이다.

도 2(a), 도 2(b)는, 제 2 실시형태에 관한 반도체장치를 설명하는 모식도이다.

도 3은, 제 3 실시형태에 관한 반도체장치를 설명하는 모식도평면이다.

도 4은, 제 4 실시형태에 관한 반도체장치를 설명하는 모식도평면이다.

도 5은, 제 5 실시형태에 관한 반도체장치를 설명하는 모식도평면이다.

도 6은, 제 6 실시형태에 관한 반도체장치를 설명하는 모식도평면이다.

도 7은, 제 7 실시형태에 관한 반도체장치를 설명하는 모식도평면이다.

도 8(a), 도 8(b)는, 종래의 반도체장치를 설명하는 모식도이다.

## 실시예

이하, 본 발명의 실시의 형태를 도면에 기초하여 설명한다. 도 1(a), 도 1(b)는, 제 1 실시형태에 관한 반도체장치를 설명하는 모식도로, 도 1(a)은 평면도, 도 1(b)은 단면도이다. 즉, 이 반도체장치는, 칩형의 기관(10)에 제 1의 기능영역(1)과 제 2의 기능영역(2)가 설치된 것으로, 제 1의 기능영역(1)로서는 DRAM셀어레이(기억소자영역), 제 2의 기능영역(2)로서는 DRAM셀어레이에 대한 신호처리회로나 구동회로로 이루어지는 것이다.

제 1 실시형태의 반도체장치에서는, 제 1의 기능영역(1)이 2개(1a, 1b)설치되어 있고, 그 사이의 영역(제 1의 기능영역(1)을 평면으로 본 경우의 외접구형보다도 내측의 영역)이 되는 제 2의 기능영역(2)내에 외부와의 신호입출력을 행하는 전극인 범프(금속돌기)(B)가 설치되어 있다. 반도체장치는, 이 범프(B)를 거쳐서 페이스다운으로 외부기관(20)과 접속된다.

이와 같은 각부의 배치에 의해, 기관(10)의 대략 중앙부로 제 1의 기능영역(1)인 DRAM셀어레이 바로 위를 피하여, 범프(B)를 설치하는 것이 가능하게 된다. 따라서, 반도체장치의 범프(B)를 거쳐서 외부기관(20)과의 가열가압접속에 있어서, 범프(B)에서 DRAM셀어레이(제 1의 기능영역(1))에는 압력이 가해지지 않게 된다.

결국, 제 1의 기능영역(1)인 DRAM셀어레이는, 일정면적주변의 내가압력(이하, 단지 [내가압력]라고 한다)이 제 2의 기능영역(2)인 신호처리회로나 구동회로의 영역보다도 낮아지기 때문에 DRAM셀어레이(제 1의 기능영역(1))에는 범프(B)로부터 압력이 가해지지 않는 것으로 DRAM셀어레이의 손상(데미지)을 방지할 수 있게 된다.

또한, 범프(B)가 기관(10)의 대략 중앙부분에 배치되어 있기 때문에, 기관(10)의 단부에 범프를 설치하는 경우에 비해서 최단의 범프사이의 거리를 단축할 수 있고, 기관(10)이 다소 기울어져도 외부기관(20)에 대한 균일하게 범프접속을 행하는 것이 가능하게 된다.

도 2(a), 도 2(b)는, 제 2 실시형태에 관한 반도체장치를 설명하는 모식도로, 도 2(a)는 평면도, 도 2(b)는 단면도이다. 즉, 이 반도체장치는, 칩형의 기관(10)에 설치된 제 1의 기능영역(1) 및 제 2의 기능영역(2) 중, 제 1의 기능영역(1)이 4개(1a, 1b, 1c, 1d)설치된 것이며, 그 사이의 영역(제 1의 기능영역(1)을 평면으로 본 경우의 외접구형보다도 내측의 영역)이 되는 제 2의 기능영역(2)내에 십자형으로 복수의 범프(B)가 배치된 것이다. 반도체장치는, 이 범프(B)를 거쳐서 페이스다운으로 외부기관(20)과 접속된다.

이와 같은 각부의 배치에 의해, 기관(10)의 대략 중앙부로 제 1의 기능영역(1)인 DRAM셀어레이 바로 위를 피하여, 범프(bump)(B)를 설치하는 것이 가능하게 된다. 따라서, 반도체장치의 범프(B)를 거쳐서 외부기관(20)과의 가열가압접속에 있어서, 앞의 예와 같은 작용효과, 즉, 범프(B)에서 내가압력이 낮은(신호처리회로나 구동회로로 이루어지는 제 2의 기능영역(2)보다도 내가압력이 낮은)DRAM셀어레이(제 1의 기능영역(1))에는 압력이 가해지지 않고, DRAM셀어레이의 손상을 방지할 수 있게 된다.

또한, 복수의 범프(B)가 십자형으로 배치된 것으로, 기관(10)의 대략 중앙부분으로의 배치와 동시에, 각 범프(B)와 제 1의 기능영역(1)과의 배선간격을 극력 단축할 수 있고, 신호지연의 억제를 도모하는 것이 가능하다.

도 3은, 제 3의 실시형태에 관한 반도체장치를 설명하는 모식평면도이다. 이 반도체장치는 도 2(a), 도 2(b)에 나타내는 제 2의 실시형태에 관한 반도체장치의 응용예이며, 칩형의 기관(10)에 설치된 제 1의 기능영역(1) 및 제 2의 기능영역(2) 중, 제 1의 기능영역(1)이 6개(1a, 1b, 1c, 1d, 1e, 1f)설치되어 있고, 그 사이의 간격(제 1의 기능영역(1)을 평면으로 본 경우의 외접구형보다도 내측의 영역)이 되는 제 2의 기능영역(2)내에, 복수의 범프(B)가 연속하는 십자형으로 되어 배치된 것이다.

이와 같이, 제 1의 기능영역(1)은 몇 개 설치되어 있어도 좋고, 각 제 1의 기능영역(예를 들면, 1a ~ 1f)의 사이로 되는 제 2의 기능영역(2)의 위치에 범프(B)를 배치하는 것으로서, 기관(10)의 대략 중앙부분으로의 범프배치 및 범프(B)와 제 1의 기능영역(1)과의 배선간거리의 단축화를 양립할 수 있게 된다.

도 4는, 제 4 실시형태에 관한 반도체장치를 설명하는 모식평면도이다. 이 반도체장치는 도 2에 나타내는 제 2의 실시형태에 관한 반도체장치의 응용예이며, 칩형의 기관(10)에 설치된 제 1의 기능영역(1) 및 제 2의 기능영역(2) 중, 제 1의 기능영역이 4개(1a, 1b, 1c, 1d)설치되어 있고, 그 사이의 영역(제 1의 기능영역(1)을 평면으로 본 경우의 외접구형보다도 내측의 영역)이 되는 제 2의 기능영역(2)내로 복수의 범프(B)가 직사각형(矩形)으로 배치된 것이다.

이와 같은 각부의 배치에 의해, 기관(10)의 대략 중앙부분으로 범프(B)를 배치함과 동시에, 각 범프(B)와 제 1의 기능영역(1)과의 배선간거리의 단축화하는 것이 가능하게 된다.

도 5는, 제 5 실시형태에 관한 반도체장치를 설명하는 모식평면도이다. 이 반도체장치는 도 4에 나타내는 제 4의 실시형태에 관한 반도체장치의 응용예이며, 칩형의 기관(10)에 설치된 제 1의 기능영역(1) 및 제 2의 기능영역(2) 중, 제 1의 기능영역이 4개(1a, 1b, 1c, 1d) 설치되어 있고, 그 사이의 영역(제 1의 기능영역(1)을 평면으로 본 경우의 외접구형보다도 내측의 영역)이 되는 제 2의 기능영역(2) 내에 직사각형으로 범프(B)가 배치된 것이다.

이 실시형태에는, 제 1의 기능영역(1)(1a ~ 1b)이 기관(10)의 대략 중앙부분에 직사각형으로 배치된 범프(B)의 근처를 둘러싸도록 일부 영역을 절결한(노치한) 상태로 배치되어 있다. 이와 같은 배치에 의해, 기관(10)의 대략 중앙부분으로의 범프배치 및 각 범프(B)와 제 1의 기능영역(1)과의 배선간거리의 단축화와 동시에, 기관(10)의 레이아웃효율을 높게 하는 것이 가능하게 된다.

도 6은, 제 6 실시형태에 관한 반도체장치를 설명하는 모식평면도이다. 이 반도체장치는 도 5에 나타내는 제 5의 실시형태에 관한 반도체장치의 응용예이며, 칩형의 기관(10)에 설치된 제 1의 기능영역(1) 및 제 2의 기능영역(2) 중, 제 1의 기능영역(1)이 4개(1a, 1b, 1c, 1d) 설치되어 있고, 그 사이의 영역(제 1의 기능영역(1)을 평면으로 본 경우의 외접구형보다도 내측의 영역)이 되는 제 2의 기능영역(2) 내에 복수의 범프(B)가 직사각형으로 배치된 것이다.

특히, 이 실시형태에는, 범프(B)의 모퉁이부의 일부가 제 1의 기능영역(1)의 일부와 중복되어 있는 점에서 다른 실시형태와 상위하다. 결국, 제 1의 기능영역(1) 중 범프(B)와 중첩하는 부분은 접속시에 당연히 압력을 받게 된다. 따라서, 설계 당초에서 이 범프(B)로부터 압력을 받는 제 1의 기능영역(1)의 일부를 무효영역(기능하게하지 않는 영역)으로서 설정해 둔다. 이것에 의해, 범프(B)의 영역과 제 1의 기능영역(1)을 접근할 수 있고, 제 5의 실시형태에 관한 반도체장치의 효과에 부가하여, 또한, 레이아웃효율을 높이는 것이 가능하게 된다.

도 7은, 제 7 실시형태에 관한 반도체장치를 설명하는 모식평면도이다. 이 반도체장치는, 제 2의 기능영역(2)이 제 1의 기능영역(1)에 둘러싸여진 상태로 배치되고, 그 제 1의 기능영역(1)에 둘러싸여진 제 2의 기능영역(2) 내에 범프(B)가 배치된 것이다. 결국, 제 1의 기능영역(1)이 링형으로 연속하고 있고, 그의 중앙의 빠져있는(누락되어 있는) 부분에 제 2의 기능영역(2) 및 범프(B)가 배치되어 있다.

이와 같이 제 1의 기능영역(1)이 분할되지 않고 링형으로 되어 있어도 기관(10)의 대략 중앙부분으로 범프(B)를 배치할 수 있고, 또한, 각 범프(B)와 제 1의 기능영역(1)과의 배선간거리의 단축화를 도모하는 것이 가능하게 된다.

또한, 상기 설명한 각 실시형태에 있어서, 복수의 제 1의 기능영역(1)으로서는, 1개의 기능영역을 분할하여 배치한 것이어도, 복수의 기능영역을 배치하여도 좋다. 예를 들면, 제 1의 기능영역(1)이 DRAM셀어레이로 이루어지는 경우, 합계로 256Mbit로 이루어지도록 복수의 DRAM셀어레이로 분할하여 배치하여도(이 경우, 분할된 1개의 DRAM셀어레이가 제 1의 기능영역(1)의 1개에 해당), 또, 1개의 제 1의 기능영역(1)이 256Mbit의 DRAM셀어레이로 이것을 복수개 배치하여도 좋다.(이 경우, 제 1의 기능영역(1)의 복수×256Mbit 만큼의 합계용량이 된다)

또, 제 1의 기능영역(1)으로서는 구형을 중심으로 설명했지만, 이것에 한정되지 않고, 원형등의 곡선부분을 포함하는 것이어도 좋다. 또한, 전극은 범프(B)이외라도 가압가열에 의해 접속을 행하는 것이면 다른 전극이라도 동일하다.

### 산업상 이용 가능성

이상 설명한 바와 같이, 본 발명에 의하면 다음과 같은 효과가 있다. 즉, 반도체장치를 가열가압에 의해 외부기관과 접속하는 경우, 전극을 거쳐서 압력이 제 1의 기능영역으로 가해지는 것이 없어지고, 제 1의 기능영역으로의 손상을 방지하는 것이 가능하게 된다. 또한, 전극의 배치영역이 기관의 대략 중앙부분에 합쳐지기 때문에, 전극에 대한 균일한 접속에 의해 신뢰성이 높은 기기를 제공하는 것이 가능하게 된다.

### (57) 청구의 범위

#### 청구항 1.

제 1의 기능영역과 제 2의 기능영역이 기관에 설치되어 있는 반도체장치에 있어서,

상기 기판을 평면으로 본 경우, 상기 제 1의 기능영역의 외접구형보다도 내측으로 배치되어있는 상기 제 2의 기능영역내에, 외부와의 신호입출력을 행하는 전극이 설치되어 구성된 것을 특징으로 하는 반도체장치.

## 청구항 2.

제 1항에 있어서,

상기 제 2의 기능영역에 있어서의 내가압력은 상기 제 1의 기능영역에 있어서의 내가압력 보다 큰 것을 특징으로 하는 반도체장치

## 청구항 3.

제 1항에 있어서,

상기 전극은, 범프를 구비한 것을 특징으로 하는 반도체장치.

## 청구항 4.

제 1항에 있어서,

상기 제 1의 기능영역은 기억소자를 구비하고, 상기 제 2의 기능영역은 상기 기억소자에 대한 구동회로 혹은 신호처리회로를 구비한 것을 특징으로 하는 반도체장치.

## 청구항 5.

제 1항에 있어서,

상기 제 1의 기능영역이 복수존재하고, 각 제 1의 기능영역사이에 상기 전극이 배치되어 구성된 것을 특징으로 하는 반도체장치.

## 청구항 6.

제 5항에 있어서,

상기 제 1의 기능영역이 가로 세로 2개 이상 존재하는 것을 특징으로 하는 반도체장치.

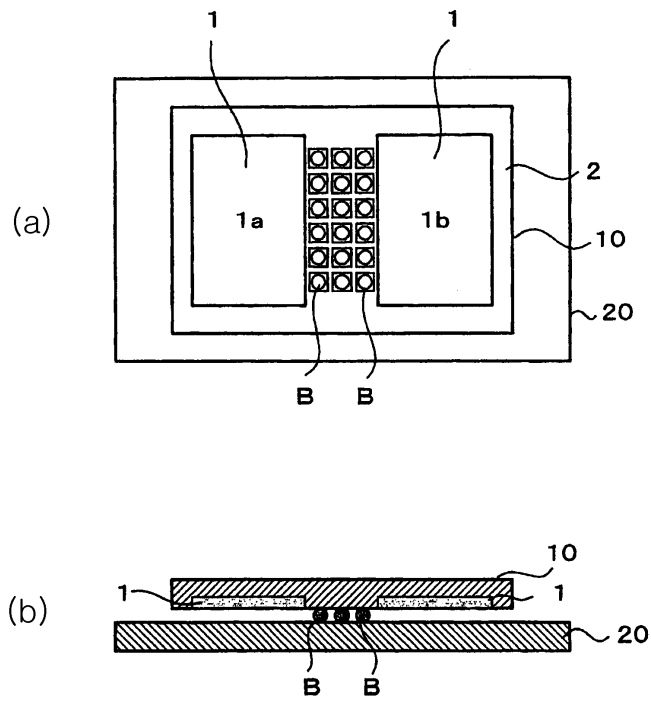
## 청구항 7.

제 1항에 있어서,

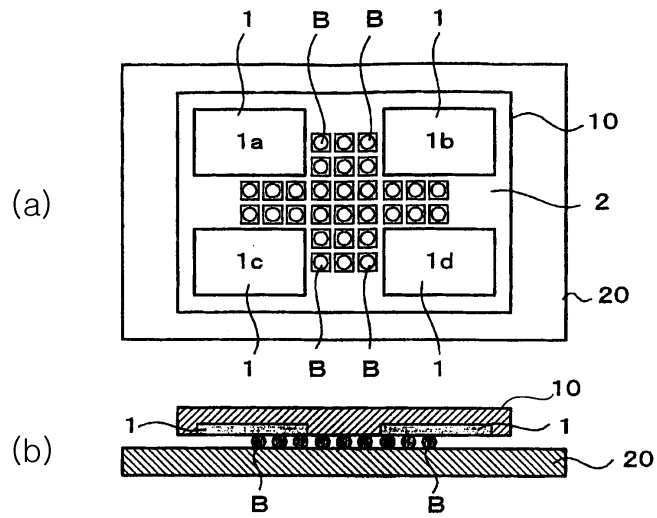
상기 제 2의 기능영역이 상기 제 1의 기능영역에 둘러싸여진 상태로 배치되고, 그 제 1의 기능영역으로 둘러싸여진 제 2의 기능영역내에 상기 전극이 배치되어 구성된 것을 특징으로 하는 반도체장치.

도면

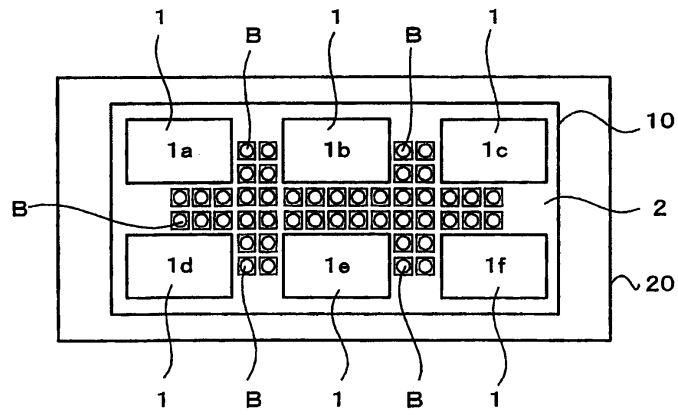
도면1



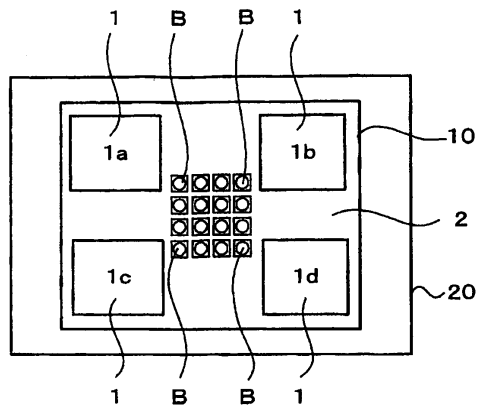
도면2



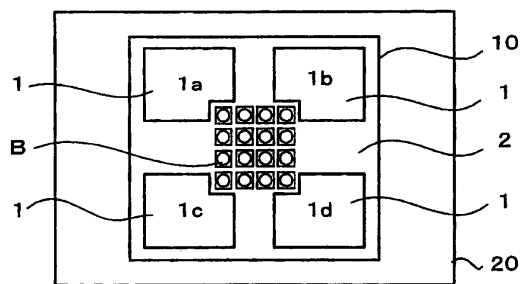
도면3



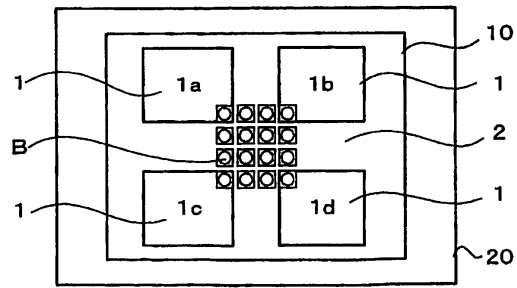
도면4



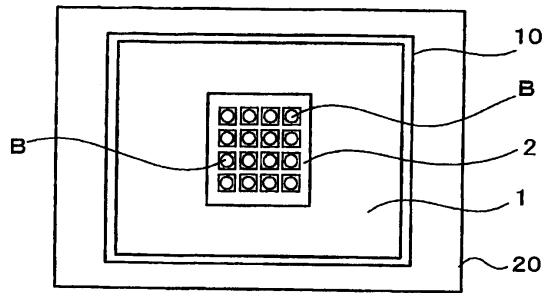
도면5



도면6



도면7



도면8

