

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2013-190853
(P2013-190853A)

(43) 公開日 平成25年9月26日 (2013.9.26)

(51) Int.Cl.
G 0 6 F 11/30 (2006.01)

F I
G O 6 F 11/30 3 2 O D
G O 6 F 11/30 K
G O 6 F 11/30 3 1 O D

テーマコード (参考)
5 B O 4 2

審査請求 未請求 請求項の数 11 O L (全 13 頁)

(21) 出願番号	特願2012-54823 (P2012-54823)	(71) 出願人	000116024
(22) 出願日	平成24年3月12日 (2012.3.12)		ローム株式会社
		(74) 代理人	100085501
			弁理士 佐野 静夫
		(74) 代理人	100134555
			弁理士 林田 英樹
		(72) 発明者	渡邊 充弘
			京都市右京区西院溝崎町21番地 ローム株式会社内
		(72) 発明者	押川 克寛
			京都市右京区西院溝崎町21番地 ローム株式会社内

最終頁に続く

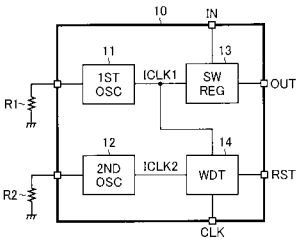
(54) 【発明の名称】 半導体装置、車載機器、車両

(57) 【要約】

【課題】ウォッチドッグタイマ(WDT)用に設けられた発振器の異常を検出する。

【解決手段】半導体装置10は、第1内部クロック信号ICLK1を生成する第1発振器11と、第2内部クロック信号ICLK2を生成する第2発振器12と、第1内部クロック信号ICLK1を用いて動作する主機能回路13と、第2内部クロック信号ICLK2を用いて外部クロック信号CLKの異常を検出しその検出結果に応じたリセット信号RSTを外部出力するウォッチドッグタイマ14とを内蔵し、ウォッチドッグタイマ14は、第1内部クロック信号ICLK1を用いて第2内部クロック信号ICLK2の異常を検出しその検出結果をリセット信号RSTに反映させる。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

第 1 内部クロック信号を生成する第 1 発振器と、
第 2 内部クロック信号を生成する第 2 発振器と、
前記第 1 内部クロック信号を用いて動作する主機能回路と、
前記第 2 内部クロック信号を用いて外部クロック信号の異常を検出しその検出結果に応じたリセット信号を外部出力するウォッチドッグタイマと、
を内蔵し、
前記ウォッチドッグタイマは、前記第 1 内部クロック信号を用いて前記第 2 内部クロック信号の異常を検出しその検出結果を前記リセット信号に反映させることを特徴とする半導体装置。

10

【請求項 2】

前記ウォッチドッグタイマは、
前記外部クロック信号を監視してエッジ検出信号を生成するエッジ検出部と、
前記第 2 内部クロック信号のパルス数をカウントするカウンタと、
前記エッジ検出信号に同期して前記カウンタのカウント値と所定の参照値との比較信号を生成する比較部と、
前記第 1 内部クロック信号を用いて前記第 2 内部クロック信号の異常を検出しその検出結果に応じたクロック監視信号を生成するクロック監視部と、
前記比較信号と前記クロック監視信号との論理演算信号を生成する論理ゲートと、
前記論理演算信号から前記リセット信号を生成して外部出力する出力部と、
を含むことを特徴とする請求項 1 に記載の半導体装置。

20

【請求項 3】

前記比較部は、前記エッジ検出信号に同期して前記カウンタのカウント値が前記参照値によって規定される正常範囲内に収まっていないときに、前記比較信号を異常時の論理レベルとすることを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】

前記クロック監視部は、前記第 2 内部クロック信号が所定期間に亘って同一の論理レベルに維持されていることを検出したときに、前記クロック監視信号を異常時の論理レベルとすることを特徴とする請求項 3 に記載の半導体装置。

30

【請求項 5】

前記論理ゲートは、前記比較信号と前記クロック監視信号の少なくとも一方が異常時の論理レベルであるときに、前記論理演算信号を異常時の論理レベルとすることを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】

前記論理ゲートには、前記主機能回路の異常有無に応じた異常検出信号も入力されることを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】

前記出力部は、オープンドレイン形式であることを特徴とする請求項 1 ～ 請求項 6 のいずれか一項に記載の半導体装置。

40

【請求項 8】

前記主機能回路は、第 1 内部クロック信号に基づいてスイッチ素子をオン / オフさせることにより入力電圧から出力電圧を生成するスイッチング電源回路であることを特徴とする請求項 1 ～ 請求項 7 のいずれか一項に記載の半導体装置。

【請求項 9】

請求項 8 に記載の半導体装置と、
前記半導体装置から出力電圧の供給を受けて動作するマイコンと、
前記マイコンによって制御される被制御機器と、
を有することを特徴とする車載機器。

【請求項 10】

50

前記ウォッチドッグタイマは、前記マイコンで用いられる基準クロック信号の異常を検出しその検出結果に応じたりセット信号を前記マイコンに外部出力することを特徴とする請求項 9 に記載の車載機器。

【請求項 11】

請求項 10 に記載の車載機器と、
前記車載機器に電力を供給するバッテリーと、
を有することを特徴とする車両。

【発明の詳細な説明】

【技術分野】

【0001】

10

本発明は、ウォッチドッグタイマ（以下、本明細書中では WDT [watch dog timer] と呼ぶ）を内蔵した半導体装置、並びに、これを用いた車載機器及び車両に関する。

【背景技術】

【0002】

図 6 は、半導体装置の一従来例を示すブロック図である。本従来例の半導体装置 100 には、主機能回路 101（スイッチング電源回路など）のほかに、発振器 102 と、WDT 103 が集積化されている。WDT 103 は、発振器 102 から入力される内部クロック信号 ICLK を用いて外部クロック信号 CLK の異常を検出し、その検出結果に応じたりセット信号 RST をマイコンに外部出力する。なお、監視対象の外部クロック信号 CLK としては、マイコンで生成される基準クロック信号などが外部入力される。

20

【0003】

なお、上記に関連する従来技術の一例としては、特許文献 1 を挙げることができる。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2011 - 134063 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、上記従来例の半導体装置 100 では、図 7 で示したように、発振器 102 が壊れて内部クロック信号 ICLK の生成動作が停止してしまうと、WDT 103 で外部クロック信号 CLK を監視することができなくなり、リセット信号 RST が常に正常時の論理レベルに維持された状態に陥る、という問題があった。このような状態に陥ると、マイコン側で外部クロック信号 CLK の異常（図 7 では低周波数異常）を認識することができなくなるので、システム全体の動作に支障を来すおそれがあった。

30

【0006】

本発明は、本願の発明者らにより見出された上記の問題点に鑑み、WDT 用に設けられた発振器の異常を検出することが可能な半導体装置、並びに、これを用いた車載機器及び車両を提供することを目的とする。

【課題を解決するための手段】

40

【0007】

上記目的を達成するために、本発明に係る半導体装置は、第 1 内部クロック信号を生成する第 1 発振器と、第 2 内部クロック信号を生成する第 2 発振器と、前記第 1 内部クロック信号を用いて動作する主機能回路と、前記第 2 内部クロック信号を用いて外部クロック信号の異常を検出しその検出結果に応じたりセット信号を外部出力するウォッチドッグタイマと、を内蔵し、前記ウォッチドッグタイマは、前記第 1 内部クロック信号を用いて前記第 2 内部クロック信号の異常を検出しその検出結果を前記リセット信号に反映させる構成（第 1 の構成）とされている。

【0008】

なお、上記第 1 の構成から成る半導体装置において、前記ウォッチドッグタイマは、前

50

記外部クロック信号を監視してエッジ検出信号を生成するエッジ検出部と、前記第2内部クロック信号のパルス数をカウントするカウンタと、前記エッジ検出信号に同期して前記カウンタのカウント値と所定の参照値との比較信号を生成する比較部と、前記第1内部クロック信号を用いて前記第2内部クロック信号の異常を検出しその検出結果に応じたクロック監視信号を生成するクロック監視部と、前記比較信号と前記クロック監視信号との論理演算信号を生成する論理ゲートと、前記論理演算信号から前記リセット信号を生成して外部出力する出力部と、を含む構成(第2の構成)にするとよい。

【0009】

また、上記第2の構成から成る半導体装置において、前記比較部は、前記エッジ検出信号に同期して前記カウンタのカウント値が前記参照値によって規定される正常範囲内に収まっていないときに、前記比較信号を異常時の論理レベルとする構成(第3の構成)にするとよい。

10

【0010】

また、上記第3の構成から成る半導体装置において、前記クロック監視部は、前記第2内部クロック信号が所定期間に亘って同一の論理レベルに維持されていることを検出したときに、前記クロック監視信号を異常時の論理レベルとする構成(第4の構成)にするとよい。

【0011】

また、上記第4の構成から成る半導体装置において、前記論理ゲートは、前記比較信号と前記クロック監視信号の少なくとも一方が異常時の論理レベルであるときに、前記論理演算信号を異常時の論理レベルとする構成(第5の構成)にするとよい。

20

【0012】

また、上記第5の構成から成る半導体装置において、前記論理ゲートには、前記主機能回路の異常有無に応じた異常検出信号も入力される構成(第6の構成)にするとよい。

【0013】

また、上記第1～第6いずれかの構成から成る半導体装置において、前記出力部は、オープンドレイン形式である構成(第7の構成)にするとよい。

【0014】

また、上記第1～第7いずれかの構成から成る半導体装置において、前記主機能回路は第1内部クロック信号に基づいてスイッチ素子をオン/オフさせることにより入力電圧から出力電圧を生成するスイッチング電源回路である構成(第8の構成)にするとよい。

30

【0015】

また、本発明に係る車載機器は、上記第8の構成から成る半導体装置と、前記半導体装置から出力電圧の供給を受けて動作するマイコンと、前記マイコンによって制御される被制御機器と、を有する構成(第9の構成)とされている。

【0016】

なお、上記第9の構成から成る車載機器において、前記ウォッチドッグタイマは、前記マイコンで用いられる基準クロック信号の異常を検出しその検出結果に応じたりセット信号を前記マイコンに外部出力する構成(第10の構成)にするとよい。

【0017】

また、本発明に係る車両は、上記第10の構成から成る車載機器と、前記車載機器に電力を供給するバッテリーと、を有する構成(第11の構成)とされている。

40

【発明の効果】

【0018】

本発明によれば、WDT用に設けられた発振器の異常を検出することが可能となる。

【図面の簡単な説明】

【0019】

【図1】WDTを内蔵した半導体装置の一構成例を示すブロック図

【図2】WDT14の一構成例を示すブロック図

【図3】WDT14の動作を説明するためのタイミングチャート

50

【図４】半導体装置１０を搭載した車載機器の一構成例を示すブロック図

【図５】車載機器１を搭載した車両の一構成例を示す外観図

【図６】ＷＤＴを内蔵した半導体装置の一従来例を示すブロック図

【図７】ＷＤＴの従来動作を説明するためのタイミングチャート

【発明を実施するための形態】

【００２０】

<半導体装置>

図１は、ＷＤＴを内蔵した半導体装置の一構成例を示すブロック図である。本構成例の半導体装置１０は、その構成要素として、第１発振器１１と、第２発振器１２と、スイッチング電源回路１３と、ＷＤＴ１４と、を内蔵するシステム電源ＩＣである。

10

【００２１】

第１発振器１１は、スイッチング電源回路１３用の第１内部クロック信号ＩＣＬＫ１を生成する。第１内部クロック信号ＩＣＬＫ１の周波数は、外付けの抵抗Ｒ１を用いて任意に調整することが可能である。

【００２２】

第２発振器１２は、ＷＤＴ１４用の第２内部クロック信号ＩＣＬＫ２を生成する。第２内部クロック信号ＩＣＬＫ２の周波数は、外付けの抵抗Ｒ２を用いて任意に調整することが可能である。

【００２３】

スイッチング電源回路１３は、第１内部クロック信号ＩＣＬＫ１に基づいてスイッチ素子をオン／オフさせることにより入力電圧ＩＮから出力電圧ＯＵＴを生成する。スイッチング電源回路１３の出力型については、昇圧型、降圧型、及び、昇降圧型のいずれを用いてもよい。また、スイッチング電源回路１３の整流方式についても、同期整流方式と非同同期整流方式のいずれも用いてもよい。

20

【００２４】

なお、本構成例では、第１内部クロック信号ＩＣＬＫ１を用いて動作する主機能回路として、スイッチング電源回路１３を例に挙げたが、本発明の構成はこれに限定されるものではなく、他の用途に供される主機能回路を内蔵しても構わない。

【００２５】

ＷＤＴ１４は、第２内部クロック信号ＩＣＬＫ２を用いて外部クロック信号ＣＬＫの異常を検出し、その検出結果に応じた論理レベルのリセット信号ＲＳＴを外部出力する。外部クロック信号ＣＬＫの周波数やデューティが正常範囲内に収まっているときには、リセット信号ＲＳＴが正常時の論理レベル（例えばハイレベル）となる。一方、外部クロック信号ＣＬＫの周波数やデューティが正常範囲内に収まっていないときには、リセット信号ＲＳＴが異常時の論理レベル（例えばローレベル）となる。

30

【００２６】

ここで、ＷＤＴ１４は、上記した外部クロック信号ＣＬＫの監視機能だけでなく、第１内部クロック信号ＩＣＬＫ１を用いて第２内部クロック信号ＩＣＬＫ２の異常を検出し、その検出結果をリセット信号ＲＳＴに反映させる機能を備えている。より具体的に述べると、第２内部クロック信号ＩＣＬＫ２が異常（例えばハイレベル固定またはローレベル固定）であるときには、外部クロック信号ＣＬＫの監視結果に依ることなく、リセット信号ＲＳＴが異常時の論理レベル（例えばローレベル）に切り替えられる。

40

【００２７】

このような構成とすることにより、第２発振器１２が壊れて外部クロック信号ＣＬＫを監視することができなくなった場合には、外部クロック信号ＣＬＫに異常が生じた場合と同様、リセット信号ＲＳＴが異常時の論理レベル（例えばローレベル）となる。従って、リセット信号ＲＳＴを監視するマイコンでは、外部クロック信号ＣＬＫまたは第２内部クロック信号ＩＣＬＫ２のいずれかに異常が生じていることを認識することができるので、システム全体の動作に支障を来す前に適切な対策を講じることが可能となる。

【００２８】

50

また、スイッチング電源回路 13 用の第 1 内部クロック信号 I C L K 1 を流用して、W D T 14 用の第 2 内部クロック信号 I C L K 2 が異常であるか否かを検出する構成であれば、専用の発振器を別途設けずに済むので、半導体装置 10 の大型化（延いてはコストアップ）を招かずに、そのフェイルセーフ機能を向上させることが可能となる。

【0029】

< W D T >

図 2 は、W D T 14 の一構成例を示すブロック図である。本構成例の W D T 14 は、エッジ検出部 141 と、カウンタ 142 と、比較部 143 と、クロック監視部 144 と、N A N D ゲート 145 と、N チャネル型 M O S 電界効果トランジスタ 146 と、抵抗 147 と、を含む。

10

【0030】

エッジ検出部 141 は、第 2 内部クロック信号 I C L K 2 の入力を受けて動作し、外部クロック信号 C L K を監視してエッジ検出信号 S 1 を生成する。エッジ検出信号 S 1 は、基本的にローレベルに維持されており、外部クロック信号 C L K のパルスエッジ（立上りエッジと立下りエッジの双方）が到来したときにハイレベルとなるパルス信号である。

【0031】

カウンタ 142 は、第 2 内部クロック信号 I C L K 2 のパルス数をカウントし、そのカウント値 S 2 を出力する。カウント値 S 2 は、比較部 143 が比較動作を完了したとき、及び、異常検出信号 D E T が異常時の論理レベル（例えばローレベル）となったときに、ゼロリセットされる。

20

【0032】

比較部 143 は、第 2 内部クロック信号 I C L K 2 の入力を受けて動作し、エッジ検出信号 S 1 のパルス毎に、カウンタ 142 のカウント値 S 2（外部クロック信号 C L K のハイレベル期間 T H またはローレベル期間 T L の長さに相当）と、所定の参照値 R E F とを比較し、その比較結果に応じた比較信号 S 3 を生成する。参照値 R E F には上限値 R E F H と下限値 R E F L が含まれており、この参照値 R E F によってカウント値 S 2 の正常範囲が規定されている。比較信号 S 3 は、カウント値 S 2 が正常範囲内に収まっているときに正常時の論理レベル（例えばハイレベル）となり、カウント値 S 2 が正常範囲内に収まっていないときに異常時の論理レベル（例えばローレベル）となる。

【0033】

30

クロック監視部 144 は、第 1 内部クロック信号 I C L K 1 を用いて第 2 内部クロック信号 I C L K 2 の異常を検出しその検出結果に応じたクロック監視信号 S 4 を生成する。例えば、クロック監視部 144 は、第 2 内部クロック信号 I C L K 2 が所定期間 T D に亘って同一の論理レベルに維持されていることを検出したときに、クロック監視信号 S 4 を異常時の論理レベル（例えばローレベル）とする。

【0034】

N A N D ゲート 145 は、比較信号 S 3、クロック監視信号 S 4、及び、異常検出信号 D E T の否定論理積信号 S 5 を生成する。否定論理積信号 S 5 は、上記 3 信号が一つでもローレベル（異常時の論理レベル）であるときにハイレベルとなり、上記 3 信号が全てハイレベル（正常時の論理レベル）であるときにのみローレベルとなる。このように、否定論理積信号 S 5 については、上記 3 信号と異なり、正常時の論理レベルがローレベルとなっており、異常時の論理レベルがハイレベルとなっている。

40

【0035】

N チャネル型 M O S 電界効果トランジスタ 146 と抵抗 147 は、否定論理積信号 S 5 からリセット信号 R S T を生成して外部出力するオープンドレイン形式の出力部を形成している。トランジスタ 146 のドレインは、リセット信号 R S T の出力端に接続されている。トランジスタ 146 のソースは、接地端に接続されている。トランジスタ 146 のゲートは、否定論理積信号 S 5 の印加端に接続されている。抵抗 147 は、半導体装置 10 の外部において、電源端とリセット信号 R S T の出力端との間に接続されている。この出力部で生成されるリセット信号 R S T は、否定論理積信号 S 5 の論理反転信号となる。す

50

なわち、リセット信号 R S T は、否定論理積信号 S 5 がハイレベルであるときにローレベルとなり、逆に、否定論理積信号 S 5 がローレベルであるときにハイレベルとなる。

【 0 0 3 6 】

図 3 は、W D T 1 4 の動作を説明するためのタイミングチャートであり、上から順に、第 1 内部クロック信号 I C L K 1、第 2 内部クロック信号 I C L K 2、外部クロック信号 C L K、異常検出信号 D E T、エッジ検出信号 S 1、カウンタ値 S 2、比較信号 S 3、クロック監視信号 S 4、論理演算信号 S 5、及び、リセット信号 R S T が描写されている。なお、図 3 では、時刻 t 1 1 ~ t 1 6 の順に時間が経過するものとする。

【 0 0 3 7 】

第 1 内部クロック信号 I C L K 1 は、図示の全期間において正常に出力されている。

10

【 0 0 3 8 】

第 2 内部クロック信号 I C L K 2 は、時刻 t 1 4 まで正常に出力された後、そのパルス生成が異常停止している。

【 0 0 3 9 】

異常検出信号 D E T は、図示の全期間においてハイレベル（正常時の論理レベル）に維持されている。

【 0 0 4 0 】

エッジ検出信号 S 1 は、図示の全期間において基本的にローレベルに維持されており、外部クロック信号 C L K のパルスエッジが到来するタイミング（時刻 t 1 1、t 1 2、t 1 3）でハイレベルとなる。ただし、時刻 t 1 4 以降は、エッジ検出部 1 4 1 が動作できなくなるので、外部クロック信号 C L K のパルスエッジが到来するタイミング（時刻 t 1 6）でも、エッジ検出信号 S 1 にはパルスが立ち上がらなくなる。

20

【 0 0 4 1 】

カウンタ値 S 2 は、比較部 1 4 3 の比較動作が完了するタイミング（時刻 t 1 1、t 1 2、t 1 3）でゼロリセットされた後、カウンタ 1 4 2 で第 2 内部クロック信号 I C L K 2 のパルス数をカウントする毎に 1 つずつインクリメントされていく。ただし、時刻 t 1 4 以降は、第 2 内部クロック信号 I C L K 2 のパルス生成動作が停止しているので、カウンタ値 S 2 のインクリメントも停止したままとなる。

【 0 0 4 2 】

比較信号 S 3 は、エッジ検出信号 S 1 のパルス毎に論理レベルが決定される。例えば、時刻 t 1 2 では、時刻 t 1 1 ~ t 1 2 のカウンタ値 S 2（外部クロック信号 C L K のハイレベル期間 T H）と参照値 R E F とが比較され、カウンタ値 S 2 が正常範囲内に収まっているという比較結果に基づいて、比較信号 S 3 がハイレベル（正常時の論理レベル）に決定されている。また、時刻 t 1 3 では、時刻 t 1 2 ~ t 1 3 のカウンタ値 S 2（外部クロック信号 C L K のローレベル期間 T L）と参照値 R E F とが比較され、カウンタ値 S 2 が正常範囲内に収まっているという検出結果に基づいて、比較信号 S 3 がハイレベル（正常時の論理レベル）に決定されている。このように、外部クロック信号 C L K のパルスエッジ毎にカウンタ値 S 2 と参照値 R E F とを比較する構成であれば、外部クロック信号 C L K の周波数異常とデューティ異常の双方を検出することが可能となる。ただし、時刻 t 1 4 以降は、第 2 内部クロック信号 I C L K 2 のパルス生成動作が停止しているので、比較部 1 4 3 での比較動作が停止しており、比較信号 S 3 の更新やカウンタ 1 4 2 のリセットも停止した状態となる。

30

40

【 0 0 4 3 】

クロック監視信号 S 4 は、時刻 t 1 4 で第 2 内部クロック信号 I C L K 2 のパルス生成動作が停止してから所定期間 T D が経過するまでハイレベル（正常時の論理レベル）に維持される。その後、第 2 内部クロック信号 I C L K 2 が同一の論理レベル（図 3 ではローレベル）に維持されたまま、所定期間 T D が経過して時刻 t 1 5 に至ると、クロック監視信号 S 4 は、ローレベル（異常時の論理レベル）に立ち下げられる。

【 0 0 4 4 】

否定論理積信号 S 5 は、時刻 t 1 5 においてクロック監視信号 S 4 がローレベル（異常

50

時の論理レベル)に立ち下がると、ハイレベル(異常時の論理レベル)に立ち上がる。

【0045】

リセット信号RSTは、時刻t15において否定論理積信号S5がハイレベル(異常時の論理レベル)に立ち上がると、ローレベル(異常時の論理レベル)に立ち下がる。すなわち、リセット信号RSTは、第2内部クロック信号ICK2の異常検出結果を反映した論理レベルとなる。このような構成とすることにより、リセット信号RSTを監視するマイコンは、第2内部クロック信号ICK2の異常を認識することが可能となる。

【0046】

<車載機器>

図4は、半導体装置10を搭載した車載機器の一構成例を示すブロック図である。本構成例の車載機器1は、半導体装置10と、マイコン20と、表示部30と、ヒューマンインタフェース部40と、記憶部50と、を有する。

【0047】

半導体装置10は、入力電圧IN(バッテリー2から供給される直流電圧)から複数の出力電圧OUTx(ただし、x=1、2、3、...)を生成し、車載機器1の各部に供給するシステム電源ICである。なお、半導体装置10の構成や動作は、先述の通りである。

【0048】

マイコン20は、半導体装置10から出力電圧OUT1の供給を受けて動作し、車載機器1の動作を統括的に制御する。

【0049】

表示部30は、マイコン20によって制御される被制御機器の一つであり、画像や文字などを出力する。表示部30としては、液晶表示パネル等を好適に用いることができる。

【0050】

ヒューマンインタフェース部40は、マイコン20によって制御される被制御機器の一つであり、ユーザ操作を受け付ける。ヒューマンインタフェース部40としては、キー、ボタン、及び、タッチパネル等を好適に用いることができる。

【0051】

記憶部50は、マイコン20によって制御される被制御機器の一つであり、マイコン20で実行される各種プログラムの格納領域や作業領域として利用される。記憶部50としては、ROM[read only memory]やRAM[random access memory]などの半導体メモリのほか、ハードディスクドライブや光学ドライブ等を好適に用いることができる。

【0052】

上記構成から成る車載機器1において、半導体装置10に内蔵されたWDT14は、外部クロック信号CLKとして、マイコン20で用いられる基準クロック信号の入力を受け付けており、その異常検出結果に応じたリセット信号RSTをマイコン20に返すように構成されている。このような構成とすることにより、マイコン20で用いられる基準クロック信号に異常が生じたときには、リセット信号RSTが異常時の論理レベル(例えばローレベル)となるので、リセット信号RSTを監視するマイコンでは、車載機器1の動作に支障を来す前に適切な対策を講じることが可能となる。

【0053】

なお、第1発振器11が故障してスイッチング電源回路13の出力動作が停止した場合には、車載機器1各部への電力供給自体が行われなくなるので、車載機器1が異常動作を続ける心配はなく、発熱や発火などの致命的な事態には至らないと考えられる。

【0054】

<車両>

図5は、車載機器1を搭載した車両の一構成例を示す外観図である。本構成例の車両Xは、車載機器X11~X17と、これらの車載機器X11~X17に電力を供給するバッテリー(図5では不図示)と、を搭載している。

【0055】

車載機器X11は、エンジンに関連する制御(インジェクション制御、電子スロットル

10

20

30

40

50

制御、アイドリング制御、酸素センサヒータ制御、及び、オートクルーズ制御など)を行うエンジンコントロールユニットである。

【 0 0 5 6 】

車載機器 X 1 2 は、H I D [high intensity discharged lamp] や D R L [daytime running lamp] などの点消灯制御を行うランプコントロールユニットである。

【 0 0 5 7 】

車載機器 X 1 3 は、トランスミッションに関連する制御を行うトランスミッションコントロールユニットである。

【 0 0 5 8 】

車載機器 X 1 4 は、車両 X の運動に関連する制御 (A B S [anti-lock brake system] 制御、E P S [electric power Steering] 制御、電子サスペンション制御など)を行うボディコントロールユニットである。

【 0 0 5 9 】

車載機器 X 1 5 は、ドアロックや防犯アラームなどの駆動制御を行うセキュリティコントロールユニットである。

【 0 0 6 0 】

車載機器 X 1 6 は、ワイパー、電動ドアミラー、パワーウィンドウ、電動サンルーフ、電動シート、及び、エアコンなど、標準装備品やメーカーオプション品として、工場出荷段階で車両 X に組み込まれている電子機器である。

【 0 0 6 1 】

車載機器 X 1 7 は、車載 A / V [audio/visual] 機器、カーナビゲーションシステム、及び、E T C [Electronic Toll Collection System] など、ユーザの任意で車両 X に装着される電子機器である。

【 0 0 6 2 】

なお、先に説明した半導体装置 1 0 は、車載機器 X 1 1 ~ X 1 7 のいずれにも組み込むことが可能である。

【 0 0 6 3 】

< その他の変形例 >

本明細書中に開示されている種々の技術的特徴は、上記実施形態のほか、その技術的創作の主旨を逸脱しない範囲で種々の変更を加えることが可能である。例えば、バイポーラトランジスタと M O S 電界効果トランジスタとの相互置換や、各種信号の論理レベル反転は任意である。すなわち、上記実施形態は、全ての点で例示であって、制限的なものではないと考えられるべきであり、本発明の技術的範囲は、上記実施形態の説明ではなく、特許請求の範囲によって示されるものであり、特許請求の範囲と均等の意味及び範囲内に属する全ての変更が含まれると理解されるべきである。

【 産業上の利用可能性 】

【 0 0 6 4 】

本発明は、例えば、W D T を内蔵した車載用システム電源 I C に適用することが可能である。ただし、本発明の適用対象はこれに限定されるものではなく、他の用途に供される半導体装置にも広く適用することが可能である。

【 符号の説明 】

【 0 0 6 5 】

- 1 車載機器
- 2 バッテリ
- 1 0 半導体装置 (システム電源 I C)
- 1 1 第 1 発振器 (S W R E G 用)
- 1 2 第 2 発振器 (W D T 用)
- 1 3 スイッチング電源回路
- 1 4 W D T
- 1 4 1 エッジ検出部

10

20

30

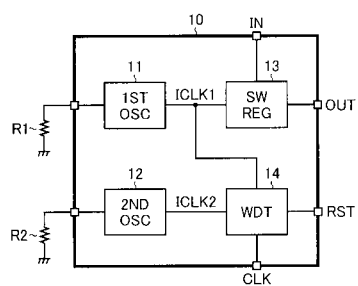
40

50

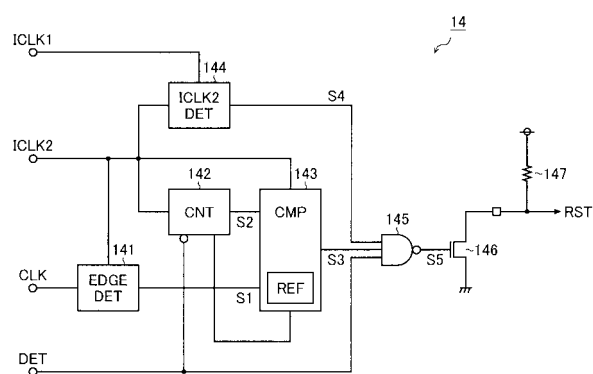
- | | |
|---------------|----------------------|
| 1 4 2 | カウンタ |
| 1 4 3 | 比較部 |
| 1 4 4 | クロック監視部 |
| 1 4 5 | NANDゲート |
| 1 4 6 | Nチャンネル型MOS電界効果トランジスタ |
| 1 4 7 | 抵抗 |
| 2 0 | マイコン |
| 3 0 | 表示部 |
| 4 0 | ヒューマンインタフェイス部 |
| 5 0 | 記憶部 |
| R 1、R 2 | 抵抗 |
| X | 車両 |
| X 1 1 ~ X 1 7 | 車載機器 |

10

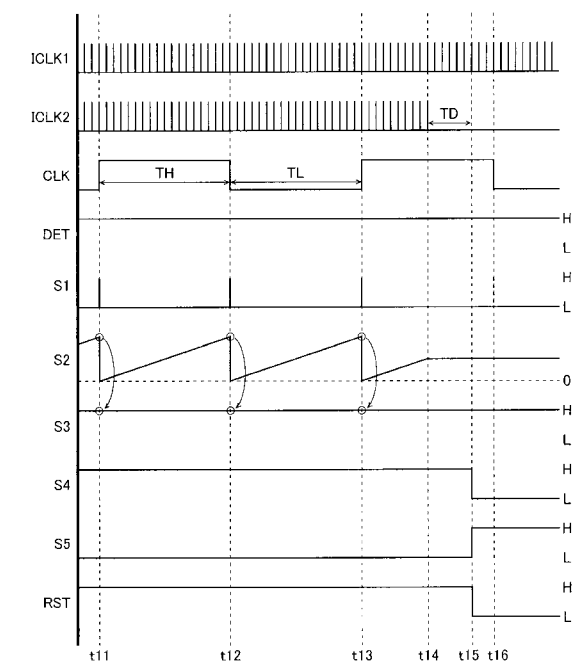
【 図 1 】



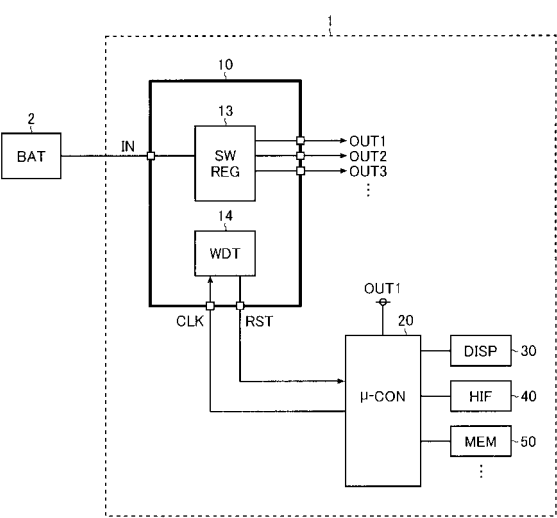
【圖 2】



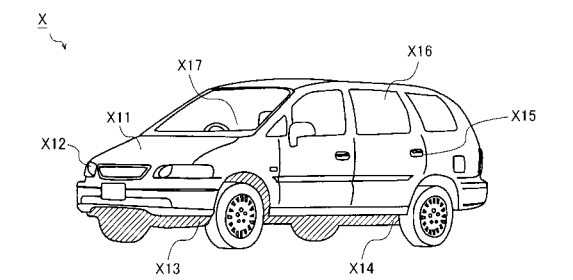
【 図 3 】



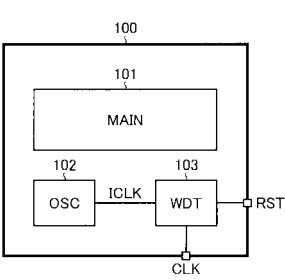
【 図 4 】



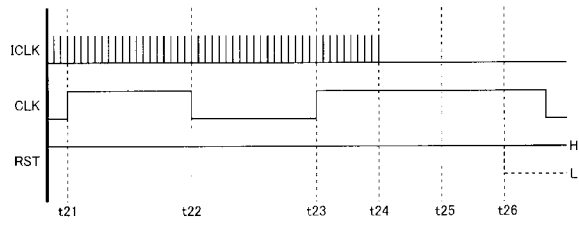
【 図 5 】



【 図 6 】



【図 7】



フロントページの続き

(72)発明者 今村 夢我

京都市右京区西院溝崎町 2 1 番地 ローム株式会社内

Fターム(参考) 5B042 GA38 JJ21 JJ25 JJ26 KK02