

2) **DEMANDE DE BREVET D'INVENTION**

A1

2) Date de dépôt : 21 décembre 1984.

3) Priorité :

13) Date de la mise à disposition du public de la  
demande : BOPI « Brevets » n° 26 du 27 juin 1986.

10) Références à d'autres documents nationaux appa-  
rentés :

71) Demandeur(s) : BENDIX ELECTRONICS SA. — FR.

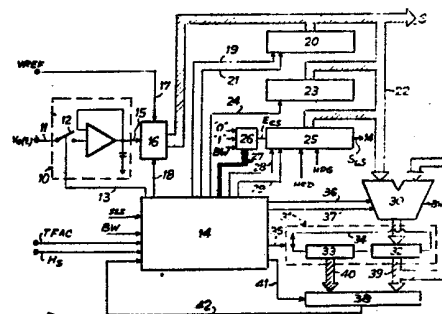
72) Inventeur(s) : Jean-Luc Mate.

73) Titulaire(s) :

74) Mandataire(s) : Gabriel Le Moëner.

14) Procédé et chaîne de traitement du signal analogique de sortie d'un capteur.

17) Cette chaîne de traitement numérique comprend des  
moyens 10, 16 d'échantillonnage d'un signal analogique et de  
conversion sous forme numérique des échantillons acquis, un  
registre à décalage 25, des moyens 23 de mémorisation d'une  
valeur  $N_C$  de constante d'intégration, un bloc 30, un accumula-  
teur 31 et un séquenceur 14 qui commande l'échantillonnage  
et la conversion sous forme numérique des échantillons par  
cesdits moyens pendant une période de mesure, le stockage de  
la valeur numérique représentative du dernier échantillon ac-  
quis dans le registre à décalage 25, le fonctionnement dudit  
bloc 30 en additionneur pendant la période de mesure pour le  
calcul d'une somme cumulée et, à la fin de ladite période, le  
fonctionnement du bloc 30 en soustracteur ainsi que des  
opérations de rotation du contenu de l'accumulateur 31 pour  
diviser le résultat final de la somme cumulée par la valeur  $N_C$   
de la constante d'intégration.



PROCEDE ET CHAINE DE TRAITEMENT DU SIGNAL ANALOGIQUE DE SORTIE  
D'UN CAPTEUR

La présente invention concerne un procédé et une chaîne de  
5 traitement du signal analogique de sortie d'un capteur, notamment  
d'un capteur accélérométrique utilisé dans un système de détection  
de cliquetis pour moteur à combustion interne.

Les systèmes de détection de cliquetis sont de plus en plus utilisés  
10 sur les moteurs à combustion interne car ils permettent, pour un  
moteur de référence, de régler de manière optimale un ou plusieurs  
paramètres de fonctionnement, en particulier l'avance à l'allumage,  
la richesse du mélange et la pression de suralimentation dans le cas  
15 vis à vis des problèmes de dispersion entre moteurs, de  
vieillesse, ou de changement d'environnement (température  
ambiante, humidité, etc...).

Les systèmes de détection de cliquetis connus comprennent  
20 généralement un capteur de cliquetis, tel qu'un accéléromètre monté  
sur la culasse du moteur, une chaîne de traitement et de mise en  
forme du signal de sortie du capteur accélérométrique, et un circuit  
électronique, tel qu'un calculateur numérique, qui compare le signal  
utile issu de la chaîne de traitement à un signal de référence et  
25 délivre un signal de détection de cliquetis lorsque le signal utile  
dépasse d'une valeur prédéterminée le signal de référence.

D'autre part, il est connu que le cliquetis d'un moteur est  
susceptible d'apparaître au moment où la pression dans la chambre de  
30 combustion est maximale et que ce phénomène ne peut se produire que  
dans une fenêtre angulaire restreinte du cycle qui dépend du moteur  
et de ses paramètres de réglage.

C'est la raison pour laquelle la chaîne de traitement d'un tel  
35 système de détection de cliquetis est adaptée pour prendre en compte  
le signal de sortie du capteur accélérométrique dans une fenêtre  
angulaire optimisée pour donner le meilleur rapport signal/bruit

entre une condition de fonctionnement avec cliquetis et une condition de fonctionnement sans cliquetis et, en particulier, cette fenêtre est choisie de façon que les fermetures des soupapes génératrices de vibrations qui pourraient être interprétées  
5 faussement comme du cliquetis interviennent en dehors de la fenêtre.

La demande de brevet EP-A-0018858 décrit une telle chaîne de traitement de type analogique représentée sous forme de schéma bloc à la figure 1 des dessins annexés. Cette chaîne de traitement est  
10 insérée entre un étage 2 d'amplification et de filtrage du signal de sortie d'un capteur accélérométrique 1 et un calculateur numérique 3 qui assure la détection proprement dite du cliquetis. La chaîne de traitement 4 comprend un interrupteur analogique 5 commandé pour appliquer le signal a de sortie de l'étage 2 à un étage 6 de redressement double alternance pendant la fenêtre de mesure. Le  
15 signal a' appliqué à l'entrée de l'étage 6 donne lieu à la sortie de ce dernier à un signal b qui est intégré par un étage 7 produisant un signal intégré c. Le signal analogique intégré c est converti sous une forme numérique d dans un convertisseur  
20 analogique-numérique 8 recevant une tension de référence  $V_{ref}$  et c'est cette valeur numérique d qui est lue par le calculateur 3. Les signaux a, a', b et c sont représentés à la figure 2 des dessins annexés.

25 La fonction de transfert d'une telle chaîne de traitement analogique peut s'exprimer sous la forme :

$$30 \quad X = \text{INT} \left[ \frac{\frac{1}{\tau} \int_0^{\text{TFAC}} \text{ABS}(V_e) dt}{V_{ref}} \cdot 2^N + M_0 \right] \quad \text{où :}$$

- X est le résultat converti sous forme numérique du traitement analogique du signal de sortie du capteur accélérométrique,
- 35 -  $\tau$  est la constante de temps de l'intégrateur,
- TFAC est la durée de la fenêtre de mesure ou d'analyse,

- 3 -

- $V_{ref}$  est la tension de référence du convertisseur analogique/numérique,
- 5 - N est le nombre de bits significatifs du convertisseur et donc du résultat de la chaîne de traitement,
- ABS ( $V_e$ ) est la valeur absolue du signal de sortie du capteur accélérométrique 1 après mise en forme dans l'étage 2  
10 d'amplification et de filtrage,
- $M_0$  est une constante liée à la fonction partie entière INT [ ].

15 Toutefois, la réalisation analogique discrète ou intégrée d'une chaîne de traitement telle que définie ci-dessus pose de nombreux problèmes.

20 Tout d'abord, il s'avère difficile de réaliser un redresseur double alternance ultra linéaire car, comme le montre la figure 3 des dessins annexés, l'étage de redressement introduit, par rapport à une fonction de transfert idéale représentée en traits mixtes, une erreur d'offset  $E_0$ , une erreur de gain  $E_g$  et une erreur de linéarité  $E_l$  à l'approche de la saturation. De plus, la réponse transitoire du redresseur est très liée aux performances des amplificateurs  
25 opérationnels utilisés.

30 Une deuxième source de difficultés est liée à l'intégrateur dont la précision de la constante de temps  $\tau = RC$  est fonction de celle des composants R et C utilisés, précision qu'il est très difficile de garantir à mieux que 10 %. De plus, les dérives en fonction de la température et du vieillissement de ces composants ne permettent pas d'assurer le maintien de cette précision tout au long de la durée d'utilisation. Enfin, il est nécessaire d'utiliser un système  
35 d'auto-zéro pour annuler les erreurs liées à l'intégration des tensions d'offset et des courants de polarisation des amplificateurs utilisés, ce qui complique les circuits mis en oeuvre.

Un troisième problème rencontré est celui de la détermination du temps de conversion du convertisseur analogique-numérique relativement à l'évolution de la valeur intégrée stockée dans la capacité de l'intégrateur.

5

Enfin, la modélisation d'une chaîne de traitement analogique classique s'avère très délicate compte-tenu du nombre de variables à agréger et à apprécier au niveau de chaque élément de la chaîne. Or il est important de réaliser une telle modélisation car l'impact des dérives en température, dans le cadre des spécifications d'environnement climatique des équipements électroniques automobiles, est très lourd de conséquence sur la permanence de la précision de la chaîne de traitement.

15

L'invention vise à réaliser un procédé et une chaîne de traitement numérique du signal de sortie d'un capteur, notamment d'un capteur accélérométrique, qui permettent, entre autres, de s'affranchir des problèmes évoqués ci-dessus rencontrés avec les chaînes analogiques connues. Or, les calculateurs numériques standards de l'état de la technique ne permettent pas, de par leurs caractéristiques, de satisfaire les exigences de souplesse, de précision et de rapidité du traitement du signal tout en offrant un coût qui soit compatible avec une application en grande série, comme ce peut être le cas pour le traitement du signal de sortie d'un capteur de cliquetis pour

25

moteur de véhicule automobile.

Pour résoudre ces problèmes, l'invention a pour objet un procédé de traitement du signal analogique de sortie d'un capteur, notamment d'un capteur accélérométrique de détection de cliquetis pour moteur à combustion interne, suivant lequel on effectue un redressement double alternance et une intégration dudit signal pendant une période de mesure déterminée (TFAC) et on délivre une grandeur numérique (X) représentative du signal de sortie du capteur redressé et intégré pendant la période de mesure, caractérisé en ce qu'on échantillonne et on convertit sous forme numérique le signal analogique ( $V_e(t)$ ) pendant la période de mesure (TFAC), on mémorise temporairement une valeur numérique représentative du dernier

35

échantillon acquis ( $x(i)$ ,  $x'(i)$ ), on procède; pendant l'acquisition de l'échantillon suivant, à l'addition de ladite valeur numérique ( $x(i)$ ,  $x'(i)$ ) avec la somme cumulée ( $y(i-1)$ ) des valeurs numériques représentatives des échantillons acquis depuis le début de la période de mesure, on répète lesdites opérations de mémorisation et d'addition pendant toute la durée de la période de mesure (TFAC) et, à la fin de celle-ci, on divise le résultat de la somme cumulée ( $Y$ ) des valeurs numériques ( $x(i)$ ,  $x'(i)$ ) représentatives de l'ensemble des échantillons acquis pendant la période de mesure (TFAC) par une valeur numérique ( $N\zeta$ ) représentative de la constante ( $\zeta$ ) d'intégration du signal de sortie du capteur, le quotient de ladite division représentant ladite grandeur numérique ( $X$ ).

Suivant une caractéristique de l'invention, on pondère chaque échantillon ( $x(i)$ ) converti sous forme numérique et mémorisé temporairement en le multipliant par un coefficient ( $C(i)$ ) et, pendant l'acquisition de l'échantillon suivant, on procède à l'addition de la valeur numérique pondérée  $x'(i)$  dudit échantillon avec la somme cumulée ( $y(i-1)$ ) des valeurs numériques pondérées des échantillons acquis depuis le début de la période de mesure (TFAC).

De préférence, le coefficient de pondération ( $C(i)$ ) est égal à  $2^{-j(i)}$ ,  $j(i)$  étant un nombre entier dont la valeur est fonction du rang ( $i$ ) de l'échantillon considéré.

L'invention a également pour objet une chaîne de traitement numérique pour la mise en oeuvre du procédé défini ci-dessus, caractérisé en ce qu'elle comprend des moyens d'échantillonnage du signal analogique et de conversion sous forme numérique des échantillons acquis, un registre à décalage, des moyens de mémorisation de la valeur numérique ( $N\zeta$ ) de la constante d'intégration ( $\zeta$ ), un bloc d'addition et de soustraction conditionnée connecté au registre à décalage et aux moyens de mémorisation, un accumulateur connecté à la sortie dudit bloc et un séquenceur qui commande l'échantillonnage et la conversion sous forme numérique des échantillons par lesdits moyens, le stockage de la

valeur numérique ( $x(i)$ ,  $x'(i)$ ) représentative du dernier échantillon acquis dans le registre à décalage, le fonctionnement dudit bloc en additionneur pendant la période de mesure déterminée (TFAC) pour le calcul de la somme cumulée ( $y(i)$ ) et, en réponse à la détection de la fin de ladite période, le fonctionnement du bloc en soustracteur  
5 ainsi que le déroulement d'opérations de rotation du contenu de l'accumulateur pour diviser le résultat final ( $Y$ ) de la somme cumulée par la valeur numérique ( $N\zeta$ ) de la constante d'intégration ( $\zeta$ ).

10 Suivant une caractéristique de l'invention, les moyens d'échantillonnage et de conversion sous forme numérique, le registre à décalage et les moyens de mémorisation sont interconnectés entre eux et avec une première entrée du bloc par un premier bus de  
15 liaison parallèle, l'accumulateur étant connecté à la deuxième entrée du bloc par un deuxième bus de liaison parallèle, le séquenceur commandant, à chaque acquisition d'un nouvel échantillon pendant la période de mesure (TFAC), l'addition de la valeur numérique ( $x(i)$ ,  $x'(i)$ ) représentative de cet échantillon stockée  
20 dans le registre à décalage avec la somme cumulée ( $y(i-1)$ ) contenue dans l'accumulateur et, pendant l'opération de division par soustraction conditionnée et rotation du contenu de l'accumulateur, le chargement des reports successifs (BW) produits par le bloc au cours de ladite opération de division à l'entrée de chargement série  
25 du registre à décalage qui contient ladite grandeur numérique ( $X$ ) à la fin de l'opération de division.

De préférence, l'accumulateur comprend un accumulateur de poids faible connecté à la sortie du bloc et un accumulateur de poids fort  
30 bouclés entre eux par leurs entrées et sorties séries pour permettre des opérations de décalage droite et gauche sous la commande du séquenceur, le registre à décalage, les moyens de mémorisation, les accumulateurs de poids faible et fort et les bus ayant une capacité de  $M$  bits, le séquenceur étant adapté pour piloter ladite opération  
35 de division en commandant  $M$  décalages droite du contenu des accumulateurs de poids fort et poids faible puis le fonctionnement du bloc en soustracteur pour calculer la différence entre le contenu de l'accumulateur de poids faible et la valeur numérique ( $N\zeta$ ) de la

constante d'intégration, cette différence devenant le nouveau contenu de l'accumulateur de poids faible et un report (RM) de niveau logique "1" étant chargé dans le registre à décalage si ladite différence est positive ou nulle et le contenu de l'accumulateur de poids faible demeurant inchangé et un report (RM) de niveau logique "0" étant chargé dans le registre à décalage si ladite différence est négative, cette opération de soustraction étant suivie d'un décalage gauche du contenu des accumulateurs de poids fort et poids faible et étant répétée sous la commande du séquenceur jusqu'à ce que M décalages gauche aient été effectués, ledit quotient (X) étant alors contenu dans le registre à décalage.

De préférence, le séquenceur est associé à des moyens pour commander sélectivement le chargement dudit report (RM), d'un niveau logique "1" ou d'un niveau logique "0" à l'entrée de chargement série du registre à décalage, le contenu dudit registre étant initialisé à un premier niveau logique avant l'opération de division et un niveau logique opposé étant chargé à son entrée série lors du premier décalage droite et gauche du contenu des accumulateurs, le séquenceur commandant la poursuite desdits décalages droite et gauche jusqu'à la détection dudit niveau logique opposé à la sortie de lecture série du registre à décalage.

D'autres caractéristiques et avantages de l'invention ressortiront de la description qui va suivre d'un mode de sa réalisation donné uniquement à titre d'exemple et illustré par les dessins annexés sur lesquels :

- la figure 1 est un schéma-bloc d'une chaîne de traitement analogique conforme à l'état de la technique ;

- la figure 2 montre la forme des signaux présents en différents points de la chaîne de la figure 1 ;

- la figure 3 est un diagramme illustrant la fonction de transfert du redresseur double alternance de la figure 1.

- la figure 4 est un schéma-bloc d'une chaîne de traitement numérique du signal de sortie d'un capteur de cliquetis ;
- les figure 5a à 5 d sont des diagrammes illustrant le processus de traitement mis en oeuvre par la chaîne de la figure 4 ;
- les figure 6 et 7 sont des vues analogues à la figure 3 illustrant une caractéristique de transfert de la chaîne assimilable à un redressement double alternance ;
- la figure 8 est un diagramme illustrant un mode de fonctionnement de la chaîne assurant une modification de la constante de temps d'intégration au cours de la fenêtre de mesure ;
- la figure 9 est un chronogramme illustrant certaines particularités du fonctionnement de la chaîne numérique de la figure 4 ; et
- la figure 10 est un algorithme illustrant le processus final de division mis en oeuvre par la chaîne de la figure 4.

La chaîne de traitement numérique représentée à la figure 4 est destinée à être interposée entre, d'une part, un capteur accélérométrique suivi de son étage d'amplification et de filtrage et, d'autre part, un calculateur numérique, comme la chaîne de traitement analogique 4 de la figure 1.

Cette chaîne numérique comprend un échantillonneur-bloqueur 10 à l'entrée 11 duquel est appliqué le signal de sortie du capteur accélérométrique mis en forme et ci-après appelé  $V_e(t)$ . L'acquisition d'échantillons du signal  $V_e(t)$  est réalisée au moyen d'un interrupteur analogique 12 commandé par un signal 13 d'acquisition d'échantillons délivré par un séquenceur 14 dont le rôle est de délivrer la succession des signaux de commande nécessaires à chacun des blocs de la chaîne pour réaliser

l'enchaînement des opérations qui seront décrites dans la suite. Le séquenceur 14 peut être constitué par exemple d'un réseau logique programmable associé à un registre d'état qui ne seront pas décrits en détails, un tel agencement étant bien connu des spécialistes de la technique.

Le séquenceur 14 reçoit un signal TFAC qui définit la fenêtre angulaire à l'intérieur de laquelle le signal  $V_e(t)$  doit être pris en compte pour la détection de cliquetis. Ce signal TFAC peut être élaboré de manière désormais classique par un calculateur, par exemple d'allumage, qui peut être le calculateur 3 de la figure 1. Le séquenceur 14 reçoit également un signal d'horloge Hs délivré par le calculateur 3 ou une horloge externe (non représentée).

La sortie 15 de l'échantillonneur-bloqueur 10 est appliquée à l'entrée d'un convertisseur analogique-numérique 16 connecté en 17 à une source de tension de référence  $V_{ref}$  qui définit la dynamique de codage du signal  $V_e(t)$  et en 18 au séquenceur 14 qui délivre sur sa sortie correspondante un signal d'horloge HCAN pour la commande interne du convertisseur analogique-numérique. La sortie du convertisseur analogique-numérique 16 est connectée par l'intermédiaire d'un bus 22 à M bits à un registre de résultat 20.

Chaque échantillon  $x(i)$  résultat de la conversion sous forme numérique du signal  $V_e(t)$  est chargé, sous la commande 19 du séquenceur 14, du convertisseur 16 dans le registre de résultat 20 où il est mémorisé temporairement. La lecture de l'échantillon  $x(i)$  mémorisé dans le registre 20 est commandée en 21 par le séquenceur et s'effectue sur le bus 22.

Ce dernier est également connecté à un registre 23 dans lequel est stockée une constante de normalisation ou d'intégration  $N_\zeta$  dont la lecture sur le bus 22 est commandée en 24 par le séquenceur 14.

La chaîne numérique comprend un troisième registre 25 servant, entre autres, à la mise à l'échelle des échantillons  $x(i)$ .

L'étage de mémorisation constitué par l'échantillonneur-bloqueur 10 précédant le convertisseur analogique-numérique 16 permet de satisfaire les exigences d'échantillonnage des composantes spectrales significatives du signal  $V_e(t)$ . Bien entendu, en variante,  
 5 l'échantillonneur-bloqueur peut être intégré au convertisseur analogique-numérique 16.

Ce dernier a une fonction de transfert bipolaire à  $N$  bits + signe qui, au phénomène de quantification près, peut représenter  
 10 idéalement celle d'un redresseur double alternance ultra-linéaire. Cette fonction de transfert, représentée à la figure 6, supprime les effets néfastes de la non linéarité à l'approche de la saturation qui se traduisent, dans le cas d'un redresseur analogique, par l'erreur de linéarité  $E_l$  illustrée à la figure 3. En effet, dans le  
 15 cas présent, la fonction de transfert peut être mathématiquement explicitée et parfaitement définie et, si  $ABS(V_e) \geq V_{ref}$ , le code en sortie du convertisseur 16 est :  $N_s = 2^{N-1}$ .

Par ailleurs, comme le montre la figure 7 qui est une vue à plus  
 20 grande échelle du détail D de la figure 6, la caractéristique du convertisseur 16 peut être modifiée par le moyen classique d'addition d'une tension de décalage (fonction initiale échelons en traits plein ; fonction avec tension de décalage en traits interrompus), qui permet d'obtenir une fonction d'erreur de  
 25 quantification symétrique.

L'erreur de décalage propre au convertisseur au voisinage du zéro peut être supprimée par le moyen classique d'auto-test ou d'auto-zéro bien connu des spécialistes de la technique.

30 Le nombre  $N$  de bits effectifs du convertisseur 16 est choisi en fonction des caractéristiques du signal  $V_e(t)$  et des exigences de précision du système de manière à obtenir le rapport signal sur bruit en entrée souhaité.

35 Le résultat numérique directement accessible en sortie du convertisseur 16 s'explicité donc comme suit :

Ce registre à décalage 25 est connecté au bus 22 par ses entrées parallèles de chargement et ses sorties parallèles de lecture commandées respectivement par le séquenceur 14 en 28 et 29. L'entrée série Ecs du registre 25 est connectée à un aiguilleur ou  
5 multiplexeur 26 qui permet sélectivement, sous les commandes 27 du séquenceur 14, le chargement du registre à décalage 25 avec des valeurs binaires "0", "1" ou BW comme cela sera décrit plus en détail dans la suite.

10 Le bus 22 de M bits est relié à une entrée d'un bloc 30 additionneur-soustracteur conditionné dont la sortie est connectée à un accumulateur 31. Plus précisément, l'accumulateur 31 comprend un accumulateur de poids faible 32 dont la sortie série attaque un  
15 accumulateur de poids fort 33. Les accumulateurs 32 et 33 sont connectés entre eux en 34 de manière à permettre des rotations "droite" ou "gauche" sous la commande repérée 35 du séquenceur 14. Le séquenceur 14 commande également en 36 le fonctionnement du bloc 30 en additionneur et en 37 son fonctionnement en soustracteur conditionné.

20 La sortie de l'accumulateur de poids faible 32 est d'une part rebouclée sur la deuxième entrée de l'additionneur-soustracteur conditionné 30 et d'autre part appliquée à un décodeur 38 par un bus  
25 39. Le décodeur 38 est également connecté à l'accumulateur de poids fort 33 par un bus 40 et il peut être périodiquement réinitialisé sous la commande repérée 41 du séquenceur 14. Enfin, la sortie 42 du décodeur 38 est appliquée en entrée du séquenceur 14.

30 Le fonctionnement d'ensemble de la chaîne de traitement numérique sera maintenant décrit en se référant aux figures 4 à 7.

35 Comme le montre la figure 5a, le signal  $V_e(t)$  est échantillonné pendant la fenêtre angulaire d'analyse TFAC avec une périodicité  $t_c$  et les échantillons recueillis sont désignés  $x_1, x_2, \dots, x_i$ . La périodicité  $t_c$  est choisie de manière que la cadence d'acquisition des échantillons soit suffisamment rapide pour satisfaire les contraintes de l'ensemble du système en matière de précision.

$$x(i) = \text{INT} \left[ \frac{\text{ABS} (V_e (t=i.t_c))}{V_{\text{ref}}} \cdot 2^N + N_0 \right] \cdot \delta\text{TAFAC},$$

5 pour  $\text{ABS} (V_e(t)) < V_{\text{ref}}$ ,  
formule dans laquelle :

-  $x(i)$  est la valeur numérique de l'échantillon d'indice  $i$  représentatif de la valeur absolue de la tension ;

10 -  $\text{INT} [ ]$  représente la fonction "partie entière" ;

-  $\text{ABS} (V_e (t = i.t_c))$  est la valeur absolue de la tension du signal  $V_e(t)$  mémorisé par l'échantillonneur-bloqueur 10 ;

15 -  $t_c$  est la période d'échantillonnage ;

-  $V_{\text{ref}}$  est la tension de référence appliquée au convertisseur 16 ;

20 -  $N_0$  est une constante de centrage de l'erreur de quantification qui prend généralement la valeur 0 ou 0,5 ;

-  $\delta\text{TAFAC} = 1$  durant la fenêtre d'analyse.

25 -  $\delta\text{TAFAC} = 0$  en dehors de la fenêtre d'analyse.

Les différents échantillons  $x(i)$  recueillis et convertis sous forme numérique se traduisent donc à la sortie du convertisseur 16 par un code  $N_s$  qui peut prendre au maximum la valeur  $2^N - 1$ , comme représenté à la figure 5b.

30 A la fin de chaque période d'échantillonnage  $t_c$ , l'échantillon  $x(i)$  est chargé dans le registre de résultat 20. Avant l'arrivée de l'échantillon suivant  $x(i+1)$ , le contenu  $x(i)$  du registre de résultat 20 est transféré dans le registre à décalage 25, sous la  
35 commande du séquenceur 14, pour sa mise à l'échelle. A cet effet, chaque échantillon  $x(i)$  est multiplié par un coefficient de pondération  $C_i$  tel que  $C(i) = 2^{-j(i)}$ ,  $j(i)$  étant un nombre entier tel que  $j(i) \in [0, N]$ , de sorte que chaque échantillon pondéré

ou mis à l'échelle  $x'(i)$  a pour valeur :

$$x'(i) = x(i) \cdot C(i) = x(i) \cdot 2^{-j(i)}$$

5 La figure 5c illustre les valeurs que peuvent prendre les coefficients de pondération  $C(i)$  : dans cet exemple  $C(i) = 0,5$  pour le premier et le dernier échantillon et  $C(i) = 1$  pour tous les autres échantillons. Cependant, les coefficients  $C(i)$  peuvent prendre d'autres valeurs et être répartis différemment comme cela sera expliqué plus en détail dans la suite.

10 La mise à l'échelle des échantillons  $x(i)$  stockés dans le registre à décalage 25 est assurée en effectuant un nombre de décalages à droite du contenu du registre 25 égal à  $j(i)$ . Les nombres  $j(i)$  peuvent être mémorisés dans le séquenceur 14 ou dans une mémoire permanente (ROM) extérieure (non représentée) si nécessaire.

20 Chaque échantillon pondéré  $x'(i)$  est ensuite appliqué sous la commande du séquenceur 14 en entrée du bloc 30 qui, pendant la durée de la fenêtre d'analyse TFAC, est conditionné en 36 par le séquenceur 14 pour fonctionner en additionneur. La valeur de l'échantillon pondéré  $x'(i)$  est alors sommée avec le contenu existant de l'accumulateur 31, appliqué à l'autre entrée de l'additionneur 30 par le bus 39, et le résultat de cette addition est à nouveau stocké dans l'accumulateur 31 si bien que l'évolution du contenu de ce dernier se traduit par :

$$y(i) = y(i-1) + x'(i) = C_1 x_1 + C_2 x_2 + \dots + C(i) x(i),$$

30  $y(i)$  représentant le résultat de l'accumulation dont l'évolution au cours de la fenêtre d'analyse TFAC est représentée à la figure 5d. A la fin de la fenêtre d'analyse TFAC, la chaîne de traitement procède à l'intégration ou mise à l'échelle du résultat de l'accumulation :

$$35 \quad X = \text{INT} \left[ \frac{\sum_{i=1}^{K+1} x(i) 2^{-j(i)}}{N_{\zeta}} + M_0 \right], \quad \text{où :}$$

- 14 -

-  $K = \text{INT} \left[ \frac{\text{TFAC}}{t_c} \right]$ ,  $K + 1$  représentant le nombre maximal

d'échantillons traités durant la fenêtre d'analyse TFAC ;

5 -  $t_c$  est la période d'échantillonnage ;

- TFAC est la durée de la fenêtre d'analyse ;

10 -  $N_\zeta$  est la valeur numérique de la constante d'intégration ou d'analyse  $\zeta$  stockée dans le registre 23, valeur qui peut être comprise entre 1 et la capacité maximale du registre 23 compatible avec la capacité de l'accumulateur 31 ;

15 -  $M_0$  est une constante pouvant prendre classiquement les valeurs 0 - 0,5 ou 1 et permettant de modifier la fonction partie entière  $\text{INT} [ ]$  ;

20 -  $X$  est le résultat numérique du traitement du signal fourni en sortie de la chaîne, au bout d'un temps  $T$  nécessaire à l'opération de division après la fin de la fenêtre d'analyse TFAC (voir figure 5d).

25 Cette opération d'intégration ou de mise à l'échelle du résultat de l'accumulation est réalisée au moyen du bloc 30 commandé en 37 par le séquenceur 14 pour fonctionner en soustracteur conditionné, de l'accumulateur 31 grâce aux facilités de rotation droite-gauche de ce dernier et du registre à décalage 25 qui, à la fin de l'opération, contient le résultat  $X$  du traitement numérique du signal  $V_e(t)$ .

30 La mise en oeuvre de cette opération sera décrite plus en détails dans la suite, mais on peut d'ores et déjà remarquer que la précision de l'intégration et du résultat numérique  $X$  obtenu en sortie de la chaîne de traitement ne dépend que de la précision du convertisseur analogique-numérique 16, de la précision et de la valeur intrinsèque  
35 de la période d'échantillonnage  $t_c$ , ainsi que de la capacité maximale

numérique de l'accumulateur 31.

Par ailleurs, la facilité de mise à l'échelle des échantillons -  
 $x'(i) = x(i) 2^{-j(i)}$  - peut être utilisée, notamment, pour la prise  
 5 en compte de valeurs d'échantillons particulières (par exemple la  
 valeur initiale et la valeur finale comme représenté à la figure 5c)  
 ou pour la modification de la constante de temps  $\tau$  de l'intégrateur  
 pendant la fenêtre d'analyse TFAC. Un exemple de cette deuxième  
 possibilité est illustré par la figure 8 sur laquelle :

10

- entre le début de la fenêtre d'analyse  $t_0$  et l'instant  $t_1$  la  
 constante d'intégration  $\tau$  a une première valeur  $\tau_1$  car  $C(i) = 1$ ,  
 soit  $j(i) = 0$  ;

15

- entre les instants  $t_1$  et  $t_2$ , la constante d'intégration a une  
 deuxième valeur  $\tau_2 = \frac{\tau_1}{2}$  car  $C(i) = \frac{1}{2}$  c'est-à-dire que  $j(i) = 1$  ;  
 et

20

- entre l'instant  $t_2$  et la fin  $t_3$  de la fenêtre d'analyse la  
 constante d'intégration  $\tau$  a de nouveau la valeur  $\tau_1$  du fait que  
 $C(i) = 1$  soit  $j(i) = 0$ .

25

Ceci permet la réalisation aisée de fonctions "porte d'analyse" plus  
 complexes, et notamment trapézoïdales, permettant d'atténuer  
 certaines composantes spectrales du signal  $V_e(t)$ .

30

Certains aspects particuliers du fonctionnement de la chaîne de  
 traitement numérique suivant l'invention seront maintenant décrits  
 plus en détails en se référant notamment aux figures 4 et 9.

35 La fenêtre d'analyse angulaire commence à l'instant  $t_0$  où le signal  
 TFAC passe de "0" à "1". Dès que la fenêtre d'analyse est "ouverte",  
 le séquenceur transmet le signal d'horloge  $H_s$  au convertisseur  
 analogique-numérique 16 sur la connexion 18 où ce signal est appelé  
 HCAN. La première impulsion du signal d'horloge  $H_s$  est également

appliquée en 13, à l'instant  $t_1$ , à l'échantillonneur-bloqueur 10 pour acquérir le premier échantillon du signal  $V_e(t)$ . L'échantillon acquis pendant la fermeture de l'interrupteur analogique 12 par le signal 13, entre les instants  $t_1$  et  $t_2$ , est mémorisé par l'échantillonneur-bloqueur 10 dont la sortie 15 évolue comme représenté à la figure 9. Cet échantillon est alors converti sous forme numérique dans le convertisseur 16 à l'aide du signal d'horloge HCAN entre les instants  $t_2$  et  $t_3$  : lorsque  $N + 1$  impulsions ont été comptabilisées ( $N$  bits de quantification + 1 bit de signe), le séquenceur 14 émet en 19 un signal commandant le chargement du code de sortie du convertisseur 16, représentatif de la valeur numérique  $x_1$  du premier échantillon, dans le registre de résultat 20. Simultanément, la valeur  $j(i)$  ( $j_1$  dans le cas du premier échantillon) est chargée dans le séquenceur 14 pour commander le nombre de décalages à droite de  $x_1$  qui seront effectués dans le registre à décalage 25.

A l'instant  $t_4$  d'apparition d'une nouvelle impulsion du signal d'horloge  $H_s$ , le séquenceur 14 émet en 28 une impulsion dont le front montant commande le chargement du contenu  $x_1$  du registre de résultat 20 dans le registre à décalage 25 et génère en 13 un nouveau signal d'acquisition d'échantillon. Par ailleurs, si la valeur  $j(i)$  chargée à l'instant  $t_3$  n'est pas nulle, le séquenceur 14 engendre également à l'instant  $t_4$  la première d'une série d'impulsion d'horloge de rotation droite  $H_{RD}$  dont le nombre est égal à  $j(i)$  : chacune de ces impulsions d'horloge  $H_{RD}$  commande sur son front descendant, c'est-à-dire aux instants  $t_5$ ,  $t_6$  et  $t_7$  respectivement, un décalage "droite" du contenu du registre à décalage 25. A la fin  $t_7$  de cette opération de décalage, le nombre présent dans le registre à décalage 25 représente donc la valeur numérique pondérée  $x'(i) = x(i) \cdot 2^{-j(i)}$  de l'échantillon.

Le séquenceur 14 génère alors en 29 et 36 une impulsion pour commander la lecture du contenu  $x(i) \cdot 2^{-j(i)}$  du registre à décalage 25 et sa sommation avec le contenu préexistant de l'accumulateur de poids faible 32. Si cette somme est supérieure ou égale à  $2^N$ , c'est-à-dire si :

- 17 -

Contenu accumulateur de poids faible +  $x'(i) \geq 2^N$ ,

le report BW de l'additionneur 30 passe à "1" comme représenté en traits interrompus à la figure 9 et l'accumulateur de poids fort 33 est incrémenté d'une unité :

Accumulateur poids fort = Accumulateur poids fort + 1.

A la fin de cette opération, dans le cas du  $i^{\text{ème}}$  échantillon, le contenu global de l'accumulateur 31, constitué de l'accumulateur de poids faible 32 et de l'accumulateur de poids fort 33, est donc comme indiqué précédemment :

$$y(i) = y(i - 1) + x'(i) = y(i - 1) + x(i).2^{-j(i)}$$

Ce processus se reproduit à chaque acquisition d'échantillon pendant toute la durée de la fenêtre d'analyse TFAC sauf si le décodeur 38, qui a été initialisé au début de celle-ci, émet prématurément un signal de débordement sur sa sortie OVF notée 42 à la figure 4. Le décodeur 38 a  $2M$  entrées reliées respectivement par les bus 39 et 40 de  $M$  bits chacuns aux accumulateurs de poids faible 32 et de poids fort 33. La sortie OVF 42 passe à "1" si :

$$y(i) \geq (2^M - 1). N_z$$

Dans ce cas, l'accumulation des échantillons pondérés  $x'(i)$  est interrompue par le séquenceur 14 et le résultat anticipé du traitement numérique du signal  $Ve(t)$  est directement disponible :

$$X = 2^M - 1$$

Dans l'hypothèse où le processus d'accumulation se poursuit jusqu'à la fin de la fenêtre d'analyse TFAC comme représenté à la figure 5d, le contenu final de l'accumulateur 31 est :

$$Y = \sum_{i=1}^{K+1} C(i) x(i)$$

- 18 -

Le séquenceur 14 déclenche alors l'opération de division pour mettre à l'échelle le résultat de l'accumulation. Cette opération de division est effectuée à l'aide du registre à décalage 25, du bit 30 et de l'accumulateur 31, et se déroule conformément à l'algorithme de la figure 11, sous le pilotage du séquenceur 14.

Le séquenceur 14 commande tout d'abord à l'étape 100 un décalage "droite" du contenu des accumulateurs de poids fort et poids faible 32 et 33, les deux accumulateurs étant bouclés comme indiqué à cette étape.

L'étape suivante 101 est un test pour déterminer si l'on a effectué N décalages du contenu des accumulateurs 32 et 33 :

- dans la négative, on revient à l'étape 100 et l'on effectue un nouveau décalage "droite" ;
- dans l'affirmative, N décalages "droite" du contenu des accumulateurs ont été effectués et on passe à l'étape suivante 102.

Le comptage des N décalages du test 101 est effectué par le registre à décalage 25 : à cet effet, le contenu de celui-ci est préalablement mis à zéro par le séquenceur 14 à travers le multiplexeur 26 et, au premier décalage droite de l'étape 100, un "1" est mis par l'intermédiaire du multiplexeur 26 à l'entrée de chargement série des du bit de poids faible du registre 25. A chaque décalage "droite" du contenu des accumulateurs 32, 33, le séquenceur 14 commande la rotation à gauche du registre à décalage par l'entrée d'horloge de rotation "gauche"  $H_{RG}$  du registre 25. La sortie  $S_{LS}$  de lecture série du bit de poids fort du registre 25 est lue par le séquenceur 14 et, tant que cette sortie est à "0", le séquenceur 14 continue le décalage "droite" des accumulateurs 32 et 33 et le décalage "gauche" du registre 25. Quand le séquenceur 14 détecte un "1" à la sortie  $S_{LS}$ , c'est que N décalages "droite" des accumulateurs 32, 33 et N décalages "gauche" du registre 25 ont été effectués puisque la capacité du registre à décalage 25 est de N

- 10 -

On passe alors à l'étape 102 qui est un test où l'on examine si :

Contenu de l'accumulateur de poids faible -  $N_C \geq 0$ .

5 Cette opération est effectuée par le bloc 30 fonctionnant en soustracteur conditionné sous la commande qui lui est appliquée en 37 par le séquenceur 14,  $N_C$  étant lu dans le registre 23 par la commande 24. Le résultat de cette inégalité est donné par le niveau logique du report BW. La réponse au test 102 est positive si BW =  
10 "1" et négative si BW = "0".

Dans l'affirmative, si BW = "1", on passe à l'étape 103 où l'on réactualise le contenu de l'accumulateur de poids faible 32 en prenant comme nouveau contenu de celui-ci son contenu préexistant  
15 diminué de  $N_C$ , soit :

Accumulateur poids faible = Accumulateur poids faible -  $N_C$   
Accumulateur poids fort inchangé.

20 On passe ensuite à l'étape 104 où l'on charge BW, dans ce cas égal à "1", à l'entrée de chargement série Ecs du registre à décalage 25.

Si la réponse au test 102 est négative, on passe directement à l'étape 104 où la valeur de BW chargée à l'entrée Ecs du registre 25  
25 est "0".

Le chargement de BW à l'entrée Ecs du registre 25 est effectué par l'intermédiaire du multiplexeur 26 sous la commande du séquenceur  
14.

30 L'étape suivante 105 consiste en un décalage "gauche" du contenu des accumulateurs de poids fort et poids faible 33, 32, conformément au bouclage représenté à cette étape.

35 Un test 106 est ensuite effectué sur le nombre de décalages "gauche" de l'étape 105 qui ont eu lieu :

- si ce nombre est inférieur à M, on reboucle sur le test 102 ;
- si M décalages "gauche" ont été opérés, l'algorithme de division est terminé et on passe à l'étape 107 qui marque la fin de celui-ci.

Le comptage des M décalages "gauche" du test 106 est assuré, comme celui des M décalages "droite" de l'étape 101, par le registre à décalage 25. A la fin de l'étape 101, le registre 25 ne contient que des "0" et un "1" est chargé à son entrée Ecs. Le "1" est ensuite décalé à chaque fois qu'un report BW est chargé à l'entrée Ecs et, lorsque ce "1" est lu à la sortie S<sub>LS</sub> par le séquenceur 14, c'est que M décalages "gauche" du contenu des accumulateurs ont été effectués.

Le quotient de la division, c'est-à-dire  $X = \text{INT} \left[ \frac{Y}{N_{\zeta}} \right]$

est alors contenu dans le registre à décalage 25 qui a été chargé M fois à son entrée Ecs avec la valeur logique de BW déterminée par le test 102.

En d'autres termes, à la fin de l'opération de division le résultat X représentant la valeur numérique intégrée du signal  $V_e(t)$  redressé pendant la fenêtre d'analyse TFAC est directement disponible sur les sorties du registre à décalage 25 pour tout calculateur numérique programmé selon un algorithme de détection de cliquetis.

La nécessité de génération au mieux de l'arrondi de X peut conduire à une ultime comparaison du reste contenu dans l'accumulateur poids faible avec  $N_{\zeta}$ , constante d'intégration, afin d'obtenir pour quotient de la division :

$$X = \text{INT} \left[ \frac{Y}{N_{\zeta}} + M_0 \right]$$

35

Il résulte de ce qui précède que la chaîne décrite permet de traiter le signal de sortie d'un capteur en n'effectuant que des opérations simples, qui ne nécessitent qu'un faible nombre de composants peu coûteux. En particulier, le processus de traitement suivant

5 l'invention n'exige pas d'effectuer l'opération de division en temps réel ce qui, dans l'état actuel de la technique, s'avérerait très difficile à réaliser avec des composants bon marché et, par conséquent, ayant une faible puissance de calcul. En effet, l'obtention de la précision souhaitée pour le traitement numérique

10 d'un signal de cliquetis requiert une cadence relativement élevée de prélèvement des échantillons de l'ordre de, par exemple, 100Khz, soit une période d'échantillonnage  $t_c$  de 10 $\mu$ s. L'obtention de cette précision est compatible avec un codage du résultat sur 8 bits, mais les microcalculateurs standards à 8 bits actuellement disponibles

15 n'offrent pas de possibilités de conversion analogique-numérique intégrée à une cadence d'acquisition des échantillons aussi élevée. Il est à noter que les techniques connues à ce jour de conversion analogique-numérique sont à même de résoudre largement le problème posé par la cadence d'échantillonnage et que l'homme de l'art peut

20 disposer sur la même pastille de semi-conducteur l'ensemble des composants qui réalisent la chaîne de traitement numérique décrite, à un coût compatible avec une application en grande série.

Bien entendu, l'invention n'est pas limitée au seul mode de

25 réalisation décrit et de nombreuses modifications peuvent y être apportées sans sortir de son cadre.

C'est ainsi, par exemple, que le registre de résultat 20 n'est pas indispensable dans toutes les applications envisagées : sa présence

30 est nécessaire si la lecture de la sortie du convertisseur 16 n'est pas synchronisée avec l'horloge HCAN de ce dernier comme dans l'exemple décrit, mais a lieu dès que le résultat de la conversion est disponible en sortie du convertisseur. La valeur de  $x(i)$  est alors sauvegardée dans le registre 20 en attendant la commande

35 synchrone qui le transférera dans le registre à décalage 25 pour sa mise à l'échelle éventuelle.

- 22 -

Si le registre de résultat 20 est supprimé, le registre à approximations successives constituant la sortie du convertisseur analogique-numérique 16 est connecté directement au registre à décalage 25 par le bus 22. La valeur numérique de  $x(i)$  est alors transférée directement du convertisseur 16 au registre 25, par exemple à l'instant  $t_3$  au lieu de l'instant  $t_4$ , les autres signaux de la figure 9 pouvant demeurer inchangés, à l'exception de la commande 19 qui est naturellement supprimée.

De même, l'opération de pondération est facultative et c'est directement la valeur numérique  $x(i)$  des échantillons acquis qui peut être accumulée dans l'accumulateur 31.

15

20

25

30

35

REVENDICATIONS

1. Procédé de traitement du signal analogique de sortie d'un capteur, notamment d'un capteur accélérométrique de détection de cliquetis pour moteur à combustion interne, suivant lequel on effectue un redressement double alternance et une intégration dudit signal pendant une période de mesure déterminée (TFAC) et on délivre une grandeur numérique (X) représentative du signal de sortie du capteur redressé et intégré pendant la période de mesure, caractérisé en ce qu'on échantillonne et on convertit sous forme numérique le signal analogique ( $V_e(t)$ ) pendant la période de mesure (TFAC), on mémorise temporairement une valeur numérique représentative du dernier échantillon acquis ( $x(i)$ ,  $x'(i)$ ), on procède, pendant l'acquisition de l'échantillon suivant, à l'addition de ladite valeur numérique ( $x(i)$ ,  $x'(i)$ ) avec la somme cumulée ( $y(i-1)$ ) des valeurs numériques représentatives des échantillons acquis depuis le début de la période de mesure, on répète lesdites opérations de mémorisation et d'addition pendant toute la durée de la période de mesure (TFAC) et, à la fin de celle-ci, on divise le résultat de la somme cumulée (Y) des valeurs numériques ( $x(i)$ ,  $x'(i)$ ) représentatives de l'ensemble des échantillons acquis pendant la période de mesure (TFAC) par une valeur numérique ( $N_z$ ) d'intégration du signal de sortie du capteur, le quotient de ladite division représentant ladite grandeur numérique (X).

2. Procédé suivant la revendication 1, caractérisé en ce qu'on pondère chaque échantillon ( $x(i)$ ) converti sous forme numérique et mémorisé temporairement en le multipliant par un coefficient ( $C(i)$ ) et, pendant l'acquisition de l'échantillon suivant, on procède à l'addition de la valeur numérique pondérée ( $x'(i)$ ) dudit échantillon avec la somme cumulée ( $y(i-1)$ ) des valeurs numériques pondérées des échantillons acquis depuis le début de la période de mesure (TFAC).

3. Procédé suivant la revendication 2, caractérisé en ce que le coefficient de pondération ( $C(i)$ ) est égal à  $2^{-j(i)}$ ,  $j(i)$  étant un nombre entier dont la valeur est fonction du rang (i) de l'échantillon considéré.

4. Chaîne de traitement numérique pour la mise en oeuvre du procédé suivant l'une quelconque des revendications 1 à 3, caractérisée en ce qu'elle comprend des moyens (10, 16) d'échantillonnage du signal analogique et de conversion sous forme numérique des échantillons  
5 acquis, un registre à décalage (25), des moyens (23) de mémorisation de la valeur numérique ( $N\zeta$ ) de la constante d'intégration ( $\zeta$ ), un bloc (30) d'addition et de soustraction conditionnée connecté au registre à décalage (25) et aux moyens de mémorisation (23), un accumulateur (31) connecté à la sortie dudit bloc (30) et un  
10 séquenceur (14) qui commande l'échantillonnage et la conversion sous forme numérique des échantillons par lesdits moyens (10, 16), le stockage de la valeur numérique ( $x(i)$ ,  $x'(i)$ ) représentative du dernier échantillon acquis dans le registre à décalage (25), le fonctionnement dudit bloc (30) en additionneur pendant la période de  
15 mesure déterminée (TFAC) pour le calcul de la somme cumulée ( $y(i)$ ) et, en réponse à la détection de la fin de ladite période, le fonctionnement du bloc (30) en soustracteur ainsi que le déroulement d'opérations de rotation du contenu de l'accumulateur (31) pour diviser le résultat final ( $Y$ ) de la somme cumulée par la valeur  
20 numérique ( $N\zeta$ ) de la constante d'intégration ( $\zeta$ ).

5. Chaîne suivant la revendication 4, caractérisée en ce que les moyens (10, 16) d'échantillonnage et de conversion sous forme numérique, le registre à décalage (25) et les moyens de mémorisation  
25 (23) sont interconnectés entre eux et avec une première entrée du bloc (30) par un premier bus (22) de liaison parallèle, l'accumulateur (31) étant connecté à la deuxième entrée du bloc (30) par un deuxième bus (39) de liaison parallèle, le séquenceur (14) commandant, à chaque acquisition d'un nouvel échantillon pendant la  
30 période de mesure (TFAC), l'addition de la valeur numérique ( $x(i)$ ,  $x'(i)$ ) représentative de cet échantillon stockée dans le registre à décalage (25) avec la somme cumulée ( $y(i-1)$ ) contenue dans l'accumulateur (31) et, pendant l'opération de division par soustraction conditionnée et rotation du contenu de l'accumulateur  
35 (31), le chargement des reports successifs (BW) produits par le bloc (30) au cours de ladite opération de division à l'entrée de chargement série (Ecs) du registre à décalage (25) qui contient ladite grandeur numérique ( $X$ ) à la fin de l'opération de division.

6. Chaîne de traitement suivant la revendication 5, caractérisée en ce que l'accumulateur (31) comprend un accumulateur de poids faible (32) connecté à la sortie du bloc (30) et un accumulateur de poids fort (33) bouclés entre eux par leurs entrées et sorties séries pour  
5 permettre des opérations de décalage droite et gauche sous la commande du séquenceur (14), le registre à décalage (25), les moyens de mémorisation (23), les accumulateurs de poids faible (32) et fort (33) et les bus (22, 39) ayant une capacité de M bits, le séquenceur étant adapté pour piloter ladite opération de division en commandant  
10 M décalages droite du contenu des accumulateurs de poids fort (33) et poids faible (32) puis le fonctionnement du bloc (30) en soustracteur pour calculer la différence entre le contenu de l'accumulateur de poids faible (32) et la valeur numérique ( $N\zeta$ ) de la constante d'intégration, cette différence devenant le nouveau  
15 contenu de l'accumulateur de poids faible (32) et un report (BW) de niveau logique "1" étant chargé dans le registre à décalage (25) si ladite différence est positive ou nulle et le contenu de l'accumulateur de poids faible (32) demeurant inchangé et un report (BW) de niveau logique "0" étant chargé dans le registre à décalage  
20 (25) si ladite différence est négative, cette opération de soustraction étant suivie d'un décalage gauche du contenu des accumulateurs de poids fort (33) et poids faible (32) et étant répétée sous la commande du séquenceur (14) jusqu'à ce que M décalages gauche aient été effectués, ledit quotient ( $X$ ) étant  
25 alors contenu dans le registre à décalage (25).

7. Chaîne suivant la revendication 6, caractérisée en ce que le séquenceur (14) est associé à des moyens (26) pour commander sélectivement le chargement dudit report (BW), d'un niveau logique  
30 "1" ou d'un niveau logique "0" à l'entrée de chargement série du registre à décalage (25), le contenu dudit registre étant initialisé à un premier niveau logique avant l'opération de division et un niveau logique opposé étant chargé à son entrée série (Ecs) lors du premier décalage droite et gauche du contenu des accumulateurs (32, 33), le séquenceur commandant la poursuite desdits décalages droite  
35 et gauche jusqu'à la détection dudit niveau logique opposé à la sortie de lecture série du registre à décalage (25).

8. Chaîne suivant l'une quelconque des revendications 4 à 7, caractérisée en ce que les moyens (10, 16) d'échantillonnage et de conversion comprennent un échantillonneur-bloqueur (10) et un convertisseur analogique-numérique (16) présentant en sortie, à  
5 chaque fin d'une conversion, une valeur numérique égale à :

$$x(i) = \text{INT} \left[ \frac{\text{ABS } V_e(t=i \cdot t_c)}{V_{\text{ref}}} \cdot 2^{N+} N_0 \right], \text{ où}$$

- INT [ ] représente la fonction "partie entière" ;
- 10 - ABS (Ve (t=i.tc)) est la valeur absolue de l'échantillon de rang i du signal Ve (t), mémorisé par l'échantillonneur-bloqueur (10) ;
- V ref est une tension de référence appliquée au convertisseur ;
- 15 - N est le nombre de bits de quantification du convertisseur ;
- N<sub>0</sub> est une constante de centrage de l'erreur de quantification du convertisseur.
- 20 - t<sub>c</sub> est la période d'échantillonnage.

9. Chaîne de traitement suivant la revendication 8, caractérisée en ce que ladite grandeur (X) résultant de la division est égale à :

$$25 \quad X = \text{INT} \left[ \frac{Y}{N_{\zeta}} + M_0 \right], \text{ où :}$$

- INT [ ] représente la fonction "partie entière" ;
- Y est le résultat de la somme cumulée contenu dans l'accumulateur  
30 (31) à la fin de la période de mesure ;
- N<sub>ζ</sub> est la valeur numérique de la constante d'intégration ;
- M<sub>0</sub> est une constante permettant d'adapter la fonction "partie  
35 entière".

10. Chaîne suivant l'une quelconque des revendications 4 à 9 lorsqu'elle dépend de la revendication 3, caractérisée en ce qu'elle comprend des moyens de mémorisation (14) des nombres  $j(i)$  définissant les coefficients de pondération  $C(i)$ , ledit séquenceur  
 5 (14) commandant un nombre de décalages à droite du contenu  $x(i)$  du registre à décalage égal au nombre  $j(i)$  mémorisé pour l'échantillon de rang  $i$ , la valeur numérique pondérée résultante  $x'(i)$  constituant ladite valeur numérique représentative du dernier échantillon acquis  $x(i)$  et additionnée à ladite somme cumulée  
 10  $(y(i) = y(i-1) + x'(i))$ .

11. Chaîne suivant la revendication 10, caractérisée en ce qu'elle comprend un registre de résultat (20) et en ce que le séquenceur (14) commande séquentiellement le stockage dans le registre de  
 15 résultat (20) de la valeur numérique  $x(i)$  du dernier échantillon acquis disponible à la sortie des moyens d'échantillonnage et de conversion (10, 16) et le transfert du contenu du registre de résultat (20) dans le registre à décalage (25) pour l'opération de pondération par décalage à droite.

20 12. Chaîne suivant l'une quelconque des revendications 4 à 9, caractérisée en ce qu'elle comprend un décodeur (38) connecté à la sortie de l'accumulateur (31) et réinitialisé par le séquenceur (14) à chaque début d'une période de mesure déterminée (TFAC), le  
 25 décodeur (38) étant adapté pour émettre un signal de débordement (42) si le contenu  $y(i)$  de l'accumulateur (31) devient supérieur ou égal à une valeur prédéterminée pendant la période de mesure (TFAC).

30 13. Chaîne suivant la revendication 12 lorsqu'elle dépend de la revendication 6, caractérisée en ce que ladite valeur prédéterminée est égale à  $N_c \cdot (2^M - 1)$ ,  $2^M - 1$  étant le quotient anticipé de ladite division  $(X)$  en cas de débordement.

FIG. 1  
(Art antérieur)

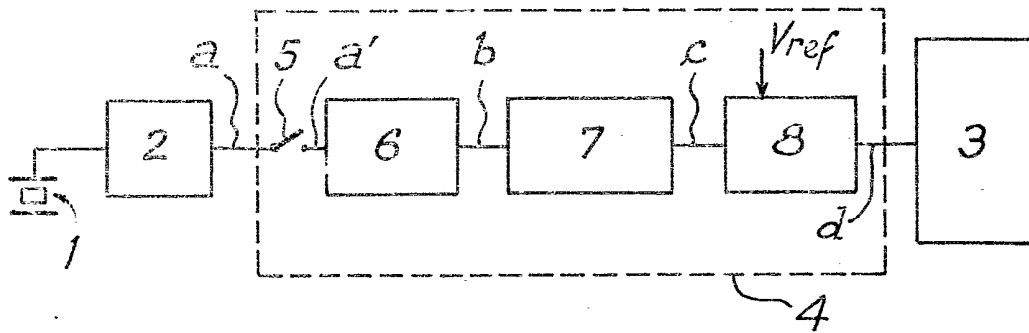


FIG. 2 (Art antérieur)

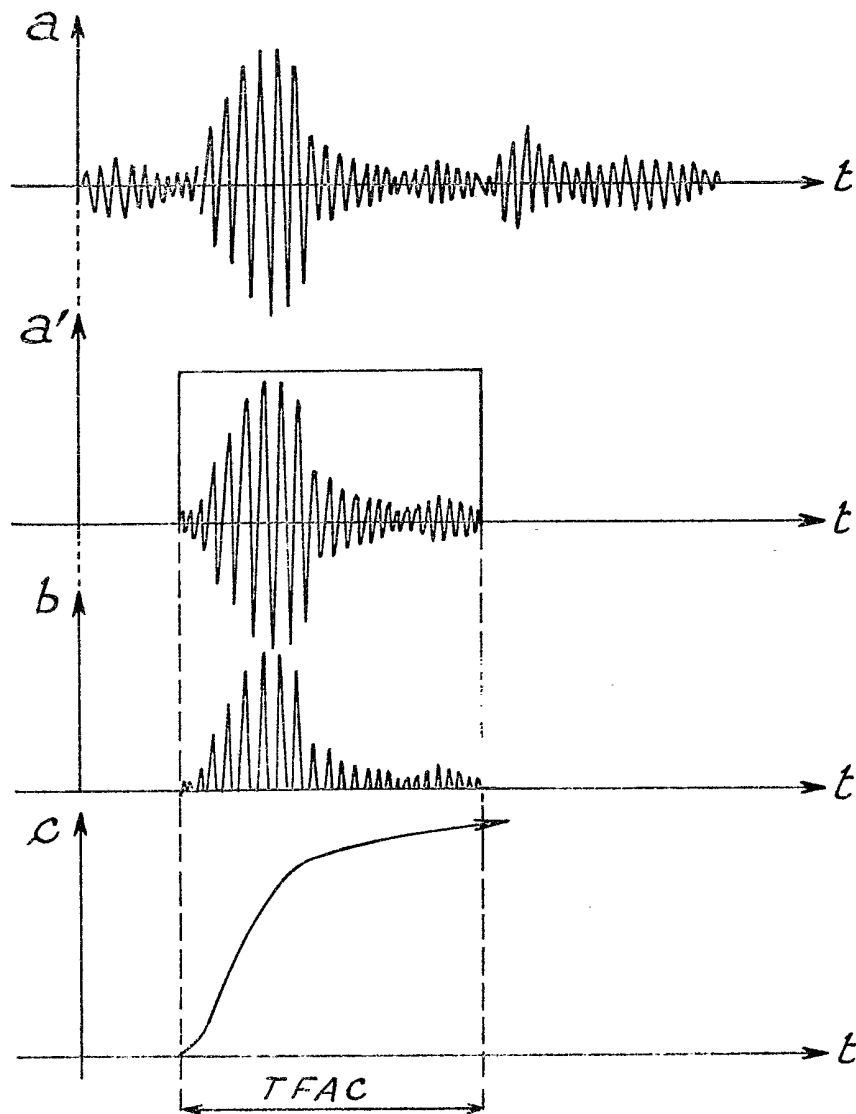


FIG. 3  
(Art antérieur)

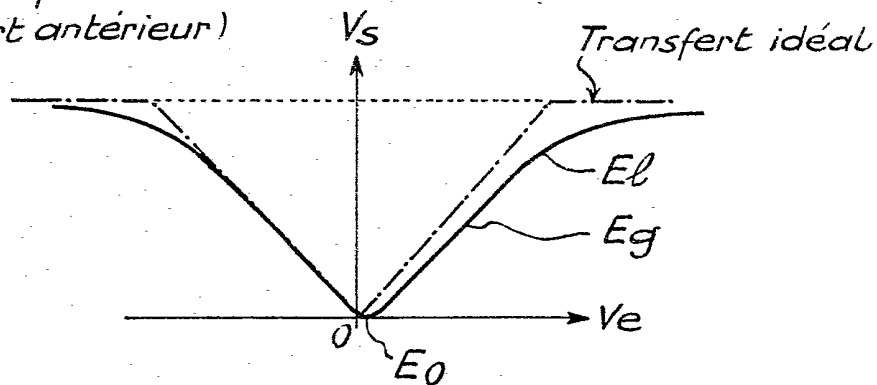


FIG. 6

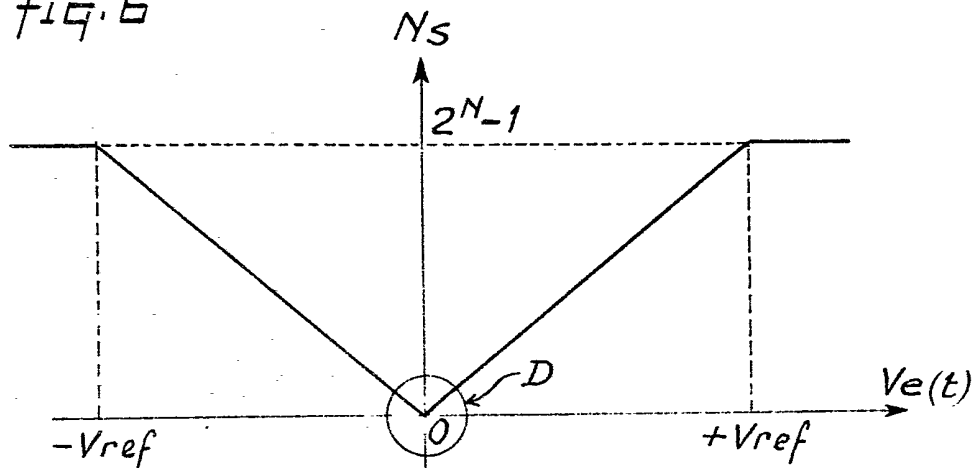
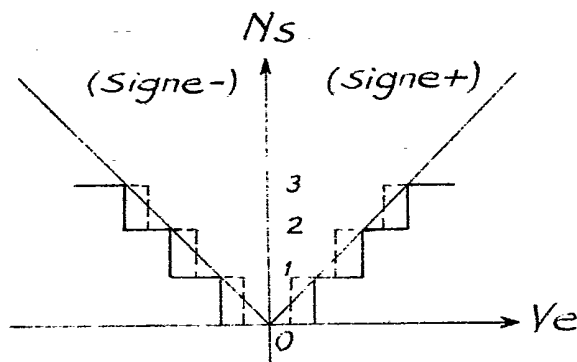


FIG. 7





4/7

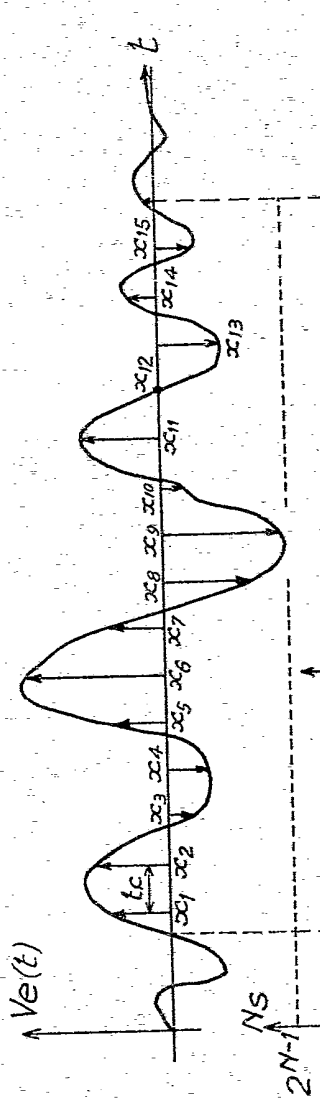


FIG. 5a

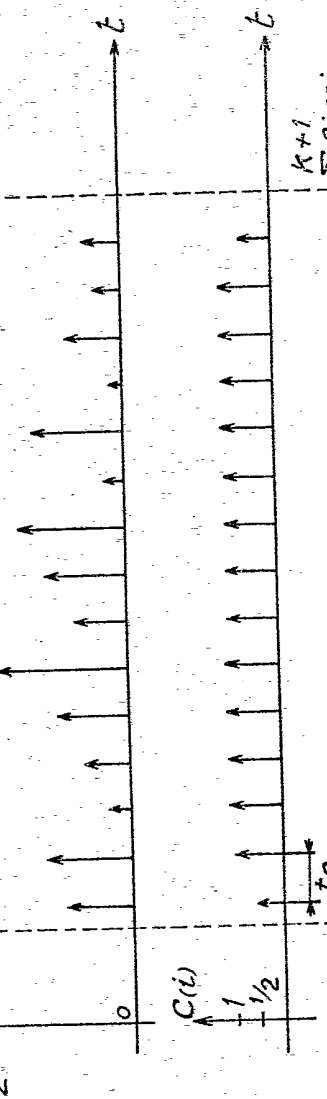


FIG. 5b

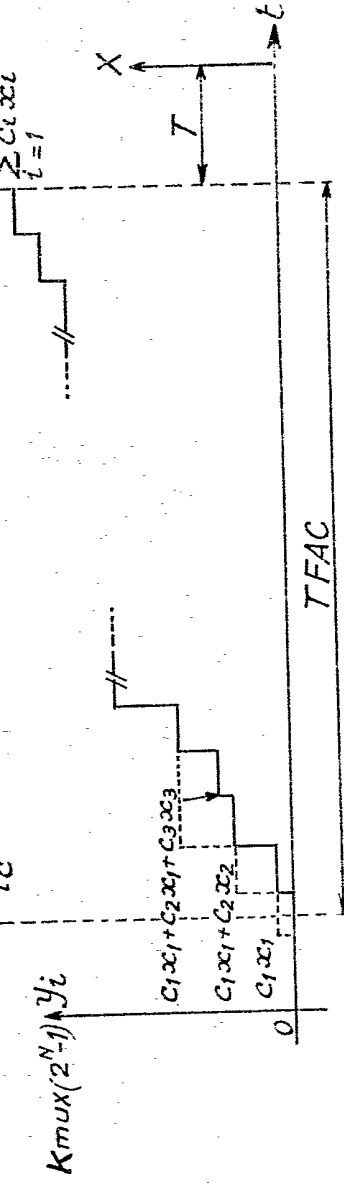
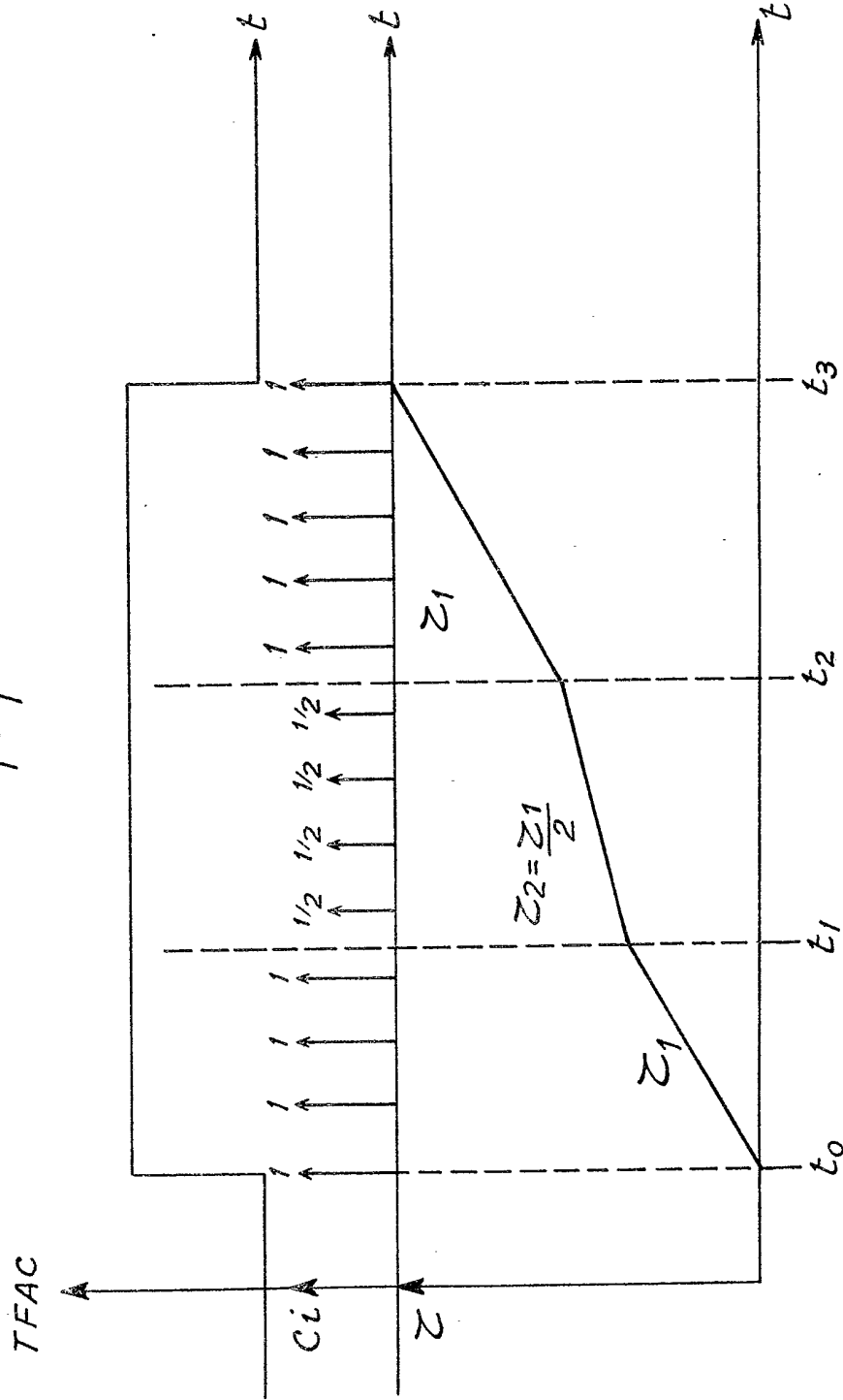


FIG. 5c

FIG. 5d

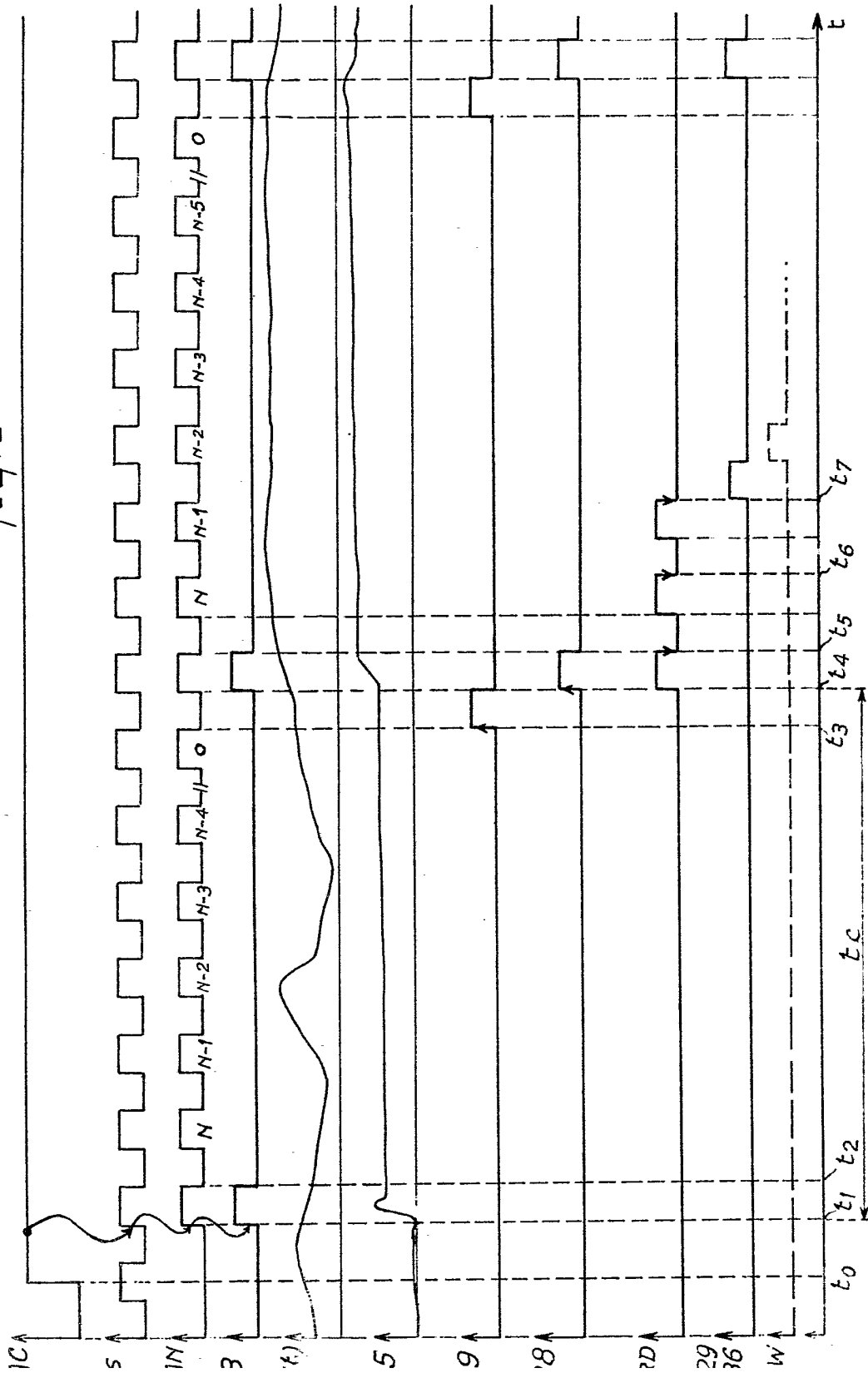
TFAC

FIG. 8



617

FIG. 9



7/7

Fig. 10

