

Beschreibung

[0001] Die Erfindung betrifft eine Vorrichtung und ein Verfahren zum Erzeugen eines Quittiersignal und eine Verwendung der Vorrichtung in einer Radelektronik.

[0002] Insbesondere in eingebetteten Systemen befindet sich der Prozessor des Systems meistens in einem energiesparenden Schlaf- oder Ruhezustand (idle state), aus dem er bei einer von einem Peripheriegerät des Systems stammenden Unterbrechungsanfrage aufgeweckt wird. Unterbrechungsanfragen werden im Englischen als Interrupt Request bezeichnet. Nach dem Aufwecken arbeitet der Prozessor die Unterbrechungsanfrage ab und quittiert diese. Insbesondere wenn die Peripheriegeräte mit einem langsameren Takt als der Prozessor getaktet werden, ist es möglich, dass das Peripheriegerät, von dem die Unterbrechungsanfrage stammt, die Quittierung nicht erhält und u. U. die Unterbrechungsanfrage erneut an den Prozessor sendet. Dadurch wird der Prozessor unnötigerweise erneut aufgeweckt, was sich negativ auf den Energieverbrauch des Systems auswirkt.

[0003] Aus der Druckschrift DE 101 27 424 A1 ist eine elektronische Schaltung mit asynchroner Taktung von Peripheriegeräten bekannt, mittels derer ein effektiverer Betrieb durchgeführt werden kann. Aus der Druckschrift DD 299 782 A7 ist eine Synchronisationseinrichtung für verschiedene Komponenten bei Mikrorechnersystemen bekannt. Eine weitere elektronische Schaltung zur Energiekontrolle von elektronischen Einheiten ist in der Druckschrift EP 1 785 810 A1 offenbart.

[0004] Die Aufgabe der Erfindung ist es, ein Vorrichtung und ein Verfahren zum Erzeugen eines Quittiersignals anzugeben, um die oben genannten Nachteile der Technik zu verringern.

[0005] Die Aufgabe der Erfindung wird gelöst durch eine Vorrichtung gemäß Anspruch 1 und ein Verfahren gemäß Anspruch 11. Erfindungsgemäß erfolgt eine Verwendung der Vorrichtung in einer Radelektronik nach dem Anspruch 9.

[0006] Die erfindungsgemäße Vorrichtung, weist einen Prozessor auf, der mittels eines Prozessortaktsignals getaktet wird und aufgrund einer Unterbrechungsanfrage aus seinem Ruhezustand aufweckbar ist, um in seinem Arbeitszustand die Unterbrechungsanfrage abzuarbeiten und nach dem Abarbeiten oder während des Abarbeitens der Unterbrechungsanfrage ein zum Prozessortaktsignal synchrones Quittiersignal zu erzeugen, wenigstens ein Peripheriegerät, das mittels eines Peripherietaktsignals getaktet wird, das zum Prozessortaktsignal asynchron läuft, und die Unterbrechungsanfrage synchron zum Peripherietaktsignal an den Prozessor

sendet, und eine erste Logik, die aus dem zum Prozessortaktsignal synchronen Quittiersignal ein zum Peripherietaktsignal synchrones Quittiersignal erzeugt, mit dem das Peripheriegerät über die abgearbeitete Unterbrechungsanfrage informiert wird.

[0007] Das Verfahren weist folgende Verfahrensschritte auf:

- Erzeugen einer zu einem Peripherietaktsignal synchronen Unterbrechungsanfrage mittels eines Peripheriegerätes, das mit dem Peripherietaktsignal getaktet wird,
- Aufwecken eines Prozessors aufgrund der Unterbrechungsanfrage, sodass dieser von seinem Ruhezustand in seinen Arbeitszustand wechselt, um die Unterbrechungsanfrage abzuarbeiten, wobei der Prozessor mit einem Prozessortaktsignal getaktet wird, das asynchron zum Peripherietaktsignal läuft,
- Erzeugen eines zum Prozessortaktsignal synchronen Quittiersignals, nachdem der Prozessor die Unterbrechungsanfrage abgearbeitet hat oder während der Prozessor die Unterbrechungsanfrage abarbeitet, und
- Erzeugen eines zum Peripherietaktsignal synchronen Quittiersignals aus dem zum Prozessortaktsignal synchronen Quittiersignals mittels einer ersten Logik, um das Peripheriegerät über die abgearbeitete Unterbrechungsanfrage zu informieren.

[0008] Die erfindungsgemäße Vorrichtung umfasst den Prozessor und das wenigstens eine Peripheriegerät. Das Peripheriegerät und der Prozessor werden jeweils mit unterschiedlichen und zueinander asynchronen Taktsignalen getaktet. Der Prozessor befindet sich in der Regel in seinem energiesparenden Ruhezustand und wird aufgrund der vom Peripheriegerät stammenden Unterbrechungsanfrage aufgeweckt, um in seinem Arbeitszustand die Unterbrechungsanfrage abzuarbeiten. Während des Abarbeitens oder nachdem die Unterbrechungsanfrage abgearbeitet ist, erzeugt der Prozessor das zum Prozessortaktsignal synchrone Quittiersignal, also ein zum Prozessor synchrones Quittiersignal, das unter anderem dafür vorgesehen ist, das Peripheriegerät über die Abarbeitung der Unterbrechungsanfrage zu informieren, so dass dieses beispielsweise nicht nochmals die Unterbrechungsanfrage sendet. Aufgrund des Quittiersignals wird z. B. das Peripheriegerät zurückgesetzt und sendet die Unterbrechungsanfrage nicht nochmals. Das zum Prozessortaktsignal synchrone Quittiersignal kann auch dazu verwendet werden, den Prozessor wieder in seinen Ruhezustand zu versetzen.

[0009] Der Prozessor und das Peripheriegerät arbeiten asynchron zueinander. Insbesondere kann der Prozessor mit einem schnelleren Takt als das Peripheriegerät arbeiten, d. h. insbesondere kann die

Taktfrequenz des Peripherietaktsignals kleiner als die Taktfrequenz des Prozessortaktsignals sein. Dies kann zu einer Energieeinsparung der erfindungsgemäßen Vorrichtung führen, da das Peripheriegerät durch die langsamere Taktung potenziell weniger Energie verbraucht als wenn es mit einer größeren Frequenz getaktet werden würde. Der Prozessor befindet sich dagegen meistens in seinem Ruhezustand und befindet sich lediglich zum Abarbeiten der Unterbrechungsanfrage in seinem Arbeitszustand. Eine Taktung mit einer größeren Taktfrequenz beeinträchtigt somit den Energieverbrauch wenn, dann nur relativ wenig.

[0010] Insbesondere wenn der Prozessor mit einer größeren Frequenz getaktet wird als das Peripheriegerät ist es möglich, dass das zum Prozessortaktsignal synchrone Quittiersignal zum Zeitpunkt des nächsten Taktzyklus des Peripheriegerätes nicht mehr ansteht und das Peripheriegerät das Quittiersignal nicht erhält. Um dies zu vermeiden, umfasst die erfindungsgemäße Vorrichtung die erste Logik, die aus dem zum Prozessortaktsignal synchronen Quittiersignal das zum Peripherietaktsignal synchrone Quittiersignal erzeugt. Somit sind Voraussetzungen gegeben, dass das Peripheriegerät zuverlässig sein Quittiersignal erhält und demnach nicht ungewollt nochmals dieselbe Unterbrechungsanfrage an den Prozessor richtet.

[0011] Gemäß einer Variante der erfindungsgemäßen Vorrichtung umfasst die erste Logik ein erstes Flip-Flop, das mit dem Prozessortaktsignal getaktet wird und dessen Eingangssignal zumindest indirekt das zum Prozessortaktsignal synchrone Quittiersignal ist, und ein zweites Flip-Flop zum Erzeugen des zum Peripherietaktsignal synchronen Quittiersignals, das mit dem Peripherietaktsignal getaktet wird und dessen Eingangssignal das Ausgangssignal des ersten Flip-Flops ist. Mit dem ersten Flip-Flop der ersten Logik wird quasi das zum Prozessortaktsignal synchrone Quittiersignal eingefangen und anschließend mittels des zweiten Flip-Flops derart synchronisiert, dass es zum Peripherietaktsignal synchron ist. Gemäß dieser Variante kann dem ersten Flip-Flop der ersten Logik das zum Prozessortaktsignal synchrone Quittiersignal direkt zugeführt werden oder ein Signal zugeführt werden, das vom zum Prozessortaktsignal synchronen Quittiersignal abgeleitet ist.

[0012] Anstelle des zweiten Flip-Flops können wenigstens zwei hintereinander geschaltete Flip-Flops verwendet werden. Dies erhöht die Stabilität der ersten Logik.

[0013] Nach einer Variante der erfindungsgemäßen Vorrichtung weist diese eine zweite Logik auf, die aus der synchron zum Peripherietaktsignal gesendeten Unterbrechungsanfrage eine synchron zum Prozessortaktsignal laufend Unterbrechungsanfrage er-

zeugt, die dem Prozessor zugeführt wird. Die vom Peripheriegerät stammende Unterbrechungsanfrage ist synchron zum Peripherietaktsignal und asynchron zum Prozessortaktsignal. Insbesondere wenn der verwendete Prozessor Unterbrechungsanfragen nur synchron zu seinem Prozessortaktsignal verarbeiten kann, ergeben sich aufgrund dieser Ausführungsform Voraussetzungen, dass der Prozessor zuverlässig die Unterbrechungsanfrage erhält.

[0014] Die zweite Logik kann aufweisen ein Schieberegister, dessen Eingangssignal die synchron zum Peripherietaktsignal gesendete Unterbrechungsanfrage oder ein zu diesem Signal synchrones Signal ist, eine dem Schieberegister nachgeschaltete Logik zum Erkennen einer Flanke des Ausgangssignals des Schieberegisters und ein Flip-Flop, das mit dem Prozessortaktsignal getaktet wird, dessen Eingangssignal das Ausgangssignal der Logik zum Erkennen einer Flanke ist und dessen Ausgangssignal die zum Prozessortaktsignal synchron laufende Unterbrechungsanfrage ist. Das Schieberegister weist beispielsweise wenigstens zwei in Serie geschaltete Flip-Flops auf, die mit dem Prozessortaktsignal getaktet werden. Insbesondere weist dieses Schieberegister wenigstens drei in Serie geschaltete Flip-Flops auf, wodurch die Stabilität des Schieberegisters erhöht werden kann. Dadurch sind Voraussetzungen geschaffen, dass die nachgeschaltete Logik zum Erkennen einer Flanke des Ausgangssignals des Schieberegisters die Flanke, die insbesondere eine steigende Flanke ist, zuverlässig erkennt.

[0015] Die zweite Logik kann auch derart ausgeführt werden, dass sie aus der synchron zum Peripherietakt gesendeten Unterbrechungsanfrage ein Wecksignal für den Prozessor erzeugt. Dieses Wecksignal schaltet beispielsweise einen Taktgenerator zum Erzeugen des Prozessortaktsignales ein, wodurch der Prozessor von seinem Ruhezustand in seinen Arbeitszustand geschaltet wird.

[0016] Die erfindungsgemäße Vorrichtung kann beispielsweise für eine Radelektronik verwendet werden. Radelektroniken im Allgemeinen sind dafür vorgesehen, wenigstens einen Reifenparameter eines Reifens zu ermitteln. Der Reifenparameter ist beispielsweise der Reifendruck des Reifens. Die erfindungsgemäße Radelektronik weist neben der erfindungsgemäßen Vorrichtung wenigstens einen Sensor zum Ermitteln des Reifenparameters und einen Sender auf, wobei der Prozessor aufgrund der Unterbrechungsanfrage mittels des Sensors den Reifenparameter ermitteln und eine Nachricht über den Reifenparameter erzeugt, die der Sender sendet.

[0017] Radelektroniken sind beispielsweise in einem Reifen integriert oder auf einer Felge, auf der Reifen aufgezogen ist, angeordnet. Im Betrieb des Fahrzeugs, das mit diesen Reifen ausgestattet ist,

kann die Radelektronik insbesondere automatisch den Reifendruck des entsprechenden Reifens ermitteln und drahtlos an eine im Fahrzeug angeordnete Steuervorrichtung übermitteln. Aufgrund des ermittelten Reifendrucks kann beispielsweise die Steuervorrichtung ermitteln, ob der Reifendruck eines der Reifen zu niedrig ist, um gegebenenfalls die das Fahrzeug lenkende Person über den zu niedrigen Reifendruck zu informieren.

[0018] Nach einer Ausführungsform der erfindungsgemäßen Radelektronik handelt es sich bei dem Peripheriegerät um einen Timer und/oder um einen Empfänger. Der Timer ist beispielsweise dafür vorgesehen, die Unterbrechungsanfrage periodisch zu erzeugen, so dass die Radelektronik periodisch die Nachricht über den Reifenparameter mittels ihres Senders an die Steuervorrichtung sendet. Der Empfänger kann dafür vorgesehen sein, aufgrund eines empfangenen Signals die Unterbrechungsanfrage zu erzeugen. Das empfangene Signal stammt beispielsweise von der im Fahrzeug angeordneten Steuervorrichtung.

[0019] Ein Ausführungsbeispiel der Erfindung ist exemplarisch in den beigefügten schematischen Zeichnungen dargestellt. Es zeigen:

[0020] [Fig. 1](#) ein Kraftfahrzeug, dessen Reifen Radelektroniken zugeordnet sind,

[0021] [Fig. 2](#) eine Radelektronik,

[0022] [Fig. 3](#) eine Teilschaltung der Radelektronik, und

[0023] [Fig. 4](#) Signalverläufe.

[0024] Die [Fig. 1](#) zeigt ein Kraftfahrzeug **1** mit vier Reifen **2**, denen jeweils eine in der [Fig. 2](#) näher dargestellte Radelektronik **3** zugeordnet ist. Die Radelektroniken **3** können z. B. in den entsprechenden Reifen **2** integriert oder beispielsweise an den Felgen, auf denen die Reifen **2** aufgezogen sind, angeordnet sein. Die Radelektroniken **3** sind vorgesehen, u. A. die Reifendrucke der jeweiligen Reifen **2** zu messen und eine Information über die gemessenen Reifendrucke an eine im Kraftfahrzeug **1** angeordnete Steuervorrichtung **4** drahtlos zu übermitteln. Die Steuervorrichtung **4** verarbeitet diese Information und informiert z. B. eine das Kraftfahrzeug lenkende Person, wenn einer der Reifendrucke zu niedrig ist. Die Radelektroniken **3** sind ein Beispiel einer Vorrichtung mit einem Prozessor und wenigstens einem Peripheriegerät.

[0025] Im Falle des vorliegenden Ausführungsbeispiels weist jede der Radelektroniken **3** einen Prozessor **21**, einen Sender **22**, einen Timer **23**, einen Drucksensor **24**, einen Empfänger **25** und eine Batterie

26 auf. Der Prozessor **21** ist z. B. ein Mikrocontroller oder ein Mikroprozessor und die Batterie **26** versorgt den Prozessor **21**, den Sender **22**, Empfänger **25** und den Timer **23** mit elektrischer Energie.

[0026] Im Falle des vorliegenden Ausführungsbeispiels ist es vorgesehen, dass die Radelektroniken **3** periodisch eine Information über den aktuellen Reifendruck ihres Reifens **3** mittels ihrer Sender **22** an die Steuervorrichtung **4** senden. Zusätzlich ist es vorgesehen, dass die Steuervorrichtung **4** eine Anfrage an die Radelektroniken **3** senden kann, aufgrund derer die Radelektroniken **3** die Reifendrucke ihre Reifen **3** ermitteln und mittels ihrer Sender **22** an die Steuervorrichtung **4** übermitteln. Diese Anfragen empfangen die Radelektroniken **3** mit ihren Empfängern **25**.

[0027] Im Falle des vorliegenden Ausführungsbeispiels ermittelt der Prozessor **21** mittels des Drucksensors **24** den Reifendruck und erzeugt eine Nachricht über den Reifendruck, die mittels des Senders **22** an die Steuervorrichtung **4** übermittelt wird. Um Energie zu sparen, befindet sich der Prozessor **21** gewöhnlich in einem energiesparenden Schlaf- oder Ruhezustand. Nur wenn er die Nachricht über den Reifendruck erzeugen soll, wird er mittels Unterbrechungsanfragen aufgeweckt, und zwar entweder periodisch durch den Timer **23** oder gegebenenfalls durch den Empfänger **25**. Der Timer **23** und der Empfänger **25** stellen somit Peripheriegeräte dar, die die Unterbrechungsanfragen an den Prozessor **21** richten.

[0028] Aufgrund einer Unterbrechungsanfrage wird der Prozessor **21** aufgeweckt, also von seinem Ruhezustand in seinen Arbeitszustand versetzt, um die Unterbrechungsanfrage abzuarbeiten. Ist die Unterbrechungsanfrage abgearbeitet, dann erzeugt der Prozessor ein Quittiersignal, mit dem er das entsprechende Peripheriegerät über die abgearbeitete Unterbrechungsanfrage informiert. Alternativ kann das Quittiersignal auch schon vor dem Abarbeiten der Unterbrechungsanfrage erzeugt werden. Das Quittierungssignal wird auch verwendet, um den Prozessor **21** wieder in seinen Ruhezustand zu versetzen, außer es steht noch eine weitere Unterbrechungsanfrage an. Die [Fig. 3](#) zeigt eine Schaltung, die im Falle des vorliegenden Ausführungsbeispiels dieses Szenario umsetzt, und die [Fig. 4](#) zeigt Signalverläufe u. A. des vom Prozessor **21** erzeugten Quittiersignals QS.

[0029] Wenn sich der Prozessor **21** in seinem Arbeitszustand befindet, dann wird er mit einem Prozessortaktsignal CLK1 getaktet, das im Falle des vorliegenden Ausführungsbeispiels mittels eines ersten Taktgenerators **27** erzeugt wird. Der erste Taktgenerator **27** befindet sich ebenfalls normalerweise im Ruhezustand, wird durch ein Wecksignal WS aufge-

weckt, um das Prozessortaktsignal CLK1 zu erzeugen und wird von der Batterie **26** mit Energie versorgt. Das Prozessortaktsignal CLK1 hat beispielsweise eine Taktfrequenz von 4 MHz.

[0030] Die Peripheriegeräte, also der Empfänger **25** und der Timer **23** befinden sich, im Gegensatz zum Prozessor **21**, ständig in ihren Arbeitszuständen und werden ständig mit Peripherietaktsignalen CLK2 getaktet. Dabei ist es z. B. möglich, dass der Timer **23** und der Empfänger **25** mit jeweils unterschiedlichen Peripherietaktsignalen oder, wie es im Falle des vorliegenden Ausführungsbeispiels vorgesehen ist, von demselben Peripherietaktsignal CLK2 getaktet werden. Das Peripherietaktsignal wird z. B. von einem zweiten Taktgenerator **28** erzeugt und die Taktfrequenz des Peripherietaktsignals CLK2 ist wesentlich kleiner als die Taktfrequenz des Prozessortaktsignals CLK1. Die Taktfrequenz des Peripherietaktsignals CLK2 ist beispielsweise 90 kHz.

[0031] Wenn eines der Peripheriegeräte den Prozessor **21** auffordern möchte, eine Nachricht über den aktuellen Reifendruck zu erzeugen, dann erzeugt dieses Peripheriegerät, z. B. der Timer **23**, ein Signal **31**, das einem ersten Flip-Flop FF1 zugeführt wird. Das erste Flip-Flop FF1 wird mit dem Peripherietaktsignal CLK2 des entsprechenden Peripheriegerätes, also hier des Timers **23**, getaktet. Das Ausgangssignal des ersten Flip-Flops FF1 wird als Taktsignal einem zweiten Flip-Flop FF2 zugeführt, dessen Eingang auf logisch „1“ gesetzt ist, sodass das Ausgangssignal FF2S des zweiten Flip-Flops FF2 mit steigender Flanke des Ausgangssignals FF1S des ersten Flip-Flops FF1 auf „1“ gesetzt wird. Das Ausgangssignal FF2S des zweiten Flip-Flops FF2 wird einem ODER-Gatter **32** zugeführt, an dessen Ausgang das Wecksignal WS für den ersten Taktgenerator **27** des Prozessors **21** ansteht. Ein weiteres, in der [Fig. 3](#) nicht näher dargestelltes Eingangssignal für das ODER-Gatter **32** stammt vom Empfänger **25**, d. h. das Wecksignal WS zum Aufwecken des ersten Taktgenerators **27** wird logisch „1“, wenn der Timer **23** oder der Empfänger **25** eine Unterbrechungsanforderung für den Prozessor **21** hat. Wenn das Wecksignal WS für den ersten Taktgenerator **27** von logisch „0“ auf logisch „1“ schaltet, dann beginnt der erste Taktgenerator **27** nach einer gewissen Zeit, das Prozessortaktsignal CLK1 zu erzeugen, sodass der Prozessor **21** von seinem Ruhezustand in seinen Arbeitszustand schaltet. Im Falle des vorliegenden Ausführungsbeispiels wird das Wecksignal zum Zeitpunkt t_0 und das Prozessortaktsignal CLK1 zum Zeitpunkt t_1 erzeugt.

[0032] Das Ausgangssignal FF2S des zweiten Flip-Flops FF2 wird außerdem einer Schieberegisterkette zugeführt, die im Falle des vorliegenden Ausführungsbeispiels ein drittes, viertes und fünftes Flip-Flop FF3, FF4, FF5 aufweist, die jeweils mit dem

Prozessortaktsignal CLK1 getaktet werden. Dabei erzeugt das dritte Flip-Flop FF3 ein Ausgangssignal FF3S, das vierte Flip-Flop FF4 ein Ausgangssignal FF4S und das fünfte Flip-Flop FF5 ein Ausgangssignal FF5S.

[0033] Die Ausgangssignale FF4S, FF5S des vierten und fünften Flip-Flops FF4, FF5 werden einer Logik **33** zugeführt, die im Falle des vorliegenden Ausführungsbeispiels eine steigende Flanke des Ausgangssignals FF5S des fünften Flip-Flops FF5 erkennt und daraufhin den Eingang eines sechsten Flip-Flops FF6, das ebenfalls mit dem Prozessortaktsignal CLK1 getaktet wird, mit logisch „1“ beaufschlagt. Das Ausgangssignal des sechsten Flip-Flops FF6 ist das Interruptsignal INTER, das zum Zeitpunkt t_2 ansteht und aufgrund dessen der Prozessor **21** die Unterbrechungsanfrage des Timers **23** anfängt zu bearbeiten.

[0034] Im Falle des vorliegenden Ausführungsbeispiels wird durch das dritte, vierte und fünfte Flip-Flop FF3–FF5 aufweisende Schieberegister und durch das sechste Flip-Flop FF6 sicher gestellt, dass das Interruptsignal INTER synchron mit dem Prozessor **21** läuft.

[0035] Wenn der Prozessor **21** die Unterbrechungsanfrage abgearbeitet hat, dann erzeugt er das Quittiersignal QS und ein Adresssignal QSad, mittels dessen das Peripheriegerät, das die Unterbrechungsanfrage gestellt hat, adressiert wird. Im Falle des vorliegenden Ausführungsbeispiels ist das Adressiersignal QSas für den Timer **23** bestimmt. Damit das Adresssignal QSad erst ansteht, nachdem das Quittiersignal QS erzeugt wurde, wird dieses mittels eines Verzögerungselements **36** um einen halben Prozessortakt CLK1 verschoben, wodurch das Quittiersignal QSd entsteht, das wie das Quittiersignal QS synchron zum Prozessortakt CLK1 ist.

[0036] Im Falle des vorliegenden Ausführungsbeispiels erzeugt der Prozessor **21** das Quittiersignal QS zum Zeitpunkt t_3 . Zum selben Zeitpunkt t_3 wird das Adresssignal QSad erzeugt.

[0037] Das verzögerte Quittiersignal QAd und das Adresssignal QSad werden der Logik **33** und einer weiteren Logik **34** zugeführt. Die Logik **34** setzt das zweite Flip-Flop FF2 zurück, sodass die das Ausgangssignal FF2S des zweiten Flip-Flops FF2 wieder auf logisch „0“ zurückgesetzt wird und das Wecksignal WS wieder abgeschaltet wird, außer es steht eine weitere Unterbrechungsanfrage, z. B. vom Empfänger **25** an. Somit wird der Prozessor **21** wieder in seinen Ruhezustand zurück versetzt. Somit erkennt der zum Prozessortaktsignal CLK1 synchrone Teil der Radelektronik **3** nach dem Abarbeiten der Unterbrechungsanfrage, dass die Unterbrechungsanfrage abgearbeitet wurde.

[0038] Damit auch das Peripheriegerät, von dem die Unterbrechungsanfrage stammt, ein Information über die abgearbeitete Unterbrechungsanfrage erhält, weist die Radelektronik **3** ein siebtes, achttes und neuntes Flip-Flop FF7–FF9 auf, von denen das siebte Flip-Flop FF7 mit dem Prozessortaktsignal CLK1 und das acht und neuntes Flip-Flop FF8, FF9 mit dem Peripherietaktsignal CLK2 getaktet werden.

[0039] Im Falle des vorliegenden Ausführungsbeispiels wird das Quittiersignal QS und das Adresssignal QSad zunächst einer Logik **35** zugeführt, die u. A. das Adresssignal QSad dahingehend auswertet, ob das Quittiersignal QS für den Timer **23** bestimmt ist.

[0040] Ist das Quittiersignal QS für den Timer **23** bestimmt, dann wird das Eingangssignal des siebten Flip-Flops FF7 auf logisch „1“ gesetzt und das Quittiersignal QS synchron mit dem Prozessortaktsignal CLK1 eingefangen. Das Ausgangssignal FF7S des mittels des Prozessortaktsignals CLK1 getakteten siebten Flip-Flops FF7 wird dem achten Flip-Flop FF8 zugeführt, das mit dem Peripherietaktsignal CLK2 getaktet ist. Das Ausgangssignal FF8S des mittels des achten Flip-Flops FF8 wird dem neunten Flip-Flop FF9 zugeführt, das ebenfalls mit dem Peripherietaktsignal CLK2 getaktet ist. Das Ausgangssignal FF9S des neunten Flip-Flops FF9 ist synchron mit dem Peripherietaktsignal CLK2 und wird dem Timer **23** als Quittiersignal zugeführt.

[0041] Somit fängt das siebte Flip-Flop FF7 das vom Prozessor **21** erzeugte und synchron mit dem Prozessortakt CLK1 laufende Quittiersignal QS ein. Das achte und neuntes Flip-Flop FF8, FF9 synchronisieren das Quittiersignal QS für den Timer **23** ein, d. h. erzeugen das Ausgangssignal FF9S, das synchron zum Peripherietaktsignal CLK2, also zum Timer **23**, läuft als das Quittiersignal für den Timer **23**. Die Radelektronik **3** kann nun wieder eine neue Unterbrechungsanfrage empfangen.

Bezugszeichenliste

1	Kraftfahrzeug
2	Reifen
3	Radelektronik
4	Steuervorrichtung
21	Prozessor
22	Sender
23	Timer
24	Drucksensor
25	Empfänger
26	Batterie
27	erster Taktgenerator
28	zweiter Taktgenerator
31	Signal
32	ODER-Gatter
33–35	Logik
36	Verzögerungselement

CLK1	Prozessortaktsignal
CLK2	Peripherietaktsignal
FF1–FF9	Flip-Flops
FF1S–FF9S	Ausgangssignale
INTERS	Interruptsignal
QS	Quittiersignal
QSd	verzögertes Quittiersignal
QSad	Adresssignal

Patentansprüche

1. Vorrichtung, aufweisend
 – einen Prozessor (**21**), der mittels eines Prozessortaktsignals (CLK1) getaktet wird und aufgrund einer Unterbrechungsanfrage (**31**) aus seinem Ruhezustand aufweckbar ist, um in seinem Arbeitszustand die Unterbrechungsanfrage abzuarbeiten und nach dem Abarbeiten oder während des Abarbeitens der Unterbrechungsanfrage ein zum Prozessortaktsignal (CLK1) synchrones Quittiersignal (QS) zu erzeugen,
 – wenigstens ein Peripheriegerät (**23, 25**), das mittels eines Peripherietaktsignals (CLK2) getaktet wird, das zum Prozessortaktsignal (CLK1) asynchron läuft, und die Unterbrechungsanfrage (**31**) synchron zum Peripherietaktsignal (CLK2) an den Prozessor (**21**) sendet, und
 – eine erste Logik (FF7–FF9), die aus dem zum Prozessortaktsignal (CLK1) synchronen Quittiersignal (QS) ein zum Peripherietaktsignal (CLK2) synchrones Quittiersignal (FF9S) erzeugt, mit dem das Peripheriegerät (**23, 25**) über die abgearbeitete Unterbrechungsanfrage informiert wird.

2. Vorrichtung nach Anspruch 1, dadurch gekennzeichnet,
 – dass die erste Logik (FF7–FF9) ein erstes Flip-Flop (FF7) aufweist, das mit dem Prozessortaktsignal (CLK1) getaktet wird und dessen Eingangssignal zumindest indirekt das zum Prozessortaktsignal (CLK1) synchrone Quittiersignal (QS) ist, und
 – dass die erste Logik (FF7–FF9) ein zweites Flip-Flop (FF8) zum Erzeugen des zum Peripherietaktsignal (CLK2) synchronen Quittiersignals (FF9S) aufweist, das mit dem Peripherietaktsignal (CLK2) getaktet wird und dessen Eingangssignal das Ausgangssignal (FF7S) des ersten Flip-Flops (FF7) ist.

3. Vorrichtung nach Anspruch 2, dadurch gekennzeichnet, dass die erste Logik (FF7–FF9) mehrere hintereinander geschaltete zweite Flip-Flops (FF8, FF9) aufweist, die jeweils mit dem Peripherietaktsignal (CLK2) getaktet werden, wobei das Ausgangssignal des zuletzt geschalteten zweiten Flip-Flops (FF9) das zum Peripherietaktsignal (CLK2) synchrone Quittiersignal (FF9S) darstellt.

4. Vorrichtung nach einem der Ansprüche 1 bis 3, gekennzeichnet durch eine zweite Logik (FF1–FF6, **33**), die aus der synchron zum Peripherietaktsignal (CLK2) gesendeten Unterbrechungsanfrage (**31**)

eine synchron zum Prozessortaktsignal (CLK1) laufende Unterbrechungsanfrage (INTERS) erzeugt, die dem Prozessor (21) zugeführt wird.

5. Vorrichtung nach Anspruch 4, dadurch gekennzeichnet,
 – dass die zweite Logik ein Schieberegister (FF3–FF5) aufweist, dessen Eingangssignal das synchron zum Peripherietaktsignal (CLK2) gesendete Unterbrechungsanfrage (31) oder zum Peripherietaktsignal (CLK2) gesendeten Unterbrechungsanfrage (31) synchrones Signal (FF2S) ist,
 – dass die zweite Logik eine dem Schieberegister (FF3–FF5) nachgeschaltete Logik (33) zum Erkennen einer Flanke des Ausgangssignals (FF5S) des Schieberegisters (FF3–FF5) aufweist, und
 – dass die zweite Logik ein Flip-Flop (FF6) aufweist, das mit dem Prozessortaktsignal (CLK1) getaktet wird, dessen Eingangssignal das Ausgangssignal der Logik (33) zum Erkennen einer Flanke ist und dessen Ausgangssignal die zum Prozessortaktsignal (CLK1) synchron laufende Unterbrechungsanfrage (INTERS) ist.

6. Vorrichtung nach Anspruch 5, dadurch gekennzeichnet, dass das Schieberegister wenigstens zwei in Serie geschaltete Flip-Flops (FF3–FF5) aufweist, die mit dem Prozessortaktsignal (CLK1) getaktet werden.

7. Vorrichtung nach einem der Ansprüche 4 bis 6, dadurch gekennzeichnet, dass die zweiten Logik (FF1–FF6, 33) aus der synchron zum Peripherietakt (CLK2) gesendeten Unterbrechungsanfrage (31) ein Wecksignal (WS) für den Prozessor (21) erzeugt.

8. Vorrichtung nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, dass Prozessortaktsignal (CLK1) eine höhere Taktfrequenz als das Peripherietaktsignal (CLK2) hat.

9. Verwendung der Vorrichtung nach einem der Ansprüche 1 bis 7 in einer Radelektronik zum Ermitteln wenigstens eines Reifenparameters eines Reifens (2), dem die Radelektronik (3) zugeordnet ist, aufweisend wenigstens einen Sensor (24) zum Ermitteln des Reifenparameters und einen Sender (22), wobei der Prozessor (21) aufgrund der Unterbrechungsanfrage mittels des Sensors (24) den Reifenparameter ermittelt und eine Nachricht über den Reifenparameter erzeugt, die der Sender (24) sendet.

10. Verwendung der Vorrichtung nach Anspruch 9 dadurch gekennzeichnet, dass das Peripheriegerät ein Timer (23) und/oder ein Empfänger (25) darstellt, wobei der Timer (23) periodisch die Unterbrechungsanfrage (31) und der Empfänger (25) aufgrund eines empfangenen Signals die Unterbrechungsanfrage (31) erzeugt.

11. Verfahren zum Erzeugen eines Quittiersignals, aufweisend folgende Verfahrensschritte:

- Erzeugen einer zu einem Peripherietaktsignal (CLK2) synchronen Unterbrechungsanfrage (31) mittels eines Peripheriegerätes (23, 25), das mit dem Peripherietaktsignal (CLK2) getaktet wird,
- Aufwecken eines Prozessors (21) aufgrund der Unterbrechungsanfrage, sodass dieser von seinem Ruhezustand in seinen Arbeitszustand wechselt, um die Unterbrechungsanfrage abzuarbeiten, wobei der Prozessor (21) mit einem Prozessortaktsignal (CLK1) getaktet wird, das asynchron zum Peripherietaktsignal (CLK2) läuft,
- Erzeugen eines zum Prozessortaktsignal (CLK1) synchronen Quittiersignals (QS), nachdem der Prozessor (21) die Unterbrechungsanfrage abgearbeitet hat oder während der Prozessor (21) die Unterbrechungsanfrage abarbeitet, und
- Erzeugen eines zum Peripherietaktsignal (CLK2) synchronen Quittiersignals (FF9S) aus dem zum Prozessortaktsignal (CLK1) synchronen Quittiersignal (QS) mittels einer ersten Logik (FF7–FF9), um das Peripheriegerät (23, 25) über die abgearbeitete Unterbrechungsanfrage zu informieren.

12. Verfahren nach Anspruch 11, dadurch gekennzeichnet,
 – dass die erste Logik (FF7–FF9) ein erstes Flip-Flop (FF7) aufweist, das mit dem Prozessortaktsignal (CLK1) getaktet wird und dessen Eingangssignal zumindest indirekt das zum Prozessortaktsignal (CLK1) synchrone Quittiersignal (QS) ist, und
 – dass die erste Logik (FF7–FF9) ein zweites Flip-Flop (FF8) zum Erzeugen des zum Peripherietaktsignal (CLK2) synchronen Quittiersignals (FF9S) aufweist, das mit dem Peripherietaktsignal (CLK2) getaktet wird und dessen Eingangssignal das Ausgangssignal (FF7S) des ersten Flip-Flops (FF7) ist.

13. Verfahren nach Anspruch 12, dadurch gekennzeichnet, dass die erste Logik (FF7–FF9) mehrere hintereinander geschaltete zweite Flip-Flops (FF8, FF9) aufweist, die jeweils mit dem Peripherietaktsignal (CLK2) getaktet werden, wobei das Ausgangssignal des zuletzt geschalteten zweiten Flip-Flops (FF9) das zum Peripherietaktsignal (CLK2) synchrone Quittiersignal (FF9S) darstellt.

14. Verfahren nach einem der Ansprüche 11 bis 13, gekennzeichnet durch eine zweite Logik (FF1–FF6, 33), die aus der synchron zum Peripherietaktsignal (CLK2) gesendeten Unterbrechungsanfrage (31) ein synchron zum Prozessortaktsignal (CLK1) laufende Unterbrechungsanfrage (INTERS) erzeugt, die dem Prozessor (21) zugeführt wird.

15. Verfahren nach Anspruch 14, dadurch gekennzeichnet,
 – dass die zweite Logik ein Schieberegister (FF3–FF5) aufweist, dessen Eingangssignal die syn-

chron zum Peripherietaktsignal (CLK2) gesendete Unterbrechungsanfrage (**31**) oder ein zum Peripherietaktsignal (CLK2) gesendete Unterbrechungsanfrage (**31**) synchrones Signal (FF2S) ist,
 – dass die zweite Logik eine dem Schieberegister (FF3–FF5) nachgeschaltete Logik (**33**) zum Erkennen einer Flanke des Ausgangssignals (FF5S) des Schieberegisters (FF3–FF5) aufweist, und
 – dass die zweite Logik ein Flip-Flop (FF6) aufweist, das mit dem Prozessortaktsignal (CLK1) getaktet wird, dessen Eingangssignal das Ausgangssignal der Logik (**33**) zum Erkennen einer Flanke ist und dessen Ausgangssignal die zum Prozessortaktsignal (CLK1) synchron laufende Unterbrechungsanfrage (INTERS) ist.

16. Verfahren nach Anspruch 15, dadurch gekennzeichnet, dass das Schieberegister wenigstens zwei in Serie geschaltete Flip-Flops (FF3–FF5) aufweist, die mit dem Prozessortaktsignal (CLK1) getaktet werden.

17. Verfahren nach einem der Ansprüche 14 bis 16, dadurch gekennzeichnet, dass die zweite Logik (FF1–FF6, **33**) aus der synchron zum Peripherietakt (CLK2) gesendeten Unterbrechungsanfrage (**31**) ein Wecksignal (WS) für den Prozessor (**21**) erzeugt.

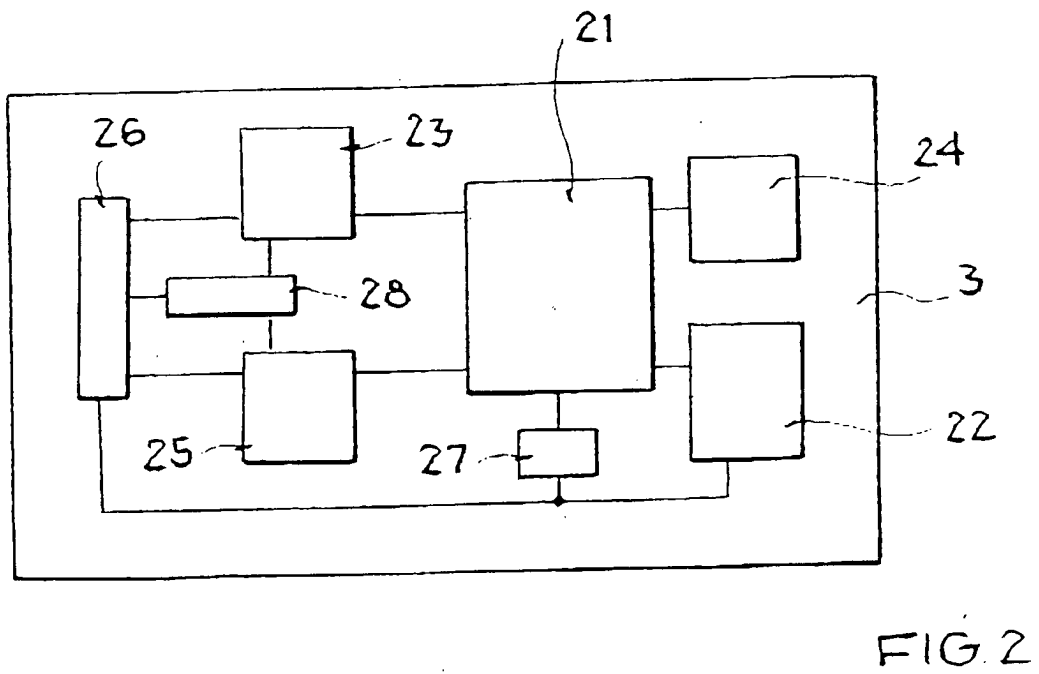
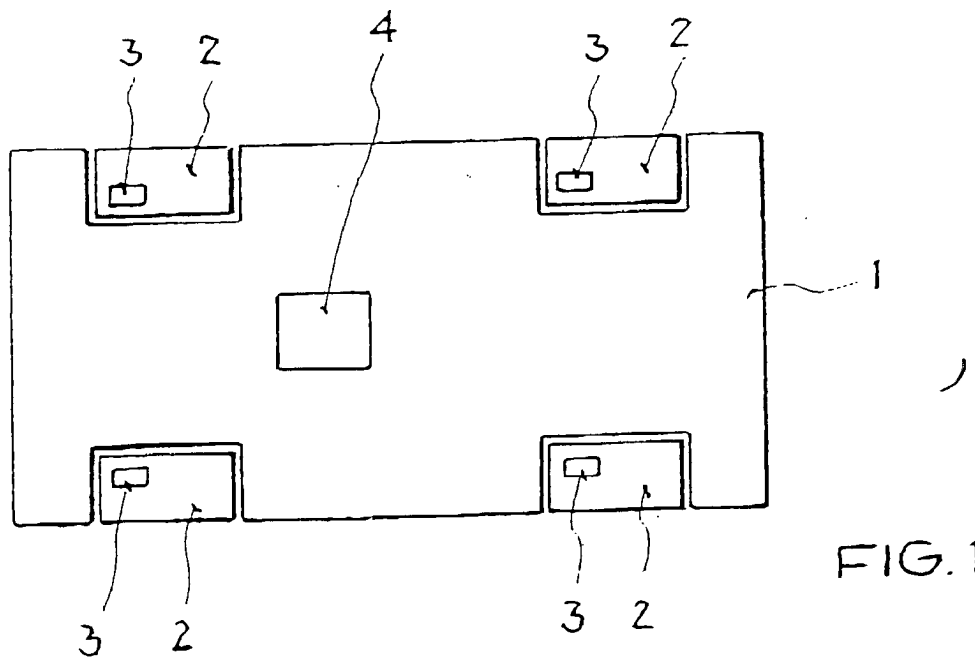
18. Verfahren nach einem der Ansprüche 11 bis 17, dadurch gekennzeichnet, dass Prozessortaktsignal (CLK1) eine höhere Taktfrequenz als das Peripherietaktsignal (CLK2) hat.

19. Verfahren nach einem der Ansprüche 11 bis 18, dadurch gekennzeichnet, dass der Prozessor (**21**), das Peripheriegerät (**23**, **25**) und die erste Logik (FF7S–FF9S) Teil einer Radelektronik (**3**) zum Ermitteln wenigstens eines Reifenparameters eines Reifens (**2**) sind, dem die Radelektronik (**3**) zugeordnet ist, und gekennzeichnet durch
 – Messen eines Reifenparameters des Reifens (**2**) mittels eines Sensors (**24**) der Radelektronik (**3**),
 – Erzeugen einer Nachricht über den Reifenparameter des Reifens (**2**) mittels des Prozessors (**21**) aufgrund einer Unterbrechungsanfrage und
 – Senden der Nachricht mittels eines Senders (**22**) der Radelektronik (**3**).

20. Verfahren nach Anspruch 19, dadurch gekennzeichnet, dass das Peripheriegerät ein Timer (**23**) und/oder ein Empfänger (**25**) darstellt, wobei der Timer (**23**) periodisch die Unterbrechungsanfrage (**31**) und der Empfänger (**25**) aufgrund eines empfangenen Signals die Unterbrechungsanfrage (**31**) erzeugt.

Es folgen 3 Blatt Zeichnungen

Anhängende Zeichnungen



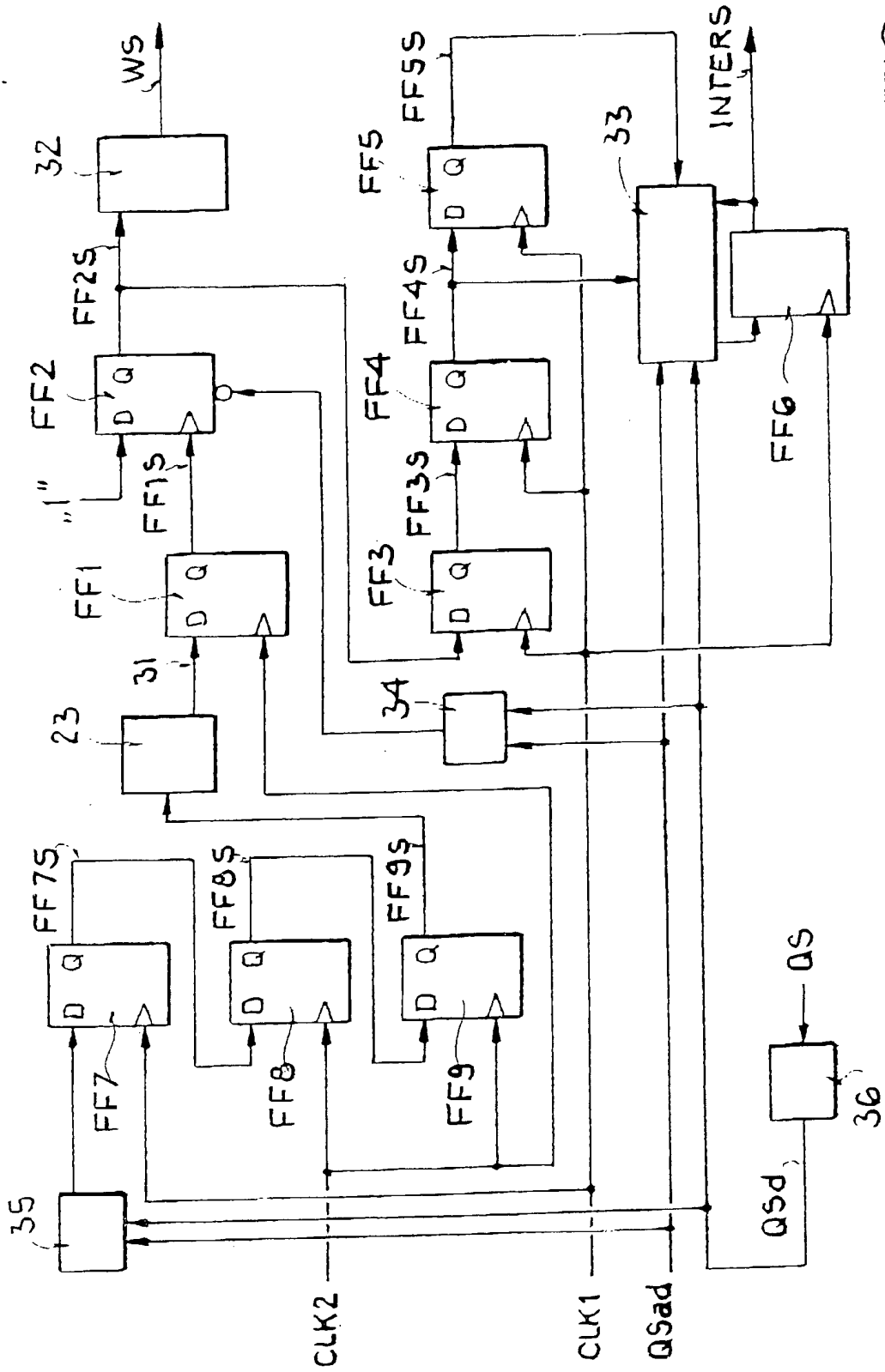


FIG. 3

