



(12)发明专利

(10)授权公告号 CN 103578419 B

(45)授权公告日 2017.04.12

(21)申请号 201310311960.5

(22)申请日 2013.07.23

(65)同一申请的已公布的文献号

申请公布号 CN 103578419 A

(43)申请公布日 2014.02.12

(30)优先权数据

2012-170486 2012.07.31 JP

(73)专利权人 索尼公司

地址 日本东京

(72)发明人 甚田诚一郎 汤本昭 关毅裕

(74)专利代理机构 北京康信知识产权代理有限

责任公司 11240

代理人 余刚 梁韬

(51)Int.Cl.

G09G 3/3208(2016.01)

(56)对比文件

CN 1577442 A, 2005.02.09,

CN 102194407 A, 2011.09.21,

CN 101826300 A, 2010.09.08,

US 2008258626 A1, 2008.10.23,

KR 20110064114 A, 2011.06.15,

JP 2009204664 A, 2009.09.10,

CN 1702721 A, 2005.11.30,

审查员 李小艳

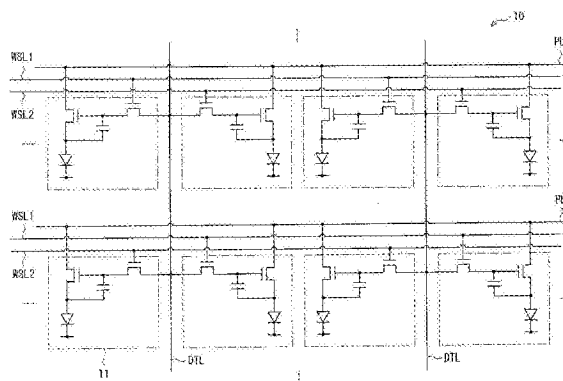
权利要求书3页 说明书16页 附图12页

(54)发明名称

显示单元、驱动电路、驱动方法和电子设备

(57)摘要

本公开涉及显示单元、驱动电路、驱动方法和电子设备。一种按场序驱动像素的显示单元包括：以行和列的矩阵形式布置的像素电路，以及驱动控制部，驱动控制部使像素电路显示输入图像数据的图像帧，使得图像帧的单个帧作为第一子帧和第二子帧在两个部分中显示。第一和第二子帧由像素电路的不同部分按场序显示。第一子帧由位于格子图案内的像素电路的第一部分显示，而第二子帧由其余像素电路显示。



1. 一种显示单元,包括:

多个写入扫描线;

多个像素电路,以包括行和列的矩阵形式布置;以及

驱动控制部,被配置为使所述多个像素电路显示与输入图像数据对应的图像帧使得所述图像帧的指定帧作为第一子帧和第二子帧而显示,

其中,所述第一子帧由所述多个像素电路的格子图案构成的部分显示,使得显示第一子帧的每个像素电路在指定帧周期的前半部分期间开始其显示,所述格子图案包括每行中每隔一个的像素电路和在每列中每隔一个的像素电路,并且

所述第二子帧由所述多个像素电路中不显示所述第一子帧的像素电路显示,使得显示所述第二子帧的每个像素电路在所述指定帧周期的后半部分期间开始其显示,

其中,所述多个像素电路被分组为像素电路对,使得每个像素电路对包括在同一行彼此相邻并且与所述多个信号线中的同一个信号线连接的两个像素电路,并且

对于每个像素电路对,各个像素电路对中的一个像素电路显示第一子帧,而各个像素电路对中的另一个像素电路显示第二子帧,

其中,所述多个写入扫描线被分组为第一组和第二组,

其中,对于每个所述像素电路对,各个像素电路对中包括的显示所述第一子帧的所述一个像素电路与所述第一组的写入扫描线连接,各个像素电路对中包括的显示所述第二子帧的所述另一个像素电路与所述第二组的写入扫描线连接。

2. 根据权利要求1所述的显示单元,进一步包括:

多个信号线,

其中,所述多个像素电路中的每一个包括:

显示元件,

第一晶体管,被配置为在对所述多个写入扫描线中的一个扫描线施加扫描脉冲时对所述多个信号线中的与所述第一晶体管连接的一个扫描线上承载的电位进行采样,

具有第一端子的电容器,被配置为保持由所述第一晶体管采样的电位,以及

第二晶体管,被配置为向所述显示元件提供驱动电流,所述驱动电流的大小与所述电容器的所述第一端子与所述电容器的第二端子之间的电压对应。

3. 根据权利要求1所述的显示单元,

其中,对于所述多个像素电路的每行,位于该行的偶数列位置的像素电路各自与所述多个写入扫描线中的同一个写入扫描线彼此连接,并且位于该行的奇数列位置的像素电路各自与所述多个写入扫描线中的,不同于所述多个写入扫描线中的与位于该行的偶数列位置的像素电路连接的那个写入扫描线的,同一个写入扫描线彼此连接。

4. 根据权利要求3所述的显示单元,

其中,对于所述多个像素电路中的指定列,位于所述指定列的偶数行位置的像素电路与所述第一组的写入扫描线连接,并且位于所述指定列的奇数行位置的像素电路与所述第二组的写入扫描线连接。

5. 根据权利要求2所述的显示单元,

其中,所述多个像素电路被配置为在所述驱动控制部的控制下进行阈值校正操作,所述阈值校正操作导致将所述多个像素电路中的各个像素电路的所述第二晶体管的阈值电

压存储在所述多个像素电路中的各个像素电路的电容器中。

6. 根据权利要求5所述的显示单元，

其中，所述驱动控制部被配置为通过在基准电位被承载于与指定像素电路连接的所述信号线上时以及在驱动电压被施加给所述指定像素电路的所述第二晶体管时使所述指定像素电路的所述第一晶体管处于导通状态，从而使所述多个像素电路的所述指定像素电路进行所述阈值校正操作。

7. 根据权利要求6所述的显示单元，

其中，所述阈值校正操作对所述多个像素电路中被布置在同一行的所有像素电路同时进行。

8. 一种显示单元，包括：

多个写入扫描线；

多个信号线；以及

多个像素电路，以包括行和列的矩阵形式布置，

其中，所述多个像素电路被分组为像素电路对，使得每个像素电路对包括在同一行彼此相邻并且与所述多个信号线中的同一个信号线连接的两个像素电路，以及

驱动控制部，被配置为使所述多个像素电路显示与输入图像数据对应的图像帧使得所述图像帧的指定帧作为第一子帧和第二子帧而显示，

所述多个写入扫描线被分组成第一组和第二组，使得对于每个所述像素电路对，各个像素电路对中包括的一个像素电路与所述第一组的写入扫描线连接，并且各个像素电路对中包括的另一个像素电路与所述第二组的写入扫描线连接，

所述第一子帧由所述多个像素电路中与所述第一组的扫描线连接的像素电路显示，使得显示所述第一子帧的每个像素电路在指定帧周期的前半部分期间开始其显示，并且

所述第二子帧由所述多个像素电路中与所述第二组的扫描线连接的像素电路显示，使得显示所述第二子帧的每个像素电路在指定帧周期的后半部分期间开始其显示。

9. 根据权利要求8所述的显示单元，

其中，所述多个像素电路中的每一个包括：

显示元件，

第一晶体管，被配置为在对所述多个写入扫描线中的一个写入扫描线施加扫描脉冲时对所述多个信号线中的与所述第一晶体管连接的一个信号线上承载的电位进行采样，

具有第一端子的电容器，被配置为保持由所述第一晶体管采样的电位，以及

第二晶体管，被配置为向所述显示元件提供驱动电流，所述驱动电流的大小与所述电容器的所述第一端子与所述电容器的第二端子之间的电压对应。

10. 根据权利要求8所述的显示单元，

其中，对于所述多个像素电路的每行，位于该行的偶数列位置的像素电路各自与所述多个写入扫描线中的同一个写入扫描线彼此连接，并且位于该行的奇数列位置的像素电路各自与所述多个写入扫描线中的，不同于所述多个写入扫描线中的与位于该行的偶数列位置的像素电路连接的那个写入扫描线的，同一个写入扫描线彼此连接。

11. 根据权利要求10所述的显示单元，

其中，对于所述多个像素电路中的指定列，位于所述指定列的偶数行位置的像素电路

与所述第一组的写入扫描线连接,并且位于所述指定列的奇数行位置的像素电路与所述第二组的写入扫描线连接。

12.根据权利要求9所述的显示单元,

其中,所述多个像素电路被配置为在所述驱动控制部的控制下进行阈值校正操作,所述阈值校正操作导致将所述多个像素电路中的各个像素电路的所述第二晶体管的阈值电压存储在所述多个像素电路中的各个像素电路的电容器中。

13.根据权利要求12所述的显示单元,

其中,所述驱动控制部被配置为通过在基准电位被承载于与指定像素电路连接的所述信号线上时以及在驱动电压被施加给所述指定像素电路的所述第二晶体管时使所述指定像素电路的所述第一晶体管处于导通状态,从而使所述多个像素电路的所述指定像素电路进行所述阈值校正操作。

14.根据权利要求13所述的显示单元,

其中,所述阈值校正操作对所述多个像素电路中被布置在同一行的所有像素电路同时进行。

15.根据权利要求9所述的显示单元,

其中,所述驱动控制部被配置为使所述多个像素电路显示与输入图像数据对应的图像帧,使得所述图像帧的指定帧作为第一子帧和第二子帧而在指定帧周期显示,

在所述信号线上承载与所述第一子帧对应的视频信号电位的所述指定帧周期的前半部分期间,对于每个所述像素电路对,仅各个像素电路对中包括的一个像素电路对与显示灰度对应的视频信号电位进行采样,并且

在所述信号线上承载与所述第二子帧对应的视频信号电位的所述指定帧周期的后半部分期间,对于每个所述像素电路对,各个像素电路对中包括的在所述指定帧周期的前半部分期间对与显示灰度对应的视频信号电位没有进行采样的一个像素电路对与显示灰度对应的视频信号电位进行采样。

16.根据权利要求15所述的显示单元,

所述多个像素电路中与所述第一组的扫描线连接的像素电路在所述指定帧周期的前半部分期间对与显示灰度对应的视频信号电位进行采样,并且

所述多个像素电路中与所述第二组的扫描线连接的像素电路在所述指定帧周期的后半部分期间对与显示灰度对应的视频信号电位进行采样。

17.根据权利要求8所述的显示单元,

其中,使仅所述多个像素电路中格子图案构成的第一部分在指定帧周期的第一部分进行显示,并且使所述多个像素电路在所述指定帧周期的前半部分期间不进行显示的像素电路在所述指定帧周期的第二部分期间进行显示。

显示单元、驱动电路、驱动方法和电子设备

技术领域

[0001] 本公开涉及具有电流驱动显示元件的显示单元、用于这种显示单元的驱动电路和包括这种显示单元的电子设备。

背景技术

[0002] 在进行图像显示的显示单元的领域中,近年来开发并商品化了一种显示单元(例如,有机EL显示单元),这种显示单元包括作为发光元件的电流驱动光学元件,电流驱动光学元件的发光亮度随着施加的电流值的变化而变化(例如,有机电致发光(EL)元件)。与液晶元件等不同,有机EL元件是一种自发光发光元件,因此,不需要提供光源(背光)。因此,与必须包括光源的液晶显示单元相比,有机EL显示单元具有图像可见性高、功耗低、响应快的特点。

[0003] 包括电流驱动光学元件的这种显示单元具有设为矩阵的像素的显示部,以及用于在显示部的外围驱动显示部的各个电路。特别地,例如,向每个像素提供像素信号的源极驱动电流、选择提供像素信号的像素线的写入扫描电流和向每个像素提供电力的电源扫描电路设于显示部的外围(例如,参见第2010-2796、2010-281993、2009-2522269和2005-228459号日本未决专利申请公开)。

[0004] 在显示单元中,主要从设计的角度来说,显示部外围的边框区域(bezel region)应减小。例如,第2009-204664号日本未决专利申请公开提出了在水平方向彼此相邻的两个像素共用一条像素信号线(数据线),以减小源极驱动器的电路规模,从而实现较窄边框区域的一种显示单元。

发明内容

[0005] 一般来说,要求对显示单元提高图像质量,因此,在减小边框区域时,如上所述,还应抑制图像质量的下降。

[0006] 需要提供一种能抑制图像质量下降的显示单元、驱动电路、驱动方法和电子设备。

[0007] 根据本公开主题的一个举例说明,显示单元可包括:以包括行和列的矩阵形式布置的多个像素电路,以及驱动控制部,驱动控制部用于使多个像素电路显示与输入图像数据对应的图像帧,使图像帧的指定帧作为第一子帧和第二子帧而显示。进一步,第一子帧可由多个像素电路包括格子图案(cheked pattern,棋盘图案)的部分显示,格子图案每行中每隔一个地包括像素电路和在每列中每隔一个地包括像素电路,使得显示第一子帧的每个像素电路在指定帧周期的前半部分期间开始其显示,第二子帧可由多个像素电路中不显示第一子帧的像素电路显示,使得显示第二子帧的每个像素电路在指定帧周期的后半部分期间开始其显示。

[0008] 显示单元可进一步包括多个写入扫描线和多个信号线。进一步,每个像素电路可包括:显示元件;第一晶体管,用于在对多个写入扫描线中的与第一晶体管连接的一个写入扫描线施加扫描脉冲时对一个信号线上承载的电位进行采样;具有第一端子的电容器,用

于保存第一晶体管采样的电位;第二晶体管,用于向显示元件提供驱动电流,驱动电流的大小与电容器的第一端子与电容器的第二端子之间的电压对应。

[0009] 进一步,多个像素电路可分组成像素电路对,使每个像素电路对包括在同一行互相相邻并与多个信号线的同一个连接的两个像素电路。对于每个像素电路对,各个像素电路对中的一个像素电路可显示第一子帧,各个像素电路对中的另一个像素电路可显示第二子帧。

[0010] 进一步,多个写入扫描线可分组成第一组和第二组,对于每个像素电路对,各个像素电路对中包括的显示第一子帧的一个像素电路可与第一组的写入扫描线连接,各个像素电路对中包括的显示第二子帧的另一个像素电路可与第二组的写入扫描线连接。

[0011] 进一步,对于每行的像素电路,位于该行的偶数列位置的像素电路可分别与多个写入扫描线中的同一个互相连接,位于该行的奇数列位置的像素电路可分别与多个写入扫描线中的同一个(不同于所述多个写入扫描线中的与位于该行的偶数列位置的像素电路连接的那个写入扫描线)互相连接。

[0012] 进一步,对于指定列(given column,特定列)的像素电路,位于指定列的偶数行位置的像素电路可与第一组的写入扫描线连接,位于该列的奇数行位置的像素电路可与第二组的写入扫描线连接。

[0013] 进一步,多个像素电路可用于在驱动控制部的控制下进行阈值校正操作,以将多个像素电路中各个像素电路的第二晶体管的阈值电压存储在多个像素电路中的各个像素电路的电容器中。

[0014] 进一步,驱动控制部可用于通过在与指定像素电路连接的信号线上可承载基准电位时,以及可在对指定像素电路的第二晶体管施加驱动电压时使指定像素电路的第一晶体管处于导通状态,从而使多个像素电路的指定像素电路进行阈值校正操作。

[0015] 进一步,阈值校正操作可对所述多个像素电路中布置在同一行的所有像素电路同时进行。

[0016] 根据本公开主题的另一个举例说明,显示单元可包括多个写入扫描线、多个信号线、以及以包括行和列的矩阵形式布置的多个像素电路。多个像素电路可分组成像素电路对,使得每个像素电路对包括可在同一行互相相邻并可与多个信号线的同一个连接的两个像素电路,并且对于每个像素电路对,像素电路对中包括的一个像素电路可与多个写入扫描线中的一个写入扫描线连接,像素电路对中包括的另一个像素电路可与多个写入扫描线中的另一个写入扫描线连接。

[0017] 进一步,每个像素电路可包括:显示元件;第一晶体管,用于在可对可与第一晶体管连接的一条写入扫描线施加扫描脉冲时对一条信号线上承载的电位进行采样;具有第一端子的电容器,用于保存第一晶体管采样的电位;第二晶体管,用于向显示元件提供驱动电流,驱动电流的大小与电容器的第一端子与电容器的第二端子之间的电压对应。

[0018] 进一步,显示单元可包括驱动控制部,用于使多个像素电路显示与输入图像数据对应的图像帧,使得图像帧的指定帧可作为第一子帧和第二子帧而显示。多个写入扫描线可分组成第一组和第二组,使得,对于每个像素电路对,各个像素电路对中包括的一个像素电路可与第一组的写入扫描线连接,各个像素电路对中包括的另一个像素电路可与第二组的写入扫描线连接。第一子帧可由多个像素电路中与第一组扫描线连接的像素电路显示,

使显示第一子帧的每个像素电路在指定帧周期的前半部分期间开始其显示,第二子帧可由多个像素电路中与第二组扫描线连接的像素电路显示,使显示第二子帧的每个像素电路在指定帧周期的后半部分期间开始其显示。

[0019] 进一步,对于每行的像素电路,位于该行的偶数列位置的像素电路可分别与多个写入扫描线中的同一个互相连接,位于该行的奇数列位置的像素电路可分别与多个写入扫描线中的同一个(可不同于多个写入扫描线中的可与位于该行的偶数列位置的像素电路连接的那个写入扫描线)互相连接。

[0020] 进一步,对于多个像素电路的指定列,位于指定列的偶数行位置的像素电路可与第一组的写入扫描线连接,位于该列的奇数行位置的像素电路可与第二组的写入扫描线连接。

[0021] 进一步,多个像素电路可用于在驱动控制部的控制下进行阈值校正操作,以将多个像素电路中的各个像素电路的第二晶体管的阈值电压存储在多个像素电路中的各个像素电路的电容器中。

[0022] 进一步,驱动控制部可用于通过在与指定像素电路连接的信号线上可承载基准电位时,以及可在对指定像素电路的第二晶体管施加驱动电压时使指定像素电路的第一晶体管处于导通状态,从而使多个像素电路的指定像素电路进行阈值校正操作。

[0023] 进一步,阈值校正操作可对多个像素电路中布置在同一行的所有像素电路同时进行。

[0024] 进一步,驱动控制部可用于使多个像素电路显示与输入图像数据对应的图像帧,使图像帧的指定帧可作为第一子帧和第二子帧而在指定帧周期内显示。在信号线上可承载与第一子帧对应的视频信号电位的指定帧周期的前半部分期间内,对于每个像素电路对,仅各个像素电路对中包括的一个像素电路对与显示灰度(display gradation)对应的视频信号电位进行采样。在信号线上可承载与第二子帧对应的视频信号电位的指定帧周期的后半部分期间内,对于每个像素电路对,各个像素电路对中包括的在指定帧周期的前半部分期间对与显示灰度对应的视频信号电位没有进行采样的一个像素电路对与显示灰度对应的视频信号电位进行采样。

[0025] 进一步,多个写入扫描线可分成第一组和第二组,使得对于每个像素电路对,各个像素电路对中包括的一个像素电路可与第一组的写入扫描线连接,各个像素电路对中包括的另一个像素电路可与第二组的写入扫描线连接。多个像素电路中与第一组扫描线连接的像素电路可在指定帧周期的前半部分期间对与显示灰度对应的视频信号电位进行采样,多个像素电路中与第二组扫描线连接的像素电路可在指定帧周期的后半部分期间对与显示灰度对应的视频信号电位进行采样。

[0026] 进一步,显示单元可包括驱动控制部,用于使多个像素电路显示与输入图像数据对应的图像帧,使得图像帧的指定帧可作为第一子帧和第二子帧而显示。可使仅多个像素电路包括格子图案的第一部分在指定帧周期的第一部分进行显示,并且可使多个像素电路中在指定帧周期的第一部分不进行显示的像素电路在指定帧周期的第二部分期间进行显示。

[0027] 应理解的是,前述一般描述和以下详细描述说明为示例性描述,用于对所申请技术提供进一步说明。

附图说明

[0028] 附图帮助进一步理解本公开,并入本说明书,构成本说明书的一部分。附图示出了实施方式,与说明书一起用于说明本技术的原理。

[0029] 图1为显示根据本公开一个实施方式的显示单元的示例配置的框图。

[0030] 图2为图1所示的像素的示例配置的电路图。

[0031] 图3为图1所示的像素之间的示例连接的电路图。

[0032] 图4为图1所示的显示单元的示例操作的时序波形图。

[0033] 图5为图1所示的像素的示例操作的时序波形图。

[0034] 图6为图1所示的像素的另一个示例操作的时序波形图。

[0035] 图7A为图1所示的像素的示例操作的说明图。

[0036] 图7B为图1所示的像素的另一个示例操作的说明图。

[0037] 图8为根据比较例的像素之间的示例连接的电路图。

[0038] 图9A为图8所示的像素的示例操作的说明图。

[0039] 图9B为图8所示的像素的另一个示例操作的说明图。

[0040] 图10为根据示例实施方式的变形例的显示单元的实例操作的时序波形图。

[0041] 图11A为图10所示的像素的示例操作的说明图。

[0042] 图11B为图10所示的像素的另一个示例操作的说明图。

[0043] 图12为应用了根据本公开的示例实施方式或变形例的显示单元的电视机单元的外观配置的透视图。

具体实施方式

[0044] 下文将根据附图对本公开的的实施方式进行详细说明。应注意的是,说明将按以下顺序进行。

[0045] 1.实施方式

[0046] 2.应用例

[0047] 【1.实施方式】

[0048] 【示例配置】

[0049] 图1示出了根据本公开一个实施方式的显示单元的示例配置。显示单元1可为使用有机EL元件的有源矩阵显示单元。由于根据本公开一个实施方式的驱动电路由本实施方式体现,对驱动电路一并进行说明。显示单元1包括显示部10和驱动部20。

[0050] 显示部10包括以矩阵布置的多个像素11。显示部10进一步包括多个扫描线WSL1和WSL2和多个电源线PL,每条线在行方向延伸,还包括在列方向延伸的多个数据线DTL。扫描线WSL1和WSL2、电源线PL和数据线DTL各自在其一端与驱动部20连接。每个上述像素11布置在扫描线WSL1和WSL2与数据线DTL的交叉点。在下文中,术语“扫描线WSL”在适当情况下用于表示扫描线WSL1和WSL2的其中之一。

[0051] 图2示出了像素11的示例配置。像素11包括写入晶体管WSTr、驱动晶体管DSTr、有机EL元件OLED和电容器Cs。具体地,在该示例情况下,像素11具有包括两个晶体管(写入晶体管WSTr和驱动晶体管DSTr)和一个电容器的所谓“2Tr1C”的配置。

[0052] 写入晶体管WSTr和驱动晶体管DRTr均可由(例如)N沟道金属氧化物半导体(MOS)型的薄膜晶体管(TFT)构成。写入晶体管WSTr具有与扫描线WSL连接的栅极、与数据线DTL连接的源极,以及与驱动晶体管DRTr的栅极和电容器Cs的第一端连接的漏极。驱动晶体管DRTr具有与写入晶体管WSTr的漏极和电容器Cs的第一端连接的栅极、与电源线PL连接的漏极,以及与电容器Cs的第二端和有机EL元件OLED的阳极连接的源极。应注意的是,对TFT的类型没有特别限制。例如,TFT可具有反向交错结构(所谓底栅型)、交错结构(所谓顶栅型)等。

[0053] 电容器Cs的第一端可与例如驱动晶体管DRTr的栅极连接,其第二端可与(例如)驱动晶体管DRTr的源极连接。有机EL元件OLED是一种发光颜色(例如,红色、绿色或蓝色)与每个像素11对应的发光元件,其阳极与驱动晶体管DRTr的源极和电容器Cs的第二端连接,其阴极接收驱动部20提供的阴极电压Vcath。

[0054] 图3示出了显示部10的像素11之间的连接。在显示部10中,每个数据线DTL由在行方向(水平方向)互相相邻的两个像素11共用。因此,在显示单元1中,数据线DTL的数量减少,使驱动部20的数据线驱动部25(如下文所述)的电路规模减小,从而减小了边框区域。另外,在显示部10中,在行方向互相相邻的像素11的其中之一与扫描线WSL1连接,而另一个与扫描线WSL2连接。另外,在显示部10中,在列方向(垂直方向)互相相邻的像素11的其中之一与扫描线WSL1连接,而另一个与扫描线WSL2连接。

[0055] 驱动部20基于外部提供的显示信号Sdisp和同步信号Ssync驱动显示部10。如图1所示,驱动部20可包括显示信号处理部分21、定时生成部22、扫描线驱动部23、电源线驱动部24和数据线驱动部25。

[0056] 显示信号处理部分21对外部提供的显示信号Sdisp进行预定信号处理,以生成显示信号Sdisp2。预定信号处理的示例可包括伽玛校正和过度驱动校正(overdrive correction)。

[0057] 定时生成部22是这样的电路:其响应于外部提供的同步信号Ssync向扫描线驱动部23、电源线驱动部24和数据线驱动部25分别提供控制信号,使这些部分互相同步运行。

[0058] 响应于定时生成部22提供的控制信号,扫描线驱动部23按顺序向多个扫描线WSL1提供扫描信号WS1,并按顺序向多个扫描线WSL2提供扫描信号WS2,从而按顺序选择每行的像素11。

[0059] 响应于定时生成部22提供的控制信号,电源线驱动部24按顺序向多个电源线PL提供电源线信号DS,以控制每行的发光操作和消光操作。电源线信号DS各自使电压Vccp向电压Vini转换,反之亦然。如下文所述,电压Vini是用于将像素11初始化的电压,电压Vccp是使电流流经驱动晶体管DRTr以使有机EL元件OLED发光的电压。

[0060] 响应于显示信号处理部分21提供的显示信号Sdisp2和定时生成部22提供的控制信号,数据线驱动部25生成包含指示每个像素11的发光亮度的像素电压Vsig的信号Sig,并将信号Sig提供给每个数据线DTL。

[0061] 扫描线WSL1对应于本公开的一个实施方式中的“第一组扫描线”的具体实例,但不是限制性的示例。扫描线WSL2对应于本公开的一个实施方式中的“第二组扫描线”的具体实例,但不是限制性的示例。数据线DTL对应于本公开的一个实施方式中的“像素信号线”的具体实例,但不是限制性的示例。有机EL元件OLED对应于本公开的一个实施方式中的“显示元

件”的具体实例,但不是限制性的示例。驱动晶体管DRTr对应于本公开的一个实施方式中的“第一晶体管”的具体实例,但不是限制性的示例。写入晶体管WSTr对应于本公开的一个实施方式中的“第二晶体管”的具体实例,但不是限制性的示例。

[0062] 【操作和功能】

[0063] 现在将对根据本实施方式的显示单元1的操作和功能进行说明。

[0064] (总体操作的概述)

[0065] 首先,根据图1对显示单元1的总体操作概述进行说明。显示信号处理部分21对外部提供的显示信号Sdisp进行预定信号处理,以生成显示信号Sdisp2。响应于外部提供的同步信号Ssync,定时生成部22向扫描线驱动部23、电源线驱动部24和数据线驱动部25分别提供控制信号,使这些部分互相同步运行。响应于定时生成部22提供的控制信号,扫描线驱动部23按顺序向多个扫描线WSL1提供扫描信号WS1,并按顺序向多个扫描线WSL2提供扫描信号WS2,从而按顺序对每行选择像素11。响应于定时生成部22提供的控制信号,电源线驱动部24按顺序向多个电源线PL提供电源信号DS,以控制每行的发光操作和消光操作。响应于显示信号处理部分21提供的显示信号Sdisp2和定时生成部22提供的控制信号,数据线驱动部25生成包含与每个像素11的发光亮度的像素电压Vsig的信号Sig,并将信号Sig提供给每个数据线DTL。显示部10响应于扫描信号WS1和WS2、电源线信号DS和驱动部20提供的信号Sig而进行显示。

[0066] (详细操作)

[0067] 图4示出了显示单元1的示例操作,其中,(A)示出了扫描信号WS1的波形,(B)示出了扫描信号WS2的波形,(C)示出了电源线信号DS的波形,(D)示出了信号Sig的波形。在该示例情况下,假定显示部10包括用于N条线的像素11,图4的(A)至(D)示出了各条线的波形。应注意的是,为了便于说明,图4的(A)至(D)不显示垂直空白周期。

[0068] 显示单元1基于从时刻t11到时刻t12的周期(一个帧周期(1F))内的奇数帧图像F(2n-1)进行显示操作,并基于帧图像F(2n-1)之后的从时刻t12到时刻t13的后续周期(一个帧周期(1F))内的偶数帧图像F(2n)进行显示操作。

[0069] 具体地,在从时刻t11到时刻t12的周期内,扫描线驱动部23按顺序(每个水平周期(1H))向每个扫描线WSL1提供脉冲SP1(图4的(A)),随后按顺序(每个水平周期(1H))向每个扫描线WSL2提供脉冲SP2(图4的(B))。电源线驱动部24按顺序向每个电源线PL提供与扫描信号WS1和WS2的每个脉冲SP1和SP2同步的电源线信号DS(图4的(C))。数据线驱动部25与扫描信号WS1的脉冲SP1同步地向每个数据线DTL提供基于帧图像F(2n-1)的像素电压Vsig(图4的(D))。

[0070] 随后,在从时刻t12到时刻t13的周期内,扫描线驱动部23按顺序(每个水平周期(1H))向每个扫描线WSL1提供脉冲SP2(图4的(A)),随后按顺序(每个水平周期(1H))向每个扫描线WSL2提供脉冲SP1(图4的(B))。电源线驱动部24按顺序向每个电源线PL提供与扫描信号WS1和WS2的每个脉冲SP1和SP2同步的电源线信号DS(图4的(C))。数据线驱动部25与扫描信号WS2的脉冲SP1同步地向每个数据线DTL提供基于帧图像F(2n)的像素电压Vsig(图4的(D))。

[0071] 对被提供了脉冲SP1的像素11进行校正(Vth校正和迁移性(μ)校正),以抑制驱动晶体管DRTr中的元件变化对图像质量造成的影响,并对其进行像素电压Vsig的写入。另一

方面,对被提供了脉冲SP2的像素11仅进行 V_{th} 校正,不进行像素电压 V_{sig} 的写入。

[0072] 具体地,与扫描线WSL1连接的像素11基于从时刻 t_{11} 到时刻 t_{12} 的周期内的帧图像 $F(2n-1)$ 进行显示,而与扫描线WSL2连接的像素11基于从时刻 t_{12} 到时刻 t_{13} 的周期内的帧图像 $F(2n)$ 进行显示。

[0073] 随后,显示单元1重复从时刻 t_{11} 到时刻 t_{13} 的周期内的操作。

[0074] 图5示出了被提供了脉冲SP1的像素11的操作的时序图,其中,(A)示出了扫描信号WS的波形,(B)示出了电源线信号DS的波形,(C)示出了信号Sig的波形,(D)示出了驱动晶体管DRTr的栅极电压 V_g 的波形,(E)示出了驱动晶体管DRTr的源极电压 V_s 的波形。在图5中,(B)至(E)示出了具有相同电压轴的波形。应注意的是,像素11与扫描线WSL1连接的情况下扫描线WS(图5的(A))与扫描信号WS1对应,而像素11与扫描线WSL2连接的情况下扫描线WS(图5的(A))与扫描信号WS2对应。

[0075] 在一个水平周期(1H)内,驱动部20将像素11初始化(初始化周期P1),进行 V_{th} 校正,以抑制驱动晶体管DRTr中的元件变化(element variation)对图像质量造成的影响(V_{th} 校正周期P2),将像素电压 V_{sig} 写入像素11,并进行与上述像素11的 V_{th} 校正不同的迁移性(μ)校正(写入 $-\mu$ 校正周期P3)。随后,像素11的有机EL元件OLED发光,发光亮度与写入其中的像素电压 V_{sig} 对应(发光周期P4)。该操作具体如下所述。

[0076] 首先,在初始化周期P1之前的时刻 t_1 ,电源线驱动部24将电源线信号DS的电压从电压 V_{ccp} 改为电压 V_{ini} (图5的(B))。随后,打开驱动晶体管DRTr,使驱动晶体管DRTr的源极电压 V_s 设为电压 V_{ini} (图5的(E))。

[0077] 随后,驱动部20在从时刻 t_2 到时刻 t_3 的周期内将像素11初始化(初始化周期P1)特别地,在时刻 t_2 ,数据线驱动部25将信号Sig设为电压 V_{ofs} (图5的(C)),扫描线驱动部23将扫描信号WS的电压从低电平改为高电平(图5的(A))。随后,打开写入晶体管WSTr,使驱动晶体管DRTr的栅极电压 V_g 设为电压 V_{ofs} (图5的(D))。这样,驱动晶体管DRTr的栅极-源极电压 V_{gs} 设为电压 $V_{ofs}-V_{ini}$,大于驱动晶体管DRTr的阈值电压 V_{th} ,由此像素11被初始化。

[0078] 随后,驱动部20在从时刻 t_3 到时刻 t_4 的周期内进行 V_{th} 校正(V_{th} 校正周期P2)。具体地,在时刻 t_3 ,电源线驱动部24将电源线信号DS的电压从电压 V_{ini} 改为电压 V_{ccp} (图5的(B))。因此,驱动晶体管DRTr在饱和区域内运行,使电流 I_{ds} 从驱动晶体管DRTr的漏极流到源极,从而增加了源极电压 V_s (图5的(E))。在此操作期间,源极电压 V_s 低于有机EL元件OLED的阴极电压 V_{cath} 。因此,有机EL元件OLED保持在反向偏压状态,因此,电流不会流经有机EL元件OLED。这样增加的源极电压 V_s 使栅极-源极电压 V_{gs} 降低,从而降低电流 I_{ds} 。这种负反馈操作使电流 I_{ds} 向零收敛(converge)。换句话说,驱动晶体管DRTr的栅极-源极电压 V_{gs} 收敛为等于驱动晶体管DRTr的阈值电压 V_{th} 的值($V_{gs}=V_{th}$)。

[0079] 随后,在时刻 t_4 ,扫描线驱动部23将扫描信号WS的电压从高电平变为低电平(图5的(A))。结果,将写入晶体管WSTr关闭。在时刻 t_5 ,数据线驱动部25将信号Sig设为像素电压 V_{sig} (图5的(C))。

[0080] 随后,驱动部20在从时刻 t_6 到时刻 t_7 的周期内对像素11进行像素电压 V_{sig} 的写入,并对像素11进行 μ 校正(写入 $-\mu$ 校正周期P3)。具体地,在时刻 t_6 ,扫描线驱动部23将扫描信号WS的电压从低电平变为高电平(图5的(A))。因此,打开写入晶体管WSTr,使驱动晶体管DRTr的栅极电压 V_g 从电压 V_{ofs} 升至像素电压 V_{sig} (图5的(D))。在该操作期间,驱动晶体管

DRTr的栅极-源极电压 V_{gs} 大于阈值电压 V_{th} ($V_{gs} > V_{th}$), 因此, 电流 I_{ds} 从驱动晶体管DRTr的漏极流到源极, 从而使驱动晶体管DRTr的源极电压 V_s 增加。这种负反馈操作抑制了驱动晶体管DRTr中的元件变化对图像质量造成的影响(μ 校正), 驱动晶体管DRTr的栅极-源极电压 V_{gs} 设为与像素电压 V_{sig} 对应的电压 V_{emi} 。

[0081] 随后, 驱动部20使像素11在时刻 t_7 以及之后的周期内发光(发光周期 P_4)。具体地, 在时刻 t_7 , 扫描线驱动部23将扫描信号WS的电压从高电平变为低电平(图5的(A))。因此, 将写入晶体管WSTr关闭, 使驱动晶体管DRTr的栅极保持浮动状态, 因此, 随后保持了电容器 C_s 的内部端子电压, 即, 驱动晶体管DRTr的栅极-源极电压 $V_{gs}(=V_{emi})$ 。随后, 由于电流 I_{ds} 流经驱动晶体管DRTr, 驱动晶体管DRTr的源极电压 V_s 增加(图5的(E)), 驱动晶体管DRTr的栅极电压 V_g 由此增加(图5的(D))。驱动晶体管DRTr的源极电压 V_s 超过有机EL元件OLED的阈值电压 V_{el} 与电压 V_{cath} 的和($V_{el} + V_{cath}$)时, 电流在有机EL元件OLED的阳极与阴极之间流过, 使有机EL元件OLED发光。换句话说, 源极电压 V_s 增加, 增加的电压量与有机EL元件OLED中的元件变化对应, 使得有机EL元件OLED发光。

[0082] 初始化周期 P_1 和 V_{th} 校正周期 P_2 进行的驱动对应于本公开一个实施方式中的“重置驱动”的具体示例, 但不是限制性的示例。电压 V_{ofs} 对应于本公开的一个实施方式中的“第一电压”的具体示例, 但不是限制性的示例。电压 V_{ini} 对应于本公开的一个实施方式中的“第二电压”的具体示例, 但不是限制性的示例。电压 V_{ccp} 对应于本公开的一个实施方式中的“第四电压”的具体示例, 但不是限制性的示例。

[0083] 图6示出了被提供了脉冲SP2的像素11的操作的时序图, 其中, (A)示出了扫描信号WS的波形, (B)示出了电源线信号DS的波形, (C)示出了信号Sig的波形, (D)示出了驱动晶体管DRTr的栅极电压 V_g 的波形, (E)示出了驱动晶体管DRTr的源极电压 V_s 的波形。

[0084] 在一个水平周期(1H)内, 驱动部20将被提供了脉冲SP2的像素11初始化(初始化周期 P_1), 并对像素11进行 V_{th} 校正, 以抑制驱动晶体管DRTr中的元件变化对图像质量造成的影响(V_{th} 校正周期 P_2)。换句话说, 在初始化周期 P_1 和 V_{th} 校正周期 P_2 内, 驱动部20以与被提供了脉冲SP1的像素11的驱动相似的方式进行被提供了脉冲SP2的像素11的驱动, 但不进行后续操作, 例如, 像素电压 V_{sig} 的写入。随后, 在被提供了脉冲SP2的像素11中, 驱动晶体管DRTr的栅极-源极电压 V_{gs} 设为约等于驱动晶体管DRTr的阈值电压 V_{th} 的电压($V_{gs} = V_{th}$), 因此, 电流不流经有机EL元件OLED。具体地, 被提供了脉冲SP2的像素11进行黑色显示。

[0085] 这样, 在显示单元1中, 被提供了脉冲SP1的像素11进行与像素电压 V_{sig} 对应的显示, 被提供了脉冲SP2的像素11进行黑色显示。

[0086] 在显示部10中, 如图3所示, 在行方向(水平方向)互相相邻的两个像素11的其中之一与扫描线WSL1连接, 而另一个与扫描线WSL2连接。因此, 在行方向互相相邻、与某个数据线DTL连接的两个像素11的其中之一可进行图5所示的操作, 另一个可进行图6所示的操作。换句话说, 在一个帧周期内, 驱动部20仅将像素电压 V_{sig} 写入两个像素11的其中之一。这进一步确保了进行像素电压 V_{sig} 写入的时间, 从而可降低图像质量下降的可能性。具体地, 例如, 在像素电压 V_{sig} 在一个帧周期内以时分方式写入两个像素11的情况下, 进行写入所需的时间减少, 由此造成像素电压 V_{sig} 写入不充分, 可能会降低图像质量。具体地, 在将高清晰度显示面板用于显示部10的情况下, 在一个帧周期内需要驱动大量的线(例如, $16.6\text{msec} = 1/60\text{Hz}$)。这减少了分配给一个水平周期(1H)的时间, 由此造成像素电压 V_{sig} 写入不充分,

可能会降低图像质量。相反,在根据本实施方式的显示单元1中,在一个帧周期内仅将像素电压Vsig写入两个像素11的其中之一,从而可降低图像质量下降的可能性。

[0087] 图7A示出了帧图像F(2n-1)显示期间每个像素11的操作,图7B示出了帧图像F(2n)显示期间每个像素11的操作。在图7A和7B中,每个阴影像素11表示进行与像素电压Vsig对应的显示的像素11。另一方面,用黑色显示的每个像素11表示进行黑色显示的像素11。如图7A和7B所示,在显示单元1中,像素11在棋盘状图案(checkerboard-like pattern)中进行与像素电压Vsig对应的显示,而其余像素11在每个帧周期内进行黑色显示。另外,对于每个帧周期,每个像素11的显示模式在与像素电压Vsig对应的显示和黑色显示之间切换。因此,通过观看在两个帧周期内显示的图像,观看者可看见显示部10的所有像素11显示的图像。

[0088] 这样,在每个帧周期内,显示单元1在棋盘状图案内进行与像素电压Vsig对应的显示。与下文所述的比较例相比,这可降低图像质量下降的可能性。

[0089] 另外,在显示单元1中,没有写入像素电压Vsig的每个像素11进行黑色显示,从而可提高移动图像显示期间的图像质量。具体地,例如,如果没有写入像素电压Vsig的像素11继续基于用于前一个帧图像F的像素电压Vsig进行显示,当前帧图像F和前一个帧图像F混合显示,可能会造成图像质量的下降。相反,在显示单元1中,没有写入像素电压Vsig的每个像素11进行黑色显示。这防止多个帧图像F混合显示,从而可降低图像质量下降的可能性。

[0090] 另外,在显示单元1中,对没有写入像素电压Vsig的每个像素11进行Vth校正驱动,以进行黑色显示,从而可降低图像质量下降的可能性。具体地,例如,如果将表示黑色的像素电压Vsig写入没有写入像素电压Vsig的每个像素11,在一个水平周期内,像素电压Vsig需要以时分方式写入在行方向互相相邻的两个像素11,如上所述,造成像素电压Vsig写入不充分,从而可能会降低图像质量。相反,在显示单元1中,对没有写入像素电压Vsig的每个像素11进行Vth校正驱动,以进行黑色显示,由此可对两个像素11一起进行Vth校正驱动,从而可降低图像质量下降的可能性。

[0091] (比较例)

[0092] 现在将对根据比较例的显示单元1R进行说明。除每个像素11与扫描线WSL1或WSL2连接之外,该比较例具有与本实施方式(图1)相似的配置。

[0093] 图8示出了根据比较例的显示单元1R的显示部10R的示例配置。在显示部10R中,在列方向(垂直方向)互相相邻的两个像素11均与扫描线WSL1或WSL2连接。具体地,在根据图3所示的本实施方式的显示部10中,在列方向互相相邻的两个像素11的其中之一与扫描线WSL1连接,而另一个与扫描线WSL2连接,但在根据比较例的显示部10R中,两个像素11均与扫描线WSL1或WSL2连接。

[0094] 图9A和9B示出了根据比较例的显示部10R的每个像素11的操作,其中,图9A示出了帧图像F(2n-1)显示期间的操作,图9B示出了帧图像F(2n)显示期间的操作。在该示例情况下,交替列的像素11进行与像素电压Vsig对应的显示,而其余像素11进行黑色显示。这种情况下,观看者感觉好像图像显示为条纹图案,可能会降低图像质量。

[0095] 相反,在根据本实施方式的显示部1中,如图3所示,在列方向(垂直方向)互相相邻的任意两个像素11的其中之一与扫描线WSL1连接,而另一个与扫描线WSL2连接。如图7A和7B所示,这使与像素电压Vsig对应的显示以棋盘状图案进行,从而可降低图像质量下降的可能性。

[0096] (效果)

[0097] 如上所述,在本实施方式中,在行方向互相相邻的任意两个像素与一个数据线连接,从而可减小边框区域。

[0098] 另外,在本实施方式中,在每个帧周期内,像素电压可仅写入在行方向(水平方向)互相相邻的像素的其中之一,确保了进行像素电压写入的时间,从而可降低图像质量下降的可能性。

[0099] 另外,在本实施方式中,显示单元可以棋盘状图案进行与像素电压对应的显示,可降低图像质量下降的可能性。

[0100] 另外,在本实施方式中,没有写入像素电压的每个像素可进行黑色显示,防止多个帧图像混合显示,从而可在移动图像显示期间提高图像质量。

[0101] 另外,在本实施方式中,可对没有写入像素电压的每个像素进行 V_{th} 校正驱动,以进行黑色显示。因此,可免除写入表示黑色的像素电压的必要,可降低图像质量下降的可能性。

[0102] 【变形例1-1】

[0103] 在上述实施方式中,没有写入像素电压的每个像素11进行黑色显示,但本公开并不限于此。可替代地,例如,这种像素11可基于用于前一个帧图像F的像素电压 V_{sig} 继续进行显示。现在将该变形例(变形例1-1)进行详细说明。

[0104] 图10示出了根据变形例1-1的显示单元1A的示例操作,其中,(A)示出了N个扫描信号 WS_1 的波形,(B)示出了N个扫描信号 WS_2 的波形,(C)示出了N个电源线信号 DS 的波形,(D)示出了信号 Sig 的波形。

[0105] 首先,在从时刻 t_{21} 到时刻 t_{22} 的周期内,对于每个水平周期(1H),显示单元1A的扫描线驱动部23A按顺序向每个扫描线 WSL_1 提供脉冲 SP_1 (图10的(A))。在该操作期间,与上述实施方式(图4的(B))不同,扫描线驱动部23A不向每个扫描线 WSL_2 提供脉冲 SP_2 。在从时刻 t_{22} 到时刻 t_{23} 的周期内,对于每个水平周期(1H),扫描线驱动部23A按顺序向每个扫描线 WSL_2 提供脉冲 SP_1 (图10的(B))。在该操作期间,与上述实施方式(图4的(A))不同,扫描线驱动部23A不向每个扫描线 WSL_1 提供脉冲 SP_2 。

[0106] 图11A示出了帧图像F(2n-1)显示期间每个像素11的操作,图11B示出了帧图像F(2n)显示期间每个像素11的操作。在图11A和11B中,每个阴影像素11表示进行与像素电压 V_{sig} 对应的显示的像素11。另一方面,每个无阴影像素11在该帧周期内不被驱动,并且表示显示前一个帧图像F的像素。

[0107] 这种配置可用于对图像质量的影响相对较小的应用。这种应用的示例可包括显示静止图像的应用、显示缓慢移动图像的应用等。

[0108] 【变形例1-2】

[0109] 在上述实施方式中,驱动部20始终进行图4的(A)至(D)所示的驱动,但本公开并不限于此。可替代地,例如,驱动部20可具有多个驱动模式,包含进行图4的(A)至(D)所示的驱动的驱动模式。另外,驱动部20可具有进行变形例1-1(图10的(A)至(D))所述的驱动的驱动模式。

[0110] 【2.应用例】

[0111] 现在将对上述实施方式和变形例所述的每种显示的应用例进行说明。

[0112] 图12示出了应用了根据上述实施方式和变形例的任何显示单元的电视机单元的外观。电视机单元可具有,例如,包括前面板511和滤光玻璃512的图像显示屏幕部分510。电视机单元由根据上述实施方式和变形例的任意一个的显示单元构成。

[0113] 根据上述实施方式和变形例的任意一个的显示单元适用于任何领域的电子设备。除电视机单元之外,电子设备的示例可包括数字照相机、笔记本式个人计算机、移动终端单元,例如,移动电话、便携式电子游戏机和摄像机。换句话说,根据上述实施方式和变形例的任意一个的显示单元适用于任何领域的显示图像的电子设备。

[0114] 上文根据示例实施方式、变形例和应用例对本技术进行了说明,但本技术并不限于此,可对其进行各种修改或改变。

[0115] 例如,在上述示例实施方式中,显示单元包括有机EL显示元件,但显示单元并不限于此,可为包括电流驱动显示元件的任何显示单元。

[0116] 另外,本技术包含本文所述的和结合于此的某些或所有各种实施方式的任何可能组合。

[0117] 根据本公开的上述示例实施方式,至少可实现以下配置。

[0118] (1)一种显示单元,包括:

[0119] 多个像素电路,以包括行和列的矩阵形式布置;以及

[0120] 驱动控制部,用于使多个像素电路显示与输入图像数据对应的图像帧,使得图像帧的指定帧作为第一子帧和第二子帧而显示,

[0121] 其中,第一子帧由多个像素电路的格子图案构成的部分显示,使显示第一子帧的每个像素电路在指定帧周期的前半部分期间开始显示第一子帧,格子图案在每行中每隔一个地包括像素电路和在每列中的每隔一个地包括像素电路,并且

[0122] 第二子帧由多个像素电路中不显示第一子帧的像素电路显示,使显示第二子帧的每个像素电路在指定帧周期的后半部分期间开始显示第二子帧。

[0123] (2)根据(1)所述的显示单元,进一步包括:

[0124] 多个写入扫描线;以及

[0125] 多个信号线,

[0126] 其中,多个像素电路中的每一个包括:

[0127] 显示元件,

[0128] 第一晶体管,用于在对多个写入扫描线中的与第一晶体管连接的一个写入扫描线施加扫描脉冲时对多个信号线中的一个上承载的电位进行采样,

[0129] 具有第一端子的电容器,用于保存第一晶体管采样的电位,以及

[0130] 第二晶体管,用于向显示单元提供驱动电流,驱动电流的大小与电容器的第一端子与电容器的第二端子之间的电压对应。

[0131] (3)根据(1)或(2)所述的显示单元,

[0132] 其中,多个像素电路被分组成像素电路对,使得每个像素电路对包括在同一行互相相邻并与多个信号线的同一个连接的两个像素电路,并且

[0133] 对于每个像素电路对,各个像素电路对中的一个像素电路显示第一子帧,各个像素电路对中的另一个像素电路显示第二子帧。

[0134] (4)根据(1)至(3)任一项所述的显示单元,

[0135] 其中,多个写入扫描线被分组成第一组和第二组,

[0136] 其中,对于每个像素电路对,各个像素电路对中包括的显示第一子帧的一个像素电路与第一组的写入扫描线连接,各个像素电路对中包括的显示第二子帧的另一个像素电路与第二组的写入扫描线连接。

[0137] (5)根据(1)至(4)任一项所述的显示单元,

[0138] 其中,对于多个像素电路的每行,位于该行的偶数列位置的像素电路分别与多个写入扫描线中的同一个互相连接,位于该行的奇数列位置的像素电路分别与多个写入扫描线中的同一个(不同于多个写入扫描线中的与位于该行的偶数列位置的像素电路连接的那个写入扫描线)互相连接。

[0139] (6)根据(1)至(5)任一项所述的显示单元,

[0140] 其中,对于多个像素电路中的指定列,位于指定列的偶数行位置的像素电路与第一组的写入扫描线连接,位于该列的奇数行位置的像素电路与第二组的写入扫描线连接。

[0141] (7)根据(1)至(6)任一项所述的显示单元,

[0142] 其中,多个像素电路用于在驱动控制部的控制下进行阈值校正操作,以将多个像素电路的各个像素电路的第二晶体管的阈值电压存储在多个像素电路的各个像素电路的电容器中。

[0143] (8)根据(1)至(7)任一项所述的显示单元,

[0144] 其中,驱动控制部用于通过在基准电位被承载于与指定像素电路连接的信号线上时以及在驱动电压被施加给指定像素电路的第二晶体管时使指定像素电路的第一晶体管处于导通状态,从而使多个像素电路的指定像素电路进行阈值校正操作。

[0145] (9)根据(1)至(8)任一项所述的显示单元,

[0146] 其中,阈值校正操作对布多个像素电路中置在同一行的所有像素电路同时进行。

[0147] (10)一种显示单元,包括:

[0148] 多个写入扫描线;

[0149] 多个信号线;以及

[0150] 多个像素电路,以包括行和列的矩阵形式布置,

[0151] 其中,多个像素电路被分组成像素电路对,使得每个像素电路对包括在同一行互相相邻并且与多个信号线的同一个连接的两个像素电路,并且

[0152] 其中,对于每个像素电路对,像素电路对中包括的一个像素电路与多个写入扫描线中的一个连接,像素电路对中包括的另一个像素电路与多个写入扫描线中的另一个连接。

[0153] (11)根据(10)所述的显示单元,

[0154] 其中,多个像素电路中的每一个包括:

[0155] 显示元件,

[0156] 第一晶体管,用于在对多个写入扫描线中的与第一晶体管连接的一个施加扫描脉冲时对多个信号线中的一个上承载的电位进行采样,

[0157] 具有第一端子的电容器,用于保持第一晶体管采样的电位,以及

[0158] 第二晶体管,用于向显示单元提供驱动电流,驱动电流的大小与电容器的第一端子与电容器的第二端子之间的电压对应。

[0159] (12)根据(10)或(11)所述的显示单元,

[0160] 进一步包括驱动控制部,用于使多个像素电路显示与输入图像数据对应的图像帧,使图像帧的指定帧作为第一子帧和第二子帧而显示,

[0161] 其中,多个写入扫描线被分组为第一组和第二组,使得对于每个像素电路对,各个像素电路对中包括的一个像素电路与第一组的写入扫描线连接,各个像素电路对中包括的另一个像素电路与第二组的写入扫描线连接,

[0162] 第一子帧由多个像素电路中与第一组的扫描线连接的像素电路显示,使显示第一子帧的每个像素电路在指定帧周期的前半部分期间开始其显示,并且

[0163] 第二子帧由多个像素电路中与第二组扫描线连接的像素电路显示,使显示第二子帧的每个像素电路在指定帧周期的后半部分期间开始其显示。

[0164] (13)根据(10)至(12)任一项所述的显示单元,

[0165] 其中,对于每行的像素电路,位于该行的偶数列位置的像素电路分别与多个写入扫描线中的同一个互相连接,位于该行的奇数列位置的像素电路分别与多个写入扫描线中的同一个(不同于多个写入扫描线中的与位于该行的偶数列位置的像素电路连接的那个写入扫描线)互相连接。

[0166] (14)根据(10)至(13)任一项所述的显示单元,

[0167] 其中,对于多个像素电路的指定列,位于指定列的偶数行位置的像素电路与第一组的写入扫描线连接,位于该列的奇数行位置的像素电路与第二组的写入扫描线连接。

[0168] (15)根据(10)至(14)任一项所述的显示单元,

[0169] 其中,多个像素电路用于在驱动控制部的控制下进行阈值校正操作,以将多个像素电路中的各个像素电路的第二晶体管的阈值电压存储在多个像素电路中的各个像素电路的电容器中。

[0170] (16)根据(10)至(15)任一项所述的显示单元,

[0171] 其中,驱动控制部用于通过在基准电位承载于与指定像素电路连接的信号线上时以及在驱动电压被施加给指定像素电路的第二晶体管时使指定像素电路的第一晶体管处于导通状态,从而使多个像素电路的指定像素电路进行阈值校正操作。

[0172] (17)根据(10)至(16)任一项所述的显示单元,

[0173] 其中,阈值校正操作对多个像素电路中布置在同一行的所有像素电路同时进行。

[0174] (18)根据(10)至(17)任一项所述的显示单元,

[0175] 其中,驱动控制部用于使多个像素电路显示与输入图像数据对应的图像帧,使图像帧的指定帧作为第一子帧和第二子帧而在制定帧周期内显示,

[0176] 在信号线上承载与第一子帧对应的视频信号电位的指定帧周期的前半部分期间,对于每个像素电路对,仅各个像素电路对中包括的一个像素电路对与显示灰度对应的视频信号电位进行采样,并且

[0177] 在信号线上承载与第二子帧对应的视频信号电位的指定帧周期的后半部分期间内,对于每个像素电路对,各个像素电路对中包括的在指定帧周期的前半部分期间对与显示灰度对应的视频信号电位没有进行采样的一个像素电路采样与显示灰度对应的视频信号电位。

[0178] (19)根据(10)至(18)任一项所述的显示单元,

[0179] 其中,多个写入扫描线被分组成第一组和第二组,使得对于每个像素电路对,各个像素电路对中包括的一个像素电路与第一组的写入扫描线连接,各个像素电路对中包括的另一个像素电路与第二组的写入扫描线连接,

[0180] 多个像素电路中与第一组的扫描线连接的像素电路在指定帧周期的前半部分期间对与显示灰度对应的视频信号电位进行采样,并且

[0181] 多个像素电路中与第二组的扫描线连接的像素电路在指定帧周期的后半部分期间对与显示灰度对应的视频信号电位进行采样。

[0182] (20)根据(10)至(19)任一项所述的显示单元,

[0183] 进一步包括驱动控制部,用于使多个像素电路显示与输入图像数据对应的图像帧,使图像帧的指定帧作为第一子帧和第二子帧而显示,

[0184] 其中,仅多个像素电路中格子图案构成的第一部分在指定帧周期的前半部分期间进行显示,多个像素电路中在指定帧周期的前半部分期间不进行显示的像素电路在指定帧周期的后半部分期间进行显示。

[0185] (21)一种显示单元,包括:

[0186] 多个像素;

[0187] 在第一方向延伸的多个第一组扫描线;以及

[0188] 在第一方向延伸的多个第二组扫描线,

[0189] 其中,在第二方向(与多个像素的第一方向相交)互相相邻的任意两个像素的其中之一与第一组扫描线的其中之一连接,所述任意两个像素中的另一个与第二组扫描线的其中之一连接。

[0190] (22)根据(21)所述的显示单元,进一步包括在第二方向延伸的多个像素信号线,

[0191] 其中,在所述多个像素的第一方向互相相邻的任意两个像素均与所述像素信号中的一个共用像素信号线连接,在第一方向互相相邻的任意两个像素的其中之一与第一组扫描线的其中之一连接,任意两个像素中的另一个与第二组扫描线的其中之一连接。

[0192] (23)根据(21)或(22)所述的显示单元,进一步包括基于交替提供的第一帧图像和第二帧图像驱动多个像素的驱动部,

[0193] 其中,驱动部用于进行:

[0194] 第一驱动,即,基于第一帧图像按顺序对所述多个像素的多个第一像素进行写入驱动,所述第一像素与所述多个第一组扫描线连接;以及

[0195] 第二驱动,即,基于第二帧图像按顺序对所述多个像素的多个第二像素进行写入驱动,所述第二像素与所述多个第二组扫描线连接。

[0196] (24)根据(23)所述的显示单元,其中,驱动部用于:

[0197] 在第一驱动中在每次写入驱动之前对经受了写入驱动的第一像素的其中之一进行重置驱动;并且

[0198] 在第二驱动中在每次写入驱动之前对经受了写入驱动的第二像素的其中之一进行重置驱动。

[0199] (25)根据(24)所述的显示单元,其中,驱动部用于:

[0200] 在第一驱动中对第二像素进行重置驱动;并且

[0201] 在第二驱动中对第一像素进行重置驱动。

[0202] (26)根据(25)所述的显示单元,其中,驱动部用于对在第一方向互相相邻的任意两个像素同时进行重置驱动。

[0203] (27)根据(24)至(24)中任一项所述的显示单元,其中,所述多个像素中的每个包括:

[0204] 显示元件;

[0205] 第一晶体管,包括栅极和与显示元件连接的源极;

[0206] 电容器,插设在第一晶体管的栅极与源极之间;

[0207] 第二晶体管,包括与第一组扫描线中的一个或第二组扫描线中的一个连接的栅极,并且被接通以设置第一晶体管的栅极电压。

[0208] (28)根据(27)所述的显示单元,其中,在每次重置驱动中,驱动部用于将第一晶体管的栅极电压设为第一电压,并将第一晶体管的源极电压设为第二电压,随后,使电流流经第一晶体管以将第一晶体管的源极电压设为与第一晶体管的阈值电压对应的第三电压。

[0209] (29)根据(28)所述的显示单元,

[0210] 其中,第一晶体管包括与驱动部连接的漏极,并且

[0211] 其中,在每次重置驱动中,驱动部用于接通第二晶体管,以将第一晶体管的栅极电压设为第一电压,并对第一晶体管的漏极施加第二电压以将第一晶体管的源极电压设为第二电压,随后,对第一晶体管的漏极施加第四电压以使电流流经第一晶体管。

[0212] (30)一种驱动电路,包括:

[0213] 驱动显示部的驱动部,显示部包括:

[0214] 多个像素,

[0215] 在第一方向延伸的多个第一组扫描线,以及

[0216] 在第一方向延伸的多个第二组扫描线,

[0217] 在第二方向(与多个像素的第一方向相交)互相相邻的任意两个像素的其中之一与第一组扫描线的其中之一连接,所述任意两个像素中的另一个与第二组扫描线的其中之一连接,

[0218] 其中,驱动部用于进行

[0219] 第一驱动,即,基于在被交替提供的第一帧图像与第二帧图像之间的第一帧图像按顺序对多个像素中的多个第一像素进行写入驱动,所述第一像素与所述多个第一组扫描线连接;以及

[0220] 第二驱动,即,基于第二帧图像按顺序对多个像素中的多个第二像素进行写入驱动,所述第二像素与所述多个第二组扫描线连接。

[0221] (31)一种驱动方法,包括:

[0222] 准备显示部,显示部包括:

[0223] 多个像素,

[0224] 在第一方向延伸的多个第一组扫描线,以及

[0225] 在第一方向延伸的多个第二组扫描线,

[0226] 在第二方向(与多个像素的第一方向相交)互相相邻的任意两个像素的其中之一与第一组扫描线的其中之一连接,所述任意两个像素中的另一个与第二组扫描线的其中之一连接;

[0227] 进行第一驱动,即,基于在被交替提供的第一帧图像与第二帧图像之间的第一帧图像按顺序对多个像素中的多个第一像素进行写入驱动,所述第一像素与所述多个第一组扫描线连接;并且

[0228] 进行第二驱动,即,基于第二帧图像按顺序对多个像素中的多个第二像素进行写入驱动,所述第二像素与所述多个第二组扫描线连接。

[0229] (32)一种电子设备,设有显示单元和控制显示单元的操作的控制部,显示单元包括:

[0230] 多个像素;

[0231] 在第一方向延伸的多个第一组扫描线;以及

[0232] 在第一方向延伸的多个第二组扫描线,

[0233] 其中,在与多个像素的第一方向相交的第二方向上互相相邻的任意两个像素的其中之一与第一组扫描线的其中之一连接,任意两个像素中的另一个与第二组扫描线的其中之一连接。

[0234] 本公开包含与2012年7月31在日本专利局提交的日本在先专利申请JP2012-170486中公开的内容相关的主题,日本在先专利申请JP2012-170486的全部内容通过引用并入本文。

[0235] 本领域的技术人员应理解的是,只要不脱离权利要求或其等同方案的范围,可根据设计要求和因素进行各种修改、组合、次组合和改变。

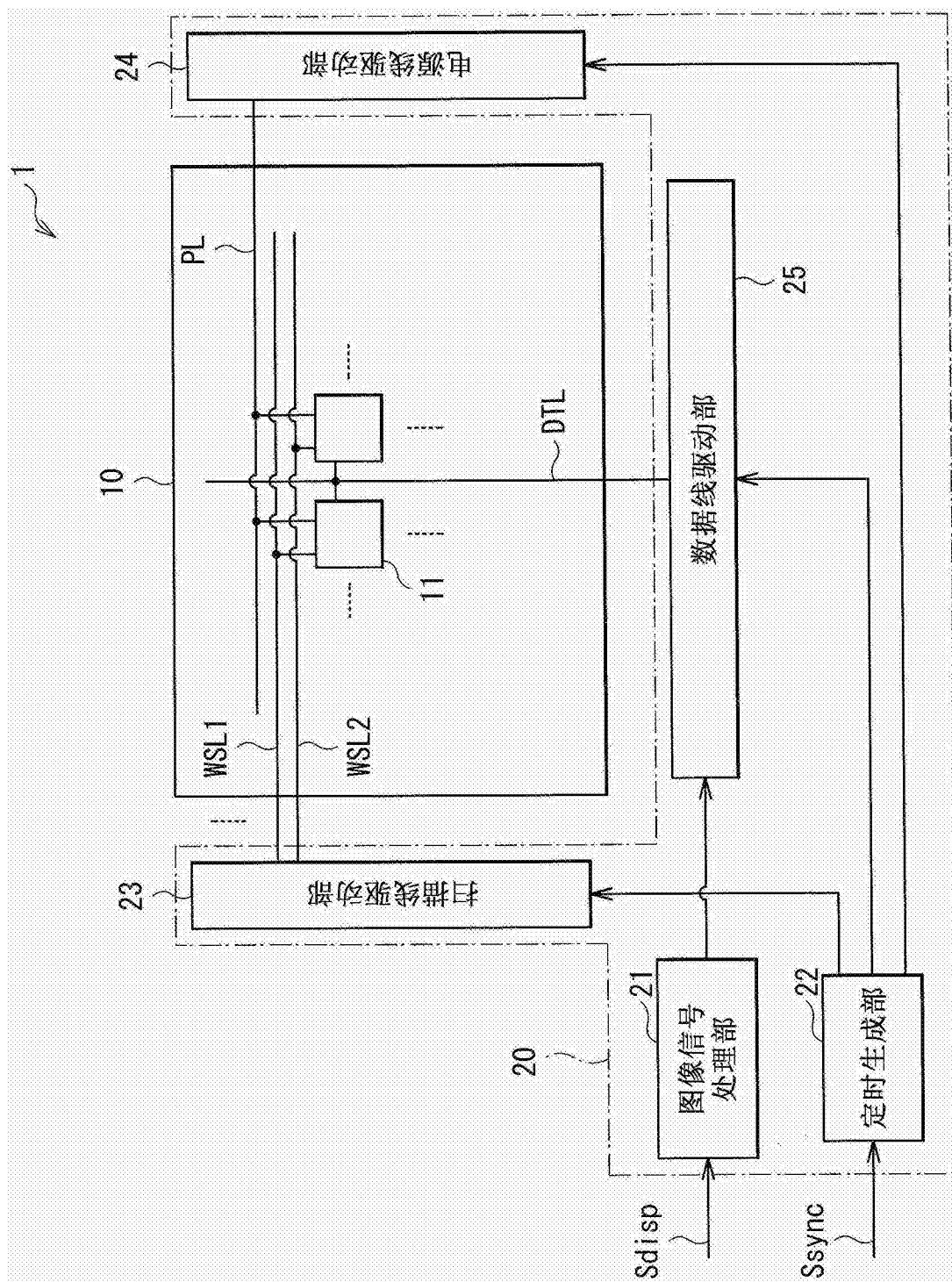


图1

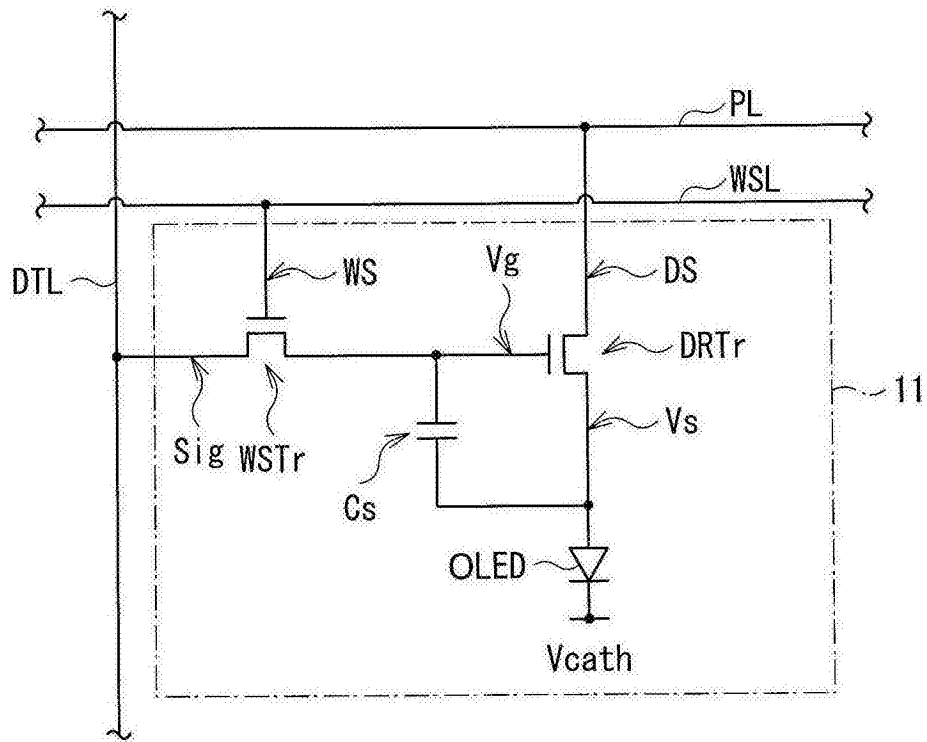


图2

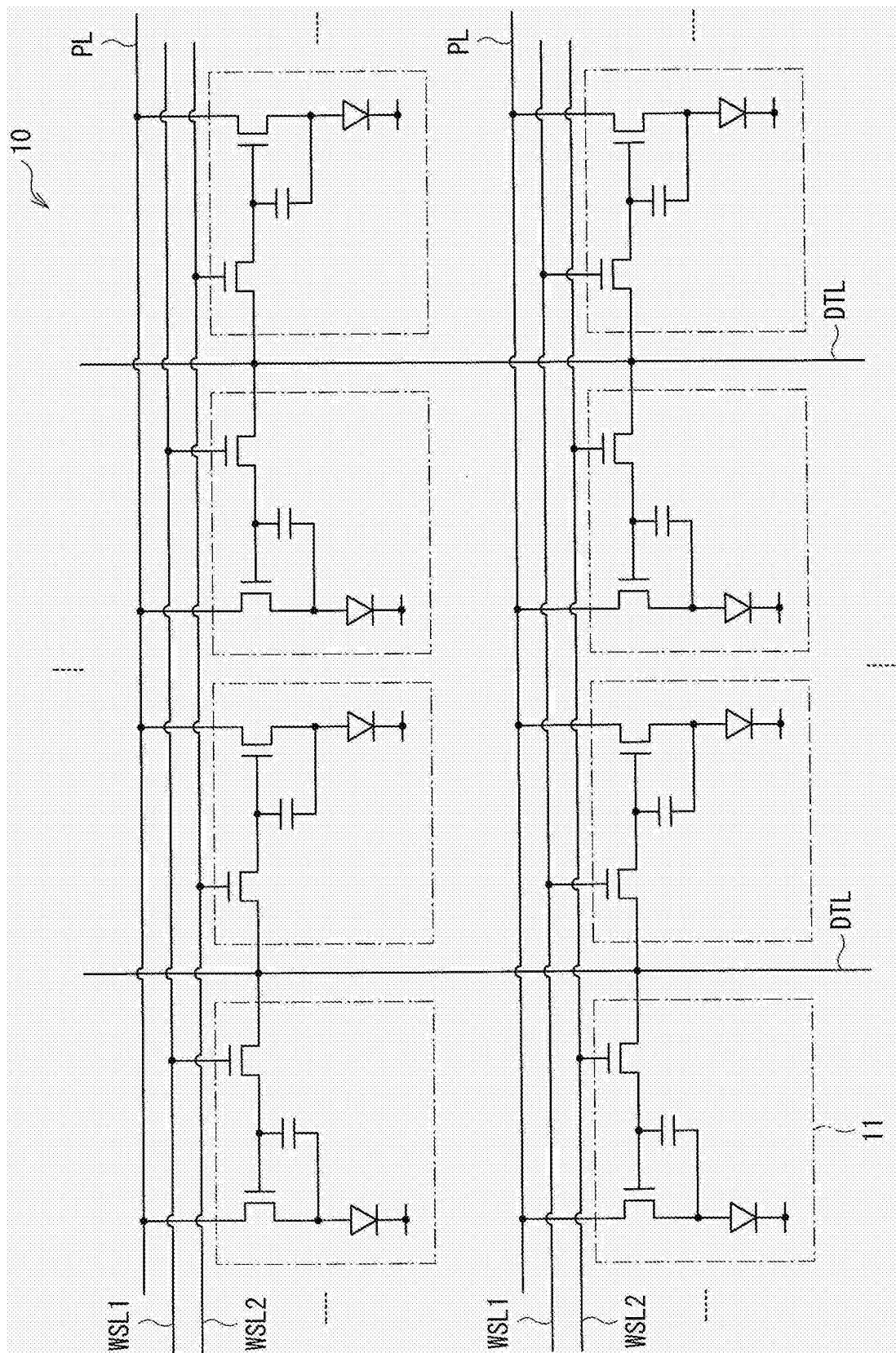


图3

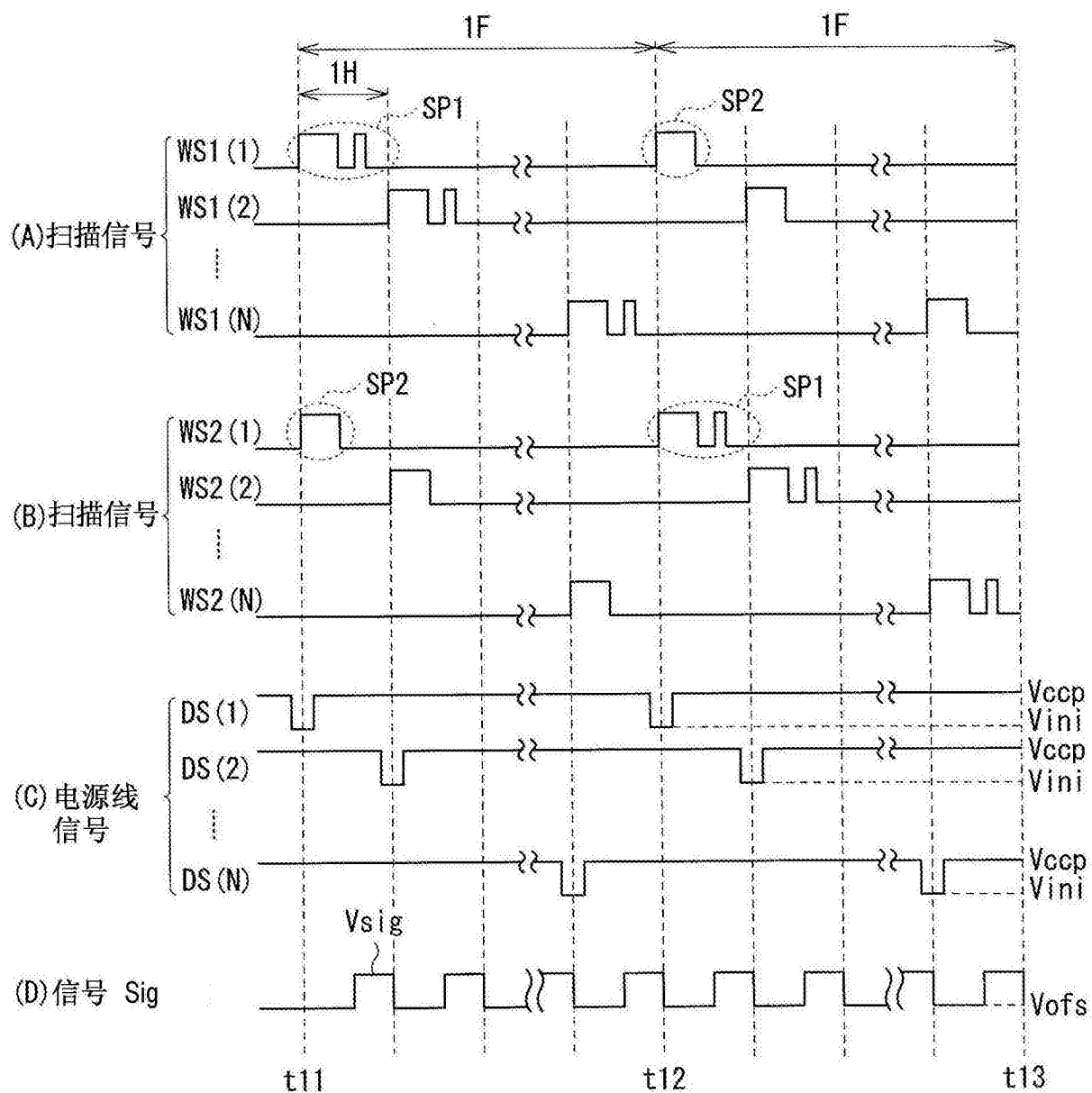


图4

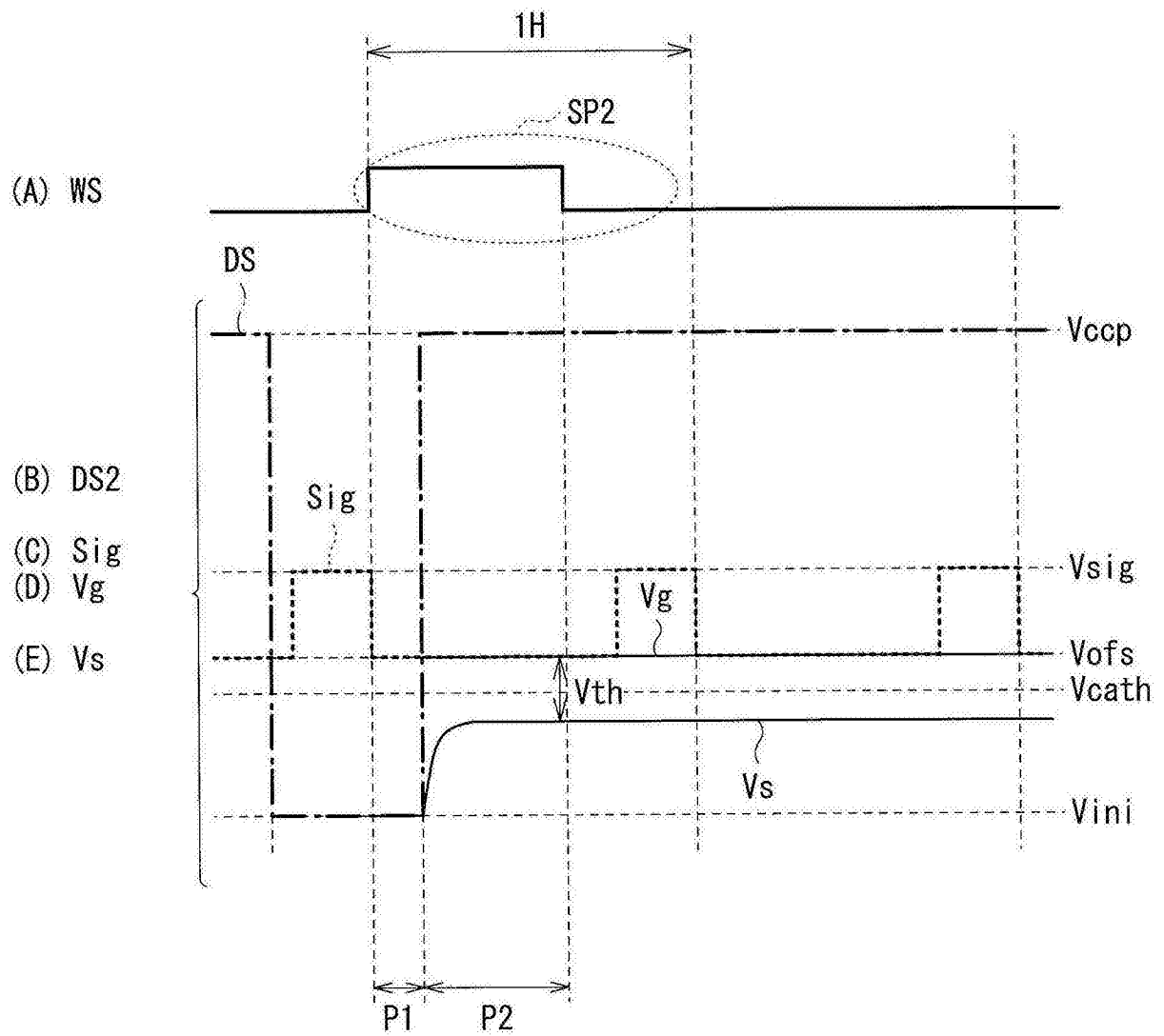


图6

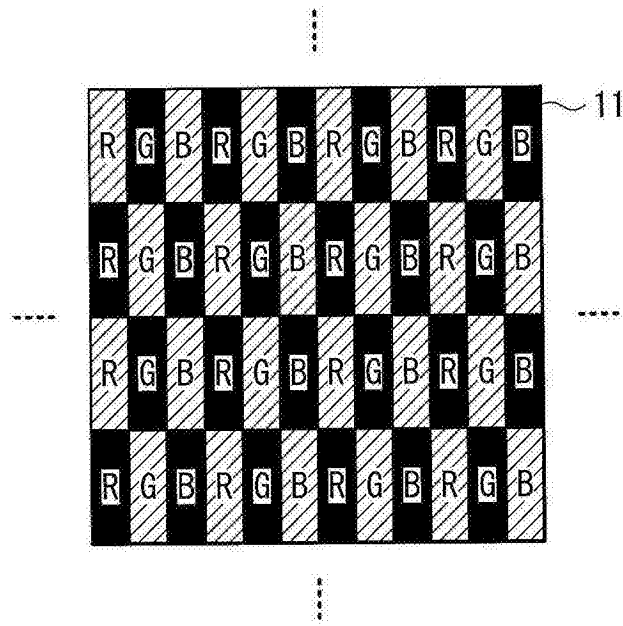


图7A

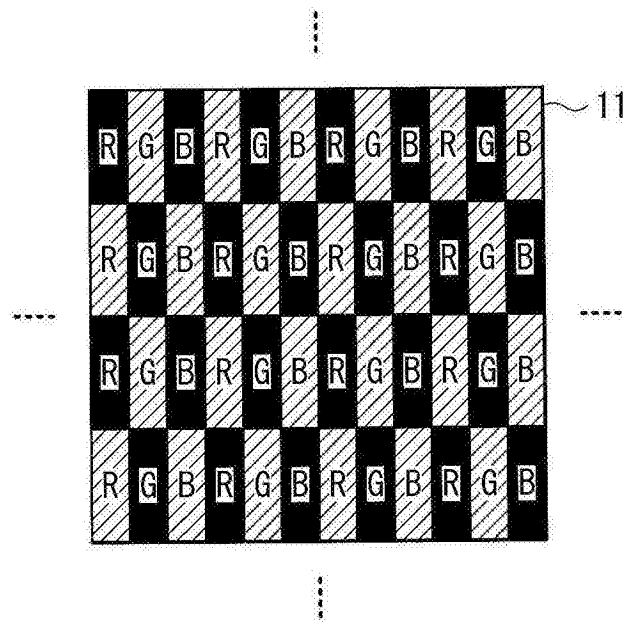


图7B

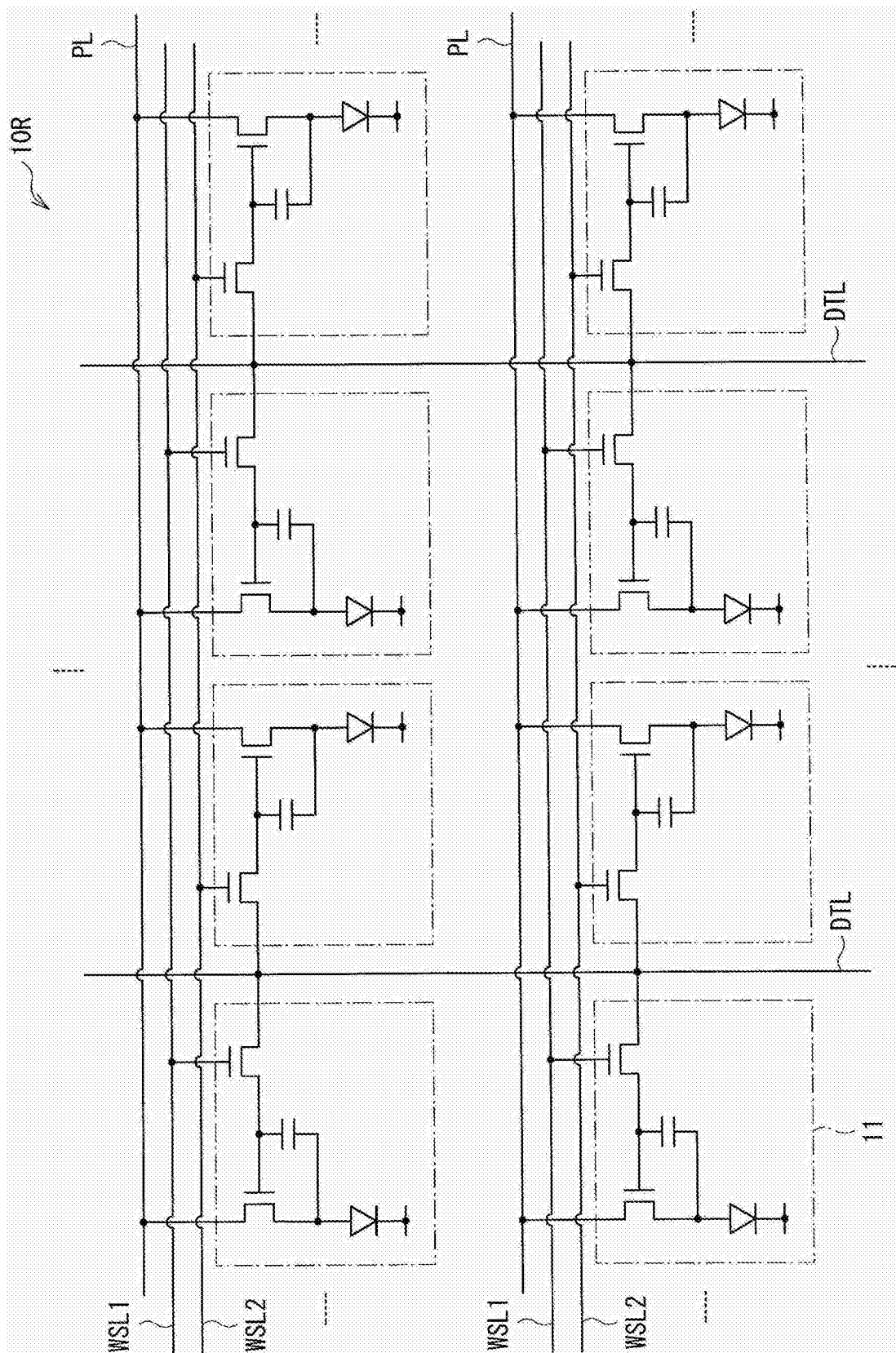


图8

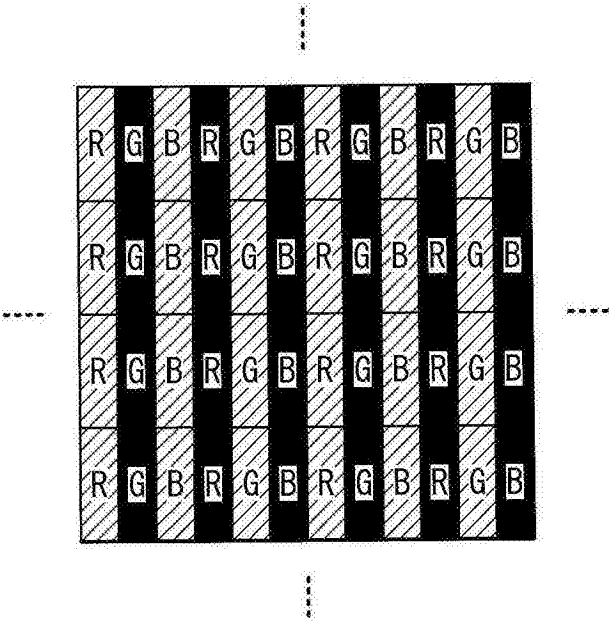


图9A

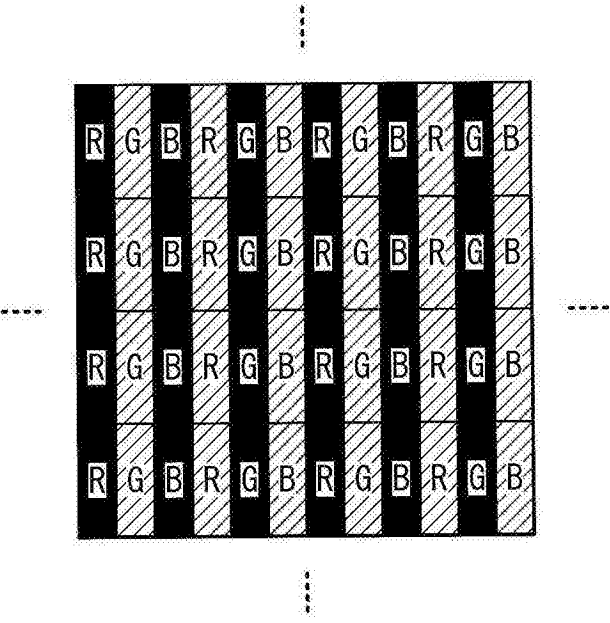


图9B

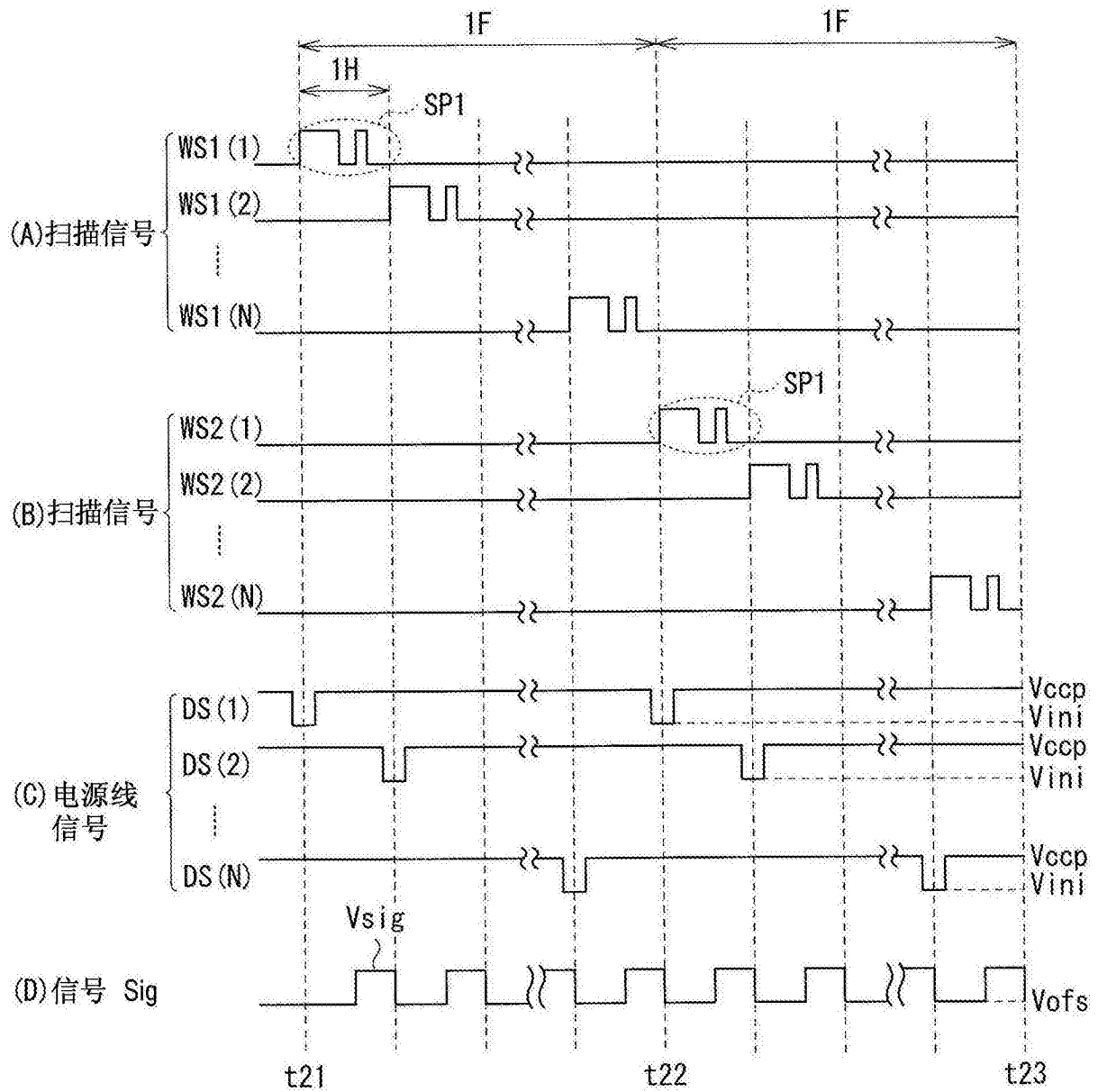


图10

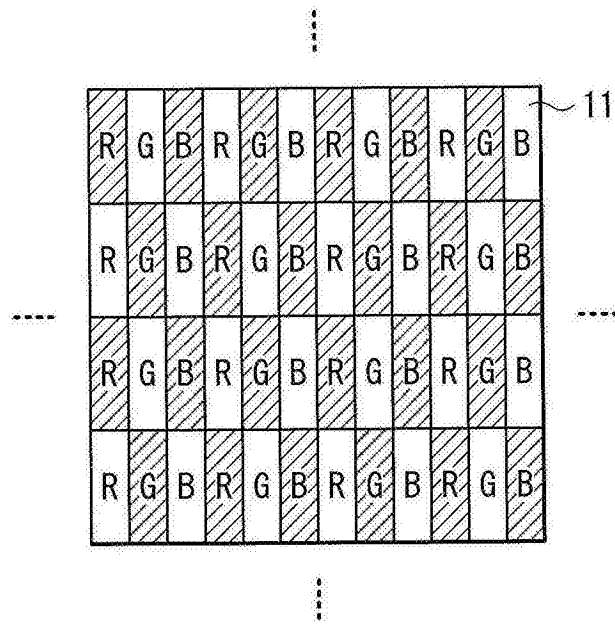


图11A

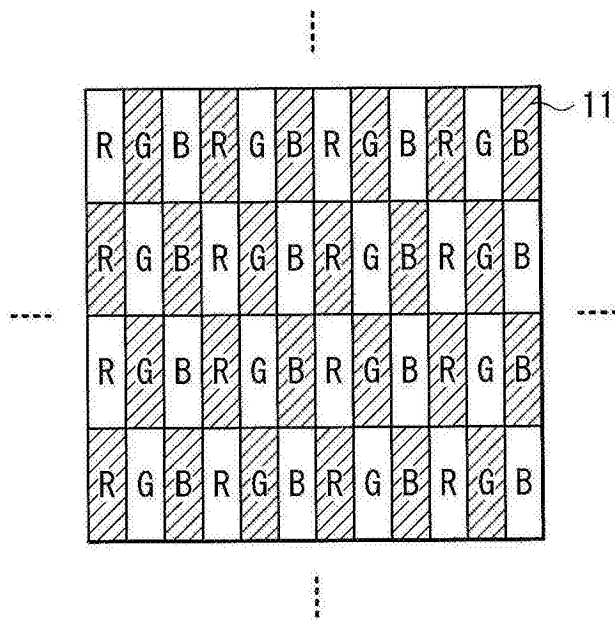


图11B

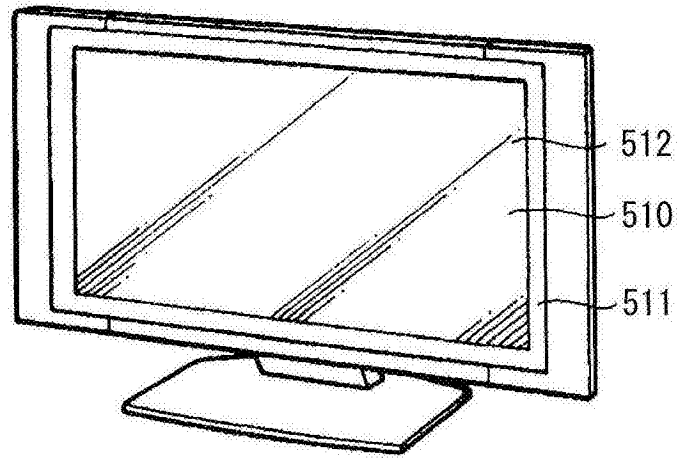


图12