

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年5月30日(30.05.2025)



(10) 国際公開番号

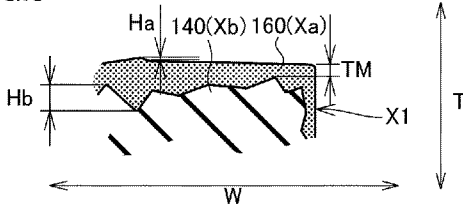
WO 2025/109892 A1

- (51) 国際特許分類:
H01G 4/30 (2006.01)
- (21) 国際出願番号: PCT/JP2024/036064
- (22) 国際出願日: 2024年10月9日(09.10.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2023-198282 2023年11月22日(22.11.2023) JP
- (71) 出願人: 株式会社村田製作所 (MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 (JP).
- (72) 発明者: 福井 章二 (FUKUI, Shoji); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 (JP). 井上 恭輔 (INOUE, Kyosuke); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 (JP). 森 昭人 (MORI, Akito); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 (JP).
- (74) 代理人: 弁理士法人深見特許事務所 (FUKAMI PATENT OFFICE, P.C.); 〒5300005 大阪府大阪市北区中之島三丁目2番4号 中之島フェスティバルタワー・ウエスト (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS,

(54) Title: MULTILAYER CERAMIC CAPACITOR

(54) 発明の名称: 積層セラミックコンデンサ

FIG.8



(57) Abstract: An element body part according to the present invention includes: a first outer layer part (X1) that is further to a first principal surface side than an internal electrode layer of a plurality of internal electrode layers that is furthest to the first principal surface side in the layering direction; and a second outer layer part that is further to a second principal surface side than an internal electrode layer of the plurality of internal electrode layers that is furthest to the second principal surface side in the layering direction. Both the first outer layer part (X1) and the second outer layer part include an outermost layer part (Xa) that is furthest to the outside and an inside outer layer part (Xb) that is inside the outermost layer part (Xa). The maximum height (Ha) of the unevenness of the outer surface of the outermost layer part (Xa) is smaller than the maximum height (Hb) of the unevenness of the outer surface of the inside outer layer part (Xb).

IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE,
SN, TD, TG).

添付公開書類：

一 国際調査報告（条約第21条(3)）

(57) 要約：素体部は、複数の内部電極層のうちの上記積層方向の最も第1主面側に位置する内部電極層より第1主面側に位置する第1外層部(X 1)と、複数の内部電極層のうちの上記積層方向の最も第2主面側に位置する内部電極層より第2主面側に位置する第2外層部とを含む。第1外層部(X 1)および第2外層部の各々は、最も外側に配置された最外層部(X a)と、最外層部(X a)の内側に位置する内側外層部(X b)とを含む。最外層部(X a)の外表面の凹凸の最大高さ(H a)は、内側外層部(X b)の外表面の凹凸の最大高さ(H b)より小さい。

明 細 書

発明の名称：積層セラミックコンデンサ

技術分野

[0001] 本開示は、積層セラミックコンデンサに関する。

背景技術

[0002] 積層セラミックキャパシタの構成を開示した先行技術文献として、特開2021-2645号公報(特許文献1)がある。特許文献1に記載された積層セラミックキャパシタは、セラミック本体と、複数の内部電極と、サイドマージン部とを含む。サイドマージン部は、外側面に隣接した第1領域と、内部電極に隣接した第2領域とに分かれる。第2領域に含まれる誘電体グレインサイズは、第1領域に含まれる誘電体グレインサイズより大きい。

先行技術文献

特許文献

[0003] 特許文献1：特開2021-2645号公報

発明の概要

発明が解決しようとする課題

[0004] 誘電体粒子を焼結させてセラミック本体の外表面を形成した場合、当該外表面に細かな凹凸が多数存在する。この細かな凹凸に対して衝撃が加わった場合、外表面にクラックが生じ、積層セラミックコンデンサの耐湿性が低下する。

[0005] 本開示は、上記問題点に鑑みてなされたものであり、耐湿性の低下を抑制可能な積層セラミックコンデンサを提供することを目的とする。

課題を解決するための手段

[0006] 本開示に基づく積層セラミックコンデンサは、素体部と、外部電極とを備える。素体部は、積層方向に積層された複数の誘電体層および複数の内部電極層を含み、かつ、上記積層方向に相對する第1主面および第2主面、上記積層方向に直交する幅方向に相對する第1側面および第2側面、並びに、上

記積層方向および上記幅方向に直交する長さ方向に相対する第1端面および第2端面を有する。外部電極は、第1端面および第2端面の各々に設けられ、複数の内部電極層と電気的に接続されている。素体部は、複数の内部電極層のうちの上記積層方向の最も第1主面側に位置する内部電極層より第1主面側に位置する第1外層部と、複数の内部電極層のうちの上記積層方向の最も第2主面側に位置する内部電極層より第2主面側に位置する第2外層部とを含む。第1外層部および第2外層部の各々は、最も外側に配置された最外層部と、この最外層部の内側に位置する内側外層部とを含む。最外層部の外表面の凹凸の最大高さは、内側外層部の外表面の凹凸の最大高さより小さい。

発明の効果

[0007] 本開示によれば、積層セラミックコンデンサの耐湿性の低下を抑制することができる。

図面の簡単な説明

[0008] [図1]実施の形態に係る積層セラミックコンデンサの外観を模式的に示す斜視図である。

[図2]実施の形態に係る積層セラミックコンデンサの素体部を模式的に示す斜視図である。

[図3]図1に示す積層セラミックコンデンサをI-I線矢印方向から見た模式断面図である。

[図4]図1に示す積層セラミックコンデンサをV-V線矢印方向から見た模式断面図である。

[図5]図3に示す積層セラミックコンデンサをV-V線矢印方向から見た模式断面図である。

[図6]図3に示す積層セラミックコンデンサをV-I-V線矢印方向から見た模式断面図である。

[図7]実施の形態に係る積層セラミックコンデンサのサイドマージン部の詳細を説明するための模式断面図である。

[図8]実施の形態に係る積層セラミックコンデンサの外層部の詳細を説明するための模式断面図である。

[図9]実施の形態に係る積層セラミックコンデンサのエンドマージン部および外部電極の詳細を説明するための模式断面図である。

[図10]実施の形態に係る積層セラミックコンデンサの外部電極の詳細構成を示す模式断面図である。

[図11]実施の形態に係る積層セラミックコンデンサにおいて、内部電極層の延出部の幅方向のずれを説明するための模式断面図である。

[図12]実施形態に係る積層セラミックコンデンサの製造方法を示すフロー図である。

[図13]変形例に係る積層セラミックコンデンサのエンドマージン部および外部電極の詳細を説明するための模式断面図である。

[図14]変形例に係る積層セラミックコンデンサの製造方法を示すフロー図である。

発明を実施するための形態

[0009] 以下、本開示の実施の形態について、図を参照して詳細に説明する。なお、以下に示す実施の形態においては、同一のまたは共通する部分について図中同一の符号を付し、その説明は繰り返さない。なお、図中においては、後述する素体部の長さ方向をL、素体部の幅方向をW、素体部の積層方向をTで示している。

[0010] 図1は、実施の形態に係る積層セラミックコンデンサの外観を模式的に示す斜視図である。図2は、実施の形態に係る積層セラミックコンデンサの素体部を模式的に示す斜視図である。図3は、図1に示す積層セラミックコンデンサをI-I線矢印方向から見た模式断面図である。図4は、図1に示す積層セラミックコンデンサをV-V線矢印方向から見た模式断面図である。図5は、図3に示す積層セラミックコンデンサをV-V線矢印方向から見た模式断面図である。図6は、図3に示す積層セラミックコンデンサをV-I-V-I線矢印方向から見た模式断面図である。

- [0011] 図1から図6に示すように、実施の形態に係る積層セラミックコンデンサ100は、素体部110と、外部電極とを備える。積層セラミックコンデンサ100は、外部電極として、第1外部電極120および第2外部電極130を備える。
- [0012] 図1に示すように、素体部110は、略直方体形状を有する。素体部110は、積層方向Tに相對する第1主面111および第2主面112と、積層方向Tに直交する幅方向Wに相對する第1側面113および第2側面114と、積層方向Tおよび幅方向Wに直交する長さ方向Lに相對する第1端面115および第2端面116とを有する。
- [0013] 素体部110は、角部および稜線部に丸みを帯びていることが好ましい。ここで、角部は、素体部110の3面が交わる部分であり、稜線部は、素体部110の2面が交わる部分である。
- [0014] 図1および図3～図6に示すように、第1外部電極120は、第1端面115に設けられている。具体的には、第1外部電極120は、第1端面115の全体に形成されているとともに、第1端面115から、第1主面111、第2主面112、第1側面113および第2側面114に回り込むように形成されている。図5および図6に示すように、第1外部電極120は、第1端面115から第1側面113および第2側面114の各々に延出する延出部120Eを含む。
- [0015] 図1および図3～図6に示すように、第2外部電極130は、第2端面116に設けられている。具体的には、第2外部電極130は、第2端面116の全体に形成されているとともに、第2端面116から、第1主面111、第2主面112、第1側面113および第2側面114に回り込むように形成されている。図5および図6に示すように、第2外部電極130は、第2端面116から第1側面113および第2側面114の各々に延出する延出部130Eを含む。
- [0016] なお、第1外部電極120および第2外部電極130の詳細な構成については、後述する。

- [0017] 図2～図6に示すように、素体部110は、積層体101と、被覆層160とを含む。被覆層160は、SiおよびKを含有する。
- [0018] 積層体101は、積層方向Tに相對する一対の主面101a, 101b、幅方向に相對する一対の側面101c, 101d、および長さ方向に相對する一対の端面101e, 101fを有する。一対の主面101a, 101b、一対の側面101c, 101d、および、一対の端面101e, 101fは、被覆層160によって覆われている。被覆層160は、第1側面113、第2側面114、第1主面111および第2主面112に位置している。第1端面115および第2端面116において、複数の誘電体層140が被覆層160に覆われている。
- [0019] 図2から図4に示すように、積層体101は、積層方向Tに沿って交互に積層された複数の誘電体層140および複数の内部電極層150を有する。
- [0020] 複数の内部電極層150は、複数の第1内部電極層151および複数の第2内部電極層152を含む。複数の第1内部電極層151および複数の第2内部電極層152は、交互に積層方向Tに積層されている。
- [0021] 複数の第1内部電極層151は、端面101eに引き出されている。複数の第1内部電極層151は、第1外部電極120に電氣的に接続されている。複数の第2内部電極層152は、端面101fに引き出されている。複数の第2内部電極層152は、第2外部電極130に電氣的に接続されている。複数の第1内部電極層151および複数の第2内部電極層152の幅方向Wにおける両端部は、側面101c, 101dに露出している。
- [0022] なお、図2から図4においては、第1内部電極層151および第2内部電極層152の各々が7枚ずつ設けられている例を示しているが、第1内部電極層151および第2内部電極層152の各々の枚数は7枚に限定されない。複数の内部電極層150の枚数は、1枚以上1000枚以上であることが好ましい。内部電極層150の厚みは、0.3 μ m以上0.8 μ m以下であることが好ましい。
- [0023] 図5に示すように、第1内部電極層151は、第1対向部151Cおよび

第1引出部151Xを含む。第1対向部151Cは、積層方向Tにおいて隣り合う第2内部電極層152に対向する。第1引出部151Xは、第1対向部151Cおよび第1外部電極120を接続する。第1引出部151Xは、第1端面115側に引き出されている。第1対向部151Cおよび第1引出部151Xは、一体に構成されている。

[0024] 第1内部電極層151は、長さ方向Lにおいて第1外部電極120と接続されている側とは反対側に、長さ方向Lの中央部よりも幅方向Wの幅が狭くなっている第1幅狭部151Nを有する。幅方向Wにおいて、第1幅狭部151Nの幅W2は、第1対向部151Cの幅W1より小さい。

[0025] 図5に示すように、第2端面116側において素体部110のうち互いに隣り合う内部電極層150が積層方向Tに重なっていない領域、すなわち、互いに隣り合う内部電極層150が積層方向Tに重なった領域の第2端面116側の端から第2端面116までの領域をLgapとする。

[0026] なお、第1幅狭部151Nは、必ずしも形成されていなくてもよく、第1幅狭部151Nが形成されている部分の幅がW1であってもよい。この場合は、第1外部電極120の延出部120Eの長さ方向Lの長さが、長さ方向Lに沿ったLgapの長さより短い、若しくは、延出部120Eが形成されていないことが好ましい。

[0027] 図6に示すように、第2内部電極層152は、第2対向部152Cおよび第2引出部152Xを含む。第2対向部152Cは、積層方向Tにおいて隣り合う第1内部電極層151に対向する。第2引出部152Xは、第2対向部152Cおよび第2外部電極130を接続する。第2引出部152Xは、第2端面116側に引き出されている。第2対向部152Cおよび第2引出部152Xは、一体に構成されている。

[0028] 第2内部電極層152は、長さ方向Lにおいて第2外部電極130と接続されている側とは反対側に、長さ方向Lの中央部よりも幅方向Wの幅が狭くなっている第2幅狭部152Nを有する。幅方向Wにおいて、第2幅狭部152Nの幅W4は、第2対向部152Cの幅W3より小さい。

- [0029] 図6に示すように、第1端面115側において素体部110のうち互いに隣り合う内部電極層150が積層方向Tに重なっていない領域、すなわち、互いに隣り合う内部電極層150が積層方向Tに重なった領域の第1端面115側の端から第1端面115までの領域をLgapとする。
- [0030] なお、第2幅狭部152Nは、必ずしも形成されていなくてもよく、第2幅狭部152Nが形成されている部分の幅がW3であってもよい。この場合は、第2外部電極130の延出部130Eの長さ方向Lの長さが、長さ方向Lに沿ったLgapの長さより短い、若しくは、延出部130Eが形成されていないことが好ましい。
- [0031] 第1内部電極層151および第2内部電極層152の各々は、Ni、Cu、Ag、PdおよびAuからなる群より選ばれる1種の金属、または当該金属を含む合金を含む。本実施形態においては、第1内部電極層151および第2内部電極層152の各々は、主成分として、Niを含んでいる。第1内部電極層151および第2内部電極層152の各々は、誘電体層140に含まれるセラミックと同一組成系の誘電体粒子をさらに含んでいてもよい。また、第1内部電極層151および第2内部電極層152の各々は、誘電体層140との界面にSnを含んでいてもよい。
- [0032] 複数の誘電体層140は、積層方向Tの最も第1主面111側に位置する内部電極層150と第1主面111との間、および、積層方向Tの最も第2主面112側に位置する内部電極層150と第2主面112との間に位置する外層誘電体層と、積層方向Tに隣り合う内部電極層150同士の間位置する内層誘電体層とからなる。複数の誘電体層140の枚数は、100枚以上1000枚以下であることが好ましい。誘電体層140の厚みは、0.4 μ m以上0.8 μ m以下であることが好ましい。
- [0033] 複数の誘電体層140の各々は、セラミック材料として、たとえば、BaTiO₃、CaTiO₃、SrTiO₃、またはCaZrO₃などの成分を含む誘電体セラミックを用いることができる。また、これらの主成分にMn化合物、Fe化合物、Cr化合物、Co化合物、Ni化合物などの副成分を添加し

たものを用いてもよい。

[0034] 図3および図4に示すように、素体部110は、内層部Cと、第1外層部X1および第2外層部X2と、第1サイドマージン部S1および第2サイドマージン部S2と、第1エンドマージン部E1および第2エンドマージン部E2とに区画される。内層部Cは、第1内部電極層151の後述する第1対向部151Cおよび第2内部電極層152の後述する第2対向部152Cが積層方向Tに積層されることにより静電容量を有している。

[0035] 第1外層部X1および第2外層部X2は、積層方向Tに内層部Cを挟み込む。第1外層部X1は、積層方向Tにおいて内層部Cの外側に位置しており、第1主面111側に位置している。すなわち、第1外層部X1は、積層方向Tの最も第1主面111側に位置する内部電極層150より第1主面111側に位置している。第2外層部X2は、積層方向Tにおいて内層部Cの外側に位置しており、第2主面112側に位置している。すなわち、第2外層部X2は、積層方向Tの最も第2主面112側に位置する内部電極層150より第2主面112側に位置している。

[0036] 第1外層部X1および第2外層部X2の各々は、素体部110の稜線部を含むように、長さ方向Lおよび幅方向Wに延在している。第1外層部X1および第2外層部X2の各々の厚みは、10 μ m以上30 μ m以下であることが好ましい。

[0037] 第1外層部X1および第2外層部X2の各々は、最も外側に配置された最外層部と、この最外層部の内側に位置する内側外層部とを含む。最外層部は、被覆層160で構成されている。内側外層部は、外層誘電体層で構成されている。

[0038] 図3に示すように、第1エンドマージン部E1および第2エンドマージン部E2は、長さ方向Lに内層部Cを挟み込む。第1エンドマージン部E1は、長さ方向Lにおいて内層部Cの外側に位置しており、第1端面115側に位置している。第2エンドマージン部E2は、長さ方向Lにおいて内層部Cの外側に位置しており、第2端面116側に位置している。

- [0039] 図4から図6に示すように、サイドマージン部は、素体部110において、幅方向Wにおける、第1側面113と複数の内部電極層150との間、および、第2側面114と複数の内部電極層150との間に位置する。サイドマージン部は、被覆層160で構成されている。被覆層160は、幅方向Wにおける複数の内部電極層150の両端部を覆っている。
- [0040] 具体的には、第1サイドマージン部S1は、上記積層体の側面101cに設けられている。第1サイドマージン部S1は、側面101cの全体を被覆するように設けられている。第1サイドマージン部S1は、上記素体部110において、幅方向Wの一方側に位置する内部電極層150の一方の端部から第1側面113にかけて存在する。すなわち、複数の内部電極層150の各々の長さ方向Lの中央部の幅方向Wにおける一方の端部上に、被覆層160が形成されている。
- [0041] 第2サイドマージン部S2は、上記積層体の側面101dに設けられている。第2サイドマージン部S2は、側面101dの全体を被覆するように設けられている。第2サイドマージン部S2は、上記素体部110において、幅方向Wの他方側に位置する内部電極層150の他方の端部から第2側面114にかけて存在する。すなわち、複数の内部電極層150の各々の長さ方向Lの中央部の幅方向Wにおける他方の端部上に、被覆層160が形成されている。
- [0042] 素体部110と第1外部電極120および第2外部電極130とを含む積層セラミックコンデンサ100のサイズは、特に限定されるものではないが、たとえば、以下の範囲を採用し得る。
- [0043] 図3に示すように、積層セラミックコンデンサ100の長さ方向Lの寸法（長さ寸法L0）は、たとえば、0.1mm以上3.2mm以下である。積層セラミックコンデンサ100の積層方向Tの寸法（厚み寸法T0）は、0.05mm以上1.6mm以下である。図4に示すように、積層セラミックコンデンサ100の幅方向Wの寸法（幅寸法W0）は、たとえば、0.05mm以上1.6mm以下である。

[0044] 積層セラミックコンデンサ100は、たとえば、長さ寸法L0が0.1mm、幅寸法W0が0.05mm、厚み寸法T0が0.05mmのサイズ、または、長さ寸法L0が0.6mm、幅寸法W0が0.3mm、厚み寸法T0が0.3mmのサイズ、または、長さ寸法L0が1.0mm、幅寸法W0が0.5mm、厚み寸法T0が0.5mmのサイズ、または、長さ寸法L0が1.6mm、幅寸法W0が0.8mm、厚み寸法T0が0.8mmのサイズ、または、長さ寸法L0が3.2mm、幅寸法W0が1.6mm、厚み寸法T0が1.6mmのサイズを有する。なお、公差が上記サイズに加味される。

[0045] 図7は、実施の形態に係る積層セラミックコンデンサのサイドマージン部の詳細を説明するための模式断面図である。図7においては、第2側面114側における、積層方向Tおよび幅方向Wに平行な素体部110の断面を示している。以下の説明では、第2サイドマージン部S2側について説明するが、第1サイドマージン部S1側についても同様である。

[0046] 図7に示すように、第2サイドマージン部S2は、SiおよびKを含有する被覆層160で構成されている。被覆層160の組成は、EDX(Energy dispersive X-ray spectroscopy)により確認することができる。被覆層160は、非晶質であり、被覆層160が非晶質であることはラマン分光法によって確認することができる。また、被覆層160のX線回析で特定の結晶パターンを検出できないことから、被覆層160が非晶質であることを確認することができる。

[0047] 第2サイドマージン部S2は、複数の内部電極層150の幅方向Wの端部に接するように突出している。これにより、幅方向Wにおける複数の内部電極層150の両端部を覆っている部分の被覆層160の一部161は、複数の誘電体層140のうちの積層方向Tにおいて隣り合う誘電体層140同士の間にはさまれている。このような形状になる理由は、焼成時の誘電体層140の収縮率よりも内部電極層150の収縮率の方が大きいためである。このサイドマージン部の形状により、サイドマージン部の積層体101の側面1

01c, 101dに対する固着力を増加させることができる。ひいては、サイドマージン部の剥離を抑制することができる。

[0048] 幅方向Wにおける複数の内部電極層150の端部上に位置する被覆層160の最小厚みTSは、0.01 μ m以上10 μ m以下である。最小厚みTSが、0.1 μ m以上、さらには0.3 μ m以上であることが、耐湿性の観点からより好ましい。複数の内部電極層150と第1側面S1との間の最短距離TP、および、複数の内部電極層150と第2側面S2との間の最短距離TPは、0.01 μ m以上10 μ m以下である。最短距離TPが、0.1 μ m以上、さらには0.3 μ m以上であることが、耐湿性の観点からより好ましい。なお、最小厚みTSおよび最短距離TPの数値範囲は、上記に限定されるものではない。

[0049] 図7を用いて説明した上記の形状および厚みの関係は、第1外部電極120側から長さ方向Lの中央部まで素体部110を研磨していき、積層方向Tおよび幅方向Wに平行な素体部110の断面を電子顕微鏡等を用いて観測することで確認できる。当該断面の積層方向Tの中央部において第1内部電極層151または第2内部電極層152が視野に10枚程度入る範囲をSEM(Scanning Electron Microscope)にて撮像した画像において測定された最も薄い被覆層160の厚みを最小厚みTSとする。同様に、当該画像において、内部電極層150と第1側面S1または第2側面S2との間で測定された最も短い距離を、最短距離TPとする。

[0050] 図8は、実施の形態に係る積層セラミックコンデンサの外層部の詳細を説明するための模式断面図である。図8においては、第1外層部X1側における、積層方向Tおよび幅方向Wに平行な素体部110の断面を示している。以下の説明では、第1外層部X1側について説明するが、第2外層部X2側についても同様である。

[0051] 図8に示すように、第1外層部X1は、最も外側に配置された最外層部Xaと、最外層部Xaの内側に位置する内側外層部Xbとを含む。最外層部Xaは、被覆層160で構成されている。内側外層部Xbは、外層誘電体層1

40で構成されている。

- [0052] 内側外層部X bの外表面には、外層誘電体層140の誘電体グレインに起因した細かな凹凸が存在している。被覆層160は、非晶質であり、内側外層部X bの外表面の凹凸を埋めるように内側外層部X bを覆っているため、最外層部X aの外表面には、ほとんど凹凸が存在しない。そのため、最外層部X aの外表面の凹凸の最大高さH aは、内側外層部X bの外表面の凹凸の最大高さH bより小さい。これにより、最外層部X aの耐衝撃性を高めて、積層セラミックコンデンサ100の耐湿性の低下を抑制することができる。
- [0053] 第1外層部X 1および第2外層部X 2の各々における積層方向Tの被覆層160の最小厚みT Mは、0.01 μm以上0.5 μm以下である。なお、最小厚みT Mの数値範囲は、上記に限定されるものではない。
- [0054] 図8を用いて説明した上記の形状および厚みの関係は、第1外部電極120側から長さ方向Lの中央部まで素体部110を研磨していき、積層方向Tおよび幅方向Wに平行な素体部110の断面を電子顕微鏡等を用いて観測することで確認できる。当該断面の積層方向Tの端部において第1外層部X 1または第2外層部X 2が視野に入る範囲をSEM(Scanning Electron Microscope)にて撮像した画像において測定された被覆層160の積層方向Tにおける最も薄い厚みを最小厚みT Mとする。
- [0055] 図9は、実施の形態に係る積層セラミックコンデンサのエンドマージン部および外部電極の詳細を説明するための模式断面図である。図9においては、第2エンドマージン部E 2側における、積層方向Tおよび長さ方向Lに平行な素体部110の断面を示している。以下の説明では、第2エンドマージン部E 2側について説明するが、第1エンドマージン部E 1側についても同様である。
- [0056] 図9に示すように、外部電極は、主成分としてCu成分11を含みつつガラス成分12を含有するCu層10を含む。Cu層10の組成は、EDXにより確認することができる。第2端面116には、被覆層160が配置されており、Cu層10の一部13が被覆層160を貫通して第2内部電極層1

52と電氣的に接続されている。複数の誘電体層140と外部電極との間には、被覆層160が位置している。具体的には、複数の誘電体層140とCu層10の間には、被覆層160が位置している。Cu層10の厚みは、積層方向Tおよび幅方向Wの中央部で30 μ m以上100 μ m以下である。なお、Cu層10の厚みの数値範囲は、上記に限定されるものではない。Cu層10は、Cu成分およびガラス成分を含む樹脂層であってもよい。この場合は、樹脂層と被覆層160との間に下地金属層が形成されている。

[0057] 図7に示す幅方向Wにおける複数の内部電極層150の端部上に位置する被覆層160の最小厚みTSは、図9に示す複数の誘電体層140と外部電極であるCu層10との間に位置する被覆層160の最小厚みTEより厚い。

[0058] 図9を用いて説明した上記の形状および厚みの関係は、第1側面113側から幅方向Wの中央部まで素体部110を研磨していき、積層方向Tおよび長さ方向Lに平行な素体部110の断面を電子顕微鏡等を用いて観測することで確認できる。当該断面の積層方向Tの中央部および長さ方向Lの端部において第1内部電極層151または第2内部電極層152が視野に10枚程度入る範囲をSEMにて撮像した画像において測定された最も薄い被覆層160の厚みを最小厚みTEとする。

[0059] 図9に示すような形状になる理由は、被覆層160がKを含有していることにより、被覆層160に含有されているSiの融点が、Cu層10の焼成温度未満まで低下する。そのため、Cu層10の焼成時に、被覆層160が溶融するとともに、溶融した被覆層160に対してCu層10の収縮力が作用し、Cu層10の一部13が被覆層160を貫通して第2内部電極層152に接続される。

[0060] Cu層10中のガラス成分12には、被覆層160に含まれていたKが流動して拡散している。すなわち、ガラス成分12には、Kが含まれている。第2端面116の近くに位置するほど、ガラス成分12に含まれるKの濃度が高くなっている。また、被覆層160に含まれていたSiの一部は、Cu

層10中のガラス成分12と結合するようにCu層10中に侵入している。内部電極層150のNi中に、Cu層10からCuが拡散している。これらにより、Cu層10と内部電極層150との固着力が増加する。ひいては、第1外部電極120および第2外部電極130の剥離を抑制することができる。

- [0061] 図7に示す幅方向Wにおける複数の内部電極層150の端部上に位置する被覆層160のSi濃度は、図9に示す複数の誘電体層140と外部電極との間に位置する被覆層160のSi濃度より高い。
- [0062] 図7に示す幅方向Wにおける複数の内部電極層150の端部上に位置する被覆層160のK濃度は、図9に示す複数の誘電体層140と外部電極との間に位置する被覆層160のK濃度より高い。
- [0063] SiおよびKの濃度分布は、TEM(Transmission Electron Microscope)またはEDXの撮像画像から観測してもよい。たとえば、第1内部電極層151または第2内部電極層152が視野に1枚程度入る範囲をTEMにて撮像した画像において、SiおよびKの濃度勾配を誘電体層140に含まれるTiの100molに対するモル比としてTEMにて測定する。
- [0064] 上記の被覆層160および外部電極の構成により、薄いサイドマージン部によって耐湿性を確保しつつ、第1端面115および第2端面116における被覆層160をサンドブラストなどにより除去することなく内部電極層150と外部電極との電氣的接続を確保することができる。ひいては、内部電極層150の配置可能領域を拡大して、積層セラミックコンデンサ100を小型大容量化することができる。
- [0065] 図10は、実施の形態に係る積層セラミックコンデンサの外部電極の詳細構成を示す模式断面図である。図10においては、第2外部電極130側における、積層方向Tおよび長さ方向Lに平行な素体部110の断面を示している。以下の説明では、第2外部電極130側について説明するが、第1外部電極120側についても同様である。
- [0066] 図10に示すように、第1外部電極120および第2外部電極130は、

素体部 110 上に設けられた Cu 層 10、当該 Cu 層 10 上に設けられた Ni めっき層 20、および当該 Ni めっき層 20 上に設けられた Sn めっき層 30 を含む。

[0067] なお、めっき層を構成する材料は、Ni、Cu、Ag、Pd および Au からなる群より選ばれる 1 種の金属、または当該金属を含む合金であってもよい。Ni めっき層 20 および Sn めっき層 30 の合計の厚みは、たとえば、 $3\mu\text{m}$ 以上 $20\mu\text{m}$ 以下である。

[0068] 本実施形態においては、図 6 に示すように、延出部 120E は、幅方向 W に見て、複数の内部電極層 150 のうち、延出部 120E を含む第 1 外部電極 120 とは電氣的に接続されていない第 2 内部電極層 152 とは、幅狭部 152N のみ重なっている。図 5 および図 10 に示すように、延出部 130E は、幅方向 W に見て、複数の内部電極層 150 のうち、延出部 130E を含む第 2 外部電極 130 とは電氣的に接続されていない第 1 内部電極層 151 とは、幅狭部 151N のみ重なっている。

[0069] これにより、延出部 120E と第 2 内部電極層 152 の幅方向 W の端部とが電氣的に接続されて短絡することを抑制することができる。同様に、延出部 130E と第 1 内部電極層 151 の幅方向 W の端部とが電氣的に接続されて短絡することを抑制することができる。

[0070] 図 11 は、実施の形態に係る積層セラミックコンデンサにおいて、内部電極層の延出部の幅方向のずれを説明するための模式断面図である。なお、図 11 においては、延出部のずれ量を説明するために便宜上図示されたものであり、延出部の位置は、図 11 に示される態様に限定されるものではない。

[0071] 図 11 に示すように、複数の延出部 130E のうち最も第 1 側面 113 側に位置する延出部 130E と、最も第 2 側面 114 側に位置する延出部 130E との、幅方向 W のずれ量 D1 は、 $3\mu\text{m}$ 以上である。複数の延出部 120E においても上記のずれ量は、延出部 130E と同様である。このように、複数の延出部 120E および複数の延出部 130E の幅方向 W の端部は、積層方向 T に揃っておらず、幅方向 W にずれている。

[0072] 一方、図4に示すように、長さ方向Lにおける素体部110の中央部における、積層方向Tおよび幅方向Wに平行な素体部110の断面において、積層方向Tに互いに隣り合う内部電極層150の幅方向Wのずれ量は、 $3\mu\text{m}$ より小さい。

[0073] すなわち、第1幅狭部151Nおよび第2幅狭部152Nの幅方向Wにおける位置ずれ量は、複数の内部電極層150の長さ方向Lの中央部の幅方向Wにおける位置ずれ量より大きい。

[0074] よって、第1幅狭部151Nおよび第2幅狭部152Nの幅は、第1幅狭部151Nおよび第2幅狭部152Nの幅方向Wにおける想定される最大位置ずれ量以上、複数の内部電極層150の長さ方向Lの中央部の幅より狭いことが好ましい。これにより、延出部120Eと第2内部電極層152の幅方向Wの端部とが電氣的に接続されて短絡することを安定して抑制することができる。同様に、延出部130Eと第1内部電極層151の幅方向Wの端部とが電氣的に接続されて短絡することを安定して抑制することができる。

[0075] 以下、本実施形態に係る積層セラミックコンデンサ100の製造方法について説明する。図12は、実施形態に係る積層セラミックコンデンサの製造方法を示すフロー図である。

[0076] 図12に示すように、セラミック誘電体スラリーが調製される(工程S1)。具体的には、セラミック誘電体粉末、添加粉末、バインダ樹脂および溶解液などが分散混合され、これによりセラミック誘電体スラリーが調製される。セラミック誘電体粉末は、たとえば、 BaTiO_3 、 CaTiO_3 、 SrTiO_3 、 CaZrO_3 または CaHfO_3 などのペロブスカイト構造の誘電体粒子である。添加粉末は、たとえば、Si化合物、Mg化合物、Mn化合物、Fe化合物、Cr化合物、Ni化合物およびCo化合物の少なくともいずれかからなる。バインダ樹脂としては、ポリウレタン樹脂、ユリア樹脂、メラミン樹脂、エポキシ樹脂、酢酸ビニル樹脂、アクリル樹脂系、または、ポリビニルアルコール(PVA)若しくはポリビニルブチラール(PVB)などの水性高分子などを用いることができる。これらは単体で用いてもよいし、2種以上

を混合して用いてもよい。セラミック誘電体スラリーは、溶剤系または水系のいずれでもよい。セラミック誘電体スラリーを水系塗料とする場合、水溶性のバインダおよび分散剤などと、水に溶解させた誘電体原料とを、混合することによりセラミック誘電体スラリーを調製する。

[0077] 次に、セラミック誘電体シートが形成される(工程S2)。具体的には、セラミック誘電体スラリーがキャリアフィルム上においてダイコータ、グラビアコータまたはマイクログラビアコータなどを用いてシート状に成形されて乾燥されることにより、セラミック誘電体シートが形成される。セラミック誘電体シートの厚みは、積層セラミックコンデンサの小型化および高容量化の観点から、 $0.4\ \mu\text{m}$ 以上 $0.8\ \mu\text{m}$ 以下であることが好ましい。

[0078] 次に、マザーシートが形成される(工程S3)。具体的には、セラミック誘電体シートに導電性ペーストが所定のパターンを有するように塗布されることにより、セラミック誘電体シート上に所定の内部電極パターンが設けられたマザーシートが形成される。導電性ペーストは、Ni粉、溶剤、分散剤およびバインダなどを含み、粘度が一定になるように調製されている。バインダとしては、ポリビニルブチラール(PVB)またはポリビニルアルコール(PVA)などが用いられる。導電性ペーストの塗布方法としては、スクリーン印刷法、インクジェット法またはグラビア印刷法などを用いることができる。内部電極パターンの厚みは、積層セラミックコンデンサの小型化および高容量化の観点から、 $0.3\ \mu\text{m}$ 以上 $0.8\ \mu\text{m}$ 以下であることが好ましい。なお、マザーシートとしては、内部電極パターンを有するマザーシートの他に、上記工程S3を経ていないセラミック誘電体シートも準備される。

[0079] 次に、複数のマザーシートが積層される(工程S4)。具体的には、内部電極パターンが形成されておらず、セラミック誘電体シートのみからなるマザーシートが、たとえば厚みが $10\ \mu\text{m}$ 以上 $30\ \mu\text{m}$ 以下となるように所定枚数積層される。その上に、内部電極パターンが設けられたマザーシートが所定枚数積層される。内部電極パターンが設けられたマザーシートの積層枚数は、たとえば、1枚以上1000枚以下である。さらにその上に、内部電極

パターンが形成されておらず、セラミック誘電体シートのみからなるマザーシートが、たとえば厚みが10 μ m以上30 μ m以下となるように所定枚数積層される。これにより、マザーシート群が構成される。

[0080] 次に、マザーシート群が圧着されることで誘電体ブロックが形成される(工程S5)。具体的には、静水圧プレスまたは剛体プレスによってマザーシート群が積層方向に加圧されて圧着されることにより、誘電体ブロックが形成される。このとき、所定の温度でセラミック誘電体シートがプレスされることにより、セラミック誘電体シート同士が密着する。また、積層方向の最外層に、一定の厚み分のセラミック誘電体シートを配置してプレスすることにより、内部電極パターンが形成されている誘電体シートを保護することができる。

[0081] 次に、誘電体ブロックが分断されてチップが形成される(工程S6)。具体的には、押し切り、ダイシングまたはレーザカットによって誘電体ブロックがマトリックス状に分断され、複数のチップに個片化される。誘電体ブロックを分断する際、誘電体ブロックを加熱して軟化させた状態で分断してもよい。

[0082] 次に、チップの焼成が行なわれる(工程S7)。具体的には、チップが加熱され、これによりチップに含まれる誘電体材料および導電性材料が焼成され、積層体101が形成される。焼成温度は、誘電体材料および導電性材料に対応して適宜設定される。

[0083] 次に、焼成後のチップに被覆層160を形成する(工程S8)。具体的には、焼成後の積層体101を、SiおよびKを含有する溶液に浸漬した後、乾燥させる。上記溶液は、たとえば、Kを含有する水ガラスである。

[0084] 次に、チップにCu層10となるペーストを塗布する(工程S9)。具体的には、乾燥させた素体部110の第1端面115および第2端面116の各々に、Cu粒子を含みつつガラス成分を含有するペーストを塗布して乾燥させる。

[0085] 次に、Cu層10となるペーストが塗布されたチップを焼成する(工程S1

0)。具体的には、600℃以上800℃以下の温度で、Cu層10となるペーストが塗布された素体部110を焼成する。これにより、Cu層10となるペーストに含まれている金属成分が焼結するとともに、被覆層160が溶融し、第1内部電極層151とCu層10とが第1端面115にて電氣的に接続され、第2内部電極層152とCu層10とが第2端面116にて電氣的に接続される。

[0086] 次に、外部電極が形成される(工程S11)。Cu層10にNiめっきおよびSnめっきがこの順に施されてNiめっき層20およびSnめっき層30が形成されることにより、第1外部電極120および第2外部電極130が形成される。

[0087] 上述した一連の工程を経ることにより、実施形態に係る積層セラミックコンデンサ100を製造することができる。

[0088] 以下、本実施形態の変形例に係る積層セラミックコンデンサについて説明する。なお、変形例に係る積層セラミックコンデンサは、素体部110の第1端面115および第2端面116に、主成分としてNiを含む下地電極層が形成されている点が主に本実施形態に係る積層セラミックコンデンサ100と異なるため、本実施形態に係る積層セラミックコンデンサ100と同様である構成については説明を繰り返さない。

[0089] 図13は、変形例に係る積層セラミックコンデンサのエンドマージン部および外部電極の詳細を説明するための模式断面図である。図13においては、第2エンドマージン部E2側における、積層方向Tおよび長さ方向Lに平行な素体部110の断面を示している。以下の説明では、第2エンドマージン部E2側について説明するが、第1エンドマージン部E1側についても同様である。

[0090] 図13に示すように、外部電極は、主成分としてNiを含む下地電極層40、および、主成分としてCu成分11を含みつつガラス成分12を含有するCu層10を含む。下地電極層40は、誘電体層140に含まれるセラミックと同一組成系の誘電体粒子をさらに含んでいてもよい。

- [0091] 第2端面116上に、下地電極層40が形成されており、下地電極層40上に被覆層160が形成されており、被覆層160上にCu層10が形成されている。下地電極層40は、Cu層10に覆われている。
- [0092] 図7に示す幅方向Wにおける複数の内部電極層150の端部上に位置する被覆層160の最小厚みTSは、図13に示す下地電極層40とCu層10との間に位置する被覆層160の最小厚みTFより厚い。
- [0093] 図13に示すように、Cu層10の一部13が被覆層160を貫通して下地電極層40と電氣的に接続されている。Cu層10は、下地電極層40を介して第2内部電極層152と電氣的に接続されている。
- [0094] 本変形例においては、下地電極層40は、第2端面116から、第1主面111、第2主面112、第1側面113および第2側面114に回り込むように形成されている。同様に、下地電極層40は、第1端面115から、第1主面111、第2主面112、第1側面113および第2側面114に回り込むように形成されている。
- [0095] 変形例に係る積層セラミックコンデンサにおいては、第2端面116の全体を覆っている下地電極層40を介してCu層10と第2内部電極層152とが電氣的に接続されているため、第2内部電極層152と第2外部電極130とを安定して電氣的に接続することができる。同様に、第1端面115の全体を覆っている下地電極層40を介してCu層10と第1内部電極層151とが電氣的に接続されているため、第1内部電極層151と第1外部電極120とを安定して電氣的に接続することができる。
- [0096] Cu層10中のガラス成分12には、被覆層160に含まれていたKが流動して拡散している。被覆層160に含まれていたSiの一部は、Cu層10中のガラス成分12と結合するようにCu層10中に侵入している。下地電極層40のNi中に、Cu層10からCuが拡散している。これにより、Cu層10と下地電極層40との固着力が増加する。ひいては、第1外部電極120および第2外部電極130の剥離を抑制することができる。
- [0097] 以下、本変形例に係る積層セラミックコンデンサの製造方法について説明

する。図14は、変形例に係る積層セラミックコンデンサの製造方法を示すフロー図である。

[0098] 図14に示すように、変形例に係る積層セラミックコンデンサの製造方法は、積層セラミックコンデンサ100の製造方法の工程S1から工程S6までは同様である。

[0099] 工程S6の次に、チップに下地電極層となるペーストを塗布する(工程S17)。具体的には、積層体101の端面101eおよび端面101fの各々に、Ni粒子を含むペーストを塗布して乾燥させる。

[0100] 次に、下地電極層40となるペーストが塗布されたチップの焼成が行なわれる(工程S18)。具体的には、チップが加熱され、これによりチップに含まれる誘電体材料および導電性材料とともにNi粒子を含むペーストが焼成され、積層体101と下地電極層40が形成される。

[0101] 次に、下地電極層40が形成されたチップに被覆層160を形成する(工程S19)。具体的には、下地電極層40が形成された積層体101を、SiおよびKを含有する溶液に浸漬した後、乾燥させる。上記溶液は、たとえば、Kを含有する水ガラスである。

[0102] 次に、チップにCu層10となるペーストを塗布する(工程S20)。具体的には、被覆層160を介して第1端面115および第2端面116の各々の下地電極層40を覆うように、Cu粒子を含みつつガラス成分を含有するペーストを塗布して乾燥させる。

[0103] 次に、Cu層10となるペーストが塗布されたチップを焼成する(工程S21)。具体的には、600℃以上800℃以下の温度で、Cu層10となるペーストが塗布されたチップを焼成する。これにより、Cu層10となるペーストに含まれている金属成分が焼結するとともに、被覆層160が熔融し、下地電極層40とCu層10とが電氣的に接続される。

[0104] 次に、外部電極が形成される(工程S22)。Cu層10にNiめっきおよびSnめっきがこの順に施されてNiめっき層20およびSnめっき層30が形成されることにより、第1外部電極120および第2外部電極130が

形成される。

[0105] 上述した一連の工程を経ることにより、変形例に係る積層セラミックコンデンサを製造することができる。

[0106] 上述した実施形態の説明において、組み合わせ可能な構成を相互に組み合わせてもよい。

[0107] 今回開示された実施形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

符号の説明

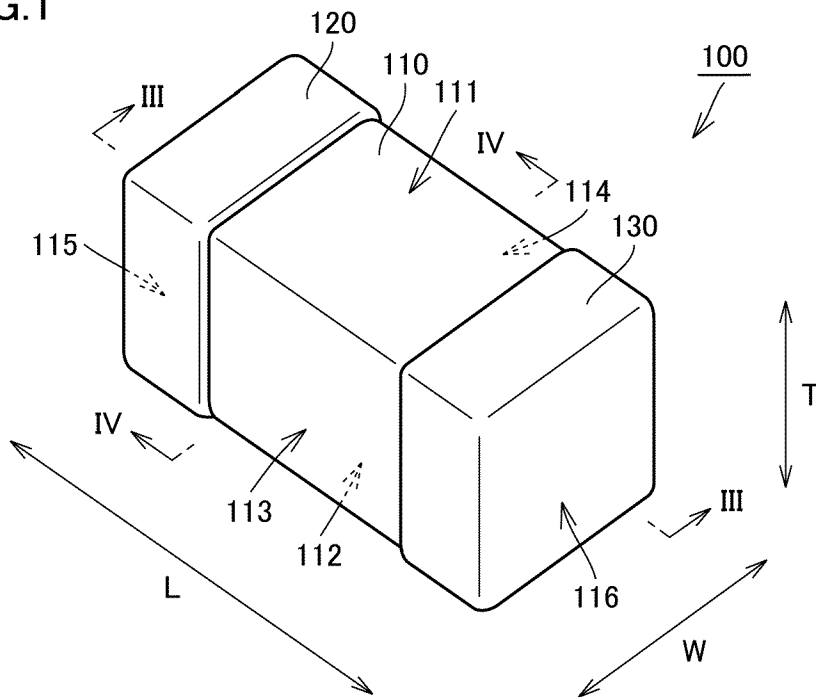
[0108] 10 Cu層、11 Cu成分、12 ガラス成分、20 Niめっき層、30 Snめっき層、40 下地電極層、100 積層セラミックコンデンサ、101 積層体、101a, 101b 主面、101c, 101d 側面、101e, 101f 端面、110 素体部、111 第1主面、112 第2主面、113, S1 第1側面、114, S2 第2側面、115 第1端面、116 第2端面、120 第1外部電極、120E, 130E 延出部、130 第2外部電極、140 誘電体層、150 内部電極層、151 第1内部電極層、151C 第1対向部、151N, 152N 幅狭部、151X 第1引出部、152 第2内部電極層、152C 第2対向部、152X 第2引出部、160 被覆層、C 内層部、E1 第1エンドマージン部、E2 第2エンドマージン部、S1 第1サイドマージン部、S2 第2サイドマージン部、X1 第1外層部、X2 第2外層部、Xa 最外層部、Xb 内側外層部。

請求の範囲

- [請求項1] 積層方向に積層された複数の誘電体層および複数の内部電極層を含み、かつ、前記積層方向に相対する第1主面および第2主面、前記積層方向に直交する幅方向に相対する第1側面および第2側面、並びに、前記積層方向および前記幅方向に直交する長さ方向に相対する第1端面および第2端面を有する、素体部と、
- 前記第1端面および前記第2端面の各々に設けられ、前記複数の内部電極層と電氣的に接続された外部電極とを備え、
- 前記素体部は、
- 前記複数の内部電極層のうちの前記積層方向の最も第1主面側に位置する内部電極層より第1主面側に位置する第1外層部と、
- 前記複数の内部電極層のうちの前記積層方向の最も第2主面側に位置する内部電極層より第2主面側に位置する第2外層部とを含み、
- 前記第1外層部および前記第2外層部の各々は、最も外側に配置された最外層部と、該最外層部の内側に位置する内側外層部とを含み、
- 前記最外層部の外表面の凹凸の最大高さは、前記内側外層部の外表面の凹凸の最大高さより小さい、積層セラミックコンデンサ。
- [請求項2] 前記最外層部は、SiおよびKを含有する被覆層で構成されている、請求項1に記載の積層セラミックコンデンサ。
- [請求項3] 前記内側外層部は、前記複数の誘電体層のうちの一部の誘電体層で構成されている、請求項1または請求項2に記載の積層セラミックコンデンサ。
- [請求項4] 前記被覆層は、前記幅方向における前記複数の内部電極層の両端部を覆っている、請求項2に記載の積層セラミックコンデンサ。
- [請求項5] 前記幅方向における前記複数の内部電極層の両端部を覆っている部分の前記被覆層の一部は、前記複数の誘電体層のうちの前記積層方向において隣り合う誘電体層同士の間挟まれている、請求項4に記載の積層セラミックコンデンサ。

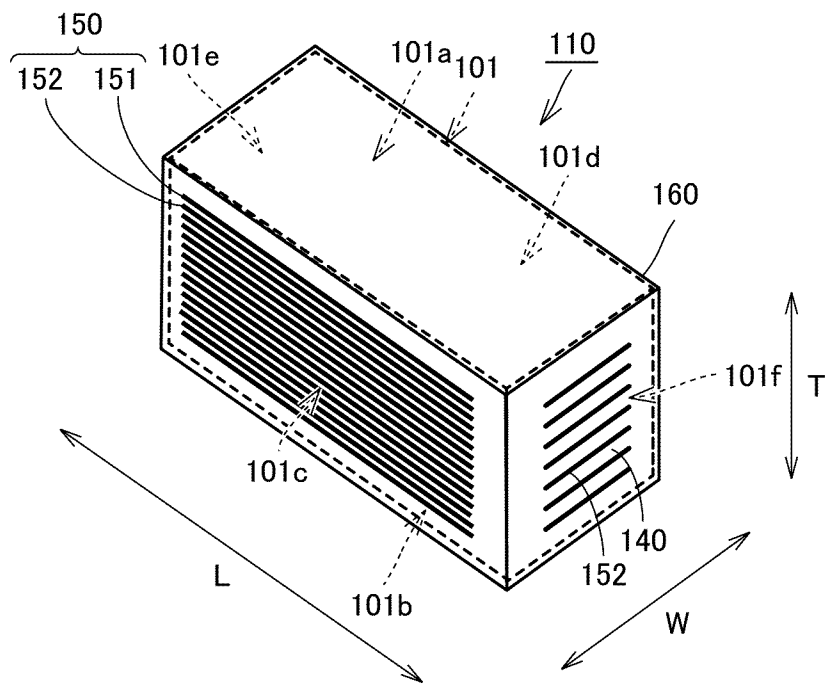
[図1]

FIG.1



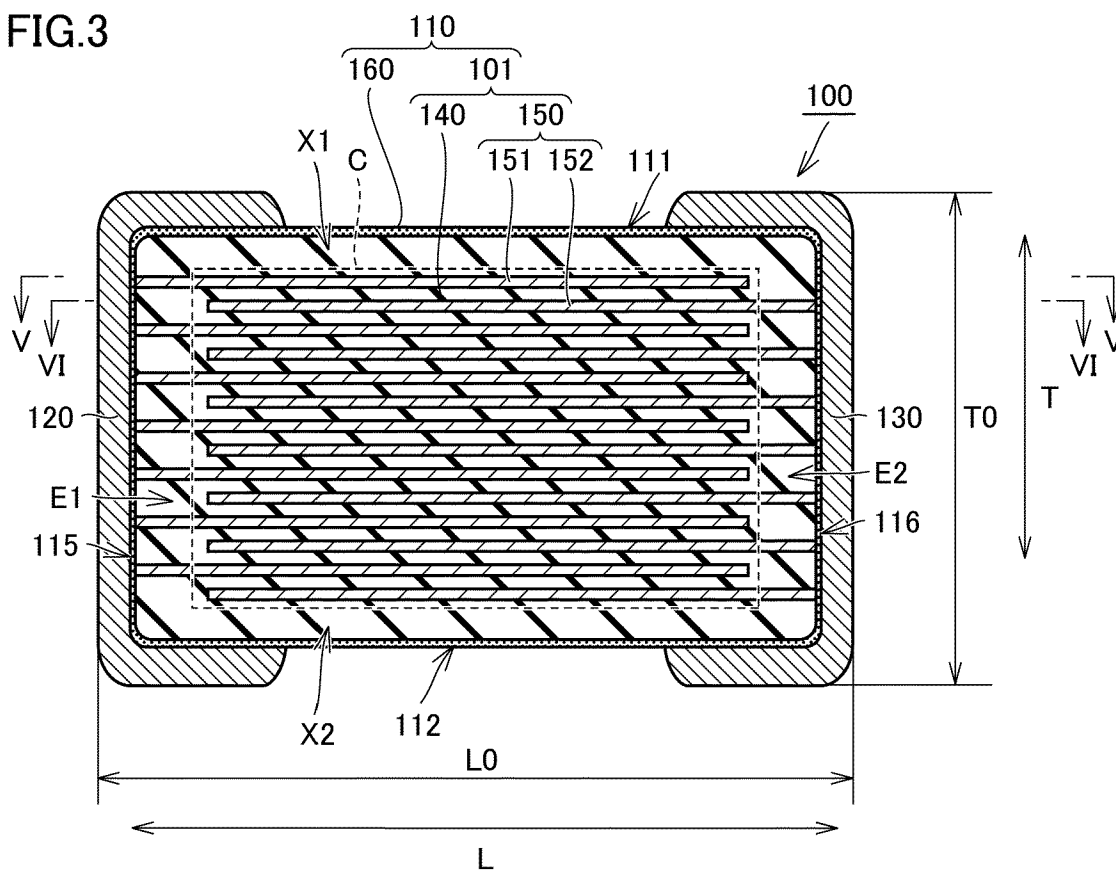
[図2]

FIG.2



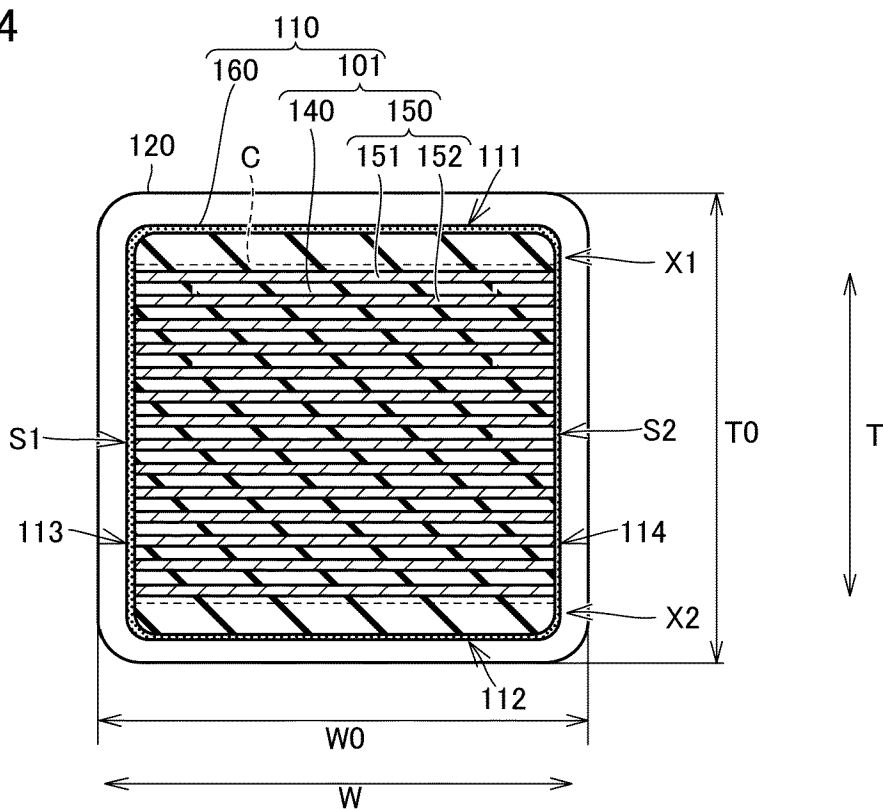
[図3]

FIG.3



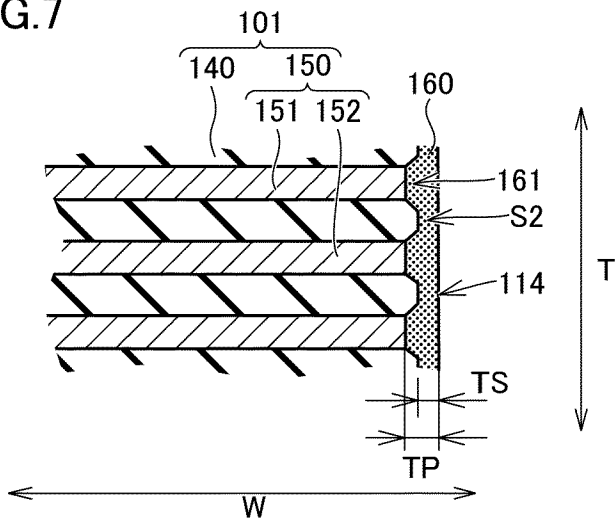
[図4]

FIG.4



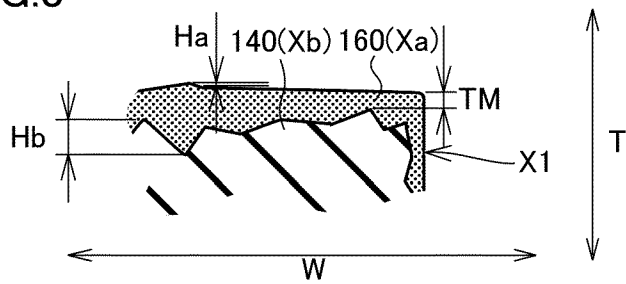
[図7]

FIG.7



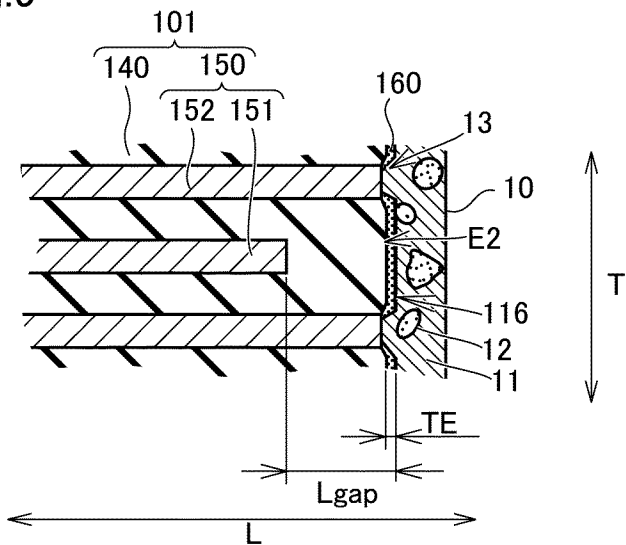
[図8]

FIG.8



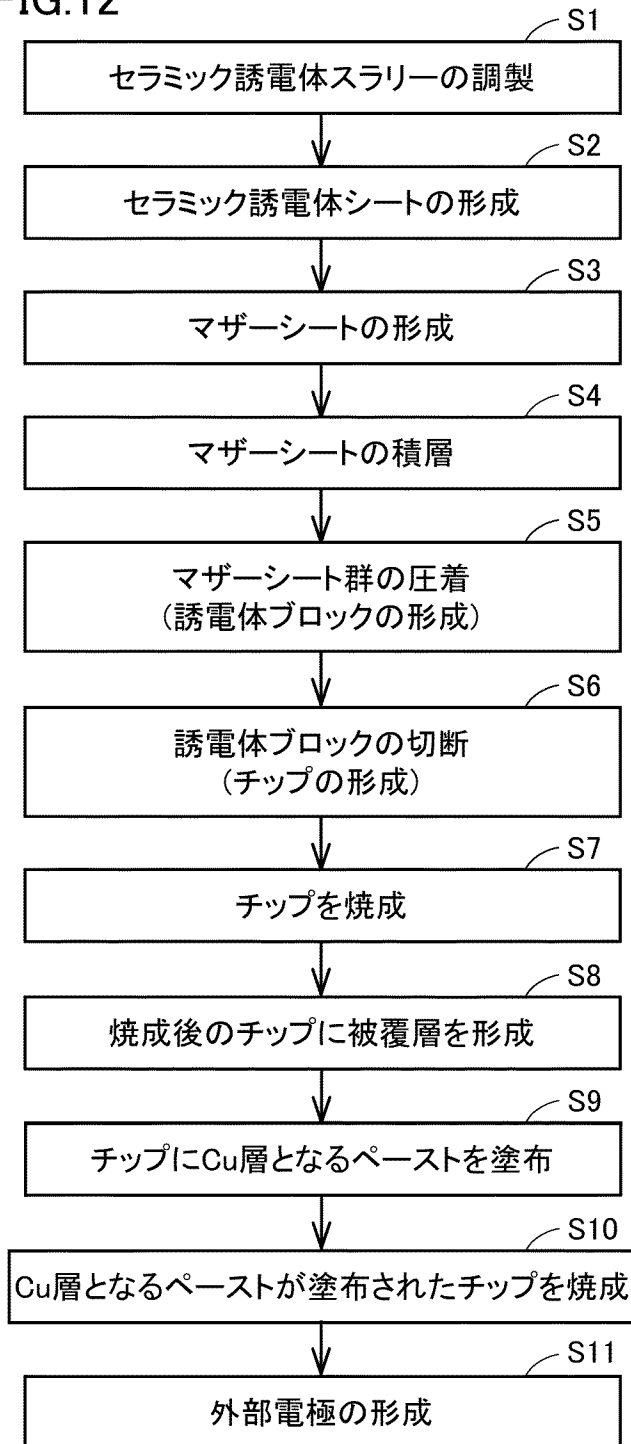
[図9]

FIG.9



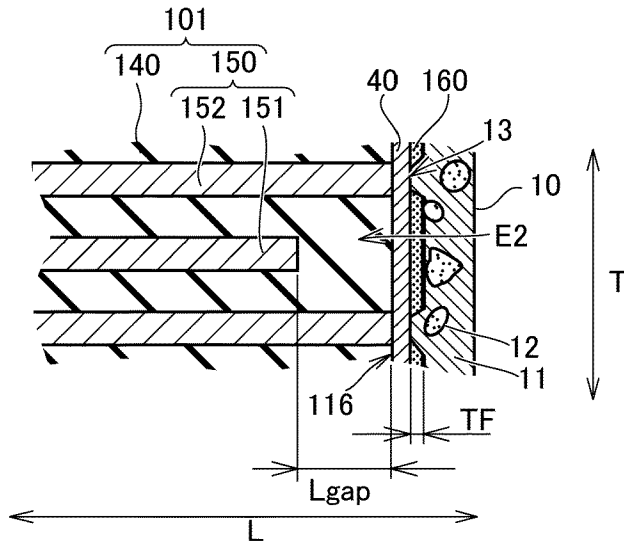
[図12]

FIG.12



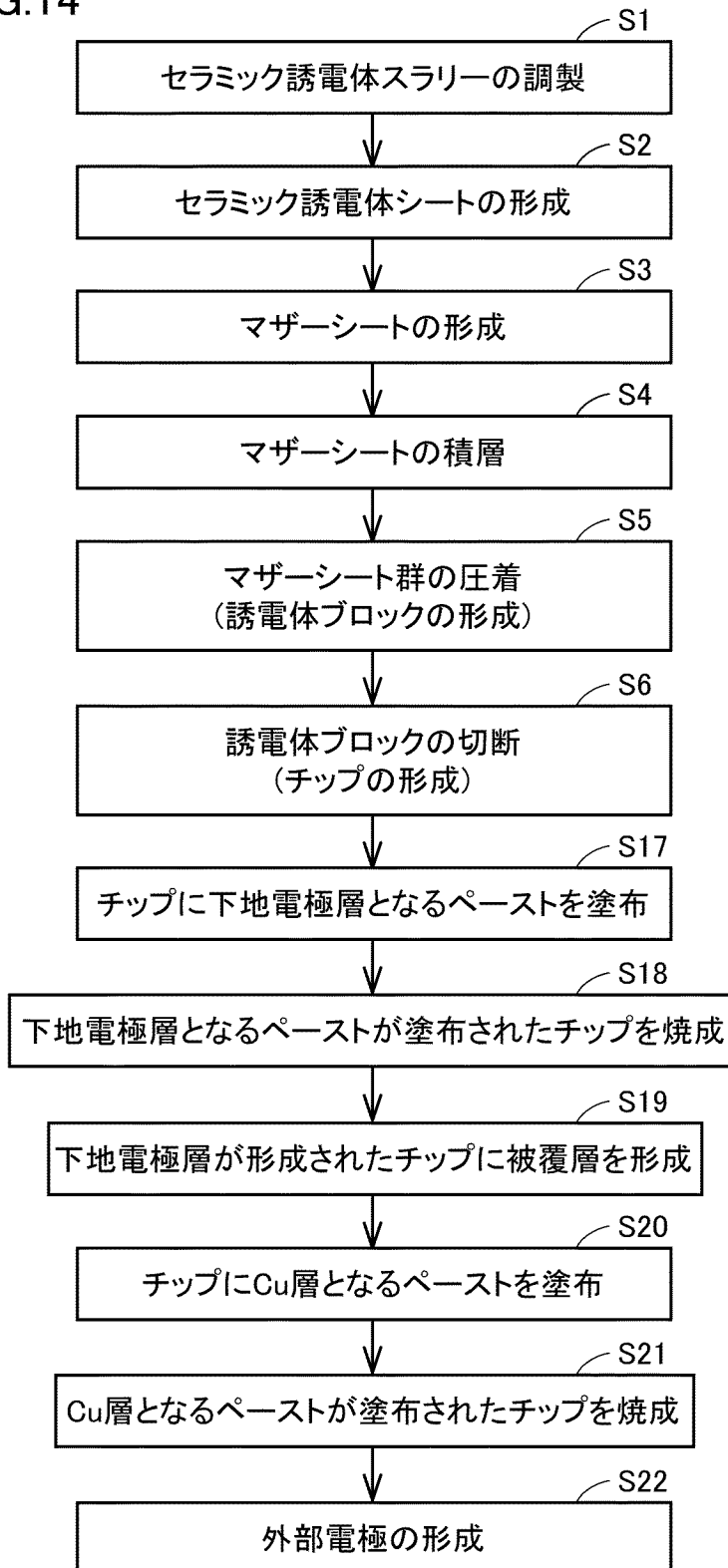
[図13]

FIG.13



[図14]

FIG.14



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/036064

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H01G 4/30</i> (2006.01)i FI: H01G4/30 201K; H01G4/30 201L; H01G4/30 515; H01G4/30 512		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01G4/30		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2003-151805 A (MURATA MANUFACTURING CO., LTD.) 23 May 2003 (2003-05-23) claims, paragraphs [0010], [0023]-[0030]	1-5
A	JP 2010-080703 A (TDK CORPORATION) 08 April 2010 (2010-04-08) entire text, all drawings	1-5
A	WO 2023/084878 A1 (MURATA MANUFACTURING CO., LTD.) 19 May 2023 (2023-05-19) entire text, all drawings	1-5
A	WO 2020/241122 A1 (MURATA MANUFACTURING CO., LTD.) 03 December 2020 (2020-12-03) entire text, all drawings	1-5
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 12 December 2024		Date of mailing of the international search report 24 December 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No. PCT/JP2024/036064

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2003-151805 A	23 May 2003	(Family: none)	
JP 2010-080703 A	08 April 2010	(Family: none)	
WO 2023/084878 A1	19 May 2023	CN 117897785 A entire text, all drawings	
WO 2020/241122 A1	03 December 2020	US 2022/0024814 A1 entire text, all drawings	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01G 4/30(2006.01)i FI: H01G4/30 201K; H01G4/30 201L; H01G4/30 515; H01G4/30 512		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01G4/30 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2024年 日本国実用新案登録公報 1996-2024年 日本国登録実用新案公報 1994-2024年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2003-151805 A (株式会社村田製作所) 23.05.2003 (2003-05-23) 特許請求の範囲,段落[0010],[0023]-[0030]	1-5
A	JP 2010-080703 A (TDK株式会社) 08.04.2010 (2010-04-08) 全文,全図	1-5
A	WO 2023/084878 A1 (株式会社村田製作所) 19.05.2023 (2023-05-19) 全文,全図	1-5
A	WO 2020/241122 A1 (株式会社村田製作所) 03.12.2020 (2020-12-03) 全文,全図	1-5
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “D” 国際出願で出願人が先行技術文献として記載した文献 “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日 12.12.2024	国際調査報告の発送日 24.12.2024	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 田中 晃洋 5D 3800 電話番号 03-3581-1101 内線 3549	

国際調査報告
特許ファミリーに関する情報

国際出願番号

PCT/JP2024/036064

引用文献	公表日	特許ファミリー文献	公表日
JP 2003-151805 A	23.05.2003	(ファミリーなし)	
JP 2010-080703 A	08.04.2010	(ファミリーなし)	
WO 2023/084878 A1	19.05.2023	CN 117897785 A 全文, 全図	
WO 2020/241122 A1	03.12.2020	US 2022/0024814 A1 全文, 全図	