



(12)发明专利申请

(10)申请公布号 CN 108398590 A

(43)申请公布日 2018.08.14

(21)申请号 201710552423.8

(22)申请日 2017.07.07

(71)申请人 佛山科学技术学院

地址 528000 广东省佛山市禅城区江湾一路18号

(72)发明人 杨波

(74)专利代理机构 广州嘉权专利商标事务所有
限公司 44205

代理人 王国标

(51)Int.Cl.

G01R 19/04(2006.01)

G01R 19/255(2006.01)

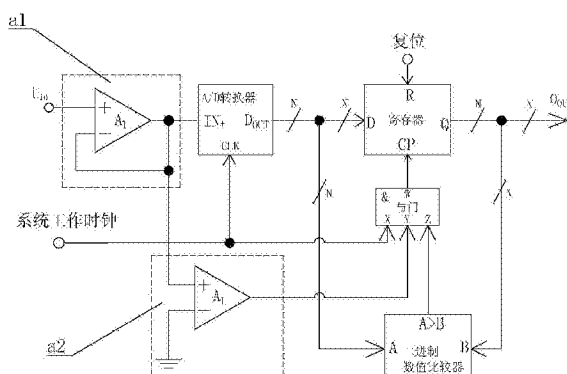
权利要求书1页 说明书4页 附图1页

(54)发明名称

一种数字输出的电压峰值检测电路

(57)摘要

本发明公开了一种数字输出的电压峰值检测电路,该电路采用电压跟随器、过零电压比较器、A/D转换器、寄存器、二进制数值比较器及三输入一输出的与门等电路实现数字输出的电压峰值检测,避免了传统方案中先用模拟的电压峰值检测电路获得峰值,再将模拟的电压峰值通过A/D转换电路获得数字输出。与现有技术相比,该电路简单可靠,适合高低频被测信号电压峰值到数字的转换,响应速度快,测量转换精度高,并且峰值检测电压动态范围大,最小可测 μV 量级的电压,数字兼性强适用于TTL、COMS等主要逻辑电路、动态能量损耗小。



1. 一种数字输出的电压峰值检测电路,其特征在于,包括:电压跟随器、A/D转换器、寄存器、过零电压比较器、二进制数值比较器、三输入一输出的与门,所述电压跟随器的同相输入端与被测信号连接,所述电压跟随器的输出端与自身的反相输入端、所述A/D转换器的模拟信号输入端、所述过零电压比较器的同相输入端连接,所述A/D转换器的N位二进制数字信号输出端依二进制权位高低顺序与所述寄存器的N位二进制数字输入端及所述二进制数值比较器的一个N位二进制数字比较输入端并行连接,所述寄存器的N位二进制数字输出端依二进制权位高低顺序与所述二进制数值比较器的另一个N位二进制数字比较输入端并行连接,系统工作时钟与所述A/D转换器的时钟端和与门的第一输入端连接,所述过零电压比较器的输出端与所述与门的第二输入端连接,所述过零电压比较器的反相输入端与地连接,所述二进制数值比较器的输出端与所述与门的第三输入端连接,所述与门的输出端与所述寄存器的控制端连接,所述二进制数值比较器用于比较一个工作脉冲到来时所述A/D转换器数字信号输出端输出的N位二进制数字的值和在上一个工作脉冲时所述寄存器寄存的N位二进制数字的值的大小,当所述过零电压比较器输出高电平时,当所述A/D转换器数字信号输出端输出的值大于所述当前所述寄存器寄存的值时,所述二进制数值比较器输出端输出高电平,当个工作脉冲到来时,与门输出端输出高电平,所述寄存器受所述与门输出的高电平控制存入一个工作脉冲到来时的所述A/D转换器数字信号输出端输出的N位二进制数字,当所述A/D转换器数字信号输出端输出的值小于或等于所述当前所述寄存器寄存的值时,所述二进制数值比较器输出端输出低电平,与门输出端输出低电平,所述寄存器受所述与门输出的低电平控制保持上一个工作脉冲时寄存的数据不变,所述二进制数值比较器在系统工作时钟作用下不断进行比较,所述寄存器寄存并输出的是下一个工作脉冲到来前的被测信号的最大N位二进制数字的值,即寄存器的输出跟踪被测信号的峰值,当所述过零电压比较器输出低电平时,与门输出端输出低电平,所述寄存器受所述与门输出的低电平控制保持寄存的数据不变,即该数字输出的电压峰值检测电路只跟踪大于或等于零的被测信号,所述电压跟随器的增益是1,用于对被测信号的隔离。

一种数字输出的电压峰值检测电路

技术领域

[0001] 本发明涉及一种电子电路结构,更具体地说涉及一种数字输出的电压峰值检测电路。

背景技术

[0002] 峰值检测器被广泛应用于核辐射探测、地质学、自动增益控制、振荡器以及RF功率运放的反馈保护系统中。峰值检测器有模拟输出的和数字输出的峰值检测器,在噪声或干扰环境下跟踪微弱信号,这要求峰值检测器具有检测精度高、抗干扰能力强并且易于控制及信号处理等特点,模拟输出的峰值检测器由于原理结构的限制,已经不能满足设计要求,一般采用数字输出的峰值检测器。当前数字输出的峰值检测电路由于采用的是先模拟峰值检测再数字转换的原理,就存在峰值检测精度不高、采样频率过低、抗干扰能力差、电容积分非线性大使信号失真、且系统调试困难等缺陷。

[0003] 数字输出的电压信号峰值测量电路是基础电量测试仪器中信号数据采集的核心电路,传统上电压信号峰值到数字转换主要是先用模拟的电压峰值检测电路获得电压峰值,再将电压峰值通过A/D转换电路获得数字输出。而模拟的电压峰值检测电路主要有两种,一种是电压型的峰值测量电路,另一种是跨导型的峰值测量电路。电压型的峰值测量电路原理简单,但积分非线性大,通频带小,动态范围也小(对小幅度信号的响应差,一般要求信号大于200mV),对处理快信号的效果不太令人满意。虽然跨导型的峰值测量电路性能优于电压型的,但在电路设计上也存在困难。由于使用跨导放大器,在回路增益中有一项积分因子与电容C有关,为了提高电路的线性性能,需要尽可能大的电容C,而加大电容C会减小电路的通频带和摆率。这样两种电路检测出的电压峰值具有滞后性,当峰值由低电平到高电平变化,后续电路检测到此电平变化即认为峰值到来,同时启动对峰值检测电路输出的峰值进行A/D转换,带来明显的转换误差,电路的可靠性不仅取决于积分电路稳定性,而且取决于被检测信号的波形,对一些变化缓慢的信号极易造成误触发,严重影响测量结果。

发明内容

[0004] 本发明目的是提供一种数字输出的电压峰值检测电路,目的是克服现有数字输出的电压峰值检测电路主要存在的小信号模拟电压峰值到数字转换精度不高、转换速度过低、抗干扰能力差、及电容积分非线性大使信号失真、且系统调试困难等缺陷。

[0005] 本发明解决其技术问题的解决方案是:一种数字输出的电压峰值检测电路,包括:电压跟随器、A/D转换器、寄存器、过零电压比较器、二进制数值比较器、三输入一输出的与门,所述电压跟随器的同相输入端与被测信号连接,所述电压跟随器的输出端与自身的反相输入端、所述A/D转换器的模拟信号输入端、所述过零电压比较器的同相输入端连接,所述A/D转换器的N位二进制数字信号输出端依二进制权位高低顺序与所述寄存器的N位二进制数字输入端及所述二进制数值比较器的一个N位二进制数字比较输入端并行连接,所述寄存器的N位二进制数字输出端依二进制权位高低顺序与所述二进制数值比较器的另一个

N位二进制数字比较输入端并行连接,系统工作时钟与所述A/D转换器的时钟端和与门的第一输入端连接,所述过零电压比较器的输出端与所述与门的第二输入端连接,所述过零电压比较器的反相输入端与地连接,所述二进制数值比较器的输出端与所述与门的第三输入端连接,所述与门的输出端与所述寄存器的控制端连接,所述二进制数值比较器用于比较一个工作脉冲到来时所述A/D转换器数字信号输出端输出的N位二进制数字的值和在上一工作脉冲时所述寄存器寄存的N位二进制数字的值的大小,当所述过零电压比较器输出高电平时,当所述A/D转换器数字信号输出端输出的值大于所述当前所述寄存器寄存的值时,所述二进制数值比较器输出端输出高电平,当一个工作脉冲到来时,与门输出端输出高电平,所述寄存器受所述与门输出的高电平控制存入一个工作脉冲到来时的所述A/D转换器数字信号输出端输出的N位二进制数字,当所述A/D转换器数字信号输出端输出的值小于或等于所述当前所述寄存器寄存的值时,所述二进制数值比较器输出端输出低电平,与门输出端输出低电平,所述寄存器受所述与门输出的低电平控制保持上一个工作脉冲时寄存的数据不变,所述二进制数值比较器在系统工作时钟作用下不断进行比较,所述寄存器寄存并输出的是下一个工作脉冲到来前的被测信号的最大N位二进制数字的值,即寄存器的输出跟踪被测信号的峰值,当所述过零电压比较器输出低电平时,与门输出端输出低电平,所述寄存器受所述与门输出的低电平控制保持寄存的数据不变,即该数字输出的电压峰值检测电路只跟踪大于或等于零的被测信号,所述电压跟随器的增益是1,用于对被测信号的隔离。

[0006] 本发明的有益效果是:该电路采用电压跟随器、过零电压比较器、A/D转换器、寄存器、二进制数值比较器及三输入一输出的与门等电路实现数字输出的电压峰值检测,避免了传统方案中先用模拟的电压峰值检测电路获得峰值,再将模拟的电压峰值通过A/D转换电路获得数字输出。与现有技术相比,该电路简单可靠,适合高低频被测信号电压峰值到数字的转换,响应速度快,测量转换精度高,并且峰值检测电压动态范围大,最小可测 μV 量级的电压,数字兼性强适用于TTL、COMS等主要逻辑电路、动态能量损耗小。

附图说明

[0007] 为了更清楚地说明本发明实施例中的技术方案,下面将对实施例描述中所需要使用的附图作简单说明。显然,所描述的附图只是本发明的一部分实施例,而不是全部实施例,本领域的技术人员在不付出创造性劳动的前提下,还可以根据这些附图获得其他设计方案和附图。

[0008] 图1是本发明电压峰值检测电路的电路原理图。

具体实施方式

[0009] 以下将结合实施例和附图对本发明的构思、具体结构及产生的技术效果进行清楚、完整地描述,以充分地理解本发明的目的、特征和效果。显然,所描述的实施例只是本发明的一部分实施例,而不是全部实施例,基于本发明的实施例,本领域的技术人员在不付出创造性劳动的前提下所获得的其他实施例,均属于本发明保护的范围。另外,文中所提到的所有连接关系,并非单指元件直接相接,而是指可根据具体实施情况,通过添加或减少连接元件,来组成更优的电路结构。本发明创造中的各个技术特征,在不互相矛盾冲突的前提下

可以交互组合。

[0010] 实施例1,参考图1,一种数字输出的电压峰值检测电路,包括:运算放大器A₁构成的电压跟随器、A/D转换器、寄存器、由电压比较器A₂构成的过零电压比较器a₂、二进制数值比较器、三输入一输出的与门,所述电压跟随器a₁的同相输入端与被测信号U_i连接,所述电压跟随器a₁的输出端与自身的反相输入端、所述A/D转换器的模拟信号输入端IN₊、所述过零电压比较器a₂的同相输入端,所述A/D转换器的N位二进制数字信号输出端D_{OUT}依二进制权位高低顺序与所述寄存器的N位二进制数字输入端D及所述二进制数值比较器的一个N位二进制数字比较输入端A并行连接,所述寄存器的N位二进制数字输出端Q依二进制权位高低顺序与所述二进制数值比较器的另一个N位二进制数字比较输入端B并行连接,系统工作时钟与所述A/D转换器的时钟端CLK和与门的第一输入端X连接,所述过零电压比较器a₂的输出端与所述与门的第二输入端Y连接,所述过零电压比较器a₂的反相输入端与地连接,所述二进制数值比较器的输出端A>B与所述与门的第三输入端Z连接,所述与门的输出端W与所述寄存器的控制端CP连接,所述二进制数值比较器用于比较一个工作脉冲到来时所述A/D转换器数字信号输出端D_{OUT}输出的N位二进制数字的值和在上一个工作脉冲时所述寄存器寄存的N位二进制数字的值的大小,当所述过零电压比较器a₂输出高电平时,当所述A/D转换器数字信号输出端D_{OUT}输出的值大于所述当前所述寄存器寄存的值时,所述二进制数值比较器输出端A>B输出高电平,当一个工作脉冲到来时,与门输出端W输出高电平,所述寄存器受所述与门输出的高电平控制存入一个工作脉冲到来时的所述A/D转换器数字信号输出端D_{OUT}输出的N位二进制数字,当所述A/D转换器数字信号输出端D_{OUT}输出的值小于或等于所述当前所述寄存器寄存的值时,所述二进制数值比较器输出端A>B输出低电平,与门输出端W输出低电平,所述寄存器受所述与门输出的低电平控制寄存器保持上一个工作脉冲时寄存的数据不变,所述二进制数值比较器在系统工作时钟作用下不断进行比较,所述寄存器所寄存并输出的是下一个工作脉冲到来前的被测信号的最大N位二进制数字的值O_{OUT},即寄存器的输出跟踪被测信号的峰值。当所述过零电压比较器a₂输出低电平时,与门输出端W输出低电平,所述寄存器受所述与门输出的低电平控制保持寄存的数据不变,即该数字输出的电压峰值检测电路只跟踪大于或等于零的被测信号U_i,此外,电压跟随器a₁的增益是1,对被测信号U_i起到隔离作用,提高了电路的转换精度。

[0011] 对本发明的原理进一步描述:初始状态下,数字输出的电压峰值检测电路是在系统工作时钟的作用下进行工作的,当没有工作脉冲,即检测电路开始工作前,通过寄存器复位端R对寄存器进行复位控制,此时寄存器寄存的是N位二进制数字0,由于工作脉冲状态是低电平“0”,此信号被加到与门的输入端X,所以与门输出端W输出的是低电平“0”,这个低电平“0”被加到寄存器的控制端CP上,此时寄存器被锁定,寄存器保持寄存的是N位二进制数字0,寄存器输出端Q输出的是N位二进制数字0。

[0012] 工作状态下,当被测信号U_i=0V时,经电压跟随器a₁的输出端加到A/D转换器的模拟信号输入端IN₊,由于系统工作时钟联接到A/D转换器的时钟端CLK上,在系统工作时钟的工作脉冲的作用下,此时A/D转换器的数字信号输出端D_{OUT}并行输出N位二进制数字0,此N位二进制数字0依二进制权位高低顺序并行地输出到寄存器的N位二进制数字输入端D及二进制数值比较器的一个N位二进制数字比较输入端A,此时寄存器的输出端Q并行输出N位二进制数字到二进制数值比较器的另一个N位二进制数字比较输入端B,由于寄存器的初始状态

是N位二进制数字0,即加到二进制数值比较器的比较输入端B是N位二进制数字0,显然加到二进制数值比较器的比较端A与比较端B上的数据相同,二进制数值比较器的比较状态位“A>B”输出低电平“0”,与门输出端W输出低电平,这个低电平“0”经与门被加到寄存器的控制端CP上,此时寄存器被锁定,寄存器寄存的内容保持不变,寄存器输出端Q输出的是N位二进制数字0。

[0013] 当 $U_i > 0V$ 时,A/D转换器的数字信号输出端 D_{OUT} 输出的是大于零的N位二进制数字,此N位二进制数字依二进制权位高低顺序并行地输出到寄存器的N位二进制数字输入端D及二进制数值比较器的一个N位二进制数字比较输入端A,而加到二进制数值比较器的另一个N位二进制数字比较输入端B是N位二进制数字0,显然输入到二进制数值比较器的比较输入端A的数据大于输入到二进制数值比较器的比较输入端B的数据,二进制数值比较器的比较状态位“A>B”输出高电平“1”,而 $U_i > 0V$,过零电压比较器a2输出高电平“1”,当系统工作时钟的工作脉冲为高电平“1”时,与门输出端W输出为高电平“1”,此高电平“1”被加到寄存器的控制端CP上,A/D转换器的数字信号输出端 D_{OUT} 输出的数据被写入寄存器,同理在工作脉冲的作用下,检测电路不停地比较A/D转换器的数字信号输出端 D_{OUT} 输出的N位二进制数字(加到二进制数值比较器的N位二进制数字比较输入端A)与寄存器的输出端Q输出的N位二进制数字(加到二进制数值比较器的N位二进制数字比较输入端B),如比较输入端A的数据大于比较输入端B的数据,则A/D转换器的数字信号输出端 D_{OUT} 输出的数据取代寄存器原有数据,如比较输入端A的数据小于比较输入端B的数据,则寄存器原有数据保持不变,即寄存器输出端Q输出的N位二进制数字就是下一工作脉冲到来前被测信号 U_i 的数字输出的峰值信号 O_{OUT} 。

[0014] 该电路具有一定的抗干扰能力,当 $U_i < 0V$ 时,过零电压比较器a2输出低电平“0”,与门输出端W输出低电平,这个低电平“0”经与门被加到寄存器的控制端CP上,此时寄存器被锁死,寄存器寄存数据不变,从而防止电路受到负电平信号干扰,此外,电压跟随器a1的增益是1,对被测信号 U_i 起到隔离作用,提高了电路的转换精度。

[0015] A/D转换器位数的选择,这取决于测量精度要求,A/D转换器位数越高,电压峰值测量就越高,这里可以取八位、十位、十二位、十六位的A/D转换器;依据选定的A/D转换器位数确定寄存器和二进制数值比较器的位数,即A/D转换器位数与寄存器和二进制数值比较器的位数是相同的,均为N位。

[0016] 该电路采用运算放大器 A_1 构成的电压跟随器a1、电压比较器 A_2 构成的过零电压比较器a2、A/D转换器、寄存器、二进制数值比较器及三输入一输出的与门等电路实现数字输出的电压峰值检测,避免了传统方案中先用模拟的电压峰值检测电路获得峰值,再将模拟的电压峰值通过A/D转换电路获得数字输出。与现有技术相比,电路简单可靠,适合高低频被测信号电压峰值到数字的转换,响应速度快,测量转换精度高,并且峰值检测电压动态范围大,最小可测 μV 量级的电压,数字兼性强适用于TTL、COMS等主要逻辑电路、动态能量损耗小。

[0017] 以上对本发明的较佳实施方式进行了具体说明,但本发明创造并不限于所述实施例,熟悉本领域的技术人员在不违背本发明精神的前提下还可作出种种的等同变型或替换,这些等同的变型或替换均包含在本申请权利要求所限定的范围内。

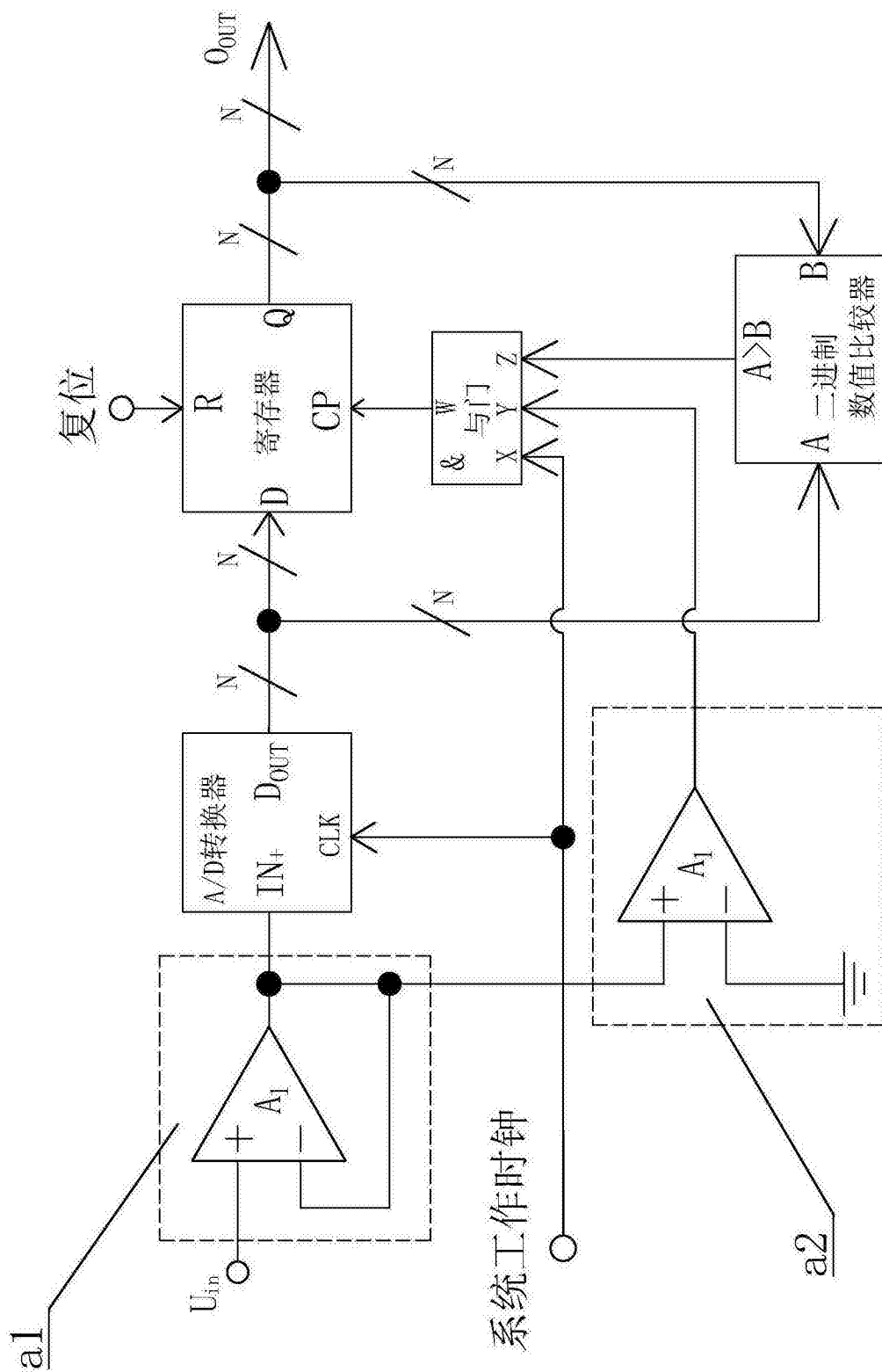


图1