



(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6  
B6

本案已向：

國(地區) 申請專利, 申請日期: 案號: , 有 無主張優先權

美國 2001年 8月 14日 09/930,747 有主張優先權

有關微生物已寄存於: , 寄存日期: , 寄存號碼:

(請先閱讀背面之注意事項再填寫本頁各欄)

裝  
訂  
線

經濟部智慧財產局員工消費合作社印製

## 五、發明說明 ( 1 )

### 發明背景

本發明是名稱爲「無引線晶片載體設計與結構」而序號爲 09/713,834 號且於 2000 年十一月 15 日申請並讓渡給本申請案的受讓人之待審專利申請案的部分接續案，且宣告對於其申請日期之利益，並將其附於此供參考。

### 1. 發明範圍

本發明大體上是關於半導體晶片封裝的領域。更特別地，本發明是在無引線晶片載體設計及結構的領域。

### 2. 背景技藝

半導體製造工業持續面臨對於更小與更複雜的晶方之需求。這些更小與更複雜的晶方也必須以更高的頻率運行。更小、更複雜與更快的裝置之需求不僅在晶方製造本身，也在用於容納晶方且提供電連接至「晶片外」(off-chip)裝置的各種封裝體、結構或載體的製造中造成新的挑戰。

例如，對於更高頻率的裝置 - 尤其是「晶片上」(on-chip)與「晶片外」的寄生性 - 之需求必須減至最小。例如，寄生性電感、電容與電阻 - 其全部對於晶方與它的相關晶片外元件之電性有不利的影響 - 必須減至最小。因爲 RF(「無線電頻率」)半導體裝置以高頻運行，故這些裝置(即，RF 裝置)構成一種顯著的裝置，其特別需要很低的寄生性。

最近，相對於離散的半導體封裝體而言，表面安裝晶

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 2 )

片與晶片載體已經普及。離散的半導體封裝體典型上具有大量的「接腳」，其可能須要先相當大的空間，也稱為「腳印」，用於將離散的半導體封裝體安裝及電連接至印刷電路板。此外，與離散的半導體封裝體有關的成本與時間及與在印刷電路板中鑽出大量孔有關的成本與時間是替代物 - 諸如表面安裝裝置與晶片載體 - 為何已經普及的最主要理由。

在此技藝中已做各種嘗試，以達成不同的晶片載體設計。日本 10313071 號公告 - 於 1998 年十一月 24 日公告，名稱爲「電子零件與接線板裝置」，其發明人是 Minami Masumi - 揭示一種結構，其使半導體裝置放出的熱消散。結構提供形成於一接線板中之金屬包裝的貫穿孔，接線板將裸晶片放出的熱經由接線板底部上的散熱圖案傳送，然後到達一散熱板。

日本 02058358 號公告 - 於 1990 年二月 27 日公告，名稱爲「用於安裝電子元件的基材」，其發明人是 Fujikawa Osamu - 揭示一種具有一中心區域的基材，包括夾置於鍍金屬的頂與底表面之間的八熱傳導樹脂充填孔。然後，一電子元件以銀膏粘劑接合至基材之鍍金屬的頂表面之中心區域，以改進散熱與對於濕氣的抗力。

日本 09153679 號公告 - 於 1997 年六月 10 日公告，名稱爲「堆疊的玻璃陶瓷電路板」，其發明人是 Miyanishi Kenji - 揭示一種堆疊的玻璃陶瓷電路板，其包括七堆疊的玻璃陶瓷層。多層堆疊的玻璃陶瓷電路板又包

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

### 五、發明說明 ( 3 )

括很多包含金或銅的通孔，而頂與底表面上的表面導體遮蓋通孔。頂導體充當 IC 晶片的熱庫。

日本 10335521 號公告 - 於 1998 年十二月 18 日公告，名稱爲「半導體裝置」，其發明人是 Yoshida Kazuo - 揭示一種形成於陶瓷基材中的熱通孔，而一半導體晶片安裝在熱通孔上方。熱通孔之孔的上部分形成於一陶瓷基材中，其方式是俾使當它在徑向向外行進時變淺。

一種用於安裝晶片於印刷電路板上的傳統晶片載體結構具有很多缺點。例如，傳統晶片載體仍然引進太多的寄生性，仍然不提供低電感與電阻接地連接至晶方。傳統晶片載體也具有很有限的散熱能力，且苦於伴隨著不良的散熱所造成的可靠度問題。例如，在高頻應用中，諸如無線電頻率應用，若干瓦的功率是由單一晶方產生。因爲半導體晶方與晶片載體是由不同的材料製成，各材料具有不同的熱膨脹係數，故它們對於晶方產生的熱之反應不同。所得的熱應力可能造成晶方破裂或晶方與晶片載體分離，此可能導致電與機械失效。於是，成功的散熱是重要的，且需要新穎的結構和方法。

對於在高頻操作之更小、更複雜且更快速的裝置 - 諸如無線通訊裝置與藍芽無線電頻率收發機 - 之需求已導致對於小尺寸、高品質因子("high-Q")電感器的需求增加。一種滿足對於小、high-Q 電感器的需求之嘗試是製造晶片上電感器。然而，尺寸與線厚度的限制直接衝擊可以在晶片上電感器獲得的品質因子。離散、「晶片外」電感器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 4 )

代表滿足對於小、high-Q 電感器的需求之另一種嘗試。然而，離散、「晶片外」電感器苦於未由晶片上電感器共有的各種缺點。例如，離散、「晶片外」電感器需要組合至少二元件，即，晶片本身與晶片外電感器。所需要之二或更多元件的組合引起對應的可靠度問題，且導致更大的製造成本。

此外，晶片外電感器需要相當長的晶片外電線與互聯線，以提供電連接至晶片與「晶片外」裝置。相當長的晶片外電線與互聯線導致不想要的寄生性增加。此外，晶片外電感器的互聯由於振動、腐蝕、化學污染、氧化與其他化學和物理的力而遭到長期的損傷。暴露於振動、腐蝕、化學污染、氧化與其他化學和物理的力導致晶片外電感器之較低的長期可靠度。

於是，需要一種小、high-Q 電感器，其嵌入於容納及支撐半導體晶方的結構中。此外，結構(high-Q 電感器嵌入於其內)必須提供低寄生性、有效的散熱及低的電感與電阻接地連接。

此外，需要一種新穎及可靠的結構與方法，其支撐、容納及電連接半導體晶方至一嵌入於結構中的電感器，且克服離散的電感器、離散的半導體封裝體與傳統晶片載體所面臨的問題。更特別地，需要一種新穎及可靠的結構與方法，以將電感器嵌入於結構中，該結構容納、支撐及電連接至一半導體晶方，且提供低寄生性、有效的散熱及低的電感與電阻接地。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( 5)

## 發明概述

本發明是針對具有嵌入電感器之無引線晶片載體之結構及製造方法。本發明揭示一種結構，其將一半導體晶方產生的熱有效消散。本發明又揭示一種結構，其包含一嵌入電感器，也提供低寄生性及低的電感與電阻接地連接至半導體晶方。

在一實施例中，本發明包括一具有一頂表面以承接一半導體晶方的基材。例如，基材可以包括有機材料，諸如聚四氟乙烯材料或 FR4 基的層壓材料。又舉一例，基材可以包括一陶瓷材料。依據本發明之一特點，一電感器圖案化於基材的頂表面上。藉由將電感器的第一與第二端子個別耦合至一基材信號接合墊與一半導體晶方信號接合墊，可以容易地處置電感器。在本發明之另一特點中，一電感器製造於基材中。電感器包括通孔金屬區段，其連接在基材頂與底表面上的互聯金屬區段。經由第一與第二基材信號接合墊，可以容易地處置電感器的第一與第二端子。本發明可以又包括一接合至基材底表面的印刷電路板。

在一實施例中，本發明包括至少一在基材中的通孔。本發明的至少一通孔在半導體晶方的信號接合墊與印刷電路板之間提供電連接。該至少一通孔可以包括一導電與導熱的材料，諸如銅。該至少一通孔在一基材接合墊與印刷電路板之間提供電連接。基材接合墊藉由一信號接合線，連接至半導體晶方的信號接合墊。該至少一通孔也在半導

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 6 )

體晶方的信號接合墊與一岸面 - 其電連接至印刷電路板 - 之間提供電連接。

### 圖式簡單說明

圖 1 繪示本發明之一實施例的剖視圖。

圖 2A 與 2B 個別繪示在本發明之一實施例中的示範性通孔之頂視圖與剖視圖。

圖 3 繪示本發明之一實施例在「鋸切分離」步驟完成以後的頂視圖。

圖 4 繪示本發明之一實施例在「鋸切分離」步驟完成以後的底視圖。

圖 5 繪示一示範性過程的流程圖，本發明之一實施例藉由該過程而製造。

圖 6 繪示本發明之一實施例在「鋸切分離」步驟完成以後的底視圖。

圖 7 繪示一圖案化於依據本發明之一實施例的結構之基材頂表面上的電感器。

圖 8 繪示一圖案化於依據本發明之一實施例的結構之基材中的電感器。

### 主要元件對照表

100	結構
104	半導體晶方信號接合墊
106	半導體晶方信號接合墊

## 五、發明說明 ( 7 )

- 108 半導體晶方接地接合墊
- 110 半導體晶方
- 111 晶方接合墊
- 112 晶方接合物
- 113 鍍劑罩幕
- 114 基材下接合區域
- 115 鍍劑罩幕
- 116 下接合線
- 117 支撐墊
- 118 頂表面
- 120 基材
- 122 厚度
- 124 底表面
- 126 通孔
- 128 通孔
- 130 通孔
- 132 基材信號接合墊
- 134 信號接合線
- 138 基材信號接合墊
- 140 信號接合線
- 142 區域
- 144 岸面
- 146 岸面
- 147 鍍劑

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 8 )

- 148 散熱器
- 150 印刷電路板
- 218 頂表面
- 220 基材
- 224 底表面
- 226 通孔
- 238 基材信號接合墊
- 242 區域
- 244 岸面
- 252 岸面墊厚度
- 254 通孔鑽挖直徑
- 256 接合墊厚度
- 258 通孔壁厚
- 260 通孔直徑
- 262 通孔
- 300 結構
- 306 半導體晶方信號接合墊
- 310 半導體晶方
- 320 基材
- 326 通孔
- 338 基材信號接合墊
- 340 接合線
- 384 側部
- 386 側部

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 9 )

- 400 結構
- 402 通孔
- 412 岸面
- 414 軌線
- 420 基材
- 424 底表面
- 425 通孔
- 426 通孔
- 428 岸面
- 430 軌線
- 432 岸面
- 434 通孔
- 436 軌線
- 438 通孔
- 440 岸面
- 442 軌線
- 444 岸面
- 445 岸面間距
- 446 岸面寬度
- 448 散熱器
- 600 結構
- 602 通孔
- 604 軌線
- 606 基材接合墊

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 10 )

- 610 軌線
- 611 晶方接合墊
- 614 通孔
- 616 軌線
- 617 基材接合墊
- 618 頂表面
- 620 基材
- 626 通孔
- 638 基材接合墊
- 700 結構
- 704 半導體晶方信號接合墊
- 706 半導體晶方信號接合墊
- 710 半導體晶方
- 718 頂表面
- 720 基材
- 726 通孔
- 730 通孔
- 732 基材信號接合墊
- 734 信號接合線
- 738 基材信號接合墊
- 740 信號接合線
- 760 嵌入電感器
- 762 端子
- 764 端子

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 11 )

- 766 信號接合線
- 768 基材信號接合墊
- 770 區段寬度
- 772 信號接合線
- 774 半導體晶方信號接合墊
- 778 側部
- 780 側部
- 782 端子
- 784 端子
- 794 長度
- 800 結構
- 804 半導體晶方信號接合墊
- 808 半導體晶方接地接合墊
- 810 半導體晶方
- 811 晶方接合墊
- 812 晶方接合物
- 813 鍍劑罩幕
- 814 基材下接合區域
- 815 鍍劑罩幕
- 816 下接合線
- 817 支撐墊
- 818 頂表面
- 820 基材
- 822 厚度

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 12 )

- 824 底表面
- 828 通孔
- 832 基材信號接合墊
- 834 信號接合線
- 847 錫劑
- 848 散熱器
- 850 印刷電路板
- 851 通孔金屬區段
- 853 互聯金屬區段
- 855 通孔金屬區段
- 857 互聯金屬區段
- 859 通孔金屬區段
- 861 互聯金屬區段
- 863 通孔金屬區段
- 865 互聯金屬區段
- 867 通孔金屬區段
- 869 互聯金屬區段
- 871 通孔金屬區段
- 873 互聯金屬區段
- 875 通孔金屬區段
- 877 互聯金屬區段
- 879 通孔金屬區段
- 881 基材信號接合墊
- 883 電感器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 13 )

## 發明詳細說明

本發明是針對具有嵌入電感器的無引線晶片載體之結構及製造方法。以下的說明含有與本發明的各實施例及實例有關之特定資訊。專精於此技藝的人可以知道，本發明能夠由與此申請案特別討論者不同的方式實施。此外，本發明的某些特定細節並未討論，以免模糊本發明。未在本發明中說明的特定細節是一般專精於此技藝的人所能理解者。

本發明中的圖與它們的附帶詳細說明純係針對本發明的實施例。為了維持簡潔，使用本發明的原則之本發明的其他實施例未在本申請案中特別說明，且未由此圖特別繪示。

圖 1 中的結構 100 繪示一依據本發明的實施例之示範性結構的剖視圖。結構 100 顯示成為接合至圖 1 中的印刷電路板(“PCB”) 150。參考結構 100，半導體晶方 110 由晶方接合物 112 接合至晶方接合墊 111。注意，在本申請案中，諸如半導體晶方 110 的「半導體晶方」也稱為「晶片」或「半導體晶片」。晶方接合墊 111 可以是 AUS - 5 錫劑罩幕，且它(即，晶方接合墊 111)意指在半導體晶方 110 正下方的錫劑罩幕區段。錫劑罩幕的形成與圖案化在本發明的後部分中將更詳細討論。然而，晶方接合墊 111 可以包括錫劑罩幕以外的材料。晶方接合墊 111 的厚度可以是 - 例如 - 10.0 至 30.0 微米。晶方接合物 112 可包括充填銀的環氧樹脂或 bismaleimide。通常，晶方接合物 112

## 五、發明說明 ( 14 )

可以是導電或電絕緣、熱固粘性或其組合。然而，在本發明的本實施例中，晶方接合物 112 可導電及導熱。

錐劑罩幕 113 施加至基材 120 的頂表面 118。錐劑罩幕 113 的厚度可以是 - 例如 - 10.0 至 30.0 微米。錐劑罩幕 113 可以是 AUS - 5；然而，錐劑罩幕 113 可以包括其他材料。錐劑罩幕 115 施加至基材 120 的底表面 124。錐劑罩幕 115 的厚度可以是 - 例如 - 10.0 至 30.0 微米。錐劑罩幕 115 也可以是 AUS - 5；然而，錐劑罩幕 115 可以包括其他材料。支撐墊 117 製造於基材 120 的頂表面 118 上，且在一實施例中，支撐墊 117 可以是銅。然而，支撐墊 117 可以包括其他金屬。例如，支撐墊 117 可以是鋁、鉬、鎢或金。注意，在本發明之一實施例中，半導體晶方 110 可以直接焊接至支撐墊 117。將參考圖 5，進一步說明支撐墊 117 的製造如下。

基材下接合區域 114 製造於基材 120 的頂表面 118 上。在圖 1 的結構 100 中，基材下接合區域 114 可以包括鍍鎳的銅。基材下接合區域 114 可以又包括一在鍍鎳的銅上方的鍍金層。然而，基材下接合區域 114 可以包括其他金屬。例如，基材下接合區域 114 可以是鋁、鉬、鎢或金。將參考圖 5，進一步說明基材下接合區域 114 的製造如下。下接合線 116 的第一端部接合至半導體晶方 110 上的半導體晶方接地接合墊 108。下接合線 116 的第二端部接合至基材下接合區域 114。下接合線 116 可以是金，或可包括其他金屬，諸如鋁。下接合線 116 的直徑可以約為 30.0

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 13 )

微米，或選擇其他直徑。

基材 120 可以包括一個二層有機層壓物，諸如四氟乙烯。然而，基材 120 可以包括其他有機材料，諸如 FR4 基的層壓物。在本發明的一實施例中，基材 120 可以是陶瓷材料。在圖 1 的結構 100 中，基材 120 的厚度 122 約為 200.0 微米；然而，在本發明的其他實施例中，基材 120 的厚度可以不同。

續圖 1，通孔 128(也稱為第一複數通孔)與通孔 126 及通孔 130(也稱為第二複數通孔)坐落於基材 120 中。通孔 126、通孔 130 與通孔 128 自基材 120 的頂表面 118 延伸至底表面 124。通孔 126、通孔 130 與通孔 128 可以包括一導熱材料。通孔 126、通孔 130 與通孔 128 可以包括銅，實際上，在示範性結構 100 中，通孔 126、通孔 130 與通孔 128 由銅充填。然而，通孔 126、通孔 130 與通孔 128 能夠由其他金屬充填，不會偏離本發明的範疇。在本發明的另一實施例中，通孔 126、通孔 130 與通孔 128 可能不完全由一金屬充填。通常，通孔 128、通孔 126、通孔 130 具有類似的結構。如此，及藉由一闡釋的例子，將參考圖 2A 與 2B，特別是針對虛線 142 環繞的區域(其對應於圖 2B 中的虛線 242 環繞的區域)，更詳細說明示範性通孔 126 的結構。

如圖 1 所示，信號接合線 134 的第一端部接合至半導體晶方 110 上的半導體晶方信號接合墊 104。信號接合線 134 的第二端部接合至基材信號接合墊 132。信號接合線

## 五、發明說明 ( 16 )

134 可以是金，或者，可以包括其他金屬，諸如鋁。信號接合線 134 的直徑可以是 30.0，或可選擇其他直徑。又如圖 1 所示，信號接合線 140 的第一端部接合至半導體晶方 110 上的半導體晶方信號接合墊 106。信號接合線 140 的第二端部接合至基材信號接合墊 138。信號接合線 140 可以是金，或者，可以包括其他他金屬，諸如鋁。信號接合線 140 的直徑可以是 30.0，或可選擇其他直徑。

圖 1 中，基材信號接合墊 132 製造於基材 120 的頂表面 118 上。在結構 100 中，基材信號接合墊 132 可以包括鍍鎳的銅。基材信號接合墊 132 可以又包括一在鍍鎳的銅上方的鍍金層。然而，基材信號接合墊 132 可以包括其他金屬。例如，基材信號接合墊 132 可以是鋁、鉬、鎢或金。將參考圖 5，進一步說明基材信號接合墊 132 的製造如下。在圖 1 的結構 100 中，基材信號接合墊 132 重疊於通孔 130。在本發明的另一實施例中，基材信號接合墊 132 並非重疊於通孔 130，而是「頂靠」於通孔 130。

類似於基材信號接合墊 132，基材信號接合墊 138 製造於基材 120 的頂表面 118 上。在結構 100 中，基材信號接合墊 138 可以包括鍍鎳的銅。基材信號接合墊 138 可以又包括一在鍍鎳的銅上方的鍍金層。然而，基材信號接合墊 138 可以包括其他金屬。例如，基材信號接合墊 138 可以是鋁、鉬、鎢或金。將參考圖 5，進一步說明基材信號接合墊 138 的製造如下。在結構 100 中，基材信號接合墊 138 重疊於通孔 126。在本發明的另一實施例中，基材信

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 17 )

號接合墊 138 頂靠於通孔 126。

又如圖 1 所示，岸面 144 製造於基材 120 的底表面 124 上。在結構 100 中，岸面 144 可以包括銅；然而，岸面 144 可以包括其他金屬，例如，鋁、鉬、鎢或金。將參考圖 5，進一步說明岸面 144 的製造如下。岸面 144 由鉚劑 147 接合至印刷電路板(“PCB”)150。然而，此技藝中習知的其他方法可以用於接合岸面 144 至印刷電路板 150。在結構 100 中，岸面 144 重疊於通孔 126。在本發明的另一實施例中，岸面 144 並非重疊於通孔 126，而是「頂靠」於通孔 126。

類似於岸面 144，岸面 146 製造於基材 120 的底表面 124 上。在結構 100 中，岸面 146 可以是銅。然而，岸面 146 可以包括其他金屬，例如，鋁、鉬、鎢或金。將參考圖 5，進一步說明岸面 144 的製造如下。在圖 1 的結構 100 中，岸面 146 由鉚劑 147 接合至印刷電路板 150。然而，此技藝中習知的其他方法可以用於接合岸面 146 至印刷電路板 150。在結構 100 中，岸面 146 重疊於通孔 130。在本發明的另一實施例中，岸面 144 可以頂靠於通孔 126。

又如圖 1 所示，散熱器 148 製造於基材 120 的底表面 124 上。在結構 100 中，散熱器 148 可以是銅。然而，散熱器 148 可以包括其他金屬，例如，鋁、鉬、鎢或金。在示範性結構 100 中，散熱器 148 由鉚劑 147 接合至印刷電路板 150。然而，此技藝中習知的其他方法可以用於接合

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明（ 18）

散熱器 148 至印刷電路板 150。將參考圖 5，進一步說明散熱器 148 的製造如下。

圖 2A 顯示圖 2B 中的區域 242 之頂視圖，其對應於圖 1 的區域 142。特別地，基材 220、通孔 226 與基材信號接合墊 238 個別對應於圖 1 的基材 120、通孔 126 與基材信號接合墊 138。圖 2A 也顯示通孔 262。通孔 262 在圖 1 中不可見，圖 1 是沿著圖 2A 的線 1-1 之剖視圖。然而，通孔 262 在圖 2B 中可見，因為圖 2B 是沿著圖 2A 的線 B-B 之剖視圖。將參考圖 2B，詳細討論通孔 226、接合墊 238 與通孔 262 如下。

圖 2B 顯示沿著圖 2A 的線 B-B 之區域 242 的剖視圖。然而，圖 1 中的區域 142 顯示沿著圖 2A 的線 1-1 之剖視圖。特別地，頂表面 218、基材 220、底表面 224、通孔 226、基材信號接合墊 238 與岸面 244 個別對應於圖 1 的頂表面 118、基材 120、底表面 124、通孔 126、基材信號接合墊 138 與岸面 144。

圖 2B 中，岸面墊厚度 252 可以是約 12.7 至 30.0 微米。通孔鑽挖直徑 254 可以是 150.0 微米，而接合墊厚度 256 可以是約 12.7 至 30.0 微米。通孔壁厚 258 可以是約 20.0 微米。通孔直徑 260 可以是約 110.0 微米。注意，為了容易繪示起見，圖 2A 與 2B 中的各種尺寸未依比例繪出。

通孔 226 的製造開始於基材 220。在本發明的一實施例中，銅可以層壓於基材 220 的頂表面 218 與底表面 224

裝

訂

線

## 五、發明說明（ 19 ）

上。層壓於基材 220 的頂表面 218 與底表面 224 上之銅的厚度可以是 - 例如 - 15.0 微米。然而，其他金屬可以層壓於基材 220 的頂表面 218 與底表面 224 上。例如，層壓於基材 220 的頂表面 218 與底表面 224 上的金屬可以是鋁、鉬、鎢或金。其次，具有通孔鑽挖直徑 254 的通孔開口是在一預定位位置鑽穿基材 220。然後，基材 220 鍍銅，以在對應於通孔壁厚 258 的通孔開口內部產生一層銅。然而，基材 220 可以由其他金屬噴鍍。於是，製造具有通孔直徑 262 的通孔 226，如圖 2A 與 2B 所示。通孔 226 具有圖 2A 與 2B 所示的通孔直徑 262。上述製造通孔 226 的過程也可用於圖 1 的結構 100 中之通孔 130 與通孔 128 的製造。

圖 3 的結構 300 繪示一依據本發明的示範性結構在「鋸切分離」步驟完成以後的頂視圖，簡言之，「鋸切分離」步驟涉及切割基材 120(圖 1)，以達成一「分離」的結構，諸如圖 1 的結構 100，其對應於圖 3 的結構 300。鋸切分離步驟是參考圖 5 更詳細說明的過程中之最後的步驟之一。於是，結構 300 包括對應於圖 1 的基材 120 之基材 320。然而，對比於圖 1 的結構 100，在結構 300 中，基材接合墊頂靠 - 而非重疊 - 於通孔。例如，基材信號接合墊 338 顯示成爲頂靠 - 而非重疊 - 於通孔 326。此對比於圖 1 的基材信號接合墊 138，其顯示成爲重疊 - 而非頂靠 - 於通孔 126。繼續針對結構 300，接合線 340 的第一端部接合至基材信號接合墊 338。接合線 340 的第二端部接合至半導體晶方 310 上的半導體晶方信號接合墊 306。

## 五、發明說明 ( 20 )

注意，在圖 3 中，只繪示通孔 326、基材信號接合墊 338、接合線 340 與半導體晶方信號接合墊 306，以保持簡潔。

圖 3 之結構 300 的形狀可以是正方形。例如，在分離的結構 300 中之基材 320 的側部 384 與側部 386 可以各為 4.0 公厘。舉其他例子，其他正方形「封裝體尺寸」可以是 5.0 公厘乘 5.0 公厘、6.0 公厘乘 6.0 公厘或 7.0 公厘乘 7.0 公厘。在另一實施例中，結構 300 的形狀可以是矩形。矩形實施例的「封裝體尺寸」可以是 3.9 公厘乘 4.9 公厘。舉其他例子，矩形實施例的其他「封裝體尺寸」可以是 4.4 公厘乘 6.5 公厘或 4.4 公厘乘 7.8 公厘。

圖 4 的結構 400 繪示依據本發明之一實施例的示範性結構在「鋸切分離」步驟完成以後的底視圖。結構 400 包括對應於圖 1 的基材 120 之基材 420。然而，對比於圖 1 的結構 100，在結構 400 中，岸面頂靠 - 而非重疊 - 於通孔。例如，岸面 444 顯示成為頂靠 - 而非重疊 - 於通孔 426。此對比於圖 1 的岸面 144，其顯示成為重疊 - 而非頂靠 - 於通孔 126。此外，連接岸面與通孔至一散熱器的軌線 - 諸如圖 4 中的軌線 414、430、436 與 442 - 未顯示於圖 1 的結構 100。

現在，更詳細討論圖 4。圖 4 顯示基材 420 的底表面 424。岸面 412、428、432、440 與 444 個別頂靠於通孔 402、425、434、438 與 426。軌線 414 連接通孔 402 與散熱器 448。軌線 436 連接通孔 434 與散熱器 448。軌線 430

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 2 )

連接岸面 428 與散熱器 448。軌線 442 連接岸面 440 與散熱器 448。所以，通孔 402、425、434、438 個別由軌線 414、430、436 與 442 連接至散熱器 448。在圖 4 的示範性實施例中，「岸面間距」445 可以是 - 例如 - 500.0 微米，且「岸面寬度」446 可以是 - 例如 - 250.0 微米。注意，在圖 4 中，只特殊討論通孔 402、425、426、434、438 及岸面 412、428、432、440 與 444，以保持簡潔。在另一實施例中，完全未使用「接地軌線」，諸如圖 4 中的軌線 414、430、436 與 442。如此，圖 4 中的岸面 412、428、432 與 440 將不接地，諸如圖 4 中的散熱器 448，但將充當一般的「信號」岸面。

參考圖 5，現在討論一過程之一例子，圖 1 中的結構 100 是藉由該過程而製造。過程開始於步驟 502。在步驟 504，通孔開口鑽在一銅層壓基材條中。例如，該條可以是銅層壓基材的 18 吋乘 24 吋嵌板。圖 1 中的基材 120 對應於銅層壓基材條之一區段。典型上，複數單元的結構 100 組合於銅層壓基材條上。在組合過程的後段步驟中，結構 100 的複數組合單元分離成爲個別的單元。鑽在銅層壓基材中的通孔開口之直徑可以是約 150.0 微米。

典型上，使用複數鑽石鑽頭，一次鑽出全部通孔開口。在步驟 506，通孔開口的側壁在一無電的噴鍍浴中由銅噴鍍。在背景方面，無電的噴鍍意指一種噴鍍方法，其涉及藉由還原化學浴，將諸如銅、鎳、銀、金或鈮的金屬沈積於各種材料的表面上。無電的噴鍍浴之結果，通孔在銅

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 22 )

層壓基材的頂與底表面之間提供導電與導熱。在一實施例中，於無電的噴鍍過程完成以後，通孔直徑 - 諸如圖 2B 中的通孔直徑 260 - 是約 110.0 微米。

在步驟 508，通孔開口由銅充填。添加額外的銅至通孔開口會藉由提供更大的剖面積以用於熱流而增加通孔的熱傳導率。而且，提供更大的剖面積以用於電流會增加通孔的導電率。在本實施例中，通孔開口由銅部分(或幾乎完全)充填，而在其他實施例中，通孔開口由銅完全充填。在本發明之一實施例中，通孔由鎢充填。在該實施例中，充填鎢的通孔足夠強，以允許直接接合至通孔。

在步驟 510，一罩幕用於將基材的頂與底表面上的金屬化層之導體圖案化。在此示範性實施例中，金屬化層可以是銅。在步驟 512，多餘的銅被蝕除，在基材的頂與底表面上獲得一已界定的金屬互聯或金屬軌線圖案，也稱為印刷電路。例如，在圖 4 的結構 400 中，一在底表面 424 上的圖案化金屬化層特別包含散熱器 448、岸面 412、418、428、432 與 440 及軌線 414、430、436 與 442。

在步驟 514，錫劑罩幕施加至基材的頂與底表面，以遮蓋基材的頂與底表面上之暴露的圖案化銅。錫劑罩幕改進將半導體晶方固定至基材頂表面的晶方接合物之粘結品質。例如，在圖 1 的結構 100 中，錫劑罩幕 113 改進將半導體晶方 110 固定至基材 120 頂表面 118 的晶方接合物 112 之粘結品質。錫劑罩幕也防止基材信號接合墊、基材下接合區域與岸面的污染。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 23 )

在步驟 516，銲劑罩幕被蝕除，以暴露將發生接合與焊接之印刷電路區域中的銅。例如，銲劑罩幕被蝕除，以暴露圖 1 中的基材下接合區域 114、基材信號接合墊 132 與 138、岸面 144 與 146 及散熱器 148。在步驟 518，在將發生接合與焊接之印刷電路區域中之暴露的銅是由一層鎳噴鍍，接著，一層金噴鍍於鎳的銅之頂部。金/鎳噴鍍保護暴露的銅，以防氧化。而且，金/鎳噴鍍製備暴露的銅，以接合於印刷電路的接合墊與基材下接合區域，諸如圖 1 的基材信號接合墊 132 與 138 及基材下接合區域 114。此外，金/鎳噴鍍製備暴露的銅，以焊接於印刷電路岸面與散熱器，諸如圖 1 的岸面 144 與 146 及散熱器 148。

在步驟 520，一半導體晶方由晶方接合材料接合至晶方接合墊。在圖 1 的結構 100 中，例如，半導體晶方 110 由晶方接合物 112 接合至晶方接合墊 111。如上述，晶方接合墊 111 可以是 AUS-5 銲劑罩幕(即，晶方接合墊 111)，且它意指在半導體晶方 110 正下方的銲劑罩幕的區段。晶方接合材料 - 例如，圖 1 所示的接合物 112 - 可以包括充填銀的環氧樹脂或 bismaleimide。通常，晶方接合材料可以是導電或電絕緣、熱固粘性或其組合。在發明的另一實施例中，半導體晶方可以直接焊接至一支撐墊，諸如圖 1 中的支撐墊 117。

在步驟 522，於半導體晶方接合墊(諸如圖 1 中的半導體晶方信號接合墊 104 與 106)與印刷電路接合墊(諸如圖 1 中的基材信號接合墊 132 與 138)之間執行線接合。在

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 24 )

圖 3 的結構 300 中，例如，線接合是在半導體晶方接合墊 306 與基材信號接合墊 338 之間執行。在圖 1 的結構 100 中，用於線接合的接合線 - 諸如信號接合線 134 與 140 - 可以包括金。在步驟 524，半導體晶方與接合線 - 諸如圖 1 中的半導體晶方 110、信號接合線 134 與 140 及下接合線 116 - 囊封於一適當的鑄模化合物中。鑄模化合物提供保護，以防在接續的製造過程及使用期間之化學污染或物理損害。鑄模化合物可以包括 - 例如 - 各種化學化合物，諸如多功能環氧樹脂、酚醛清漆與雙苯基樹脂或其組合。

在步驟 526，含有結構 100 之複數組合單元的條被鋸切分離成爲個別的單元。在鋸切分離時，結構 100 之個別組合單元是自含有結構 100 之複數組合單元的條切割，以獲得大量結構，諸如結構 100。注意，參考圖 5 所說明的過程只是製造圖 1 的結構 100 之方法之一。也注意，整個方法或參考圖 5 所討論的每一個別步驟之變化與修改對於一般專精於此技藝的人而言是顯而易知的。在步驟 528，製造圖 1 的結構 100 之示範性過程結束。

圖 6 中的結構 600 繪示一依據本發明的示範性結構在完成「鋸切分離」步驟以後的頂視圖。然而，半導體晶方與接合線未顯示於圖 6。結構 600 包括對應於圖 1 之基材 120 的基材 620。然而，對比於圖 1 的結構 100，在結構 600 中，基材接合墊藉由軌線連接至通孔。例如，軌線 610 連接基材信號接合墊 638 與通孔 626。做一對比，在圖 1 的結構 100 中，接合墊重疊於通孔。例如，圖 1 中，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 25 )

基材信號接合墊 138 重疊於通孔 126。

圖 6 顯示基材 620 的頂表面 618。軌線 604 連接基材接合墊 606 與通孔 602。如上述，軌線 610 連接基材接合墊 638 與通孔 626。軌線 616 連接基材接合墊 617 與通孔 614。圖 6 也顯示晶方接合墊 611 的頂視圖。注意，圖 6 中只繪示通孔 602、626 與 614、軌線 604、610 與 616 及基材接合墊 606、617 與 638，以保持簡潔。

在圖 6 的結構 600 中，通孔 602 坐落於晶方接合墊 611 的附近。通孔 602 可以連接至一共同的接地連接(圖 6 中未顯示)，諸如圖 1 之結構 100 中的支撐墊 117。通孔 614 坐落於晶方接合墊 611 的隅角。在結構 600 中，通孔 614 可以連接至一共同的接地連接，圖 6 中未顯示，諸如圖 1 中的結構 100 之支撐墊 117。在圖 6 的結構 600 中，「周緣」通孔 - 諸如通孔 626 - 典型上充當「信號」通孔。

如上述，在圖 6 的結構 600 中，軌線 604、610 與 616 個別連接基材接合墊 606、638 與 617 至通孔 602、626 與 614。軌線 604、610 與 616 具有不同的長度。如圖 6 所見，基材接合墊 606、638 與 617 個別和通孔 602、626 與 614 相隔不同的距離。而且，軌線 604 與軌線 616 具有不同的寬度。如此，圖 6 的結構 600 在各種基材接合墊與通孔位置、軌線長度及軌線寬度的使用提供設計彈性。

圖 7 中的結構 700 繪示依據本發明之一實施例的示範性結構在「鋸切分離」步驟完成以後的頂視圖。結構 700

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 26 )

包括對應於圖 1 之基材 120 的基材 720。然而，對比於圖 1 的結構 100，結構 700 包含基材 720 之頂表面 718 上的嵌入電感器 760。對比於圖 1 的結構 100，在結構 700 中，基材接合墊頂靠 - 而非重疊 - 於通孔。例如，基材信號接合墊 738 顯示成爲頂靠 - 而非重疊 - 於通孔 726。此對比於圖 1 的基材信號接合墊 138，其顯示成爲重疊 - 而非頂靠 - 於通孔 126。

現在，更詳細討論圖 7，半導體晶方 710 藉由一在基材 720 頂表面 718 上的晶方接合材料接合至一晶方接合墊。晶方接合墊與晶方接合材料在圖 7 中未顯示。基材 720 可以包括一個二層有機層壓物，諸如聚四氟乙烯。然而，基材 720 可以包括諸如 FR4 基的層壓物之其他有機材料。在一實施例中，基材 720 可以是陶瓷材料，諸如氧化鋁 ( $Al_2O_3$ )。在圖 7 的結構 700 中，基材 720 的厚度可以約爲 100.0 至 150.0 微米；然而，在本發明的其他實施例中，基材 720 的厚度可以不同。

也如圖 7 所示，信號接合線 734 的第一端部接合至半導體晶方 710 上的半導體晶方信號接合墊 704，信號接合線 734 的第二端部接合至基材信號接合墊 732。信號接合線 740 的第一端部接合至半導體晶方 710 上的半導體晶方信號接合墊 706，信號接合線 740 的第二端部接合至基材信號接合墊 738。信號接合線 734 與 740 個別對應於圖 1 的結構 100 中的信號接合線 134 與 140，且大體上包括和信號接合線 134 與 140 相同的材料。信號接合線 734 與

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 27 )

740 可以包括金或其他金屬，諸如鋁。信號接合線 734 與 740 的直徑可以是 30.0 微米，或可選擇其他直徑。

圖 7 中，基材信號接合墊 732 與 738 製造於基材 720 的頂表面 718 上。基材信號接合墊 732 與 738 個別對應於基材信號接合墊 132 與 138，且大體上包括和基材信號接合墊 132 與 138 相同的材料。在結構 700 中，基材信號接合墊 732 與 738 可以包括鍍鎳的銅。基材信號接合墊 732 與 738 可以又包括一在鍍鎳的銅上方的鍍金層。然而，基材信號接合墊 732 與 738 可以包括其他金屬，例如，基材信號接合墊 732 與 738 可以包括鋁、鉬、鎢或金。在圖 7 的結構 700 中，基材信號接合墊 732 與 738 個別頂靠於通孔 730 與 726。在本發明的另一實施例中，基材信號接合墊 732 與 738 並非頂靠於通孔 730 與 726，而是可「重疊」於通孔 730 與 726。

續圖 7，通孔 726 與 730 坐落於基材 720 中。通孔 726 與 730 個別對應於圖 1 的結構 100 中的通孔 126 與 130，且大體上包括和通孔 126 與 130 相同的材料。在結構 700 中，通孔 726 與 730 可以包括銅，而實際上，在示範性結構 700 中，通孔 726 與 730 由銅充填。然而，通孔 726 與 730 可以由其他金屬充填，不會偏離本發明的範疇。

也如圖 7 所示，電感器 760 製造於基材 720 的頂表面 718 上。在結構 700 中，電感器 760 可以包括諸如銅的導體；然而，電感器 760 可以包括其他金屬，例如，電感器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明（ 28）

760 可以包括鋁、鉬、鎢或金。在結構 700 中，電感器 760 是「螺旋形」電感器；然而，電感器 760 可以是其他形狀，不會偏離本發明的範疇。在結構 700 中，電感器 760 的長度 794 可以是約 1.5 公厘，而區段寬度 770 可以是約 50.0 至 75.0 微米。構成電感器 760 的金屬區段（或金屬「匝」）的厚度可以是約 20.0 微米。在本實施例中，電感器 760 可以製造成為具有在約 0.7 至 15.0 nH 之範圍以內的電感。然而，在本發明的其他實施例中，電感器 760 的電感可以到達高至 60.0 至 70.0 nH 之範圍。例如，在本實施例中，電感器 760 的 Q（「品質因子」）在 2.0GHz 時可以約為 73.0。

在結構 700 中，信號接合線 766 的第一端部在交錯的位置接合至電感器 760。例如，信號接合線 766 的第一端部可以接合至電感器 760 的端子 762。另外，信號接合線 766 的第一端部可以接合至電感器 760 的端子 782。另一選擇是信號接合線 766 的第一端部可以接合至電感器 760 的端子 784。信號接合線 766 的第二端部接合至基材信號接合墊 768。信號接合線 772 的第一端部接合至電感器 760 的端子 764，且信號接合線 772 的第二端部接合至半導體晶方信號接合墊 774。

續圖 7，信號接合線 766 與 772 可以是金，或可包括其他金屬，例如鋁。信號接合線 766 與 772 的直徑可以是 30.0 微米，或選擇其他直徑。在結構 700 中，電感器 760 的端子 762、764、782 與 784 可以包括鍍鎳的銅。端子

## 五、發明說明 ( 29 )

764 與 766 可以又包括一在鍍鎳的銅上方的鍍金層。然而，端子 762、764、782 與 784 可以包括其他金屬，諸如鋁、鉬、鎢或金。注意，在圖 7 中，只特殊討論通孔 726 與 730、基材信號接合墊 732、738 與 768、半導體信號接合墊 704、706 與 774 及信號接合線 734、740、772 與 766，以保持簡潔。

圖 7 之結構 700 的形狀可以是正方形。例如，在分離的結構 700 中之基材 720 的側部 778 與側部 780 可以各為 5.0 公厘。舉其他例子，其他正方形「封裝體尺寸」可以是 4.0 公厘乘 4.0 公厘、6.0 公厘乘 6.0 公厘或 7.0 公厘乘 7.0 公厘。在另一實施例中，結構 700 的形狀可以是矩形。例如，矩形實施例的「封裝體尺寸」可以是 3.9 公厘乘 4.9 公厘。舉其他例子，矩形實施例的其他「封裝體尺寸」可以是 4.4 公厘乘 6.5 公厘或 4.4 公厘乘 7.8 公厘。

圖 8 中的結構 800 繪示依據本發明之一實施例的示範性結構剖視圖。結構 800 包括基材 820，其對應於結構 700 中的基材 720，也對應於圖 1 之結構 100 中的基材 120。然而，對比於圖 1 之結構 100，結構 800 包括電感器 883。此外，對比於圖 7 之結構 700，在結構 800 中，基材信號接合墊重疊而非頂靠於通孔。例如，基材信號接合墊 832 顯示成為重疊而非頂靠於通孔 851。此對比於圖 7 的基材信號接合墊 732，其顯示成為頂靠而非重疊於通孔 730。

續圖 8，半導體晶方 810 藉由晶方接合物 812 接合至

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 30 )

晶方接合墊 811。晶方接合墊 811 對應於圖 1 之結構 100 中的晶方接合墊 111，且大體上包括與晶方接合墊 111 相同的材料。晶方接合墊 811 可以是 AUS - 5 錫劑罩幕，且它(即，晶方接合墊 811)意指在半導體晶方 810 正下方的錫劑罩幕區段。然而，晶方接合墊 811 可以包括錫劑罩幕以外的材料。晶方接合墊 811 的厚度可以是 - 例如 - 10.0 至 30.0 微米。晶方接合物 812 對應於圖 1 之結構 100 中的晶方接合物 112，且大體上包括與晶方接合物 112 相同的材料。晶方接合物 812 可以包括充填銀的環氧樹脂或 bismaleimide。通常，晶方接合物 812 可以是導電或電絕緣、熱固粘性或其組合。然而，在本實施例中，晶方接合物 812 可導電及導熱。

錫劑罩幕 813 施加至基材 820 的頂表面 818。錫劑罩幕 813 對應於圖 1 的結構 100 中之錫劑罩幕 113，且大體上包括與錫劑罩幕 113 相同的材料。錫劑罩幕 813 也可以是 AUS - 5；然而，錫劑罩幕 813 也可以包括其他材料。錫劑罩幕 813 的厚度可以是 - 例如 - 10.0 至 30.0 微米。錫劑罩幕 815 施加至基材 820 的底表面 824。錫劑罩幕 815 對應於圖 1 的結構 100 中之錫劑罩幕 115，且大體上包括與錫劑罩幕 115 相同的材料。錫劑罩幕 815 也可以是 AUS - 5；然而，錫劑罩幕 815 也可以包括其他材料。錫劑罩幕 815 的厚度可以是 - 例如 - 10.0 至 30.0 微米。

基材 820 可以包括一個二層有機層壓物，諸如聚四氟乙烯。然而，基材 820 可以包括諸如 FR4 基的層壓物之其

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

### 五、發明說明 ( 31 )

他有機材料。在本發明之一實施例中，基材 820 可以是諸如氧化鋁 ( $Al_2O_3$ ) 的陶瓷材料。在結構 800 中，基材 820 的厚度 822 可以約為 100.0 至 150.0 微米；然而，在本發明的其他實施例中，基材 820 的厚度 822 可以不同。

續圖 8，支撐墊 817 製造於基材 820 的頂表面 818 上。支撐墊 817 對應於圖 1 之結構 100 中的支撐墊 117，且大體上包括與支撐墊 117 相同的材料。在一實施例中，支撐墊 817 可以是銅；然而，支撐墊 817 可以包括其他金屬。例如，支撐墊 817 可以包括鋁、鉬、鎢或金。注意，在本發明之一實施例中，半導體晶方 810 可以直接焊接至支撐墊 817。

基材下接合區域 814 製造於基材 820 的頂表面 818 上。基材下接合區域 814 對應於圖 1 的結構 100 中之基材下接合區域 114，且大體上包括與基材下接合區域 114 相同的材料。基材下接合區域 814 可以包括鍍鎳的銅。基材下接合區域 814 可以又包括一在鍍鎳的銅上方的鍍金層。然而，基材下接合區域 814 可以包括其他金屬，諸如鋁、鉬、鎢或金。

也顯示於圖 8，下接合線 816 的第一端部接合至半導體晶方 810 上的半導體晶方接地接合墊 808，且下接合線 816 的第二端部接合至基材下接合區域 814。下接合線 816 對應於圖 1 之結構 100 中的下接合線 116，且大體上包括和下接合線 116 相同的材料。下接合線 816 可以是金，或可包括其他金屬，諸如鋁。下接合線 816 的直徑可以

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 32 )

是約 30.0 微米，或選擇其他直徑。又如圖 8 所示，信號接合線 834 的第一端部接合至半導體晶方 810 上的半導體晶方信號接合墊 804，且信號接合線 834 的第二端部接合至基材信號接合墊 832。信號接合線 834 對應於圖 1 之結構 100 中的信號接合線 134，且大體上包括和信號接合線 134 相同的材料。信號接合線 834 可以是金，或可包括其他金屬，諸如鋁。信號接合線 834 的直徑可以是 30.0 微米，或選擇其他直徑。

續圖 8，基材信號接合墊 832 製造於基材 820 的頂表面 818 上。基材信號接合墊 832 對應於圖 1 之結構 100 中的基材信號接合墊 132，且大體上包括和基材信號接合墊 132 相同的材料。在結構 800 中，基材信號接合墊 832 可以包括鍍鎳的銅。基材信號接合墊 832 可以又包括一在鍍鎳的銅上方的鍍金層。然而，基材信號接合墊 832 可以包括其他金屬，例如，鋁、鉬、鎢或金。在圖 8 的結構 800 中，基材信號接合墊 832 重疊於通孔 851。在本發明的另一實施例中，基材信號接合墊 832 可以頂靠於通孔 851。基材信號接合墊 832 充當電感器 883 的第一端子。

也在圖 8 中，基材信號接合墊 881 製造於基材 820 的頂表面 818 上。基材信號接合墊 881 可以包括鍍鎳的銅。基材信號接合墊 881 可以又包括一在鍍鎳的銅上方的鍍金層。然而，基材信號接合墊 881 可以包括其他金屬，例如，鋁、鉬、鎢或金。在圖 8 的結構 800 中，基材信號接合墊 881 重疊於通孔 879。在本發明的另一實施例中，基材

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

### 五、發明說明 ( 33 )

信號接合墊 881 並非重疊於通孔 879，而是「頂靠」於通孔 879。基材信號接合墊 881 充當電感器 883 的第二端子。

通孔 828 坐落於基材 820 中。通孔 828 自基材 820 的頂表面 818 延伸至底表面 824。通孔 828 對應於圖 1 的結構 100 中之通孔 128，且大體上包括和通孔 128 相同的材料。通孔 828 可以包括一導熱材料。通孔 828 可以包括銅，且實際上，在示範性結構 800 中，通孔 828 由銅充填。然而，通孔 828 能夠由其他金屬充填，不會偏離本發明的範疇。

對比於結構 700 中的電感器 760，其製造成為「螺旋形」電感器，而結構 800 中的電感器 883 製造成為「螺線管」結構。電感器 883 由互聯金屬區段 853、857、861、865、869、873 與 877 及通孔金屬區段 851、855、859、863、867、871、875 與 879 組成。在電感器 883 的第一端部，基材信號接合墊 832 連接至通孔金屬區段 851，在電感器 883 的第二端部，基材信號接合墊 881 連接至通孔金屬區段 879。互聯金屬區段 857、865 與 873 製造於基材 820 的頂表面 818 上。互聯區段 857、865 與 873 可以包括銅；然而，互聯區段 857、865 與 873 可以包括其他金屬，諸如鋁、鉬、鎢或金。又如圖 8 所示，互聯金屬區段 853、861、869 與 877 製造於基材 820 的底表面 824 上。互聯金屬區段 853、861、869 與 877 可以包括銅；然而，互聯金屬區段 853、861、869 與 877 可以包括其他金屬，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 34 )

諸如鋁、鉬、鎢或金。

如圖 8 所示，通孔金屬區段 851、855、859、863、867、871、875 與 879 坐落於基材 820 中，且自基材 820 的頂表面 818 延伸至底表面 824。通孔金屬區段 851、855、859、863、867、871、875 與 879 可以包括一導熱與導電材料，諸如銅，且實際上，在示範性結構 800 中，通孔金屬區段 851、855、859、863、867、871、875 與 879 由銅充填。然而，通孔金屬區段 851、855、859、863、867、871、875 與 879 能夠由其他金屬充填，不會偏離本發明的範疇。

又如圖 8 所示，散熱器 848 製造於基材 820 的底表面 824 上。散熱器 848 對應於圖 1 的結構 100 中之散熱器 148，且大體上包括與散熱器 148 相同的材料。在結構 800 中，散熱器 848 可以包括銅；然而，散熱器 848 可以包括其他金屬，諸如鋁、鉬、鎢或金。在示範性結構 800 中，散熱器 848 藉由鉚劑 847 接合至印刷電路板 850。然而，此技藝中習知的其他方法可以用於接合散熱器 848 至印刷電路板 850。注意，岸面 - 諸如圖 1 的結構 100 中之岸面 144 與 146 - 未顯示於圖 8 的結構 800 中。然而，結構 800 中的岸面製造於基材 820 的底表面 824 上，且大體上包括和圖 1 的結構 100 中之岸面 144 與 146 相同的材料。

現在，將討論圖 7 的結構 700 中之電感器 760 的操作。如上述，結構 700 中之電感器 760 製造於基材 720 的頂

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 35 )

表面 718 上。也如上述，可以藉由接合至電感器 760 的端子 764，電連接至電感器 760 的第一端部。可以藉由接合至電感器 760 的任一端子 762、782 或 784，電連接至電感器 760 的第二端部。形成電感器 760 之導體 - 即，軌線 - 的長度可以藉由接合至電感器 760 的任一端子 762、782 或 784 而改變。已知一導體的電感成比例於導體的長度。所以，藉由在任一端子 762、782 或 784 接合至電感器 760 的第二端部，可藉以改變電感器 760 的電感。於是，藉由在電感器 760 的第二端部提供複數接合位置，結構 700 允許電感器 760 的電感「微調」至更緊密配合一特殊用途所需要的電感。

在本發明的另一實施例中，一電感器可以坐落於一半導體晶方 - 諸如結構 700 中的半導體晶方 710 - 的下方。在又一實施例中，另一電感器 - 類似於圖 7 的電感器 760 - 可以製造於結構 700 中的基材 720 底表面上的電感器 760 正下方。於是，一電壓器可以藉由交叉耦合電感器 760 而形成於結構 700 中，而一類似的電感器製造於基材 720 底底表面上的電感器 760 下方。交叉耦合電感器 760 - 即，電感器 760 與製造於基材 720 底表面上的電感器 760 下方之類似的電感器 - 可以具有相同數目或不同數目的「匝數」。

注意，如上述，結構 700 保留結構 100 的優點與特性，結構 700 也包含嵌入電感器 760。電感器 760 是使用類似關聯於圖 5 所述的過程步驟製造，如此，過程步驟不在

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 36 )

此重述。注意，電感器 760 的製造是與結構 700 的剩餘元件之製造同時發生。此外，半導體晶方信號接合墊 - 諸如半導體晶方信號接合墊 774 - 容易連接至電感器 760 的端子，諸如端子 764，其充當電感器 760 的第一端子。也注意，電感器 760 的第二端子 - 諸如端子 762 - 也可經由基材信號接合墊片 768 而容易地處置。如此，電感器 760 的嵌入未導致額外的製造步驟或製造成本，且導致一「內建式」且容易處置之電感值相當大的電感器。於是，結構 700 保留結構 100 的優點與特性，且使電感器 760 的利益增加。

現在，將討論圖 8 中之結構 800 與結構 800 中之電感器 883 的操作。如同圖 1 的結構 100，結構 800 與結構 100 一同共享很多優點與特性。此外，一電感器 - 即，電感器 883 - 嵌入於結構 800 中。以下展現結構 800 的某些特性與優點，其與結構 100 相同。在結構 800 中，下接合線 816 在半導體晶方 810 上的半導體晶方接地接合墊 808 與基材下接合區域 814 之間提供電接地連接。基材下接合區域 814 緊鄰於半導體晶方 810。藉由使基材下接合區域 814 緊鄰於半導體晶方 810，結構 800 在半導體晶方接地接合墊 808 與基材下接合區域 814 之間提供最小長度的電接地連接。

支撐墊 817 藉由提供半導體晶方接地接合墊以一大的共用接地連接，而充當半導體晶方 810 的「接地平面」。於是，半導體晶方接地墊 808 藉由下接合線 816 電連接至

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 37 )

基材下接合區域 814，且基材下接合區域 814 是支撐墊 817 的一部分。因為基材下接合區域 814 是支撐墊 817 的一部分，所以，結構 800 在半導體晶方接地墊 808 與支撐墊 817 之間提供最小長度的電接地連接。而且，通孔 828 電連接支撐墊 817 與散熱器 848。於是，基材下接合區域 814、支撐墊 817、通孔 828 與散熱器 848 結合，以在半導體晶方接地墊 808 與散熱器 848 之間提供最小長度、低電阻與低電感的接地連接。

此外，在圖 8 的結構 800 中，可以使用大量通孔 828。因為通孔 828 並聯於支撐墊 817 與散熱器 848 之間，所以，與已由單一通孔提供的電阻與電感路徑相比，它們(通孔 828)在支撐墊 817 與散熱器 848 之間提供低很多的電阻與電感路徑。於是，如關聯於圖 1 中的結構 100 所述者，利用複數通孔，諸如圖 8 的通孔 828，結構 800 在支撐墊 817 與散熱器 848 之間提供低電阻、低電感、最小長度的電接地連接。

結構 800 保留結構 100 的優點與特性，結構 800 也包含嵌入電感器 883。電感器 883 是使用類似關聯於圖 5 所述的過程步驟製造，如此，過程步驟不在此重述。然而，注意，電感器 883 的製造是與結構 800 的剩餘元件之製造同時發生。特別地，電感器 883 的製造是與支撐墊片 817、通孔 828 及散熱器 848 的製造結合。此外，信號接合墊 - 諸如半導體晶方 810 的信號接合墊 804 - 容易連接至電感器 883 的端子，諸如基材信號接合墊 832，其充當電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 38 )

感器 883 的第一端子。也注意，電感器 883 的第二端子也可經由基材信號接合墊片 881 而容易地處置。如此，電感器 883 的嵌入未導致額外的製造步驟或製造成本，且導致一「內建式」且容易處置之電感值相當大的電感器。於是，結構 800 保留結構 100 的優點與特性，且使電感器 883 的利益增加。

藉由以上的詳細說明可以明白，本發明提供具有嵌入電感器之無引線晶片載體之結構及製造方法。本發明也將半導體晶方產生的熱有效消散。此外，本發明提供低寄生性及低的電感與電阻接地連接。從本發明的以上說明，顯然，各種技術可以用於實施本發明的觀念，不會偏離它的範疇。此外，雖然已特別參考某些實施例而說明本發明，但一般專精於此技藝的人可以認知，可針對形式與細節加以改變，不會偏離本發明的精神和範疇。所說明的實施例應視為闡釋性，而非限制性。也應該了解，本發明不限於此處說明的特殊實施例，而是可以有很多新配置、修改與替代物，不會偏離本發明的範疇。

於是，已說明具有嵌入電感器之無引線晶片載體之結構及製造方法。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 四、中文發明摘要(發明之名稱：

具有嵌入電感器之無引線晶片載體  
之構造及製造方法

一實施例包括一種具有一用於承接半導體晶方的頂表面的基材。依據所揭示的實施例，一電感器圖案化於基材的頂表面上。可以藉由將電感器的第一與第二端子個別連接至一基材信號接合墊與一半導體晶方信號接合墊，而容易地處置該電感器。在另一所揭示的實施例中，一電感器製造於基材中。電感器包括通孔金屬區段，其連接基材頂與底表面上的互聯金屬區段。經由第一與第二基材信號接合墊，可以容易地處置電感器的第一與第二端子。一實施例包括至少一在基材中的通孔。該至少一通孔在半導體晶方之一信號接合墊與一接合至基材底表面的印刷電路板之間提供電連接。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

## 英文發明摘要(發明之名稱：

## STRUCTURE AND METHOD FOR FABRICATION OF A LEADLESS CHIP CARRIER WITH EMBEDDED INDUCTOR

One embodiment comprises a substrate having a top surface for receiving a semiconductor die. According to a disclosed embodiment, an inductor is patterned on the top surface of the substrate. The inductor is easily accessible by connecting its first and second terminals to, respectively, a substrate signal bond pad and a semiconductor die signal bond pad. In another disclosed embodiment, an inductor is fabricated within the substrate. The inductor comprises via metal segments connecting interconnect metal segments on the top and bottom surfaces of the substrate. The first and second terminals of the inductor are easily accessible through first and second substrate signal bond pads. One embodiment comprises at least one via in the substrate. The at least one via provides an electrical connection between a signal bond pad of the semiconductor die and a printed circuit board attached to the bottom surface of the substrate.



訂

線

圖 1

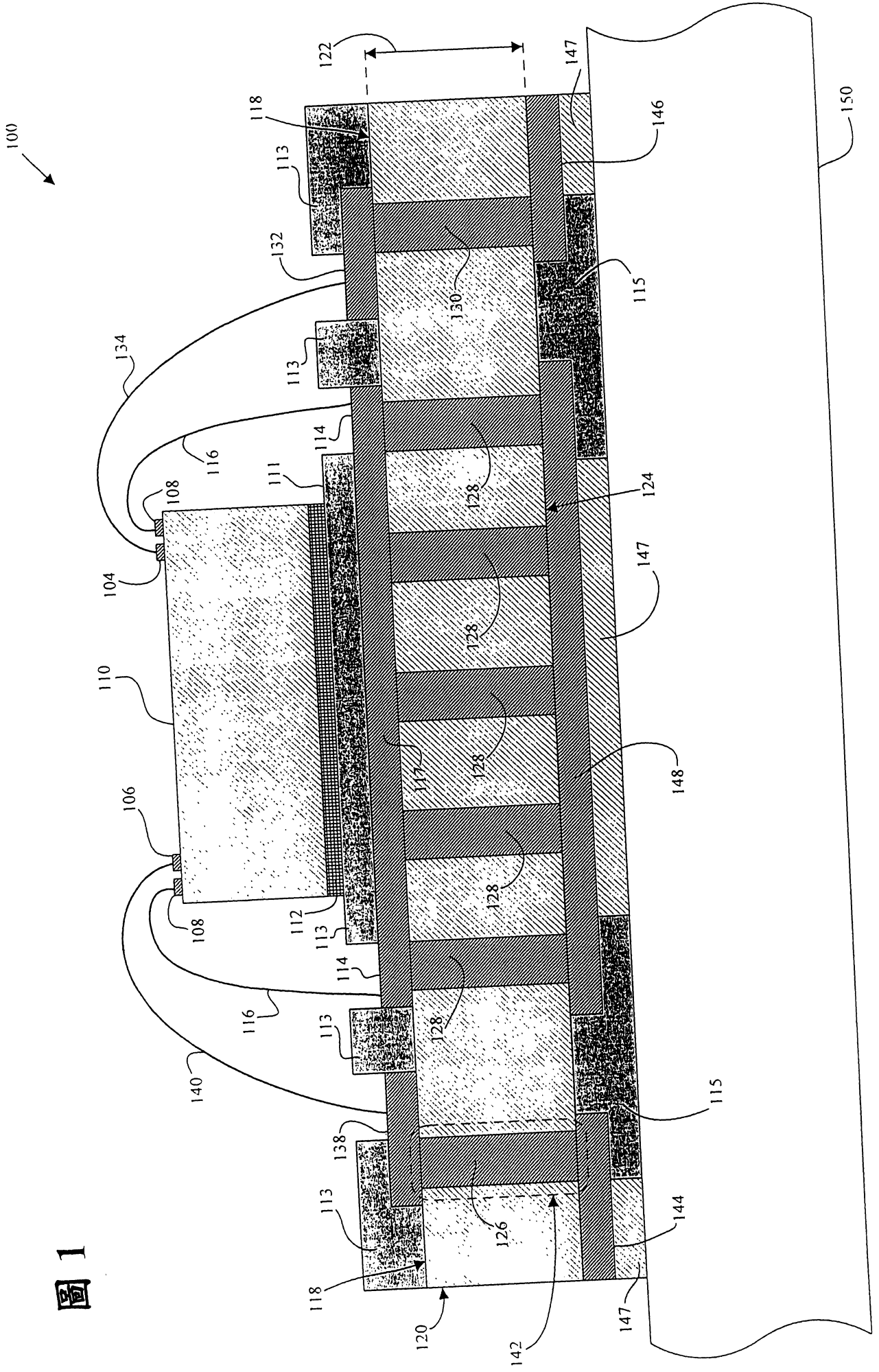


圖 2A

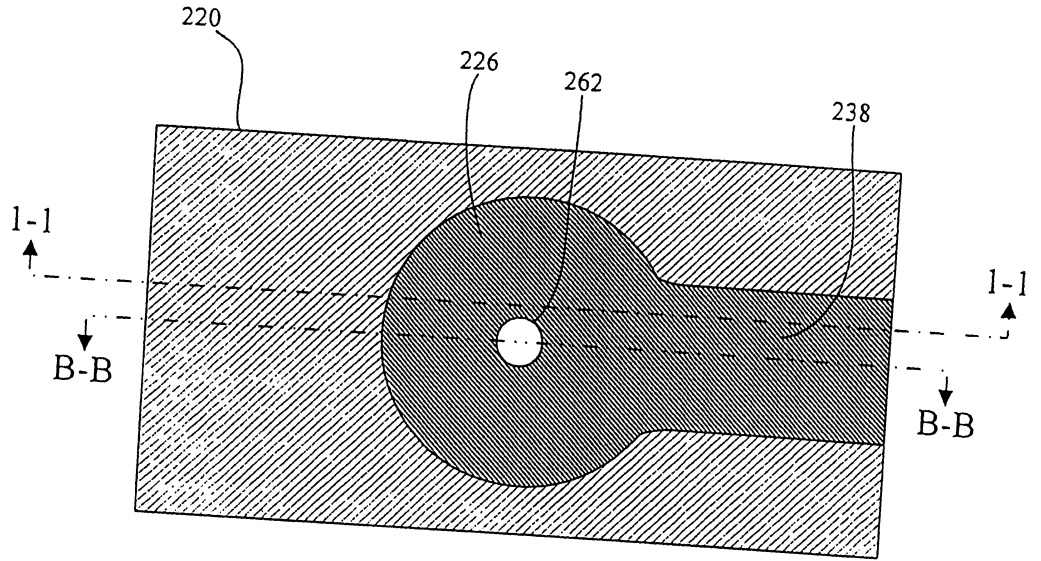


圖 2B

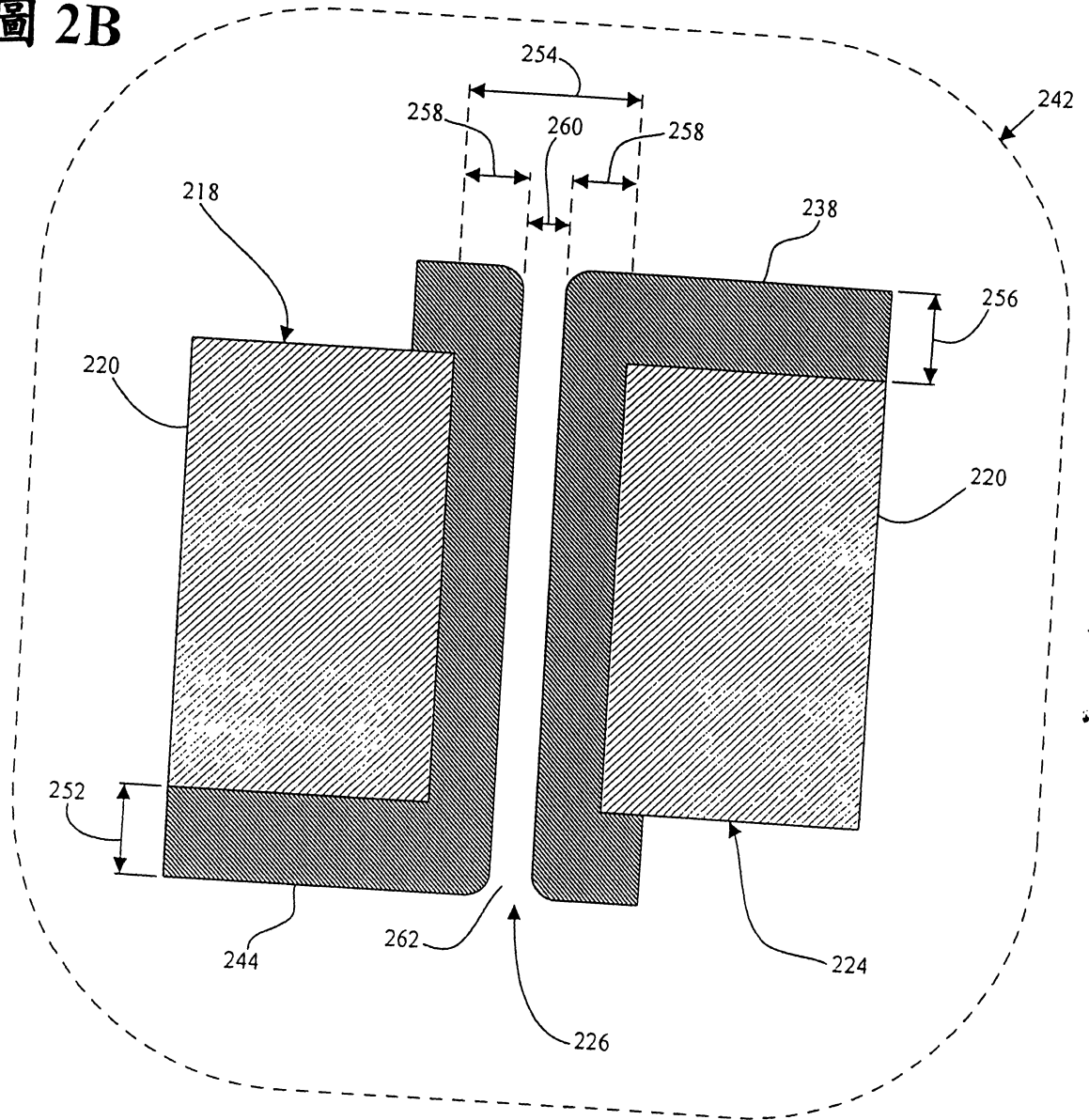


圖 3

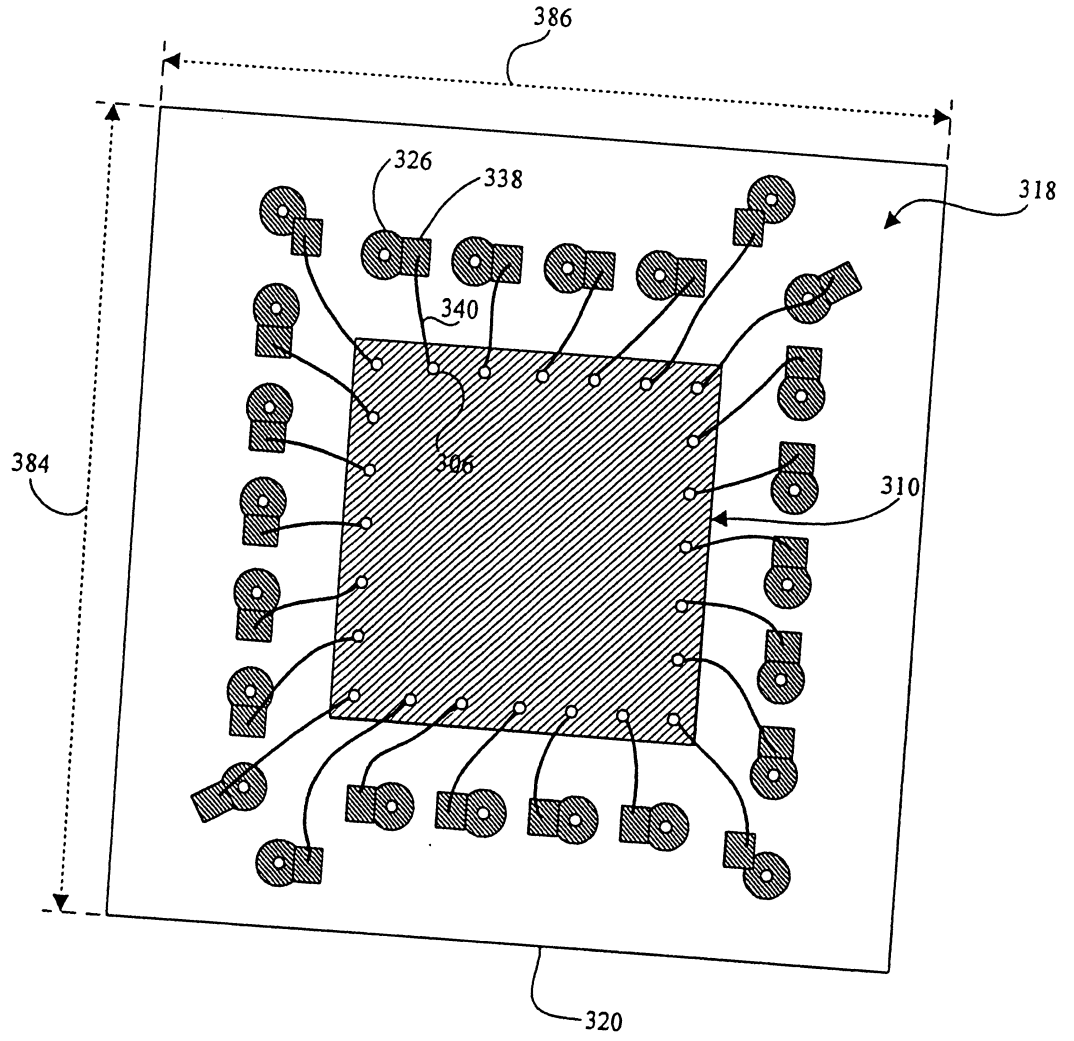


圖 4

400

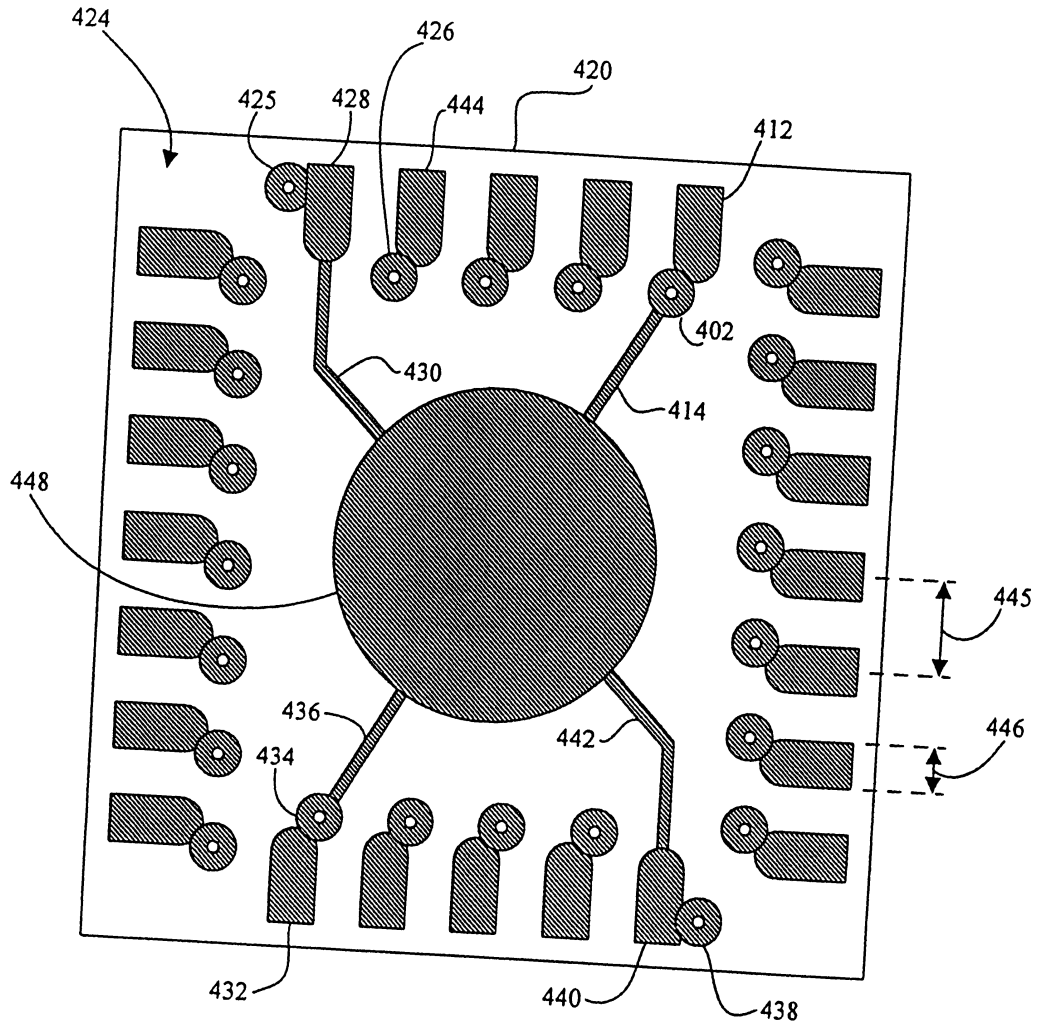


圖 5

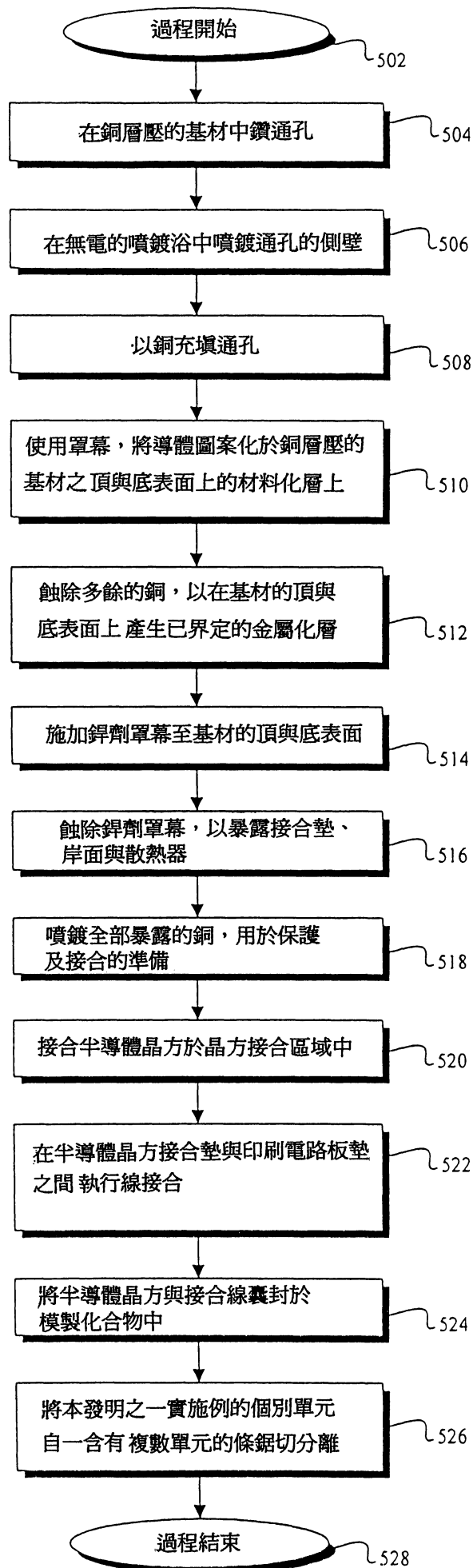


圖 6

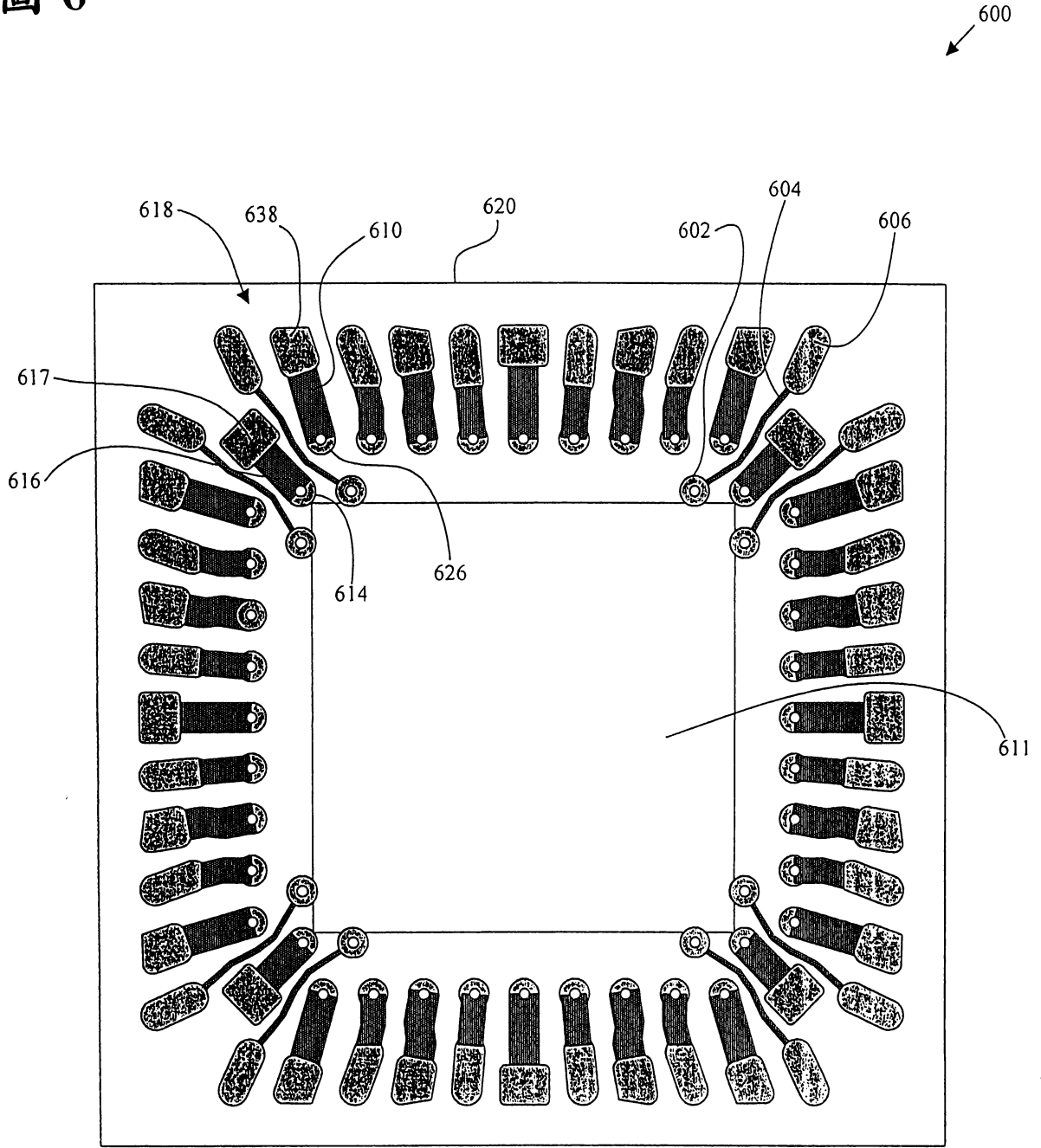
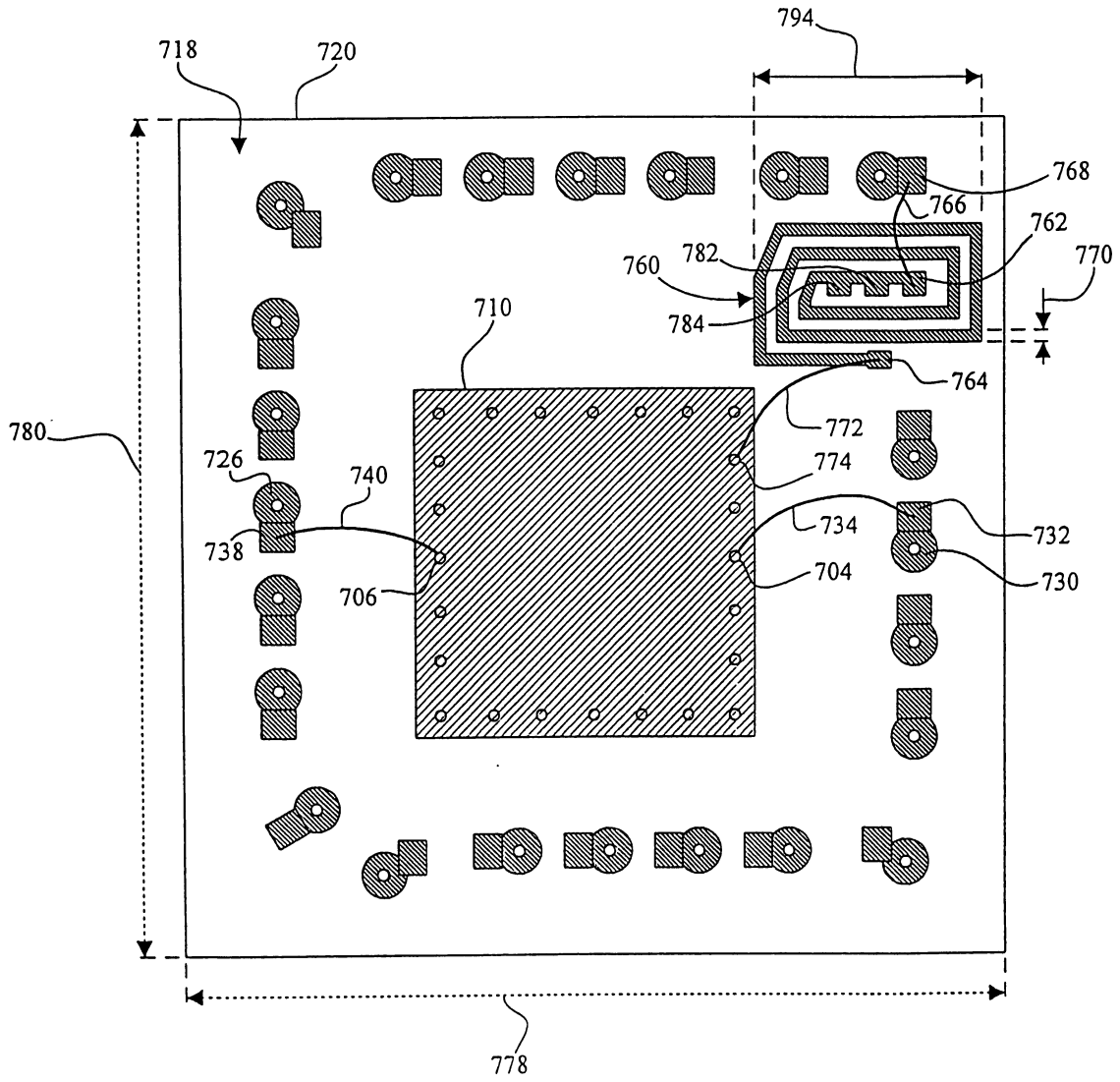


圖 7

700





## 六、申請專利範圍

第 091117321 號 專利 申請 案

中文 申請 專利 範圍 無劃線替代本

民國 92 年 7 月 11 日 修正

1. 一種 半導體 結構，包括：

一 具有一 用於 承接 晶方 的頂 表面 之基 材；

一 圖案 化於 該基 材的 頂表 面上 之導 體， 該導 體具 有一 第一 端子 及一 第二 端子， 各該 第一 及第 二端 子位 在該 基材 的該 頂表 面上， 該導 體的 該第 一端 子適 用於 連接 至一 第一 基材 信號 接合 墊， 該第 一基 材信 號接 合墊 位在 該基 材的 該頂 表面 上， 且該 導體 的該 第二 端子 適於 連接 至一 第一 晶方 信號 接合 墊， 該第 一晶 方信 號接 合墊 位在 該基 材的 該頂 表面 上；

一 接合 至該 基材 底表 面之 印刷 電路 板；

至少 一在 該基 材中 之通 孔；

該至少 一通 孔在 一第 二晶 方信 號接 合墊 與該 印刷 電路 板之 間提 供電 連接。

2. 如申 請專 利範 圍第 1 項 之半 導體 結構， 其中 該晶 方是 半導 體晶 方。

3. 如申 請專 利範 圍第 1 項 之半 導體 結構， 其中 該基 材包 括一 有機 材料。

4. 如申 請專 利範 圍第 1 項 之半 導體 結構， 其中 該基 材包 括一 陶瓷 材料。

5. 如申 請專 利範 圍第 1 項 之半 導體 結構， 其中 該至 少

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 六、申請專利範圍

一通孔在一第二基材信號接合墊與該印刷電路板之間提供電連接，該第二基材信號接合墊電連接至該第二晶方信號接合墊。

6.如申請專利範圍第5項之半導體結構，其中該第二基材信號接合墊藉由一接合線電連接至該第二晶方信號接合墊。

7.如申請專利範圍第1項之半導體結構，其中至少一通孔在該第二晶方信號接合墊與一岸面之間提供電連接，該岸面電連接至該印刷電路板。

8.如申請專利範圍第1項之半導體結構，其中該至少一通孔在一第二基材信號接合墊與一岸面之間提供電連接，該第二基材信號接合墊電連接至該第二晶方信號接合墊，且該岸面電連接至該印刷電路板。

9.如申請專利範圍第8項之半導體結構，其中該第二基材信號接合墊藉由一接合線電連接至該第二晶方信號接合墊。

10.如申請專利範圍第1項之半導體結構，其中該至少一通孔包括一導熱材料。

11.如申請專利範圍第1項之半導體結構，其中該導體是電感器。

12.如申請專利範圍第11項之半導體結構，其中該導體的第一端子連接至該第一基材信號接合墊，且該導體的第二端子連接至該第一晶方信號接合墊。

13.一種半導體結構，包括：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

一 具有一用於承接晶方的頂表面之基材；

一 圖案化於該基材中之導體，該導體包含一電感器，該導體具有一第一端子及一第二端子，各該第一及第二端子位在該基材的該頂表面上，一第一基材信號接合墊是該導體的該第一端子，且一第二基材信號接合墊是該導體的該第二端子；

一 接合至該基材底表面之印刷電路板；

至少一在該基材中之通孔；

該至少一通孔在一晶方信號接合墊與該印刷電路板之間提供電連接。

14.如申請專利範圍第 13 項之半導體結構，其中該晶方是半導體晶方。

15.如申請專利範圍第 13 項之半導體結構，其中該基材包括一有機材料。

16.如申請專利範圍第 13 項之半導體結構，其中該基材包括一陶瓷材料。

17.如申請專利範圍第 13 項之半導體結構，其中該至少一通孔在該晶方信號接合墊與一岸面之間提供電連接，且該岸面電連接至該印刷電路板。

18.如申請專利範圍第 13 項之半導體結構，其中該至少一通孔包括一導熱材料。

19.如申請專利範圍第 13 項之半導體結構，其中該導體包括在該基材中的複數通孔金屬區段。

20.如申請專利範圍第 19 項之半導體結構，其中該導

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

體是電感器。

21.一種用於承接半導體晶方的半導體結構之製造方法，該方法包括的步驟是：

在一基材中鑽出一第一孔；

以金屬充填該第一孔，以形成一第一通孔；

將一導體圖案化於該基材的頂表面上，該導體包含一電感器，該導體具有一第一端子及一第二端子，各該第一及第二端子位在該基材的該頂表面上，該導體的該第一端子適用於連接至一基材信號接合墊，該第一基材信號接合墊位在該基材的該頂表面上，且該導體的該第二端子適用於連接至一晶方信號接合墊，該第一晶方信號接合墊位在該基材的該頂表面上；

將一支撐墊圖案化於該基材的頂表面上，且將一散熱器圖案化於該基材的底表面上，該第一通孔在該散熱器與該支撐墊之間提供電連接，該支撐墊適於承接該半導體晶方。

22.如申請專利範圍第 21 項之方法，其中該基材包括一有機材料。

23.如申請專利範圍第 21 項之方法，其中該基材包括一陶瓷材料。

24.如申請專利範圍第 21 項之方法，其中又包括一將該基材的底表面接合至一印刷電路板的步驟。

25.如申請專利範圍第 24 項之方法，其中該第一通孔在該晶方信號接合墊與一岸面之間提供電連接，該岸面電

(請先閱讀背面之注意事項再填寫本頁)

訂

總

## 六、申請專利範圍

連接至該印刷電路板。

26.如申請專利範圍第 21 項之方法，其中該第一通孔包括一導熱材料。

27.如申請專利範圍第 21 項之方法，其中該導體是電感器。

28.一種用於承接半導體晶方的半導體結構之製造方法，該方法包括的步驟是：

將一導體圖案化一基材中，該導體包含一電感器，該導體具有一第一端子及一第二端子，各該第一及第二端子位在該基材的該頂表面上，一第一基材信號接合墊是該導體的該第一端子，且一第二基材信號接合墊是該導體的該第二端子；

將一支撐墊圖案化於該基材的頂表面上，且將一散熱器圖案化於該基材的底表面上，一第一通孔在該散熱器與該支撐墊之間提供電連接，該支撐墊適於承接該半導體晶方。

29.如申請專利範圍第 28 項之方法，其中該基材包括一有機材料。

30.如申請專利範圍第 28 項之方法，其中該基材包括一陶瓷材料。

31.如申請專利範圍第 28 項之方法，其中又包括一將該基材的底表面接合至一印刷電路板的步驟。

32.如申請專利範圍第 31 項之方法，其中該第一通孔在一晶方信號接合墊與一岸面之間提供電連接，該岸面電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

連接至該印刷電路板。

33.如申請專利範圍第 28 項之方法，其中該第一通孔包括一導熱材料。

34.如申請專利範圍第 28 項之方法，其中該導體包括在該基材中的複數通孔金屬區段。

35.如申請專利範圍第 34 項之方法，其中該導體是電感器。

(請先閱讀背面之注意事項再填寫本頁)

訂

線