



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 99107541.2

[45] 授权公告日 2004 年 4 月 14 日

[11] 授权公告号 CN 1146103C

[22] 申请日 1999.4.17 [21] 申请号 99107541.2

[30] 优先权

[32] 1998.4.17 [33] JP [31] 107740/1998

[71] 专利权人 日本电气株式会社

地址 日本东京都

[72] 发明人 吉冈健治

审查员 田 竞

[74] 专利代理机构 中国专利代理(香港)有限公司

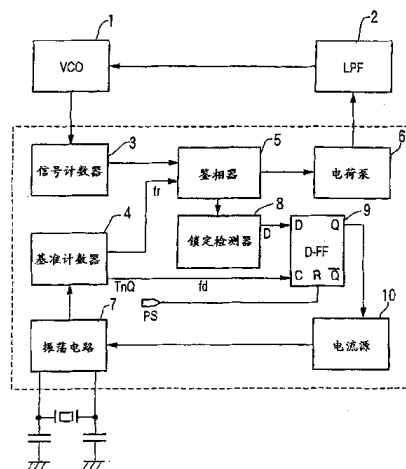
代理人 王 勇 陈景峻

权利要求书 4 页 说明书 11 页 附图 11 页

[54] 发明名称 包括互导受控的振荡电路的 PLL 振荡电路

[57] 摘要

锁相环(PLL)振荡电路包括第一振荡电路(1、2、3、5、6)、锁定检测器(8)和基准振荡电路(4、7、9、10)。该第一振荡电路产生具有第一频率的振荡信号,并根据基准信号控制该第一频率。该锁定检测器检测该振荡信号和该基准信号之间的相位锁定,产生锁定检测信号。该基准振荡电路包括一石英振荡元件,产生该基准信号。该基准振荡电路的振荡状态根据该锁定检测信号来控制。



1. 锁相环 (PLL) 振荡电路, 包括:
- 5 一第一振荡电路, 所述第一振荡电路具有压控振荡器、信号计数器和相位比较器, 其中所述压控振荡器产生第一频率的振荡信号, 所述信号计数器对所述振荡信号分频, 并且所述相位比较器对所述分频后的振荡信号和基准信号进行相位上的比较, 从而产生相位差信号, 其中根据所述相位差信号控制所述第一频率;
- 一锁定检测器, 检测所述分频后的振荡信号和所述基准信号之间的相位锁定, 产生锁定检测信号; 以及
- 10 一基准振荡电路, 包括一石英振荡元件和基准计数器, 其中所述基准计数器利用所述石英振荡元件对所产生的第一信号分频从而产生所述基准信号, 所述基准振荡电路的振荡状态根据所述锁定检测信号来控制。
2. 权利要求1的锁相环振荡电路, 其中所述基准振荡电路包括:
- 振荡产生所述第一信号的一振荡电路;
- 15 所述基准计数器分频所述第一信号来产生所述基准信号, 以便产生所述基准信号; 以及
- 一控制电路, 该控制电路响应一起动信号控制所述振荡电路, 使之以第一互导进行振荡, 响应所述锁定检测信号控制所述振荡电路, 使之以比所述第一互导小的第二互导进行振荡。
- 20 3. 权利要求2的锁相环振荡电路, 当所述振荡电路以所述第一互导进行振荡时, 所述振荡电路的负阻的绝对值是所述石英振荡元件等效电阻的3到10倍,
- 而当所述振荡电路以所述第二互导进行振荡时, 所述振荡电路的负阻的绝对值等于所述石英振荡元件的等效电阻。
4. 权利要求2或3的锁相环振荡电路, 其中所述振荡电路包括:
- 25 所述石英振荡元件;
- 利用所述石英振荡元件执行振荡操作的一振荡晶体管; 以及
- 与所述振荡晶体管并联设置的、被一控制信号起动的一控制晶体管,
- 其中所述控制电路响应所述锁定检测信号向所述控制晶体管输出所述控制信号, 减小所述振荡晶体管的集电极电流, 使得所述振荡晶体管以减小了的集电极电流继续执行振荡操作。
- 30

5. 权利要求2或3的锁相环振荡电路, 其中所述振荡电路包括:
所述石英振荡元件;
利用所述石英振荡元件执行振荡操作的一振荡晶体管;
被第一控制信号起动的第一控制晶体管; 以及
5 被第二控制信号起动的第二控制晶体管,
其中所述控制电路响应所述起动信号向所述第一控制晶体管输出所述第一控制信号, 使所述第一控制晶体管流动第一电流作为所述振荡晶体管的集电极电流, 响应所述锁定检测信号向所述第二控制晶体管输出所述第二控制信号, 使所述
10 第二控制晶体管流动第二电流作为所述振荡晶体管的集电极电流, 所述第二电流比所述第一电流小, 所述振荡晶体管以第二电流继续执行振荡操作。
6. 权利要求2或3的锁相环振荡电路, 其中所述振荡电路包括:
所述石英振荡元件;
利用所述石英振荡元件执行振荡操作的一振荡晶体管,
其中所述控制电路响应所述起动信号控制所述振荡晶体管执行A类操作、然
15 后执行C类操作, 响应所述锁定检测信号控制所述振荡晶体管执行所述A类操作, 在所述A类操作中是正弦波振荡, 而在所述C类操作中幅度达到集电极饱和区。
7. 控制使用石英振荡元件的振荡电路的振荡的方法, 包括以下步骤:
响应起动信号起动振荡;
增大所述振荡的振幅; 和
20 在从所述起动信号起的一段预定时间内响应锁定检测信号减小所述振荡的
所述振幅。
8. 权利要求7的方法, 在该方法中, 所述振荡电路在所述起动步骤和所述增大步骤中的互导比其在所述减小步骤中的互导大。
9. 权利要求7的方法, 在该方法中, 所述振荡电路包括利用所述石英振荡元
25 件执行振荡的一振荡晶体管,
其中所述起动步骤和所述增大步骤包括向所述振荡晶体管提供第一集电极电流的步骤, 所述减小步骤包括向所述振荡晶体管提供第二集电极电流的步骤, 所述第二集电极电流比所述第一集电极电流小。
10. 权利要求7的方法, 在该方法中, 所述振荡电路包括利用所述石英振荡元
30 件执行振荡的一振荡晶体管,

其中所述振荡晶体管在所述起动步骤中执行A类操作，在所述增大步骤中执行C类操作，在所述减小步骤中执行A类操作。

11. 一振荡电路，包括：

具有一石英振荡元件、振荡产生第一振荡信号的一振荡部分；

5 一控制部分，响应作为起动信号的第一定时信号控制所述振荡部分以第一互导进行振荡，响应第二定时信号控制所述振荡部分以比第一互导小的第二互导进行振荡，所述第二定时信号在从所述第一定时信号起的一段预定时间内被产生。

12. 权利要求11的振荡电路，在该振荡电路中，当所述振荡部分以所述第一互导进行振荡时，所述振荡部分的负阻的绝对值是所述石英振荡元件等效电阻的3
10 到10倍，而当所述振荡部分以所述第二互导进行振荡时，所述振荡部分的负阻的绝对值等于所述石英振荡元件的等效电阻。

13. 权利要求11或12的振荡电路，其中所述振荡部分包括：

利用所述石英振荡元件执行振荡操作的一振荡晶体管；和

与所述振荡晶体管并联设置的、被一控制信号起动的一控制晶体管，

15 其中所述控制部分响应所述第二定时信号向所述控制晶体管输出控制信号，以减小所述振荡晶体管的集电极电流，使得所述振荡晶体管以减小了的集电极电流继续执行振荡操作。

14. 权利要求11或12的振荡电路，其中所述振荡部分包括：

利用所述石英振荡元件执行振荡操作的一振荡晶体管；

20 被第一控制信号起动的第一控制晶体管；和

被第二控制信号起动的第二控制晶体管，

其中所述控制部分响应所述第一定时信号向所述第一控制晶体管输出所述第一控制信号，使所述第一控制晶体管流动第一电流作为所述振荡晶体管的集电极电流，响应所述第二定时信号向所述第二控制晶体管输出所述第二控制信号，
25 使所述第二控制晶体管流动第二电流作为所述振荡晶体管的集电极电流，所述第二电流比所述第一电流小，所述振荡晶体管以第二电流继续执行振荡操作。

15. 权利要求11或12的振荡电路，其中所述振荡部分包括：

利用所述石英振荡元件执行振荡操作的一振荡晶体管，

其中所述控制部分响应所述起动信号控制所述振荡晶体管执行A类操作、然后
30 后执行C类操作，响应所述锁定检测信号控制所述振荡晶体管执行所述A类操作。

16. 权利要求11的振荡电路，其中所述振荡部分被应用于锁相环（PLL）振荡电路，并且

其中所述第一定时信号是起动信号，所述第二定时信号是表示所述锁相环电路锁定状态的锁定检测信号。

5 17. 权利要求16的振荡电路，其中所述锁相环电路被应用于无线电设备。

包括互导受控的振荡电路的PLL振荡电路

5 本发明涉及PLL电路和为PLL电路产生基准振荡的电路。本发明尤其涉及减小由谐波分量产生的噪声的方法及电路。

图1是表示一普通PLL振荡电路的方框图。在图1中，振荡电路17产生一振荡信号，该振荡信号被基准计数器4分频为一基准信号。压控振荡器（VCO）1输出一振荡信号，该振荡信号被信号计数器3分频为一时钟信号。该基准信号和该时钟信号提供
10 号提供给鉴相器5。电荷泵6把其由鉴相器5的输出确定的输出提供给低通滤波器（LPF）2。该VCO按照该低通滤波器2的输出进行振荡。

图2是表示把该普通PLL振荡电路用作本振的一选呼无线电接收机的结构的方框图。天线（ANT）51接收的接收信号被放大器（RFAMP）52放大并经由带通滤波器（BPF）53传送至乘法器（1STMIX）54。相应于图1所示振荡电路的一振荡电
15 路的输出经由倍频电路59传送至乘法器（1STMIX）54。该乘法器54的输出通过带通滤波器（BPF）55，然后传送至乘法器（2NDMIX）56。一振荡信号从相应于图1所示振荡电路的振荡电路60传送至乘法器56。乘法器56的输出通过带通滤波器（BPF）57，然后传送至解调器（DEMOD）58。

图3表示电容三点式石英振荡电路，而图4表示该电容三点式石英振荡电路的
20 电等效电路。

为了使接收机具有出色的无线电性能，减小PLL振荡电路产生的各种噪声是很重要的。鉴相器的死区性能、比较频率造成的基准泄漏、低通滤波器（LPF）的频率性能等都对压控振荡器（VCO）的载波噪声比（C/N）有影响，并且还确定了接收机的灵敏度抑制性能。

25 此外，石英振荡电路或VCO电路中的谐波分量噪声造成寄生干扰。为了抑制这种寄生干扰，需要限制振荡电路的振荡电平不要太大并在各个电路部分的各级之间插入滤波器。这样就能够减小振荡电路中的谐波分量噪声。

如上所述，问题是在这种石英振荡电路中出现了谐波分量。如果能够使振荡输出更加接近正弦波振荡，就能够减小谐波分量的强度。为此，需要抑制振荡幅
30 度以便振荡电路的输出幅度不受电源电压或晶体管集电极饱和的限制。

但是,如果减小石英振荡电路的振幅,则起振性能恶化,于是PLL振荡电路的锁定时间变长。在具有执行省电功能的系统的设备中,把从PLL振荡电路接通到接收机接通(开始接收操作)的时间间隔称为起振容限。于是接收机的设计将使得PLL振荡电路的锁定在起振容限内完成。如果随着锁定时间的变长而把起振容限定得较大,则电池寿命将缩短。

连同以上说明一起,日本公开专利申请(JP-62-36921)描述了PLL系统偏频合成电路。在该参考文献中,混频器根据外界提供的RF正弦信号对压控振荡器的输出信号进行频率变换。第一鉴相器比较被该混频器下变频的信号和偏频信号的频率。第二鉴相器比较压控振荡器的输出信号和RF正弦信号的频率。最大值电路选择第一鉴相器的输出和第二鉴相器的输出中的较大者,并将选定的输出作为控制信号提供给该压控振荡器。

本发明的目的是提供一振荡电路和使用了该振荡电路的一锁相环(PLL)振荡电路,在该锁相环(PLL)振荡电路中,噪声可得到减小。

本发明的另一目的是提供一振荡电路和使用了该振荡电路的一锁相环(PLL)振荡电路,在该锁相环(PLL)振荡电路中,功耗可得到降低。

本发明的再一目的是提供控制振荡以便减小噪声和降低功耗的方法。

为了实现本发明的一个方面,锁相环(PLL)振荡电路包括:一第一振荡电路,所述第一振荡电路具有压控振荡器、信号计数器和相位比较器,其中所述压控振荡器产生第一频率的振荡信号,所述信号计数器对所述振荡信号分频,并且所述相位比较器对所述分频后的振荡信号和基准信号进行相位上的比较,从而产生相位差信号,其中根据所述相位差信号控制所述第一频率;一锁定检测器,检测所述分频后的振荡信号和所述基准信号之间的相位锁定,产生锁定检测信号;以及一基准振荡电路,包括一石英振荡元件和基准计数器,其中所述基准计数器利用所述石英振荡元件对所产生的第一信号分频从而产生所述基准信号,所述基准振荡电路的振荡状态根据所述锁定检测信号来控制。

该基准振荡电路可包括产生一第二信号的一振荡电路、分频该第二信号以产生基准信号的一分频器和一控制电路。该控制电路响应一起动信号控制该振荡电路,使之以第一互导进行振荡,响应锁定检测信号控制该振荡电路,使之以比第一互导小的第二互导进行振荡。

当该振荡电路以第一互导进行振荡时，其负阻的绝对值是石英振荡元件等效电阻的3到10倍，而当其以第二互导进行振荡时，其负阻的绝对值等于石英振荡元件的等效电阻。

该振荡电路可包括该石英振荡元件、利用该石英振荡元件执行振荡操作的一
5 振荡晶体管和与该振荡晶体管并联设置的、被一控制信号起动的一控制晶体管。
在这种情况下，控制电路响应锁定检测信号向该控制晶体管输出该控制信号，减小该振荡晶体管的集电极电流，使得该振荡晶体管以减小了的集电极电流继续执行振荡操作。

该振荡电路可包括该石英振荡元件、利用该石英振荡元件执行振荡操作的一
10 振荡晶体管、被第一控制信号起动的的第一控制晶体管和被第二控制信号起动的的第二控制晶体管。在这种情况下，控制电路响应起动信号向第一控制晶体管输出第一控制信号，使第一控制晶体管流动第一电流作为振荡晶体管的集电极电流，响应锁定检测信号向第二控制晶体管输出第二控制信号，使第二控制晶体管流动第二电流作为振荡晶体管的集电极电流，第二电流比第一电流小，振荡晶体管以第
15 二电流继续执行振荡操作。

该振荡电路可包括该石英振荡元件和利用该石英振荡元件执行振荡操作的一振荡晶体管。在这种情况下，控制电路响应起动信号控制该振荡晶体管执行A类操作、然后执行C类操作，响应锁定检测信号控制该振荡晶体管执行A类操作。

为了实现本发明的另一个方面，控制使用石英振荡元件的振荡电路的振荡的
20 方法包括以下步骤：

响应起动信号起动振荡；

增大振荡的振幅；和

在从起动信号起的一段预定时间内响应锁定检测信号减小振荡的振幅。

该振荡电路在起动步骤和增大步骤中的互导比其在减小步骤中的互导大。

25 该振荡电路可包括使用该石英振荡元件进行振荡的一振荡晶体管。在这种情况下，起动步骤和增大步骤包括向该振荡晶体管提供第一集电极电流的步骤，减小步骤包括向该振荡晶体管提供第二集电极电流的步骤，第二集电极电流比第一集电极电流小。在另外的情况下，振荡晶体管在起动步骤中执行A类操作，在增大步骤中执行C类操作，在减小步骤中执行A类操作。

30 为了实现本发明的再一个方面，一振荡电路包括具有一石英振荡元件、产生

第一振荡信号的一振荡部分和一控制部分。该控制部分响应作为起动信号的第一定时信号控制该振荡部分以第一互导进行振荡，响应第二定时信号控制该振荡部分以比第一互导小的第二互导进行振荡，第二定时信号在从第一定时信号起的一段预定时间内被产生。

- 5 当该振荡部分以第一互导进行振荡时，其负阻的绝对值是石英振荡元件的等效电阻的3到10倍，而当其以第二互导进行振荡时，其负阻的绝对值等于石英振荡元件的等效电阻。

该振荡部分可包括利用该石英振荡元件执行振荡操作的一振荡晶体管 and 与该振荡晶体管并联设置的、被一控制信号起动的一控制晶体管。在这种情况下，
10 控制电路响应第二定时信号向该控制晶体管输出控制信号，减小该振荡晶体管的集电极电流，使得该振荡晶体管以减小了的集电极电流继续执行振荡操作。

该振荡电路可包括利用该石英振荡元件执行振荡操作的一振荡晶体管、被第一控制信号起动的的第一控制晶体管和被第二控制信号起动的第二控制晶体管。在这种情况下，控制电路响应第一定时信号向第一控制晶体管输出第一控制信号，
15 使第一控制晶体管流动第一电流作为振荡晶体管的集电极电流，响应第二定时信号向第二控制晶体管输出第二控制信号，使第二控制晶体管流动第二电流作为振荡晶体管的集电极电流，第二电流比第一电流小，振荡晶体管以第二电流继续执行振荡操作。

同样，该振荡电路可包括利用该石英振荡元件执行振荡操作的一振荡晶体
20 管。在这种情况下，控制电路响应起动信号控制该振荡晶体管执行A类操作、然后执行C类操作，响应锁定检测信号控制该振荡晶体管执行A类操作。

该振荡电路可在锁相环（PLL）振荡电路中使用，而PLL振荡电路可在无线电设备中使用。

图1是表示普通PLL振荡电路一实例的方框图；

25 图2是表示采用该普通PLL振荡电路的选呼无线电接收机的方框图；

图3是表示电容三点式石英振荡电路的图示；

图4是表示电容三点式石英振荡电路的电等效电路的图示；

图5是表示本发明第一实施例的PLL振荡电路的方框图；

图6是图1所示电流源101和振荡电路的详细方框图；

30 图7A至7F是本发明第一实施例的PLL振荡电路的时序图；

图8是表示在普通PLL振荡电路中振荡振幅的增大的波形图;

图9是表示在本发明第一实施例的PLL振荡电路中振荡振幅的增大的波形图;

图10是表示普通PLL振荡电路的频谱的图示;

5 图11是表示本发明第一实施例的PLL振荡电路振荡输出的频谱的图示;

图12是表示本发明第二实施例的PLL振荡电路中的振荡电路和电流源的方框图;

图13是表示本发明第三实施例的PLL振荡电路中的振荡电路和电流源的方框图。

10 以下参看附图详细描述本发明的锁相环(PLL)振荡电路。

在本发明中,PLL振荡电路具有这样的结构,即起动状态下振荡电路的互导 g_m 和稳定状态下振荡电路的互导 g_m 通过振荡电路的限流来切换。振荡电路的互导 g_m 和起动性能是众所周知的,在例如由Techno出版的Shotaro Okano撰写的“石英频率器件”中有描述。

15 众所周知,负阻 $-R_n$ 由振荡电路晶体管的增益确定。如果信号的振幅在振荡起振时较小,则必须使负阻 $-R_n$ 的值足够大,即必须是石英振荡元件等效电阻的3至10倍。当振荡电路满足负阻 $-R_n$ 与电路电阻造成的损耗 R_p 相抵消的振荡条件时,振荡电路就开始振荡,然后进入稳定状态。振荡开始时的振幅条件是 $Re<|-R_n|$ 。

20 在图3所示的电容三点式振荡器中,振荡起振时信号振幅较小情况下的负阻 $-R_n$ 表示如下:

$$-R_n = -g_m / \{ \omega^2 C_2 (C_1 + C_\pi) \}$$

如果互导 g_m 较大,负阻就较大,这就使起振更快。

25 在某种意义上可把在起动状态和稳定状态之间切换互导 g_m 的方法看作是一种AGC(自动增益控制)。Makoto Kanno、Kibun Cho和Yasuo Tsuzuki撰写的论文“分析和设计在石英振荡电路中应用了AGC的石英电路的方法”(电子协会,ECT—93—49)提出并分析了把石英振荡电路加装到AGC电路中去的设计方法。

在该论文提出的方法中,振幅电平用整流电路来检测,然后以模拟方式控制振荡电路中的晶体管的直流偏置。这样一来,就使振荡电路中的晶体管在稳定状态
30 态下执行A类操作。为此目的,稳定状态下振荡级中的晶体管的直流偏置的确定应

使得电路的负阻 $-R_n$ 能够产生在信号振幅较小情况下稳定振荡所必须的负阻。

在本发明中, 由于把在PLL振荡电路内部的现有电路的输出用作以数字方式切换互导 g_m 所需的控制信号, 所以这种结构可得到简化, 不采用模拟AGC电路。

互导 g_m 的切换通过切换流过振荡电路的电流来进行。利用PLL振荡电路的锁定检测信号以数字方式执行切换操作。

图5表示本发明第一实施例PLL振荡电路的电路结构。该PLL振荡电路由压控振荡器(VCO) 1、低通滤波器(LPF) 2、信号计数器3、基准计数器4、鉴相器5、电荷泵6、振荡电路7、锁定检测器8、D触发器(D-FF) 9以及电流源10组成。虚线内的元件集成在一个芯片内。

压控振荡器VCO 1根据输入电压产生振荡信号。该振荡信号的振荡频率随来自低通滤波器2输出电压的输入电压发生变化。信号计数器3把压控振荡器VCO 1的振荡信号的频率分频为 $1/M$ 。

电容器和石英振荡元件XTL作为外部元件与振荡电路7连。基准振荡电路7利用电容器和石英振荡元件产生振幅由振幅控制信号确定的基准振荡信号。基准计数器4把基准振荡电路7的基准振荡信号分频为 $1/N$ 。

鉴相器5比较信号计数器3的分频信号和基准计数器的分频基准信号来检测这两个信号的相位差。电荷泵6把该相位差变换为直流电压, 该直流电压通过低通滤波器2提供给压控振荡器VCO 1。

锁定检测器8根据鉴相器5的输出检测PLL振荡电路的锁定状态或未锁定状态, 即确定信号计数器3的分频信号的相位是否与基准计数器的分频基准信号的相位一致。D触发器D-FF 9在数据端D接收锁定检测器8的输出, 在时钟端C接收基准计数器4的分频基准信号 T_nQ , 在复位端R接收起动控制信号PS。D触发器9从输出端Q输出状态。当基准计数器4提供给鉴相器5和D触发器9的分频基准信号分别具有频率 f_r 和 f_d 时, 频率条件是 $f_d \gg f_r$ 。电流源10根据D触发器D-FF 9的输出产生振幅控制信号。由电流源10确定的电路电流流入振荡电路7。

图6表示电流源10和振荡电路7的结构的一实例。振荡电路7由晶体管Q1和电阻R2至R3组成。电容器C1和C2以及石英振荡元件XTL与振荡电路7连接。电流源10由晶体管Q2至Q6以及电阻R4和R5组成。晶体管Q6根据端子M的逻辑电平接通和断开电流源。电流镜电路由晶体管Q2至Q5和电阻R4组成, 确定基准电流 I_4 。

以下描述本发明第一实施例的PLL振荡电路的操作。

首先描述普通振荡电路的操作。

图8表示振荡振幅的增大过程。振荡电路在振荡开始时执行A类操作，振荡是正弦波振荡。随着振幅的增大，振幅到达集电极饱和区，于是振幅被限幅。在这一时刻，晶体管执行C类操作。因此产生了波形失真，所以谐波分量噪声的电平变得较高。这样一来，谐波分量噪声对其它电路造成影响，使性能恶化。图10表示图8所示t2时刻的频谱特性。频率是振荡频率f0的2倍、3倍等的谐波分量的电平较高。如果无线电接收机由采用了这种基准振荡电路的PLL振荡电路构成，则谐波分量噪声就足以乱真，使这种接收机的接收灵敏度严重下降。

在振荡输出端之后设置低通滤波器LPF作为减小谐波分量噪声的对抗措施是很有效的。经过LPF之后，能够得到消除了谐波分量和失真极小的正弦波。但在振荡输出端仍有谐波分量噪声。所以即使增加低通滤波器LPF也不能够防止谐波分量噪声辐射至其它电路。

此外，通过减小振荡电路的互导gm能够维持正弦波振荡，使得振荡的振幅电平在集电极饱和区也不被限幅。

但是，如果减小互导gm，振幅的增大就变慢，于是使起动性能恶化。如果起动性能恶化，执行省电功能的系统就必须要有更大的起振容限。这会缩短设备中电池的寿命。

相反地，在本发明中，为了减小谐波分量噪声又不降低起动性能，使代表振荡电路增益的互导gm在振荡电路的起动状态和稳定状态之间进行切换。互导gm的切换是通过控制提供给振荡电路7的电路电流来实现的。当假定Ic是振荡电路7中晶体管Q1的集电极电流时，互导gm可表示如下：

$$g_m = I_c / V_T \quad (1)$$

这里 $V_T \approx 26\text{mV}$ 。

图7A至7F表示各时刻的时序图。图7A所示的起动控制信号PS代表用来控制包含振荡电路7的PLL振荡电路的间歇操作的信号。图7B所示的信号RXON代表用来控制无线电接收机的间歇操作的信号。图7C所示的信号OSC代表作为振荡电路7的输出的基准振荡信号。图7D所示的信号TnQ代表基准计数器4提供给D触发器9的分频输出信号。图7E所示的信号D代表作为锁定检测器8的输出信号的锁定检测信号。图7F所示的信号DFFQ代表D-FF 9的Q输出信号。

当信号PS如图7A所示上升时(t0)，振荡电路7被起动。然后，振幅如图9所

示开始增大。不久，振荡进入稳定振荡状态。当锁定检测器8检测到PLL振荡电路的锁定而输出图7E所示的锁定检测信号D(t1)时，D触发器9的Q输出DFFQ就与图7D所示时钟信号TnQ的上升沿同步地从低电平L切换至高电平H。DFFQ的L和H信号用来控制图6所示的电流源10。

- 5 首先说明L电平的Q输出DFFQ输入至端子M的情形。此时，晶体管Q6处于导通状态。电流I4于是流过电阻R4。电流I4用下式表示：

$$I4 = \{VCC - VCE(Q6) - VBE(Q5)\} / R4 \quad (2)$$

晶体管Q4和Q5构成电流镜电路。因此可得到下式：

$$I4 \doteq I3 \quad (3)$$

- 10 同样地，晶体管Q3和Q2也构成电流镜电路，所以可得到下式：

$$I3 \doteq I2 \quad (4)$$

流过振荡电路7的晶体管Q1的电流I0是流过作为负载的电阻R1的电流I1和晶体管Q2的集电极电流I2之和。因此可得到下式：

$$I0 = I1 + I2 \quad (5)$$

- 15 接着说明H电平的Q输出DFFQ输入至端子M的情形。此时，晶体管Q6处于截止状态。因此I4是：

$$I4 = 0 \quad (6)$$

因此I2是：

$$I2 = 0 \quad (7)$$

- 20 所以流过振荡电路7的晶体管Q1的电流I0是：

$$I0 = I1 \quad (8)$$

这样一来，Q输出DFFQ为L状态时晶体管Q1的集电极电流I0比Q输出DFFQ为H状态时晶体管Q1的集电极电流大了I2。

如上所述，当Q输出DFFQ为L状态时，电流可表示如下：

25
$$\text{电流} = H \rightarrow gm = H$$

当Q输出DFFQ为H状态时，电流可表示如下：

$$\text{电流} = L \rightarrow gm = L$$

- 以下描述Q输出DFFQ的切换操作。从信号PS变成H状态起到信号RXON变成H状态止的时间段、即(t2-t0)被称为起振容限。振荡电路7必须在该起振容限内起振，
30 以便完成PLL振荡电路的锁定。

如果振荡电路7起振迅速, 则PLL振荡电路就能够迅速锁定。为此, 把互导 g_m 定得较大, 以便振荡输出的振幅尽可能快地达到基准计数器4的分频操作所必须的电平。

如果流过振荡电路7的晶体管Q1的电流 I_0 较大, 则互导 g_m 也较大。因此把Q输出DFFQ的逻辑定为L状态。相反地, 在稳定状态时, 互导 g_m 被定得较小, 以便把振荡输出保持在集电极饱和不会造成失真的电平上。如果流过振荡电路7的晶体管Q1的电流 I_0 较小, 则互导 g_m 也较小。为此, 把Q输出DFFQ的逻辑定为H状态。

由于在振荡开始时的小信号特性, 所以振荡电路7处于A类操作状态。在振荡开始之后, 振荡电路就处于C类操作状态, 直到PLL振荡电路的锁定状态结束为止。然后, 在PLL振荡电路的锁定状态结束之后, 振荡电路7又处于A类操作状态。

稳定状态下振荡电路7的互导 g_m 的大小应使振荡能够继续下去。必须在PLL振荡电路锁定完成之后将互导 g_m 的值改变为使振荡电路能够执行A类操作所需的值, 以便产生在小信号操作状态下稳定振荡所需的负阻 $-R_n$ 。

当假定石英振荡器的等效电阻是 R_e 时, 则在振荡开始时和在稳定振荡期间的振荡条件表示如下:

$$\text{振荡开始时,} \quad R_e < |-R_n| \quad (9)$$

$$\text{稳定振荡期间,} \quad R_e = |-R_n| \quad (10)$$

(Makoto Kanno、Kibun Cho和Yasuo Tsuzuki撰写的“分析和设计具有AGC的石英振荡电路的方法”(电子协会, ECT-94-49))。

在振荡开始时, 使振荡电路7的负阻 $|-R_n|$ 具有足够大的值, 即是石英振荡器等效电阻 R_e 的3至10倍。在稳定振荡期间, 振荡电路7的负阻 $|-R_n|$ 等于石英振荡器等效电阻 R_e 就足够。Techno出版的Shotaro Okano撰写的“石英频率器件”对振荡电路7的负阻 $|-R_n|$ 有描述。

小信号操作时负阻 $-R_n$ 表示如下:

$$-R_n = -g_m / \{ \omega^2 C_2 (C_1 + C_\pi) \} \quad (11)$$

这里 C_1 和 C_2 是电容三点式振荡电路的负载电容, 而 C_π 是晶体管电容。负阻 $-R_n$ 正比于 g_m , 为了满足等式(10), 把稳定振荡情况下互导 g_m 值切换为等于振荡开始时的值的1/3至1/10。由于互导 g_m 正比于流过振荡电路晶体管Q1的电流 I_0 , 所以如果有以下等式:

$$(\text{起振时的电流}) / (\text{锁定完成后的电流}) = 3 \text{ 至 } 10 \quad (12)$$

则互导 g_m 的值就能够使振荡电路7在PLL振荡电路锁定完成之后执行A类操作。

如上所述,本发明能够在从时刻 t_0 至时刻 t_2 的起振容限期间内,在PLL振荡电路锁定完成之后的时刻 t_1 以数字方式改变互导 g_m 。

- 5 振荡电路7的晶体管Q1在时刻 t_0 起动A类操作,然后在从时刻 t_0 至时刻 t_1 的期间内从A类操作转换至C类操作,在从时刻 t_1 至时刻 t_2 的期间内再从C类操作返回A类操作。这样就能够在不降低起动性能的情况下抑制稳定状态下的谐波分量噪声的辐射和减小功耗。

以下参看图12描述本发明第二实施例的PLL振荡电路。

- 10 振荡电路7由电阻R11至R13和晶体管Q11、Q12组成。电流源 10_2 由电阻R14、R15和晶体管Q13至Q16组成。晶体管Q16根据端子M的逻辑起开关的作用。晶体管Q13至Q15组成电流镜电路。还有,晶体管Q12和Q14也组成另一电流镜电路。这一结构通过减小流过振荡电路7的晶体管Q11的电流 I_5 就能够切换互导 g_m 。

- 15 当电流源 10_2 的端子M处于低电平L时,晶体管Q16处于截止状态。因此该电流镜的电流 I_8 不流动。这样就没有电流流过晶体管Q12。于是流过晶体管Q11的电流 I_5 是:

$$I_5 = I_6 \quad (13)$$

- 相反地,当端子M处于高电平H时,晶体管Q16处于导通状态。因此电流 I_8 流过该电流镜电路。这样就使晶体管Q12导通,集电极电流 I_7 流动。流过晶体管Q12的电流 I_7 分走了流过晶体管Q11的电流 I_5 的一部分,所以可表示如下:
- 20

$$I_5 = I_6 - I_7 \quad (14)$$

这样一来,类似于图6的电流源 10_1 ,当D触发器9的Q输出DEFQ处于低电平L时,电流可表示如下:

$$\text{电流} = H \rightarrow g_m = H$$

- 25 当Q输出DEFQ处于高电平H时,电流可表示如下:

$$\text{电流} = L \rightarrow g_m = L$$

以下参看图13描述本发明第三实施例的PLL振荡电路。

- 在图13所示的结构中,振荡电路7由电阻R22、R23和晶体管Q21至Q23组成。电流源 10_3 由电阻R24至R27和晶体管Q24至Q27组成。晶体管Q22和Q24以及Q23和Q26组成了电流镜电路。因此振荡电路7的负载是有源负载。流过振荡电路7的电流和
- 30

互导 g_m 通过选择晶体管的导通来进行切换。

分别根据端子M和M'的逻辑使电流源10₃的晶体管Q25和Q27在导通和截止之间进行切换。D触发器9的Q和Q（横）输出分别传送给端子M和M'。端子M和M'逻辑是彼此互补的。所以，当晶体管Q25和Q27的任一个导通时，该电流镜就使振荡电路7
5 的有源负载晶体管Q22和Q23的任一个导通。

现在假定端子M处于低电平L而端子M'处于高电平H。这样晶体管Q27导通。于是流动的是电流镜的电流I₁₁，该电流I₁₁还流过晶体管Q23。流过晶体管Q21集电极的电流I₉是：

$$I_9 = I_{11} \quad (15)$$

10 相反地，如果假定端子M处于高电平H而端子M'处于低电平L，则晶体管Q25导通，于是流动的是电流镜的基准电流I₁₀，该电流I₁₀还流过晶体管Q22。这样一来，流过晶体管Q21集电极的电流I₉是：

$$I_9 = I_{10} \quad (16)$$

如果电阻R₂₄大于电阻R₂₅，就可以根据与适用于图6所示第一实施例中的电
15 流源10₁的逻辑和适用于图12所示第二实施例中的电流源10₃的逻辑相同的逻辑来切换互导 g_m 。

该PLL振荡电路可应用于图所示的无线电设备。在这种情况下，用本发明的PLL振荡电路代替普通PLL振荡电路。

如上所述，根据本发明，在PLL振荡电路锁定完成之后对振荡电路的电流进
20 行了控制及切换，使起振时的互导 g_m 不同于稳定状态时的互导 g_m 。这样就能够减小稳定状态时的谐波分量噪声，但又不降低起振时的振荡起振性能。

还有，根据本发明，由于稳定状态时的电路电流比起振时的电路电流小，所以还能够减小功耗。

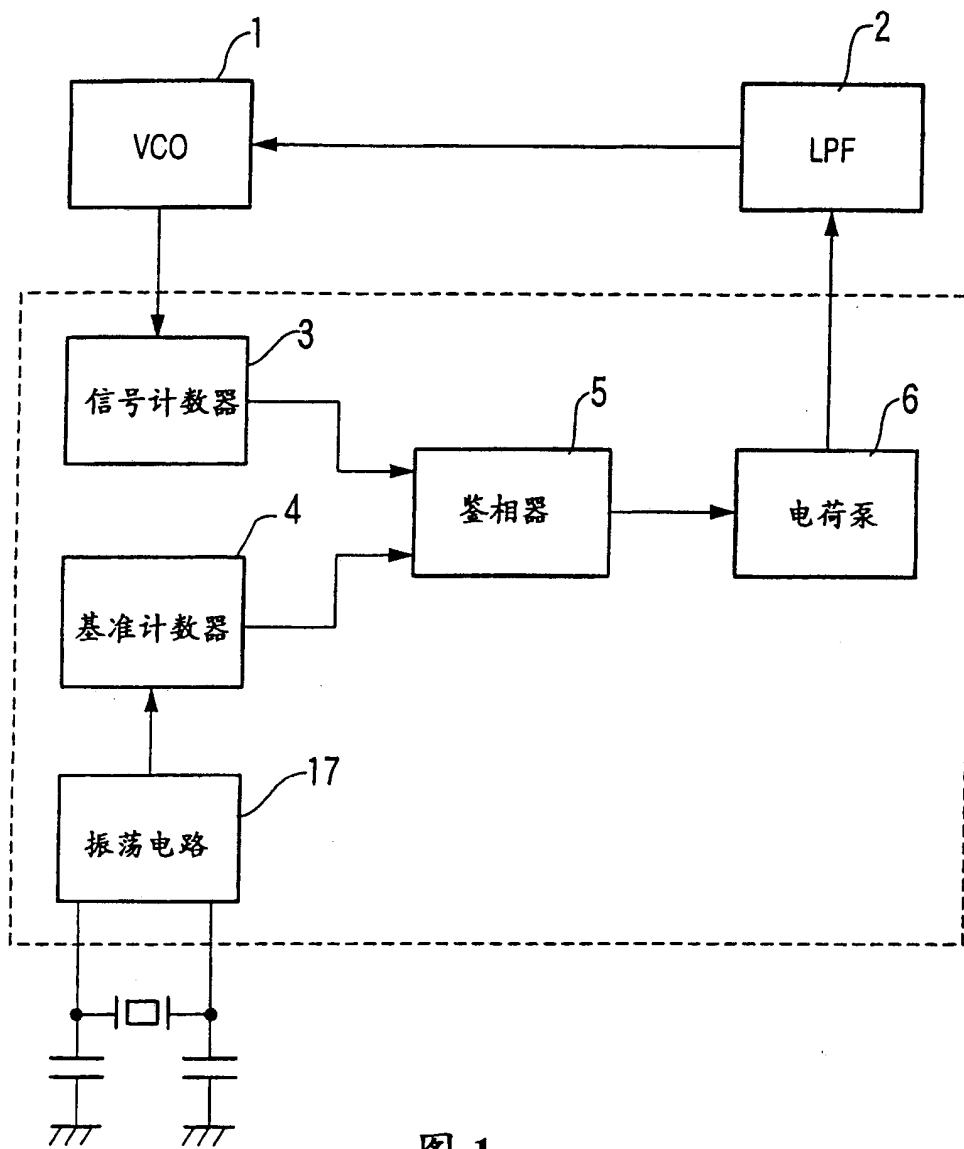


图 1
现有技术

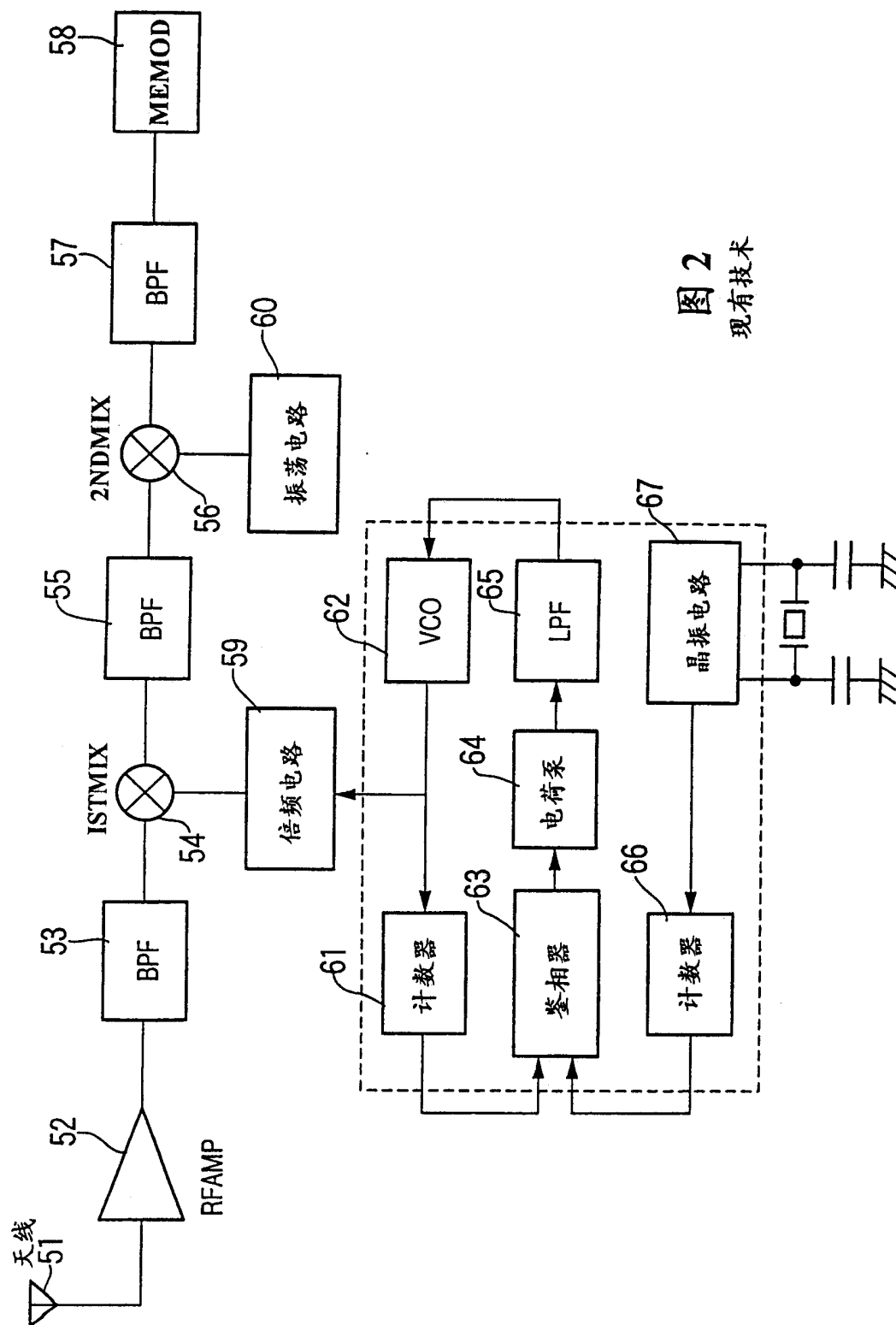


图 2
现有技术

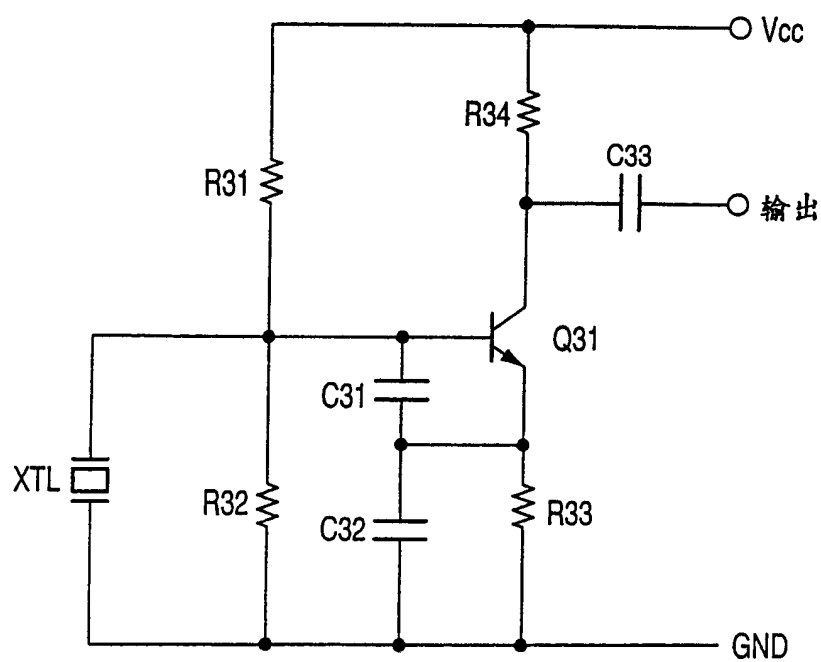


图 3

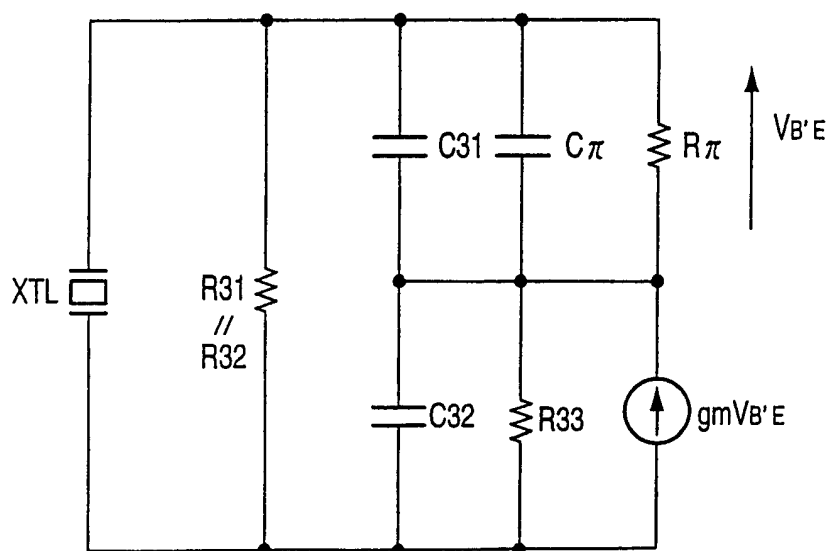


图 4

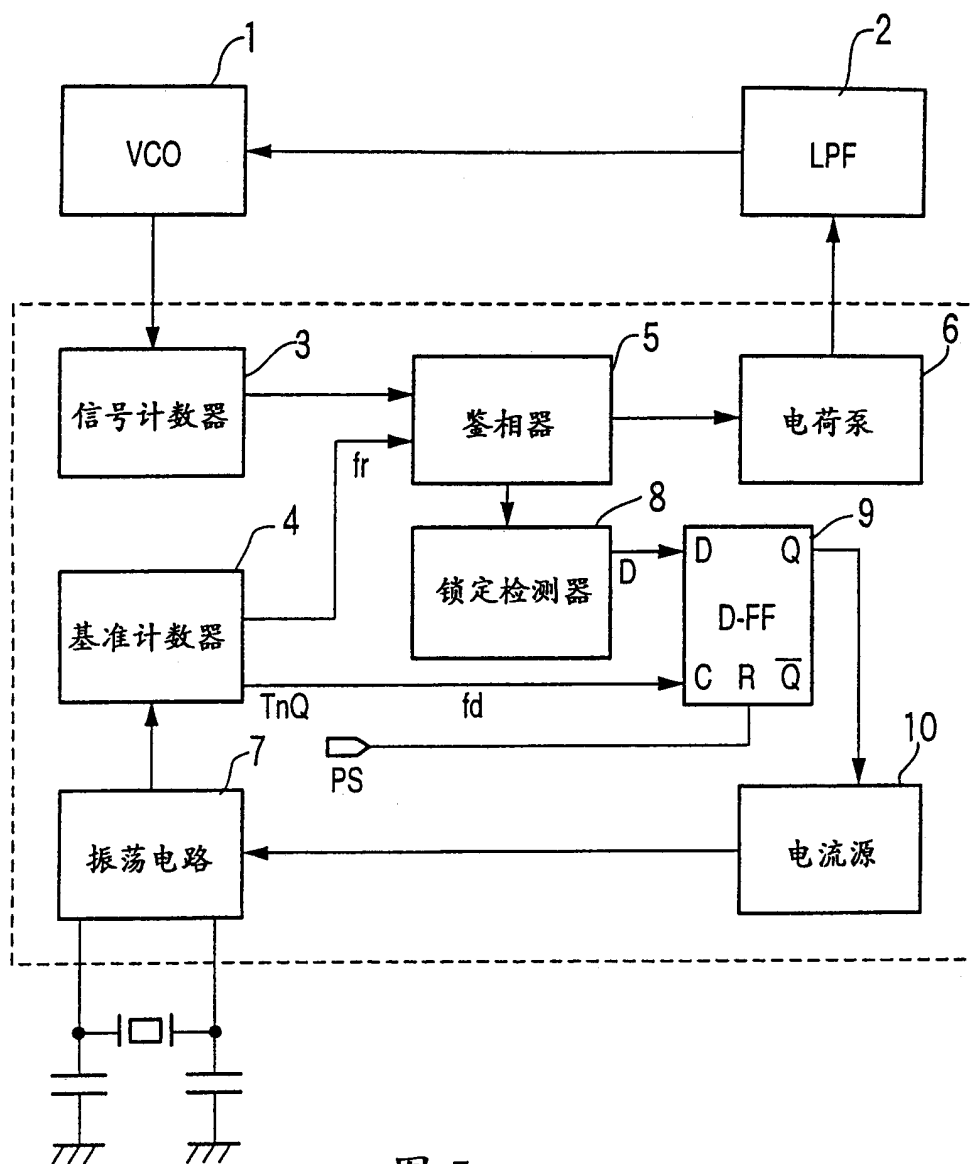


图 5

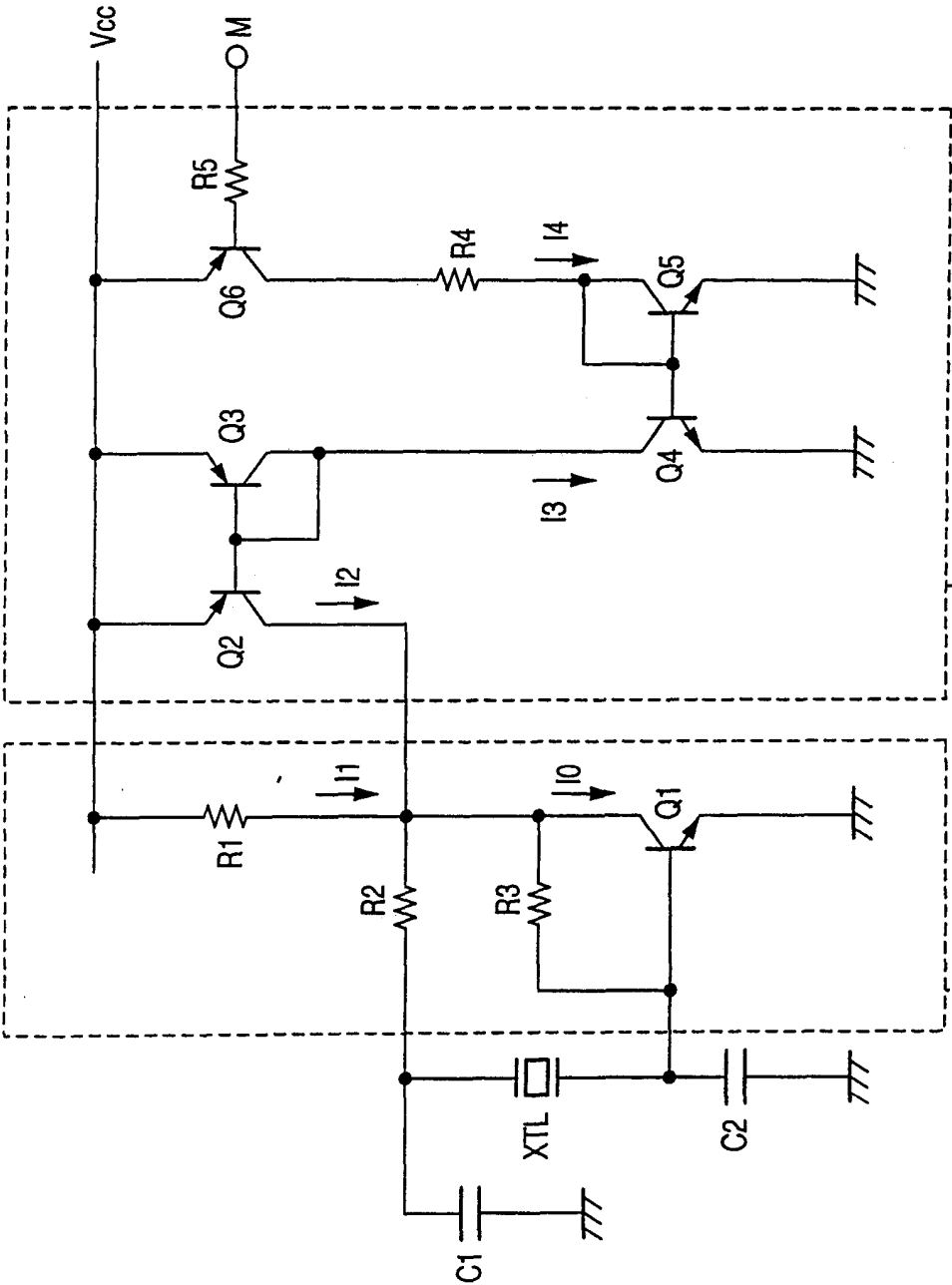


图 6

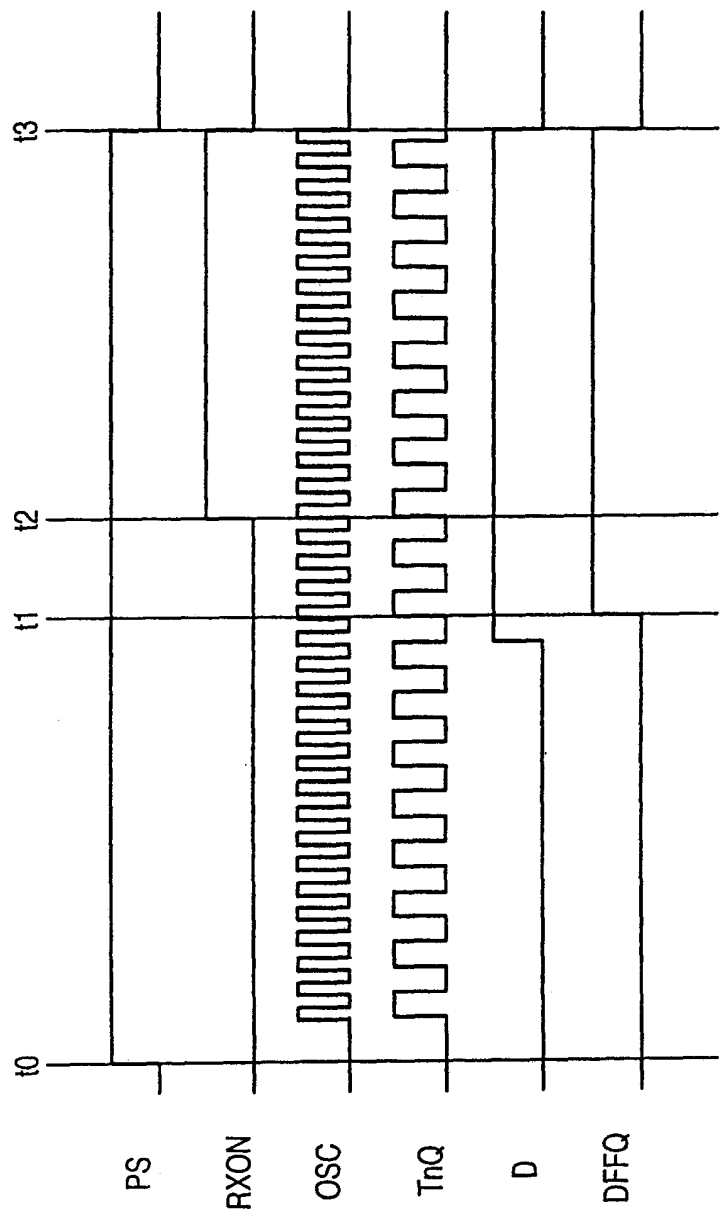


图 7A

图 7B

图 7C

图 7D

图 7E

图 7F

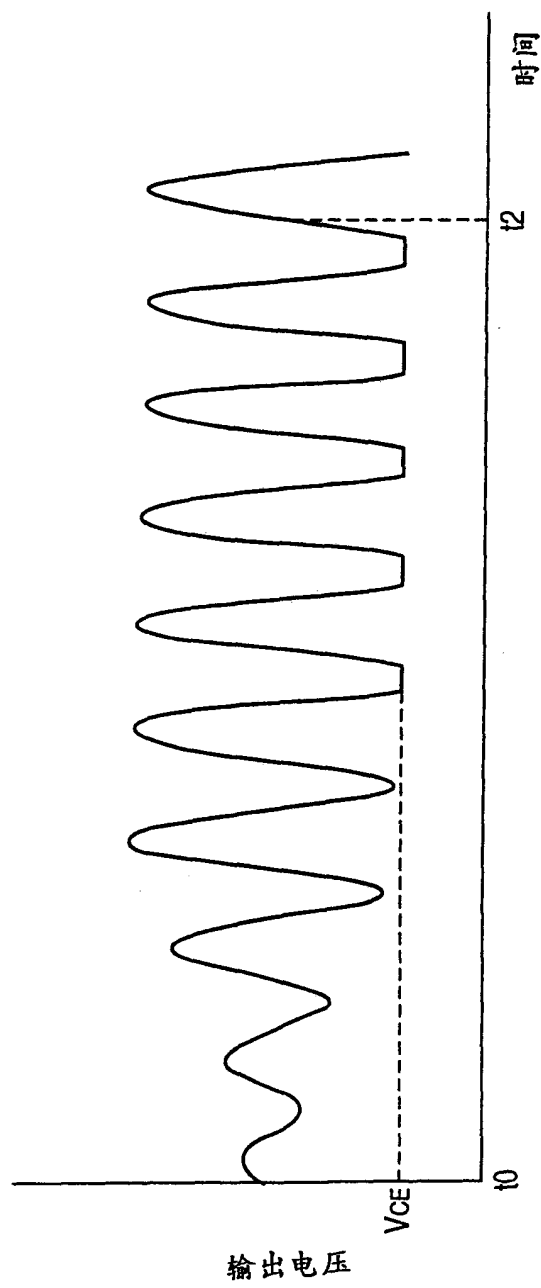


图 8
现有技术

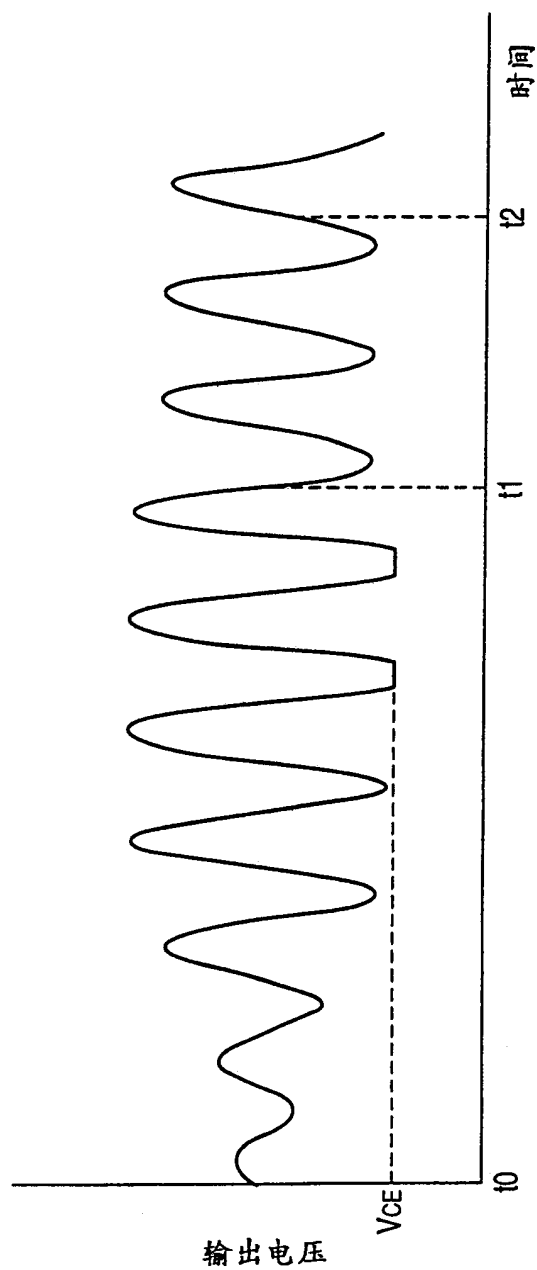


图9

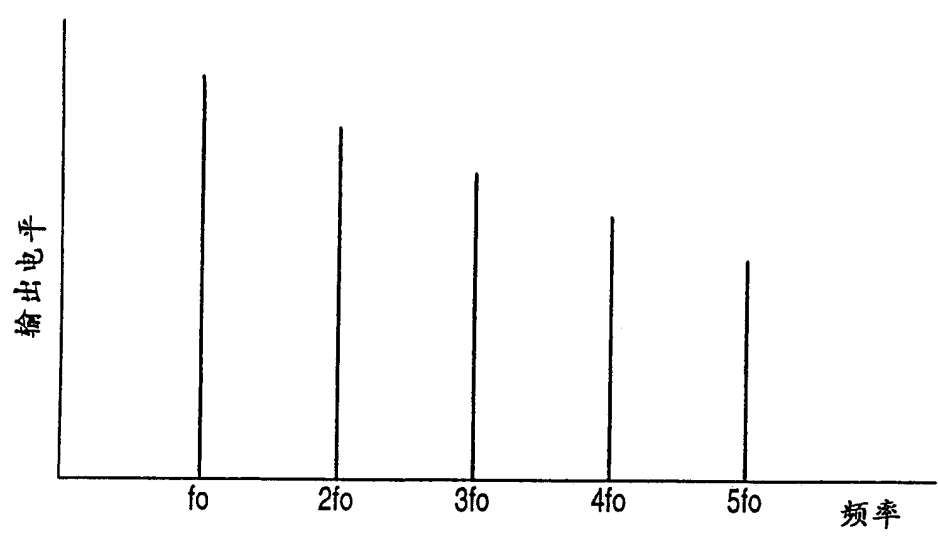


图 10

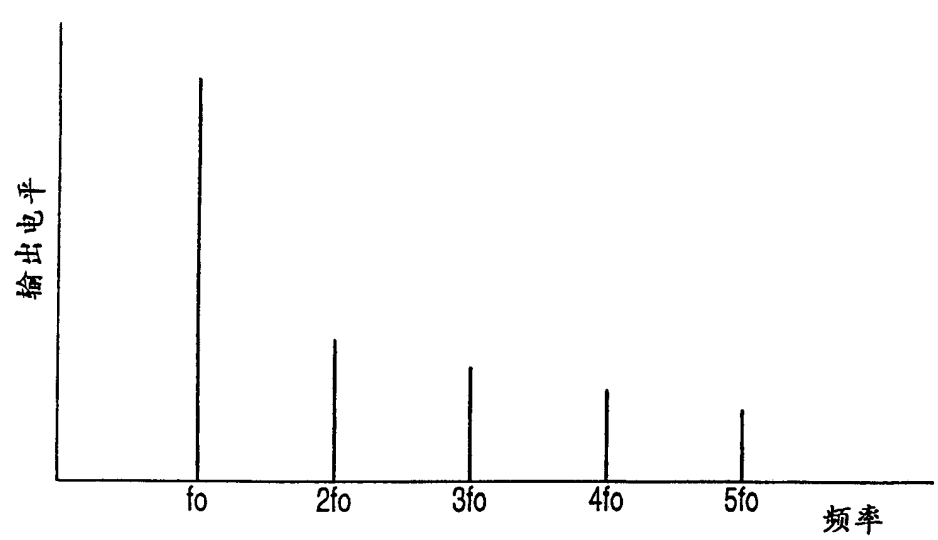


图 11

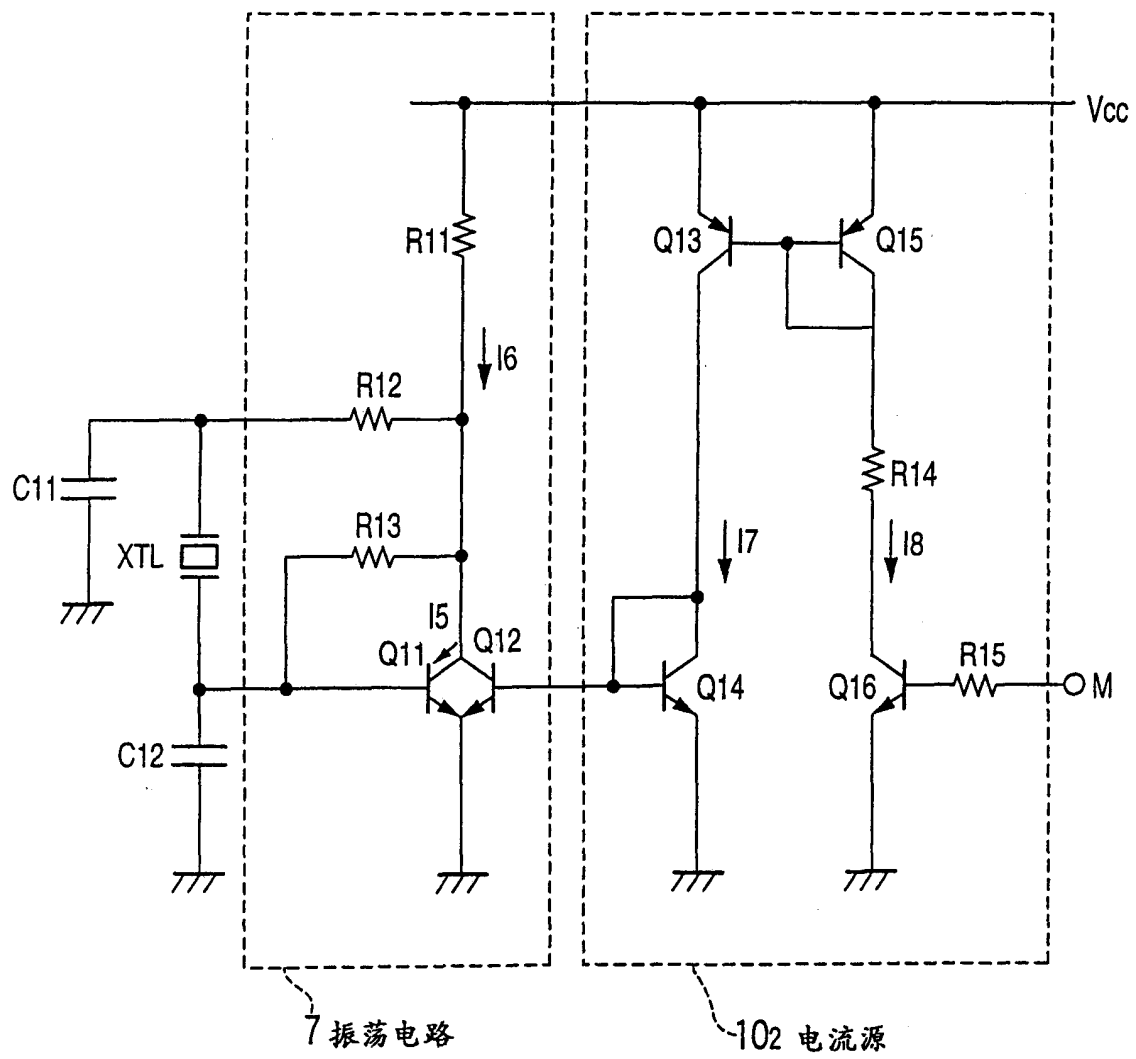


图 12

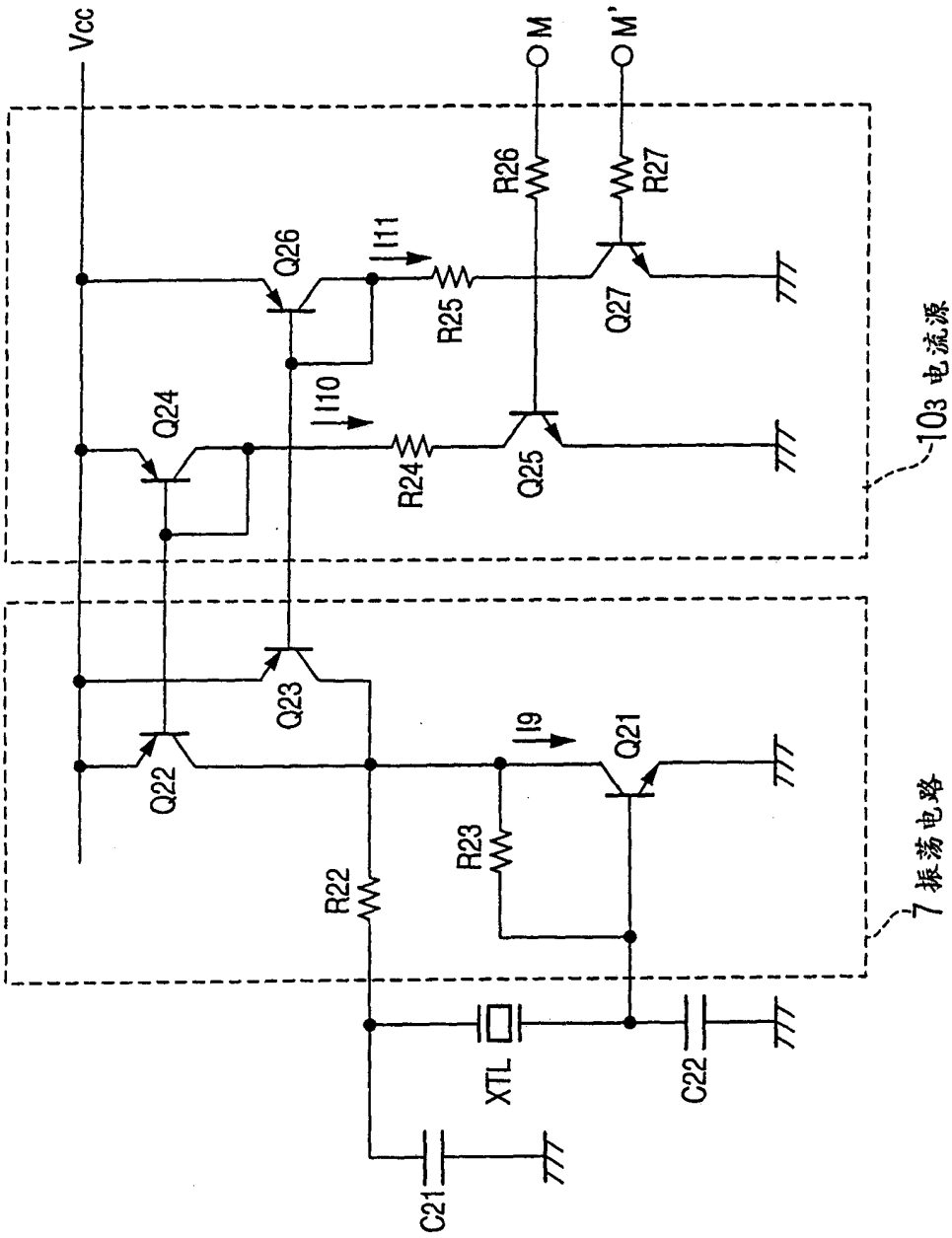


图 13