

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成19年2月1日(2007.2.1)

【公開番号】特開2005-260253(P2005-260253A)

【公開日】平成17年9月22日(2005.9.22)

【年通号数】公開・登録公報2005-037

【出願番号】特願2005-107055(P2005-107055)

【国際特許分類】

H 01 L 21/8247 (2006.01)  
 H 01 L 27/115 (2006.01)  
 H 01 L 27/10 (2006.01)  
 H 01 L 29/788 (2006.01)  
 H 01 L 29/792 (2006.01)  
 H 01 L 21/8234 (2006.01)  
 H 01 L 27/088 (2006.01)

【F I】

H 01 L 27/10 4 3 4  
 H 01 L 27/10 4 8 1  
 H 01 L 29/78 3 7 1  
 H 01 L 27/08 1 0 2 C

【手続補正書】

【提出日】平成18年12月8日(2006.12.8)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

分離領域および前記分離領域によって規定された活性領域を有する半導体基板と、  
 前記半導体基板に形成された複数の不揮発性メモリセルと、前記不揮発性メモリセルの  
 周辺回路用の第1電界効果トランジスタとを有する半導体集積回路装置であって、  
 前記複数の不揮発性メモリセルの各々は、

前記半導体基板に設けられたメモリセル用の一対の半導体領域と、

前記メモリセル用の一対の半導体領域の間における前記半導体基板上に第1絶縁膜を介  
 して設けられた第1ゲート電極と、

前記第1ゲート電極上に第2絶縁膜を介して設けられた第2ゲート電極とを有し、  
 前記周辺回路用の第1電界効果トランジスタは、

前記半導体基板に設けられた周辺回路用の一対の半導体領域と、

前記周辺回路用の一対の半導体領域の間における前記半導体基板上に第1ゲート絶縁膜  
 を介して設けられた前記第1ゲート電極と、

前記第1ゲート電極上に前記第2絶縁膜を介して設けられた前記第2ゲート電極と、  
 前記第1ゲート電極および前記第2ゲート電極を電気的に接続するように前記第2絶縁  
 膜に設けられた孔とを有し、

前記第2ゲート電極は、第3導体膜とその上に形成された第4導体膜とを有し、  
 前記孔は、前記第2絶縁膜と前記第3導体膜とを貫通するように設けられており、  
 前記第4導体膜が、前記孔を通じて前記第1ゲート電極と直接接続されており、

前記孔は、前記第1および第2ゲート電極の平面内において前記活性領域と平面的に重

なる位置に設けられていることを特徴とする半導体集積回路装置。

【請求項 2】

請求項 1 に記載の半導体集積回路装置において、  
前記第 1 ゲート電極は、第 1 導体膜および前記第 1 導体膜上に形成された第 2 導体膜を有し、

前記第 4 導体膜が、前記孔を通じて前記第 2 導体膜と接続されていることを特徴とする半導体集積回路装置。

【請求項 3】

分離領域および前記分離領域によって規定された活性領域を有する半導体基板と、  
前記半導体基板に形成された複数の不揮発性メモリセルと、前記不揮発性メモリセルの周辺回路用の第 1 電界効果トランジスタとを有する半導体集積回路装置であって、

前記複数の不揮発性メモリセルの各々は、  
前記半導体基板上に形成された第 1 絶縁膜と、  
前記第 1 絶縁膜上に形成された第 1 導体膜と、  
前記第 1 導体膜上に形成された第 2 導体膜と、  
前記第 2 導体膜上に形成された第 2 絶縁膜と、  
前記第 2 絶縁膜上に形成された第 3 導体膜と、  
前記第 3 導体膜上に形成された第 4 導体膜と、  
を有し、

前記不揮発性メモリセルにおいて、前記不揮発性メモリセルの浮遊ゲート電極は前記第 1 および第 2 導体膜を含んで構成され、且つ、前記不揮発性メモリセルの制御ゲート電極は前記第 3 および第 4 導体膜を含んで構成されており、

前記第 1 電界効果トランジスタは、  
前記半導体基板上に形成された第 1 ゲート絶縁膜と、  
前記第 1 ゲート絶縁膜上に形成された前記第 1 導体膜と、  
前記第 1 導体膜上に形成された前記第 2 導体膜と、  
前記第 2 導体膜上に形成された前記第 2 絶縁膜と、  
前記第 2 絶縁膜上に形成された前記第 3 導体膜と、  
前記第 3 導体膜上に形成された前記第 4 導体膜と、  
を有し、

前記第 1 電界効果トランジスタにおいて、前記第 2 絶縁膜および前記第 3 導体膜に孔が形成されており、

前記第 1 電界効果トランジスタにおいて、前記第 4 導体膜は前記孔内にも形成され、且つ、前記第 2 導体膜に電気的に接続されており、

前記第 1 電界効果トランジスタにおいて、前記第 1 電界効果トランジスタのゲート電極は前記第 1 、第 2 、第 3 および前記第 4 導体膜を含んで構成されていることを特徴とする半導体集積回路装置。

【請求項 4】

請求項 2 または 3 のいずれか 1 項に記載の半導体集積回路装置において、  
前記不揮発性メモリセルにおいて、前記分離領域は第 1 方向に延在しており、  
前記不揮発性メモリセルにおいて、前記第 3 および第 4 導体膜は、前記第 1 方向と直交する第 2 方向に延在しており、且つ、前記第 2 方向で隣接する各不揮発性メモリセルのワード線を構成しており、

前記不揮発性メモリセルにおいて、前記第 1 および第 2 導体膜は、前記第 2 方向で隣接する各不揮発性メモリセル毎に分離されており、且つ、前記第 2 方向における前記第 2 導体膜の長さは前記第 1 導体膜の長さよりも長いことを特徴とする半導体集積回路装置。

【請求項 5】

請求項 2 ~ 4 のいずれか 1 項に記載の半導体集積回路装置は更に、  
前記第 1 電界効果トランジスタとは別に、前記不揮発性メモリセルの周辺回路用の第 2 電界効果トランジスタを有し、

前記第2電界効果トランジスタは、

前記半導体基板上に形成され、且つ、前記第1ゲート絶縁膜よりも膜厚の薄い第2ゲート絶縁膜と、

前記第2ゲート絶縁膜上に形成された前記第1導体膜と、

前記第1導体膜上に形成された前記第2導体膜と、

前記第2導体膜上に形成された前記第2絶縁膜と、

前記第2絶縁膜上に形成された前記第3導体膜と、

前記第3導体膜上に形成された前記第4導体膜と、

を有することを特徴とする半導体集積回路装置。

【請求項6】

請求項1～5に記載の半導体集積回路装置において、

前記孔は複数個形成されていることを特徴とする半導体集積回路装置。

【請求項7】

請求項6に記載の半導体集積回路装置において、

前記第1電界効果トランジスタのゲート電極の平面内において、前記孔は、前記活性領域および前記分離領域と平面的に重なる位置に形成されていることを特徴とする半導体集積回路装置。

【請求項8】

請求項1～7のいずれか1項に記載の半導体集積回路装置において、

前記分離領域は、前記半導体基板に形成された溝と、前記溝内に残された第3絶縁膜によって形成されていることを特徴とする半導体集積回路装置。

【請求項9】

請求項1～8のいずれか1項に記載の半導体集積回路装置は、更に、

前記第1電界効果トランジスタ上に形成された第4絶縁膜と、

前記第4絶縁膜中に形成されたコンタクトホールと、

前記第4絶縁膜上に形成され、且つ、前記コンタクトホールを介して前記第1電界効果トランジスタのゲート電極に接続された配線層とを有することを特徴とする半導体集積回路装置。

【請求項10】

請求項9に記載の半導体集積回路装置において、

前記第1電界効果トランジスタのゲート電極の平面内において、前記コンタクトホールは、前記分離領域と平面的に重なる位置に設けられ、且つ、前記活性領域と平面的に重なる位置には設けられていないことを特徴とする半導体集積回路装置。

【請求項11】

請求項9または10のいずれか1項に記載の半導体集積回路装置において、

前記孔の直径は、前記コンタクトホールの直径よりも大きいことを特徴とする半導体集積回路装置。

【請求項12】

請求項9～11のいずれか1項に記載の半導体集積回路装置において、

前記第1電界効果トランジスタは、更に、前記第4導体膜上に形成された第5絶縁膜を有し、

前記コンタクトホールは、前記第4および第5絶縁膜を貫通して前記第1電界効果トランジスタのゲート電極に接続するように形成されていることを特徴とする半導体集積回路装置。

【請求項13】

請求項1～12のいずれか1項に記載の半導体集積回路装置において、

前記第2絶縁膜は、酸化シリコン膜および窒化シリコン膜の積層膜であることを特徴とする半導体集積回路装置。

【請求項14】

請求項1～13のいずれか1項に記載の半導体集積回路装置において、

前記第1電界効果トランジスタは、入力回路、出力回路、入出力双方向回路、電源回路または昇圧回路を構成する電界効果トランジスタであることを特徴とする半導体集積回路装置。