

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5828319号
(P5828319)

(45) 発行日 平成27年12月2日 (2015. 12. 2)

(24) 登録日 平成27年10月30日 (2015. 10. 30)

(51) Int. Cl. F I
G06T 15/06 (2011.01) G O 6 T 15/06
G06T 15/80 (2011.01) G O 6 T 15/80

請求項の数 14 (全 26 頁)

<p>(21) 出願番号 特願2012-512952 (P2012-512952) (86) (22) 出願日 平成22年5月19日 (2010. 5. 19) (65) 公表番号 特表2012-528377 (P2012-528377A) (43) 公表日 平成24年11月12日 (2012. 11. 12) (86) 国際出願番号 PCT/KR2010/003173 (87) 国際公開番号 W02010/137822 (87) 国際公開日 平成22年12月2日 (2010. 12. 2) 審査請求日 平成25年5月17日 (2013. 5. 17) (31) 優先権主張番号 10-2009-0046909 (32) 優先日 平成21年5月28日 (2009. 5. 28) (33) 優先権主張国 韓国 (KR)</p>	<p>(73) 特許権者 511282818 シリコンアーツ インコーポレイテッド 大韓民国 134-030 ソウル, ガン ドニング, ソンネードン, 423-21 201 (73) 特許権者 514271855 インダストリー-アカデミア コーポレー ション ファンデーション オブ セジョ ン ユニバーシティー 大韓民国 143-747, ソウル, グァ ンジング, ヌンドン-ロ, 209 (グン ジャードン, セジョン ユニバーシティー) (74) 代理人 100091683 弁理士 ▲吉▼川 俊雄</p>
--	--

最終頁に続く

(54) 【発明の名称】 レイトレーシングコア及びこれを含むレイトレーシングチップ

(57) 【特許請求の範囲】

【請求項1】

スクリーン座標値を含むアイレイの生成情報またはシェーディング情報に基づいて少なくとも1つのレイを生成するレイ生成部を含み、前記アイレイ生成情報はスクリーン座標値を含み、前記シェーディング情報は前記アイレイ生成情報に対して優先権を持ち、前記少なくとも一つのレイは、異なるレイタイプごとに区別され、前記レイタイプはアイレイタイプ、シャドウレイタイプ、派生レイタイプがあり、

前記レイタイプに応じて個別にレイを処理し、さらに前記異なるレイタイプのレイを並列に処理するように構成され、加速構造 (Acceleration Structure) において、空間を構成する三角形で、前記レイと交差する前記三角形があるか否かをチェックして、T & I 部 (Traversal & Intersection Units) が独立的に実行される、MIMD 構造 (Multiple Instruction stream Multiple Data stream Architecture) を持つ複数の前記 T & I 部を含み、

前記レイ生成部は、前記生成された派生レイの個数が2以上の場合には、1つの派生レイを前記複数の T & I 部の中で1つに割り当て、残りの派生レイを派生レイスタックに格納し、前記シェーディングレイタイプがナルレイに相応する場合には、前記派生レイスタックに格納された派生レイを取り入れて前記複数の T & I 部の中で1つに割り当て、

前記複数の T & I 部は、入力バッファ、T & I パイプライン部、出力バッファを備え、前記入力バッファと前記 T & I パイプライン部と前記出力バッファはフラッグを介して動

10

20

作を制御される、ことを特徴とするレイトレーシングコア (Ray tracing core)。

【請求項 2】

前記レイトレーシングコア (Ray tracing core) は、入力された前記レイと交差する三角形がある場合には、前記交差する三角形において前記レイがヒットされるヒットポイントに対してカラー値を計算するシェーディング部をさらに含むことを特徴とする、請求項 1 に記載のレイトレーシングコア。

【請求項 3】

前記シェーディング部は、シェーディングレイが生成されるか可否を決定するために、前記ヒットポイントの座標値と前記計算されたカラー値及びシェーディングレイタイプを含み、前記シェーディングレイタイプによる付加情報を含むことができる前記シェーディング情報を生成することを特徴とする、請求項 2 に記載のレイトレーシングコア。

10

【請求項 4】

前記レイ生成部は、前記生成されたシェーディング情報に基づいてシェーディングレイを生成するかまたは前記生成されたシェーディング情報に基づいて最終カラー値を格納することを特徴とする、請求項 3 に記載のレイトレーシングコア。

【請求項 5】

前記複数の T & I 部のそれぞれは、入力された前記レイに基づいて加速構造 (AS) に対する訪問過程 (traversal procedure)、三角形リスト取り入れ過程 (triangle list fetch procedure) 及びレイ - 三角形交差テスト過程 (ray - Triangle Intersection Test procedure) を行う T & I パイプライン部 (Traversal & Intersection Pipeline Unit) を含むことを特徴とする、請求項 1 に記載のレイトレーシングコア。

20

【請求項 6】

前記レイトレーシングコアは、前記複数の T & I 部のそれぞれのキャッシュヒット率を増加させるために、スクリーンを複数のブロックに分割し、各ブロック基盤のアイレイの生成手順を決定するセットアッププロセッシング部をさらに含むことを特徴とする、請求項 1 に記載のレイトレーシングコア。

【請求項 7】

前記セットアッププロセッシング部は、前記スクリーンを複数の $m \times n$ (m と n は偶数) のピクセルブロック (以下、スーパーブロック) に分割し、各スーパーブロックを同一大きさの、前記複数の T & I 部の個数と同数の N 個のピクセルブロック (サブブロック) に分割し、前記サブブロック基盤の前記アイレイの生成手順を決定することを特徴とする、請求項 6 に記載のレイトレーシングコア。

30

【請求項 8】

前記セットアッププロセッシング部は、前記アイレイの生成手順を決定するための線形の n ビットカウンターを含み、前記線形の n ビットカウンターの、連続しない少なくとも 1 つのビットを含むことができる第 1 グループは前記サブブロックの x 座標値を示し、前記線形の n ビットカウンターの、前記第 1 グループに属したビットを含まなく、連続しない少なくとも 1 つのビットを含むことができる第 2 グループは前記サブブロックの y 座標値を示すことを特徴とする、請求項 7 に記載のレイトレーシングコア。

40

【請求項 9】

アイレイの生成情報 (eye ray generation information) またはレイ - 三角形ヒットポイントの座標値とカラー値及びシェーディングレイタイプを含むシェーディング情報 (shading information) の中で 1 つをマルチプレックシングするセットアッププロセッシング部；

前記アイレイの生成情報または前記シェーディング情報に基づいて少なくとも 1 つのアイレイまたはシェーディングレイを生成するかまたは最終カラー値を決定するレイ生成部であって前記アイレイ生成情報はスクリーン座標値を含み、前記シェーディング情報は前

50

記アイレイ生成情報に対して優先権を持ち、；及び

レイタイプに応じて個別にレイを処理し、前記レイタイプはそれぞれアイレイタイプ、シャドーレイタイプ、派生レイタイプがあり、異なる前記レイタイプのレイを並列に処理するように構成され、加速構造 (Acceleration Structure) において、空間を構成する三角形で、前記レイと交差する前記三角形があるか否かをそれぞれチェックして、T&I部 (Traversal & Intersection Units) が独立的に実行される、MIMD構造 (Multiple Instruction stream Multiple Data stream Architecture) を持つ複数の前記T&I部 (Traversal & Intersection Units) を含み、

10

前記レイ生成部は、前記生成された派生レイの個数が2以上の場合には、1つの派生レイを前記複数のT&I部の中で1つに割り当て、残りの派生レイを派生レイスタックに格納し、前記シェーディングレイタイプがナルレイに相応する場合には、前記派生レイスタックに格納された派生レイを取り入れて前記複数のT&I部の中で1つに割り当て、

前記複数のT&I部は、入力バッファ、T&Iパイプライン部、出力バッファを備え、前記入力バッファと前記T&Iパイプライン部と前記出力バッファはフラッグを介して動作を制御される、ことを特徴とするレイトレーシングコア (Ray tracing core)。

【請求項10】

前記レイトレーシングコアは、前記生成された少なくとも1つのアイレイまたはシェーディングレイに基づいて前記交差する三角形においてレイ - 三角形ヒットポイントの座標値を計算するヒットポイント計算部をさらに含むことを特徴とする、請求項9に記載のレイトレーシングコア。

20

【請求項11】

前記レイトレーシングコアは、前記計算されたレイ - 三角形ヒットポイントのカラー値を計算し、前記計算されたレイ - 三角形ヒットポイントの座標値とカラー値及び前記シェーディングレイタイプを含む前記シェーディング情報を前記セットアッププロセッシング部に伝送するシェーディング部をさらに含むことを特徴とする、請求項10に記載のレイトレーシングコア。

【請求項12】

前記複数のT&I部のそれぞれは、前記生成された少なくとも1つのアイレイまたはシェーディングレイに基づいて前記加速構造 (AS) に対する訪問過程 (traversal procedure)、三角形リスト取り入れ過程 (triangle list fetch procedure) 及びレイ - 三角形交差テスト過程 (ray - Triangle Intersection Test procedure) を行うT&Iパイプライン部 (Traversal & Intersection Pipeline Unit) を含むことを特徴とする、請求項9に記載のレイトレーシングコア。

30

【請求項13】

複数のレイトレーシングコア；

前記複数のレイトレーシングコアの中で適切なレイトレーシングコアにイメージの一部ブロックを割り当てるXY生成器；及び

40

前記複数のレイトレーシングコアのそれぞれから出力された最終カラー値を格納するメモリを含み、

前記複数のレイトレーシングコアのそれぞれは、

スクリーン座標値を含むアイレイの生成情報またはシェーディング情報に基づいて少なくとも1つのレイを生成するレイ生成部であって前記アイレイ生成情報はスクリーン座標値を含み、前記シェーディング情報は前記アイレイ生成情報に対して優先権を持ち、；及び

レイタイプに応じて個別に前記レイを処理し、前記レイタイプはそれぞれアイレイタイプ、シャドーレイタイプ、派生レイタイプがあり、異なる前記レイタイプのレイを並列に

50

処理するように構成され、加速構造 (Acceleration Structure) において、空間を構成する三角形で、前記レイと交差する前記三角形があるか否かをそれぞれチェックして、T&I部 (Traversal & Intersection Units) が独立的に実行される、MIMD構造 (Multiple Instruction stream Multiple Data stream Architecture) を持つ複数の前記T&I部 (Traversal & Intersection Units) を含み、

前記レイ生成部は、前記生成された派生レイの個数が2以上の場合には、1つの派生レイを前記複数のT&I部の中で1つに割り当て、残りの派生レイを派生レイスタックに格納し、前記シェーディングレイタイプがナルレイに相応する場合には、前記派生レイスタックに格納された派生レイを取り入れて前記複数のT&I部の中で1つに割り当て、

前記複数のT&I部は、入力バッファ、T&Iパイプライン部、出力バッファを備え、前記入力バッファと前記T&Iパイプライン部と前記出力バッファはフラッグを介して動作を制御される、ことを特徴とするレイトレーシングコア (Ray tracing core)。

【請求項14】

複数のレイトレーシングコア；

前記複数のレイトレーシングコアの中で適切なレイトレーシングコアにイメージの一部ブロックを割り当てるXY生成器；及び

前記複数のレイトレーシングコアのそれぞれから出力された最終カラー値を格納するメモリを含み、

前記複数のレイトレーシングコアのそれぞれは、

アイレイの生成情報 (eye ray generation information) またはレイ - 三角形ヒットポイントの座標値とカラー値及びシェーディングレイタイプを含むシェーディング情報 (shading information) の中で1つをマルチプレックシングするセットアッププロセッシング部；

前記アイレイの生成情報または前記シェーディング情報に基づいて少なくとも1つのアイレイまたはシェーディングレイを生成するかまたは最終カラー値を決定するレイ生成部であって前記アイレイ生成情報はスクリーン座標値を含み、前記シェーディング情報は前記アイレイ生成情報に対して優先権を持ち、；及び

レイタイプに応じて個別に前記レイを処理し、前記レイタイプはそれぞれアイレイタイプ、シャドウレイタイプ、派生レイタイプがあり、異なる前記レイタイプのレイを並列に処理するように構成され、加速構造 (Acceleration Structure) において、空間を構成する三角形で、前記レイと交差する前記三角形があるか否かをそれぞれチェックして、T&I部 (Traversal & Intersection Units) が独立的に実行される、MIMD構造 (Multiple Instruction stream Multiple Data stream Architecture) を持つ複数の前記T&I部 (Traversal & Intersection Units) を含み、

前記レイ生成部は、前記生成された派生レイの個数が2以上の場合には、1つの派生レイを前記複数のT&I部の中で1つに割り当て、残りの派生レイを派生レイスタックに格納し、前記シェーディングレイタイプがナルレイに相応する場合には、前記派生レイスタックに格納された派生レイを取り入れて前記複数のT&I部の中で1つに割り当て、

前記複数のT&I部は、入力バッファ、T&Iパイプライン部、出力バッファを備え、前記入力バッファと前記T&Iパイプライン部と前記出力バッファはフラッグを介して動作を制御される、ことを特徴とするレイトレーシングコア (Ray tracing core)。

【発明の詳細な説明】

【技術分野】

【0001】

10

20

30

40

50

本発明は3Dグラフィック処理に係り、特にレイトレーシングコア及びこれを含むレイトレーシングチップに関するものである。

【背景技術】

【0002】

3次元グラフィック技術はコンピュータに格納された幾何学的データ(geometric data)の3次元表現を使うグラフィック技術で、今日メディア産業とゲーム産業を含む多様な産業で広く使われている。一般に、3次元グラフィック技術は多くの演算量によって別個の高性能グラフィックプロセッサを要求する。

【0003】

特に、近年プロセッサの発展によって非常に現実的な3次元グラフィックを生成することができるレイトレーシング(ray tracing)技術が研究されている。特に、レイトレーシング技術は、反射、屈折、陰影を含む多様な光効果(optical effects)をシミュレーションすることができる。

【図面の簡単な説明】

【0004】

【図1】本発明の一実施例によるレイトレーシングコア(ray tracing core)を説明するブロック図である。

【図2】レイトレーシング過程を説明するための図である。

【図3】レイトレーシング過程を説明するための図である。

【図4】図1のセットアッププロセッシング部によるブロック基盤のレイの生成手順とこれを具現するハードウェアを説明するための図である。

【図5】図1の複数のT&I部を説明するためのブロック図である。

【図6】図5のT&Iパイプライン部を説明するための図である。

【図7】図5のT&Iパイプライン部を説明するための図である。

【図8】図1のT&I部のメモリシステムを説明するための図である。

【図9】図1のレイトレーシングチップで使われる加速構造と幾何学的データを説明するための図である。

【図10】図1のレイトレーシングコアが含まれたレイトレーシングボード(ray tracing board)を説明する図である。

【発明を実施するための形態】

【0005】

実施例において、レイトレーシングコア(Ray tracing core)はスクリーン座標値を含むアイレイの生成情報に基づいて少なくとも1つのアイレイを生成するレイ生成部及び前記少なくとも1つのアイレイをそれぞれ入力され、加速構造(AS; Acceleration Structure)において前記入力されたアイレイと交差する三角形(前記三角形は空間を構成する)があるか否かをそれぞれチェックするMIMD構造(Multiple Instruction stream Multiple Data stream Architecture)を持つ複数のT&I部(plurality of Traversal & Intersection Units)を含む。

【0006】

実施例において、レイトレーシングコア(Ray tracing core)はアイレイの生成情報(eye ray generation information)またはシェーディング情報(shading information)(レイ-三角形ヒットポイントの座標値とカラー値及びシェーディングレイタイプを含む)の1つをマルチプレックシングするセットアッププロセッシング部、前記アイレイの生成情報またはシェーディング情報に基づいて少なくとも1つのアイレイまたはシェーディングレイを生成するかあるいは最終カラー値を決定するレイ生成部、及びMIMD構造(Multiple Instruction stream Multiple Data stream Architecture)を採択し、加速構造(AS; Acceleration

10

20

30

40

50

Structure)において前記生成された少なくとも1つのアイレイまたはシェーディングレイと交差する三角形(前記三角形は空間を構成する)をそれぞれ決定する複数のT&I部(a plurality of Traversal & Intersection Units)を含む。

【0007】

実施例において、レイトレーシングチップ(ray tracing chip)は、複数のレイトレーシングコア、前記複数のレイトレーシングコアの中で適切なレイトレーシングコアにイメージの一部ブロックを割り当てるXY生成器、及び前記複数のレイトレーシングコアのそれぞれから出力された最終カラー値を格納するメモリを含む。前記複数のレイトレーシングコアのそれぞれは、スクリーン座標値を含むアイレイの生成情報に基づいて少なくとも1つのアイレイを生成するレイ生成部、及び前記少なくとも1つのアイレイをそれぞれ入力され、加速構造(AS; Acceleration Structure)において前記入力されたアイレイと交差する三角形(前記三角形は空間を構成する)があるか否かをそれぞれチェックするMIMD構造(Multiple Instruction stream Multiple Data stream Architecture)を持つ複数のT&I部(a plurality of Traversal & Intersection Units)を含む。

10

【0008】

実施例において、レイトレーシングチップ(ray tracing chip)は、複数のレイトレーシングコア、前記複数のレイトレーシングコアの中で適切なレイトレーシングコアにイメージの一部ブロックを割り当てるXY生成器、及び前記複数のレイトレーシングコアのそれぞれから出力された最終カラー値を格納するメモリを含む。前記複数のレイトレーシングコアのそれぞれは、アイレイの生成情報(eye ray generation information)またはシェーディング情報(shading information)(レイ-三角形ヒットポイントの座標値とカラー値及びシェーディングレイタイプを含む)の1つをマルチプレックシングするセットアッププロセッシング部、前記アイレイの生成情報またはシェーディング情報に基づいて少なくとも1つのアイレイまたはシェーディングレイを生成するかまたは最終カラー値を決定するレイ生成部、及びMIMD構造(Multiple Instruction stream Multiple Data stream Architecture)を採択し、加速構造(AS; Acceleration Structure)において前記生成された少なくとも1つのアイレイまたはシェーディングレイと交差する三角形(前記三角形は空間を構成する)をそれぞれ決定する複数のT&I部(a plurality of Traversal & Intersection Units)を含む。

20

30

【0009】

本発明についての説明は構造的ないし機能的説明のための実施例に過ぎないので、本発明の権利範囲はこの明細書に説明された実施例によって制限されるものに解釈されてはいけない。すなわち、実施例は多様な変更が可能であり、さまざまな形態を持つことができるので、本発明の権利範囲は技術的思想を実現することができる均等物を含むものに理解されなければならない。

40

【0010】

一方、本明細書に敘述される用語の意味は次のように理解されるべきであろう。

【0011】

“第1”、“第2”などの用語は一構成要素を他の構成要素から区別するためのもので、これら用語によって権利範囲が限定されてはいけない。例えば、第1構成要素は第2構成要素に命名されることができ、同様に第2構成要素も第1構成要素に命名されることができる。

【0012】

“及び/または”の用語は1つ以上の関連項目から提示可能なすべての組合せを含むものに理解されなければならない。例えば、“第1項目、第2項目及び/または第3項目”

50

の意味は第1、第2または第3項目だけでなく、第1項目、第2項目または第3項目の中で2個以上から提示可能なすべての項目の組合せを意味する。

【0013】

ある構成要素が他の構成要素に“連結されて”いると言及されたときには、その他の構成要素に直接連結されることもできるが、中間に他の構成要素が存在することもできると理解されなければならないであろう。一方、ある構成要素が他の構成要素に“直接連結されて”いると言及されたときには、中間に他の構成要素が存在しないものに理解されなければならないであろう。一方、構成要素間の関係を説明する他の表現、つまり“～の間に”と“すぐ～の間に”または“～に隣り合う”と“～に直接隣り合う”なども同様に解釈されなければならない。

10

【0014】

単数の表現は文脈上明白に異なるように意味しない限り複数の表現を含むものに理解されなければならない。“含む”または“持つ”などの用語は説示された特徴、数字、段階、動作、構成要素、部分品またはこれらを組み合わせたものが存在することを指定しようとするものであるばかり、1つまたはそれ以上の他の特徴、あるいは数字、段階、動作、構成要素、部分品またはこれらを組み合わせたものなどの存在または付加可能性を予め排除しないものに理解されなければならない。

【0015】

各段階は文脈上明白に特定の手順を記載しない限り、明記された手順とは異なるように起こることができる。すなわち、各段階は明記された手順と同様に起こることもでき、実質的に同時に遂行されることもでき、反対の順に遂行されることもできる。

20

【0016】

ここで使われるすべての用語は他の意味に定義されない限り、本発明が属する分野で通常の知識を持った者によって一般的に理解されるものと同一意味を持つ。一般的に使われる前もって定義されている用語は関連技術の文脈で有する意味と一致するものに解釈されなければならない。本明細書で明白に定義しない限り、理想的にあるいは過度に形式的な意味を持つものに解釈されることができない。

【0017】

図1は本発明の一実施例によるレイトレーシングコア(ray tracing core)を説明するブロック図である。

30

【0018】

図1を参照すれば、レイトレーシングコア100は、データパス部(data path part)とメモリシステム部(memory system part)に大別される。一実施例において、レイトレーシングコア100はグラフィックプロセッサのようなチップに含まれることができ、他の一実施例において、レイトレーシングコア100は単一チップとして具現されることができる。

【0019】

データパス部は、セットアッププロセッシング部(setup processing unit)110、レイ生成部(ray generation unit)120、複数のT&I部(Traversal & Intersection Unit)130、ヒットポイント計算部(Hit Point Calculation Unit)140、シェーディング部(Shading Unit)150及び制御部160を含む。メモリシステム部は、レジスタ(Register)165、L1キャッシュ(Cache)170、L2キャッシュ175、キャッシュ180、バッファ(Buffer)185、スタック190、及びメモリ(Memory)195を含む。便宜上、図1のメモリシステム部の構成要素のそれぞれは別に具現されるものとして説明したが、必要によって構成要素の中で少なくとも一部は物理的に同等なメモリで具現できる。

40

【0020】

また、レイトレーシングチップ100は外部メモリ(External Memory)1000と連結されることができ、外部メモリ1000は加速構造(AS; Accel

50

eration Structure) 格納部 1100、幾何学的データ (Geometry Data) 格納部 1200、テクスチャイメージ (Texture Image) 格納部 1300、及びフレーム (Frame) 格納部 1400 を含む。

【0021】

加速構造 (AS) はレイトレーシングに一般的に使われる kd-tree (k-depth tree) または BVH (Bounding Volume Hierarchy) を含み、幾何学的データはレイトレーシングのための三角形に関する情報 (以下、三角形情報) を含む。一実施例において、三角形情報は三角形の三点に対するテクスチャ座標 (texture coordinate) と法線ベクトル (normal vector) を含むことができる。

10

【0022】

図9は図1のレイトレーシングチップで使われる加速構造と幾何学的データの関係を説明するための図である。

【0023】

図9において、加速構造 (AS) は kd-tree を使うと仮定した。kd-tree は空間分割ツリー (spatial partitioning tree) の一種で、レイ-三角形交差テスト (Ray-Triangle Intersection Test) のために使われる。kd-tree はボックスノード (Box Node) 910、内部ノード (Inner Node) 920、及びリーフノード (leaf node) 930 を含み、リーフノード 930 は幾何学的データに含まれた少なくとも1つの三角形情報をポインティングするための三角形リストを含む。一実施例において、幾何学的データに含まれた三角形情報が配列で具現された場合には、リーフノード 930 に含まれた三角形リストは配列インデックスに対応することができる。

20

【0024】

図2及び図3はレイトレーシング過程を説明するための図である。図1～図3を参照してレイトレーシングコア100の全体的な動作を説明する。

【0025】

セットアッププロセッシング部110はアイレイの生成情報 (eye ray generation information) を準備し、準備されたアイレイの生成情報とシェーディング部150から出力されたシェーディング情報を選択する。アイレイの生成情報はアイレイの生成のためのスクリーン座標値を含む。シェーディング情報 (shading information) はスクリーン座標値を求めるためのレイインデックス (後述する)、レイ-三角形ヒットポイント (ray-triangle hit point) (後述する) の座標値とカラー値、及びシェーディングレイタイプを含み、シェーディングレイタイプによる付加情報をさらに含むことができる。シェーディングレイ (shading ray) はシャドーレイ (shadow ray)、派生レイ (secondary ray) またはナルレイ (NULL ray) を含み、派生レイは屈折レイ (refraction ray) または反射レイ (reflection ray) を含む。屈折レイの場合、付加情報はレイ-三角形ヒットポイントの屈折率を含み、反射レイの場合、付加情報はレイ-三角形ヒットポイントの反射率をさらに含む。セットアッププロセッシング部110の動作方式は図4を参照して後述する。

30

40

【0026】

レイ生成部120はアイレイの生成情報またはシェーディング情報に基づいて少なくとも1つのレイを生成することができる (段階 S310 または S340)。図2に示すように、少なくとも1つのレイはアイレイ E、シャドーレイ S、屈折レイ F、及び/または反射レイ R を含むことができる。生成された派生レイの個数が2以上の場合には、1つは T & I 部 130 に出力され、残りは派生レイスタック 190 に格納される。派生レイの場合、レイ生成部 120 は反射レイ R のヒットポイントまたは屈折レイ F のヒットポイントを考慮する必要があるからである。例えば、反射レイ F と屈折レイ R の両方が生成される場合には、反射レイ F は T & I 部 130 に出力されることができ、屈折レイ R は派生レイ S

50

タック 190 に格納されることができる。

【0027】

シェーディングレイタイプがナルレイに相応する場合には、レイ生成部 120 は派生レイスタック 190 に格納された派生レイを取り入れ、取り出された派生レイを T&I 部 130 に出力する。シェーディングレイスタック 190 が空いている場合には、レイ生成部 120 はレイインデックス（後述する）に基づいてスクリーン座標値を取得し、スクリーン座標値とレイ - 三角形ヒットポイント（後述する）のカラー値に基づいて最終カラー値をカラーバッファ 185c に使う。

【0028】

複数の T&I 部 130 は並列の MIMD (Multiple Instruction stream Multiple Data stream) 構造を採択し、複数の T&I 部 130 のそれぞれはレイ生成部 120 から生成されたレイ（アイレイ、シャドーレイまたは派生レイ）を入力され、加速構造 (AS; Acceleration Structure) においてレイと交差する三角形があるか否かをチェックする。すなわち、複数の T&I 部 130 のそれぞれは加速構造 (AS) を訪問 (traverse) し、三角形 (triangles) に対する交差テスト (intersection testing) を遂行する。複数の T&I 部 130 の動作方式は図 5 ~ 図 11 を参照して後述する。

【0029】

ヒットポイント計算部 140 は交差する三角形 (intersected triangle) に対してレイ - 三角形ヒットポイント (ray-triangle hit point)（つまり、交差する三角形においてレイがヒットされるポイント）の座標値を計算し、シェーディング部 150 はレイ - 三角形ヒットポイントに対してカラー値を計算する。一実施例において、シェーディング部 150 はレイ - 三角形ヒットポイントに対するカラー値を得るためにフォーン照明 (phong illumination) とテクスチャマッピング (texture mapping) を遂行することができる（段階 S340）。また、シェーディング部 150 はレイ生成部 120 による最終カラー値の決定またはシェーディングレイの生成のためのシェーディング情報を生成し、シェーディング情報をセットアッププロセッシング部 110 に伝送する。それ以上のレイの生成が必要でない場合には、シェーディングレイタイプはナルレイ (Null Ray) に相応することができる。一実施例において、シェーディング部 150 は物質メモリ 195c に格納されたレイ - 三角形ヒットポイントに関する物質情報に基づいて派生レイの生成を決定することができる。以下、データバスに含まれた構成要素のそれぞれを説明する。

【0030】

<パイプライン制御構造>

レイトレーシングアルゴリズムは再帰的に遂行され、(i) アイレイの生成過程（段階 S310）、(ii) 加速構造訪問 (AS Traversal) 過程（段階 S320）、(iii) レイ - 三角形交差テスト (ray-Triangle Intersection Test) 過程（段階 S330）、(iv) シェーディング及びシェーディングレイの生成過程（段階 S340）を含む。したがって、レイトレーシングアルゴリズムは一般的なストリーミングパイプライン構造 (streaming pipeline architecture) を使うことが適切でないこともある。

【0031】

本発明はレイトレーシングアルゴリズムに適切なパイプライン構造を導入し、制御部 160 はパイプライン (レジスタ) 165 のフラッグ (flag) を介してパイプラインの動作を制御する。すなわち、本発明は、パイプラインの効率を高めるために、フラッグ (flag) 基盤の単純な制御構造を使う。一実施例において、パイプラインのレジスタ 165 のフラッグはオンまたはオフのための 1 ビット情報に相応することができる。フラッグがオンに相応する場合、レジスタ 165 は以前のステージで出力された情報を格納することができる。結果として、パイプラインはフラッグによって同期的 (synchrono

10

20

30

40

50

us) に処理できるが、データパスを構成する構成要素のそれぞれは非動機的 (asynchronous) に結果を出力することができる。

【0032】

必要によって、データパスを構成する構成要素のそれぞれはロード不均衡 (load imbalance) による待機時間を減らすためにバッファ185を使うことができる。例えば、複数のT&I部130のそれぞれは性能向上とMIMD構造支援のためにバッファ185を使うことができる。

【0033】

<セットアッププロセッシング部110>

セットアッププロセッシング部110はアイレイの生成情報を初期化させる。初期化過程は、スクリーン座標値を決定し、決定されたスクリーン座標値をレイインデックスに変換する過程を含む。レイインデックスはパイプラインの各段階でレジスタ165のサイズを減少させるために使われる。セットアッププロセッシング部110はスクリーン座標値とレイインデックスをレイ生成部120に伝送する。

10

【0034】

セットアッププロセッシング部110はアイレイの生成情報またはシェーディング情報をマルチプレックシングする。一実施例において、シェーディング情報はアイレイの生成情報に対して優先権 (priority) を持つことができる。以前のスクリーン座標値を持つピクセルで生成されたレイに対する処理が先に行われることが好ましいからである。

20

【0035】

図4は図1のセットアッププロセッシング部によるブロック基盤のレイの生成手順とこれを具現するハードウェアを説明するための図である。

【0036】

スクリーンは複数の $m \times n$ (m と n は偶数) ピクセルブロック (以下、スーパーブロック) を含み、各スーパーブロックは同じ大きさの N 個 (N は複数のT&I部130の個数) のピクセルブロック (以下、サブブロック) を含む。

【0037】

セットアッププロセッシング部110は、複数のT&I部130mpそれぞれでキャッシュヒット率 (cache hit rate) を増加させるために、スクリーンを複数のブロック (つまり、サブブロック) に分割し、各ブロック基盤のアイレイの生成手順を決定することができる。例えば、スクリーンは 16×16 ピクセルブロックでそれぞれ構成された複数のスーパーブロックを含むことができ、スーパーブロックのそれぞれは4個の 8×8 ピクセルブロックでそれぞれ構成されたサブブロックを含むことができる。第1~第4ピクセルブロック410~440のそれぞれは第1~第4T&I部130a~130dに割り当てられることができる。

30

【0038】

以下、第1サブブロック410は図4(b)に示す 8×8 ピクセルブロックに相応し、第1T&I部130aに割り当てられたと仮定する。

【0039】

セットアッププロセッシング部110は線形の n -ビットカウンタ450を使って第1T&I部130aのキャッシュヒット率を増加させるためのレイの生成手順を決定することができる。線形の n -ビットカウンタ450の第1グループ (第1グループは連続しない少なくとも1つのビットを含むことができる) はサブブロックの x 座標値を示し、線形の n -ビットカウンタ450の第2グループ (第2グループは第1グループに属したビットを含まなく、連続しない少なくとも1つのビットを含むことができる) はサブブロックの y 座標値を示す。

40

【0040】

レイ生成部120は、図4(b)及び図4(c)に示すように、セットアッププロセッシング部110によって決定されたアイレイの生成手順にレイを生成する。一方、図4(c)

50

b) に示すピクセル (例えば、ピクセル 0) はレイの生成のためのピクセルを意味する。例えば、64 個のピクセルの場合、セットアッププロセッシング部 110 は線形の 6 - ビットカウンタ 450 を含むことができ、線形の 6 - ビットカウンタ 450 の値 $I = i_5 i_4 i_3 i_2 i_1 i_0$ の場合には、ピクセルの座標 $(x, y) = (i_5 i_3 i_1, i_4 i_2 i_0)$ に相応することができる。すなわち、図 4 (c) の線形の 6 - ビットカウンタ 450 はカウント数が増加するにつれて図 4 (b) のピクセル座標が易しくマッピングされるように具現される。

【0041】

<レイ生成部 120>

レイ生成部 120 はセットアッププロセッシング部 110 から伝送されたスクリーン座標値とレイインデックスをレイインデックスマッピングテーブル (195a) に格納し、アイレイの生成情報またはシェーディング情報に基づいて少なくとも 1 つのレイを生成するかあるいは最終カラー値をカラーバッファ 185a に格納する。

10

【0042】

アイレイの生成情報が入力された場合には、レイ生成部 120 はアイレイ E を生成する。シェーディング情報が入力された場合には、レイ生成部 120 はシェーディングレイタイプによってシェーディングレイ S、R、F を生成し、シェーディングレイタイプがナルレイに相応する場合には、レイ生成部 120 は派生レイスタック 190 に格納された派生レイを取り入れる。派生レイスタック 190 が空いている場合には、レイ生成部 120 はレイインデックスに基づいてスクリーン座標値を求め、求められたスクリーン座標値とレイ - 三角形ヒットポイント (後述する) のカラー値をカラーバッファ 185c に格納する。以下、レイ生成部 120 がレイを生成する過程を説明する。

20

【0043】

アイレイの生成において、レイ生成部 120 はレイインデックスマッピングテーブル (195a) を用いてアイレイのスクリーン座標値を求め、スクリーン座標値に基づいてアイレイ E を生成する。一般に、アイレイはスクリーン座標値とカメラ位置 (つまり、アイ位置) に基づいて生成できる。レイ生成部 120 は複数の T & I 部 130 の中で適切な T & I 部 (例えば、130a) に生成されたアイレイを割り当てる。

【0044】

シャドウレイの生成において、シェーディングレイタイプがシャドウレイに相応する場合には、レイ生成部 120 はレイ - 三角形ヒットポイント (後述する) に基づいてシャドウレイを生成する。一般に、シャドウレイはスクリーン座標値と光位置 (light position) に基づいて生成できる。一実施例において、演算量を減らすために、レイ生成部 120 は光源 (light source) の数を制限することができる。

30

【0045】

派生レイの生成において、シェーディングレイタイプが派生レイに相応する場合には、レイ生成部 120 は少なくとも 1 つの派生レイ (つまり、屈折レイ及び/または反射レイ) を生成する。派生レイの個数が 2 以上の場合には、レイ生成部 120 は 1 つを除いた派生レイを派生レイスタック 190 に格納する。レイ生成部 120 は複数の T & I 部 130 の中で適切な T & I 部 (例えば、130b) に格納されない派生レイを割り当てる。派生レイスタック 190 に格納された派生レイはスクリーン座標値、方向ベクトル値及び RGB に対する加重値を含むことができる。一実施例において、演算量を減らすために、レイ生成部 120 はレイ深さ (ray depth) を使って派生レイによる派生レイの無制限的な生成を防止することができる。

40

【0046】

ナルレイの生成において、シェーディングレイタイプがナルレイに相応する場合には、レイ生成部 120 は派生レイスタック 190 に格納された派生レイを取り入れた後、複数の T & I 部 130 の中で適切な T & I 部 (例えば、130c) に取り入れた派生レイを割り当てる。派生レイスタック 190 が空いている場合には、レイ生成部 120 はレイインデックスに基づいてスクリーン座標値を求め、求められたスクリーン座標値とレイ - 三角

50

形ヒットポイント（後述する）のカラー値に基づいて最終カラー値をカラーバッファ185cに格納する。カラーバッファ185cに格納された最終カラー値は外部メモリ1000に格納される。

【0047】

< T & I 部 130 >

複数のT & I部130は加速構造訪問 (AS Traversal) 過程 (段階S320) とレイ - 三角形交差テスト (ray - Triangle Intersection Test) 過程を遂行する。

【0048】

図5は図1の複数のT & I部を説明するためのブロック図である。

10

【0049】

図5を参照すれば、複数のT & I部130のそれぞれはバッファ185、L1キャッシュ170及びT & Iパイプライン部 (Traversal & Intersection Pipeline Unit) 135を含む。

【0050】

複数のT & I部130はT & Iパイプライン部135が独立的に実行されるMIMD並列構造を採択する。周知のように、レイトレーシングアルゴリズムはMIMD並列構造に適合するように各レイを独立的に処理することができる。SIMD (Single Instruction stream Multiple Data stream) と比較し、MIMD並列構造はパイプラインをより効率よく使うことができる利点を持つ。

20

【0051】

複数のT & I部130のそれぞれは自体の入力バッファ185aと出力バッファ185bを含む。同一ピクセルから生成されたレイ (アイレイ及びシェーディングレイ) は同一T & I部130で処理されることが好ましいからである。また、複数のT & I部130のそれぞれは自体のL1キャッシュ170を含む。MIMD構造は効率的なキャッシュメモリを要求するからである。

【0052】

T & Iパイプライン部135は、(i) 訪問 (traversal) 過程、(ii) 三角形リスト取り入れ (triangle list fetch) 過程、及び(iii) レイ - 三角形交差テスト (ray - Triangle Intersection Test) 過程を遂行する。加速構造 (AS) はkd - treeに相応すると仮定した。

30

【0053】

訪問過程において、T & Iパイプライン部135は加速構造 (AS) でノードを検索することで、レイと交差するリーフノード (leaf node) を探す。加速構造 (AS) の訪問アルゴリズムは当業者によく知られているので、これについての説明は省略する。三角形リスト取り入れ過程で、T & Iパイプライン部135は交差するリーフノードに含まれた三角形リストを読み取る。レイ - 三角形交差テスト過程で、T & Iパイプライン部135は三角形リストの座標情報を読み取り、与えられたレイに対して交差テストを遂行する。

【0054】

図6及び図7は図5のT & Iパイプライン部を説明するための図である。

40

【0055】

[SCHMITTLER, J., WALD, I., AND SLUSALLEK P. 2002. Saarcor: a hardware architecture for ray tracing. In Proceedings of the SIGGRAPH/EUROGRAPHICS conference on Graphics Hardware] (以下、参照文献1) と [SCHMITTLER, J., WOOP, S., WAGNER, D., PAUL, W. J., AND SLUSALLEK, P., 2004. Realtime ray tracing of dynamic scenes on an FPGA chip. In

50

Proceedings of the SIGGRAPH/EUROGRAPHIC S conference on Graphics Hardware] (以下、参考文献2)にあるレイトレーシング構造は訪問(traversal)と交差テスト(intersection test)のために別個のハードウェアを使う。しかし、図5のT&Iパイプライン部135は訪問(traversal)と交差テスト(intersection test)の間のロード不均衡(load imbalance)を引き起こさず、加速構造(AS)を効率よく支援するように統合されたパイプライン構造を採択した。すなわち、図7のT&Iパイプライン部135は訪問(traversal)と交差テスト(intersection test)の各段階で同一ハードウェアを使うことができる。以下、前記参考文献1と参考文献2との相違点を主に説明する。

10

【0056】

図6及び図7において、加速構造(AS)はkd-treeに相応すると仮定した。図6はT&Iパイプライン部135で行われる訪問過程及びレイ-三角形交差テスト過程で使われる演算器と演算器の個数を説明する。訪問過程は大別してレイ-ボックス交差テスト(Ray-Box Intersection Test)と訪問(Traversal)を含む。図9において、kd-treeのトップノード910はBoxノードに相応するからである。パイプライン制御部710はT&Iパイプライン部135内のパイプラインを制御する。

【0057】

レイ-ボックス交差テスト、訪問及びレイ-三角形交差テストにおける演算過程はMOLLER, T., AND TRUMBORE, B. 1997 Fast, minimum storage ray-triangle intersection, Journal of Graphics Toolsによく開示されているので、これについての説明は省略する。

20

【0058】

図6に示すように、レイ-ボックス交差テストで順次必要な演算器は6個のフローティングポイント加算器(FADD, Floating Point Adder)、6個のフローティングポイント乗算器(FMUL, Floating Point Multiplier)、3個の第1フローティングポイント比較器(FCOMP, Floating Point Comparator)、2個の第2フローティングポイント比較器(FCOMP)、及び1個の第3フローティングポイント比較器(FCOMP)を含む。

30

【0059】

図6に示すように、訪問において順次必要な演算器は1個のフローティングポイント加算器(FADD)、1個のフローティングポイント乗算器(FMUL)、及び2個のフローティングポイント比較器(FCOMP)を含む。また、訪問において順次必要な演算はスタックメモリ(185d)へのスタック書き込み及びスタック読み取りを含む。

【0060】

図6に示すように、レイ-三角形交差テストで順次必要な演算器は、9個の第1フローティングポイント加算器(FADD)、12個の第1フローティングポイント乗算器(FMUL)、6個の第2フローティングポイント加算器(FADD)、12個の第2フローティングポイント乗算器(FMUL)、4個のトリプル入力フローティングポイント加算器(TFADD, Tripple Input FADD)、1個のフローティングポイント加算器(FADD)、フローティングポイント除算器(FDIV)、及び2個のフローティングポイント比較器(FCOMP)を含む。レイ-三角形交差テストは与えられたレイによって交差する最も近接した三角形と目の位置(またはカメラの位置)との交差点の間の距離を計算する。交差した三角形が存在する場合には、交差した三角形に関する情報はヒットポイント計算部140に伝送され、そうではない場合には、次の訪問段階が遂行される。一実施例において、レイ-三角形交差テストはMOLLER, T., AND TRUMBORE, B. 1997. Fast, minimum stor

40

50

age ray - triangle intersection. Journal of Graphics Toolsに開示されたアルゴリズムを用いることができる。

【0061】

図7は訪問過程、三角形リスト取り入れ過程及びレイ - 三角形交差テスト過程を遂行するためのT&Iパイプライン部135の構成を説明する。図7のT&Iパイプライン部135は統合された1つのパイプラインを使って図6のパイプラインの順に訪問過程、三角形取り入れ過程及びレイ - 三角形交差テスト過程を遂行するようにパイプラインを構成する。すなわち、図7の710に含まれたパイプライン段階は訪問過程及びレイ - 三角形交差テスト過程を遂行し、その以外の段階はキャッシュ接近または三角形リスト取り入れ段階を遂行する。図7に示すように、本発明は動作モードによって別個のハードウェアを使わずに統合されたパイプライン構造を採択する。

10

【0062】

< T & I 部 1 3 0 のメモリシステム >

図8は図1のT&I部のメモリシステムを説明するための図である。

【0063】

T & I 部 1 3 0 においてメモリ接近はレイトレーシングでの全体メモリ接近の絶対的多数を占めるので、T & I 部 1 3 0 のメモリシステムは効率よくデザインされる必要がある。図1及び図5に示すように、複数のT & I 部 1 3 0 のそれぞれは3個のL1キャッシュを含み、共通のL2キャッシュを使う。キャッシュメモリの二重構造(two-level hierarchy)にもかかわらず、キャッシュミス(cache miss)によるパイプラインストール時間(pipeline stall time)は依然として大きい。したがって、本発明はこれを解決するために次の2方案を使う。

20

【0064】

第1方案はL1キャッシュミスに関するもので、L1キャッシュミスが発生した場合、L1キャッシュミスが次のループで解決されるように、L1キャッシュミスをストール(stall)なしに飛ばすものである。図5において、パイプラインP1でキャッシュミスが発生した場合、パイプライン制御部710は次の段階のパイプラインP2にストールなしに続いて進む。キャッシュ制御部(図示せず)は、パイプラインP1の再処理のために、L2キャッシュ175または外部メモリ1000からミスされたデータを取り入れる。パイプラインP18の後にさらにパイプラインP1が再び進めば、L1キャッシュに対する接近が発生する。キャッシュミスが解決されれば、パイプライン制御部710は次の段階のパイプラインP2を正常に処理し、キャッシュミスがまた発生すれば、パイプライン制御部710はキャッシュミスが解決されるまで前記過程を繰り返す。結果として、キャッシュミスによるキャッシュミスペナルティはよほど緩和できる。

30

【0065】

第2方案はL2キャッシュミスに関するもので、L2キャッシュミスが発生した場合、L2キャッシュミスをストールなしに飛ばすものである。現在のレイに対してL1キャッシュミスが発生した場合には、L2キャッシュ接近のための要求がL1 Addr FIFO810に入力される。L1 Addr FIFO810にある現在レイの要求によるL2キャッシュ接近がキャッシュヒットであると結論付けられれば、要求に対する住所とデータはL1 Addr/Data FIFO820に入力される。そうではない場合には、外部メモリ1000に対する他の要求がL2 Addr FIFO810に入力され、L1 Addr FIFO610にある現在レイの要求は削除される。削除された要求に対するキャッシュ接近は次のループで再び発生する。次のループで発生したキャッシュ接近が発生すれば、前述した過程が繰り返される。前記過程はキャッシュ接近がヒットであると結論付けられるまで繰り返される。したがって、現在レイの要求によるL2キャッシュ接近でキャッシュミスが発生した場合であっても次のレイの要求によるL2キャッシュ接近は許容される。結果として、キャッシュミスによるキャッシュミスペナルティはよほど緩和できる。

40

【0066】

50

図8はNode L1 Cache170を例としてあげたが、L1 List CacheとL1 Triangle Coordinate Cacheも同様に動作することができる。

【0067】

<ヒットポイント計算部140及びシェーディング部150>

ヒットポイント計算部140は、T&I部130から出力されてレイによってヒット(hit)された三角形との距離と与えられたレイのベクトル値を用いてレイ-三角形ヒットポイントの座標値を計算する。レイ-三角形ヒットポイントはレイ当たり1つだけ発生するので、ヒットポイント計算部140は1つのパイプラインで具現できる。一実施例において、費用効率を考慮すれば、ヒットポイント計算部140はT&I部130に具現できる。

10

【0068】

シェーディング部150は物質メモリ(material memory)195cと三角形情報キャッシュ(triangle information cache)180に格納された情報を用いてレイ-三角形ヒットポイントのカラー値を計算する。物質メモリ195cは幾何学的データ格納部1200にある三角形に関する物質情報を格納し、一実施例において、物質情報はテクスチャインデックス(texture index)、環境定数(ambient constant)、分散定数(diffuse constant)、反射定数(specular constant)、屈折率(refraction rate)(つまり、アルファ値)、屈折角(refraction angle)などを含むことができる。三角形情報キャッシュ180は幾何学的データ格納部1200のキャッシュで、シェーディング段階で要求される該当の三角形に対する三角形情報を格納し、三角形情報は物質メモリ195cの参照のための物質インデックス(material index)をさらに含むことができる。

20

【0069】

シェーディング部150は、フォーン照明とテクスチャマッピングによってレイ-三角形ヒットポイントのカラー値を計算することができ、計算されたカラー値をシェーディングバッファ185eにある以前のカラーに計算されたカラーを加え、加えられたカラー値をシェーディングバッファ185eに格納する。シェーディングバッファ185eは与えられたピクセルから生成されたアイレイ、シャドーレイまたは派生レイによって累積したカラー値とシェーディング情報を格納する。

30

【0070】

シェーディング情報は現在のレイに対する派生レイが生成されるか否かを決定するために使われる。シェーディング部150はヒットされた三角形に対する三角形情報に含まれた物質インデックスに基づいて物質メモリから物質情報(つまり、反射率と屈折率)を取り入れる。反射率が0に相応しない場合には、レイ生成部120は反射レイを生成することができ、屈折率が0に相応しない場合には、レイ生成部120は屈折レイを生成することができる。また、レイ生成部120は光源(light source)に対するシャドーレイを生成することができる。シェーディング部150はレイ-三角形ヒットポイントの座標値とカラー値及びシェーディングレイタイプを含むシェーディング情報をセットアッププロセッシング部110に伝送する。

40

【0071】

一実施例において、フォーン照明は[HARRIS, D. 2004 An exponentiation unit for an OpenGL lighting engine. IEEE Transactions on Computers]にある構造を使うことができ、テクスチャマッピングはバイリニアフィルタリング構造(bilinear filtering scheme)を支援し[HAKURA, Z. S., AND GUPTA, A. 1997. The design and analysis of a cache architecture for texture mapping. SIGARCH Computer Architecture

50

re News]に開示されたキャッシュ構造を選択した。

【0072】

図10は図1のレイトレーシングコアが含まれたレイトレーシングボード(ray tracing board)を説明する図である。

【0073】

図10を参照すれば、レイトレーシングボード2000は、第1～第2レイトレーシングサブボード2010a～2010bを含み、第1レイトレーシングサブボード2010aはレイトレーシングチップ2020a～2020bを含み、第2レイトレーシングサブボード2010bはレイトレーシングチップ2020c～2020dを含む。

【0074】

レイトレーシングコア2020は図1のレイトレーシングコア100と実質的に同一であるので、その相違点を主に説明する。

【0075】

ホストコンピュータの中央処理装置(CPU)は場面管理ソフトウェア(Scene Management Software)2005を実行し、場面管理ソフトウェア2005は加速構造(AS)を構築し、USBインターフェースとBFM(Bus Functional Model)を介して加速構造(AS)、幾何学的データ、テクスチャデータをレイトレーシングチップ2020のそれぞれにあるメモリ(DRAM)2030a～2030dに伝送する。その後、レイトレーシングコア2020は実行し始める。

【0076】

第1レイトレーシングチップ2010aはマスターとして動作する。第1レイトレーシングチップ2010aにあるXY生成器2040は適切なレイトレーシングコア(例えば、ひまなレイトレーシングチップ)2020にブロック住所(つまり、イメージの一部ブロック)を伝送する。XY生成器2040によって選択されたレイトレーシングコア2020はブロック住所を受けた後、所定のピクセルブロックに対してレンダリングを遂行する。例えば、所定のピクセルブロックは16×16ピクセルブロックに相応することができる。レンダリング完了の後、レイトレーシングコア2020はXY生成器2040に次のブロック住所を要求することができる。レイトレーシングコア2020のそれぞれで生成された最終カラー値はSRAM & LCD制御器2050によってSRAM2060に格納される。

【0077】

本発明は次の効果を持つことができる。ただ、特定の実施例が次の効果を全部含まなければならないかあるいは次の効果のみを含まなければならないという意味ではないので、本発明の権利範囲はこれによって制限されるものに理解されてはいけないであろう。

【0078】

一実施例によるレイトレーシングコアは、レイトレーシングの効率的処理のためのMIMD(Multiple Instruction stream Multiple Data stream)並列構造を支援することができる。

【0079】

一実施例によるレイトレーシングコアは、加速構造(AS)に適切に統合されたパイプライン構造を採択して、レイトレーシングで使われるレイ-ボックス交差、訪問、レイ-三角形交差テストを効率よく遂行することができる。

【0080】

以上、本発明の好適な実施例を参照して説明したが、当該技術分野の熟練した当業者は下記の特許請求の範囲に記載された本発明の思想及び領域から逸脱しない範囲内で本発明を多様に修正及び変更することができることが理解可能であろう。

【符号の説明】

【0081】

- 100 レイトレーシングコア
- 110 セットアッププロセッシング部

10

20

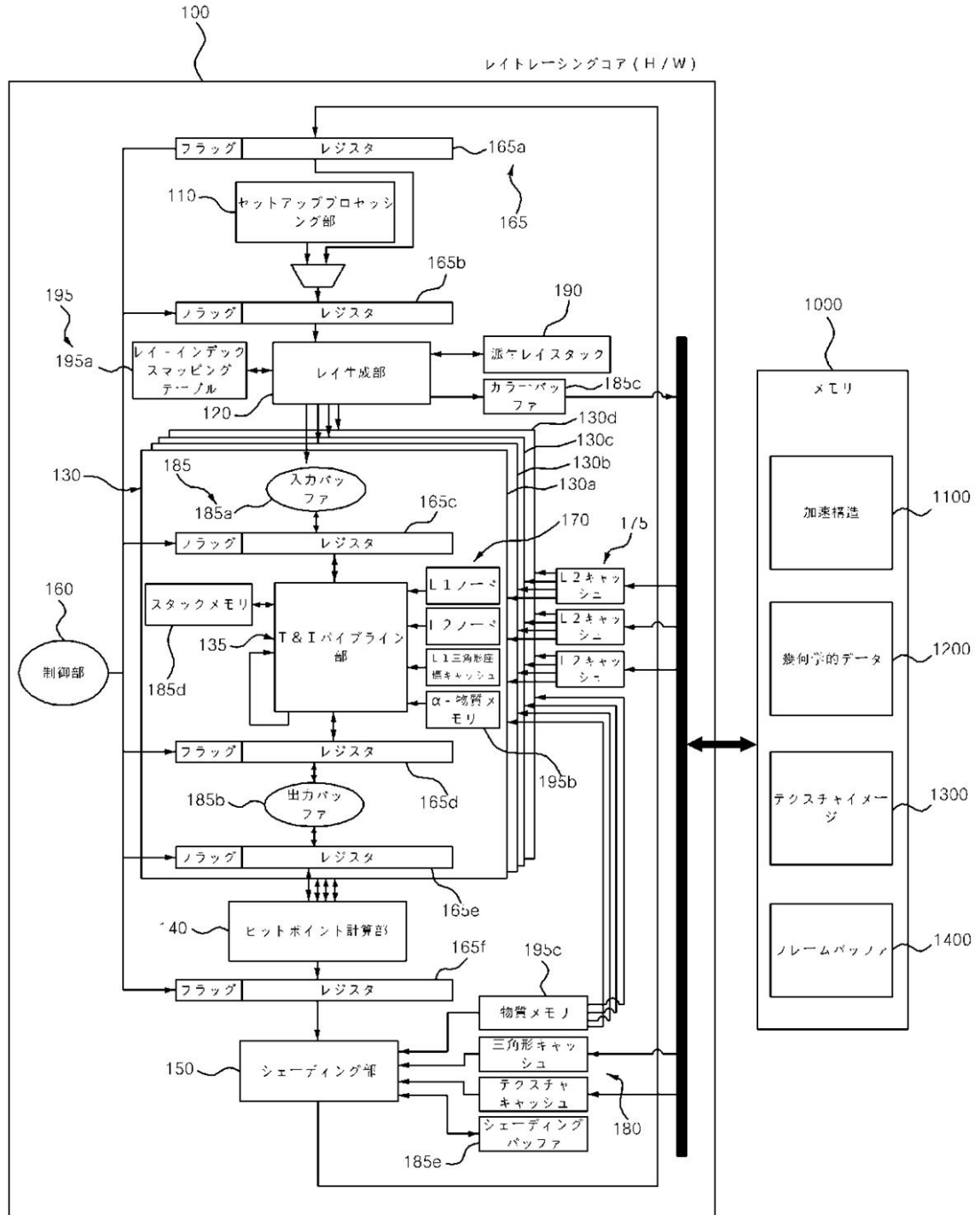
30

40

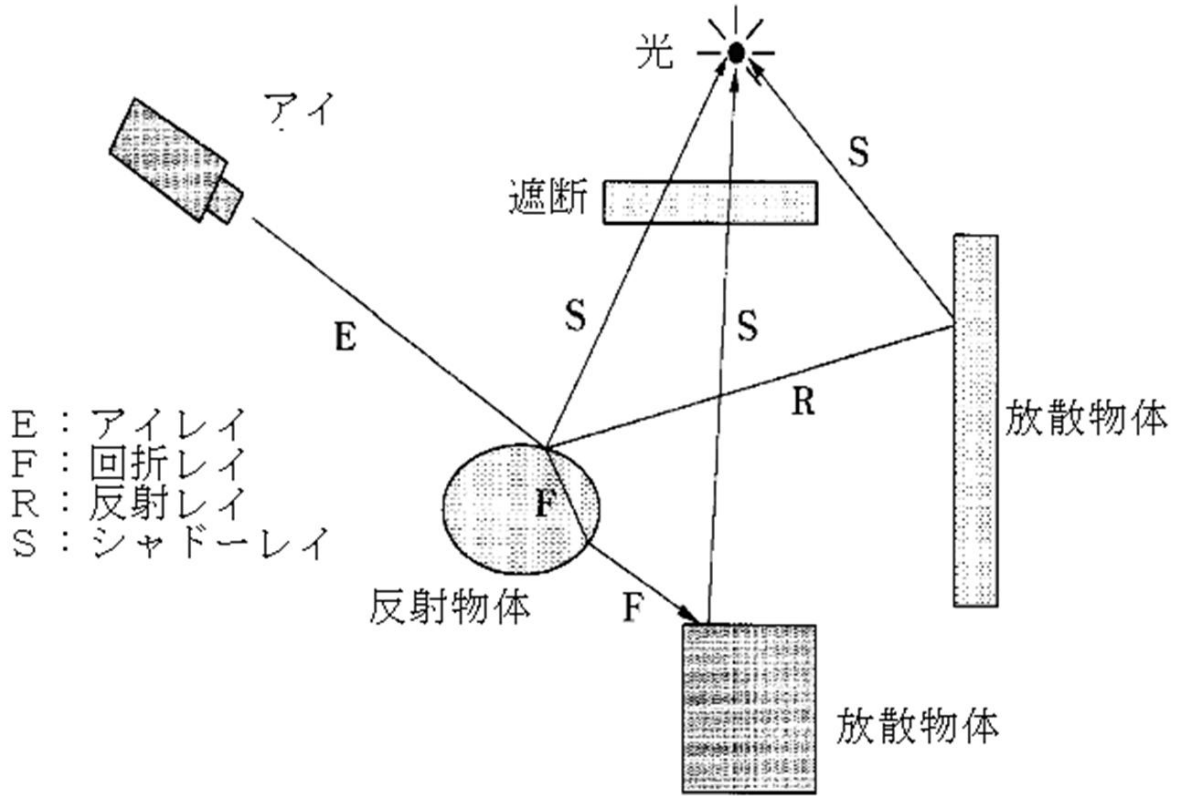
50

1 2 0 レイ生成部
1 3 0 T & I 部
1 4 0 ヒットポイント計算部
1 5 0 シェーディング部
1 6 0 制御部
1 6 5 レジスタ
1 7 0 L 1 キャッシュ
1 7 5 L 2 キャッシュ
1 8 0 キャッシュ
1 8 5 バッファ
1 9 0 スタック
1 9 5 メモリ
2 0 0 0 レイトレーシングボード

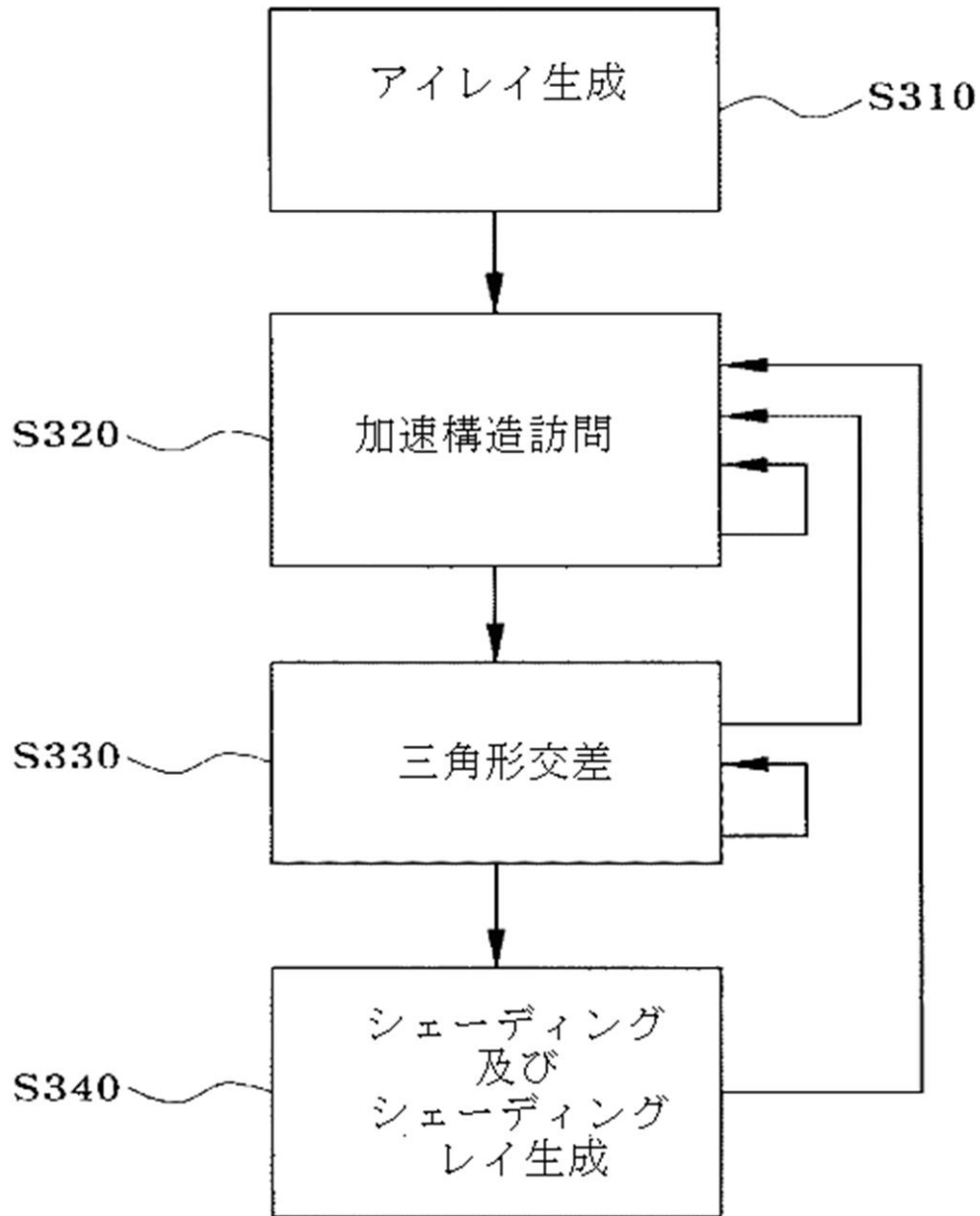
【図1】



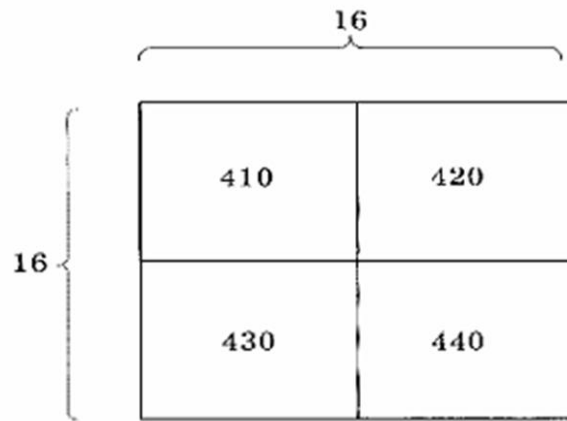
【図2】



【図3】



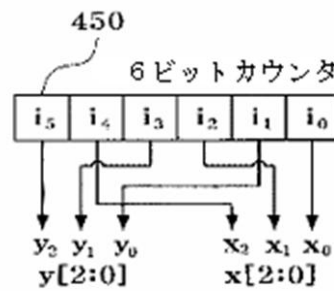
【図4】



(a) 16 × 16ピクセルブロック

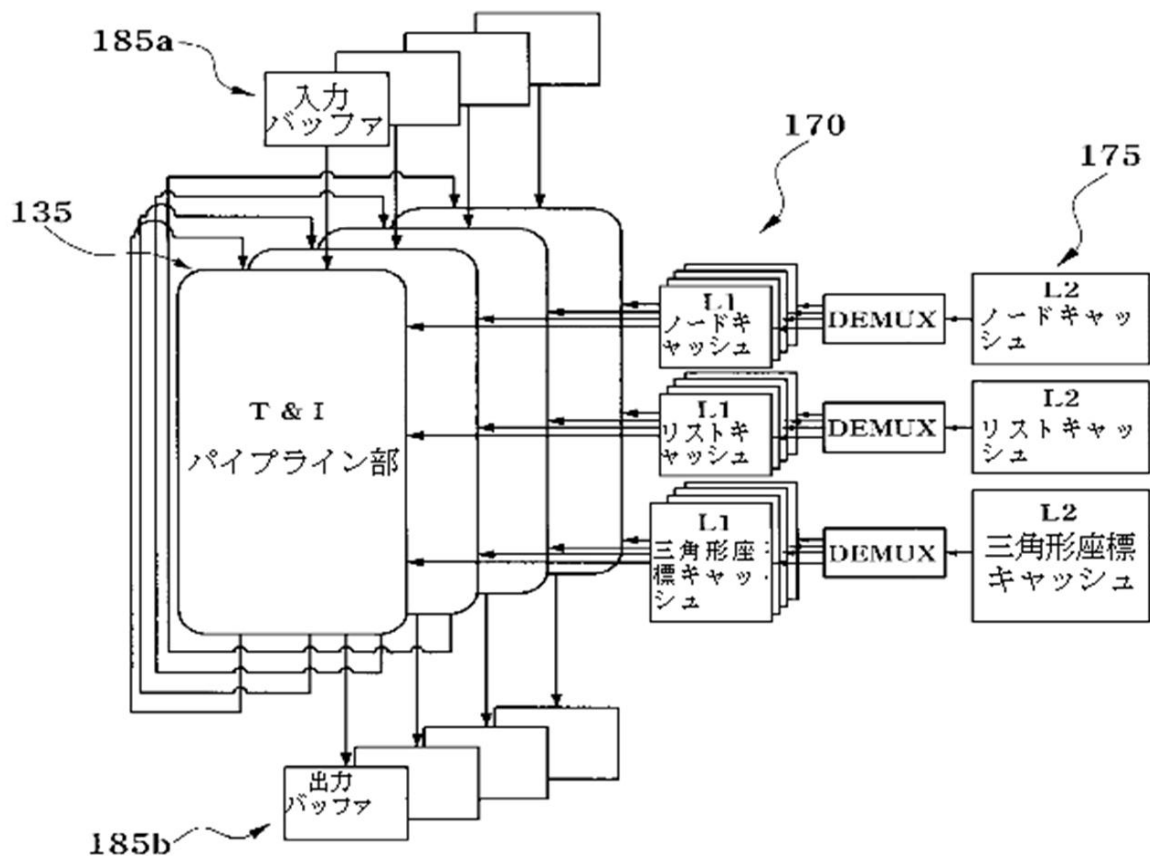
0	1	4	5	16	17	20	21
2	3	6	7	18	19	22	23
8	9	12	13	24	25	28	29
10	11	14	15	26	27	30	31
32	33	36	37	48	49	52	53
34	35	38	39	50	51	54	55
40	41	44	45	56	57	60	61
42	43	46	47	58	59	62	63

(b) ブロック基盤のレンダリング



(c) ハードウェア具現

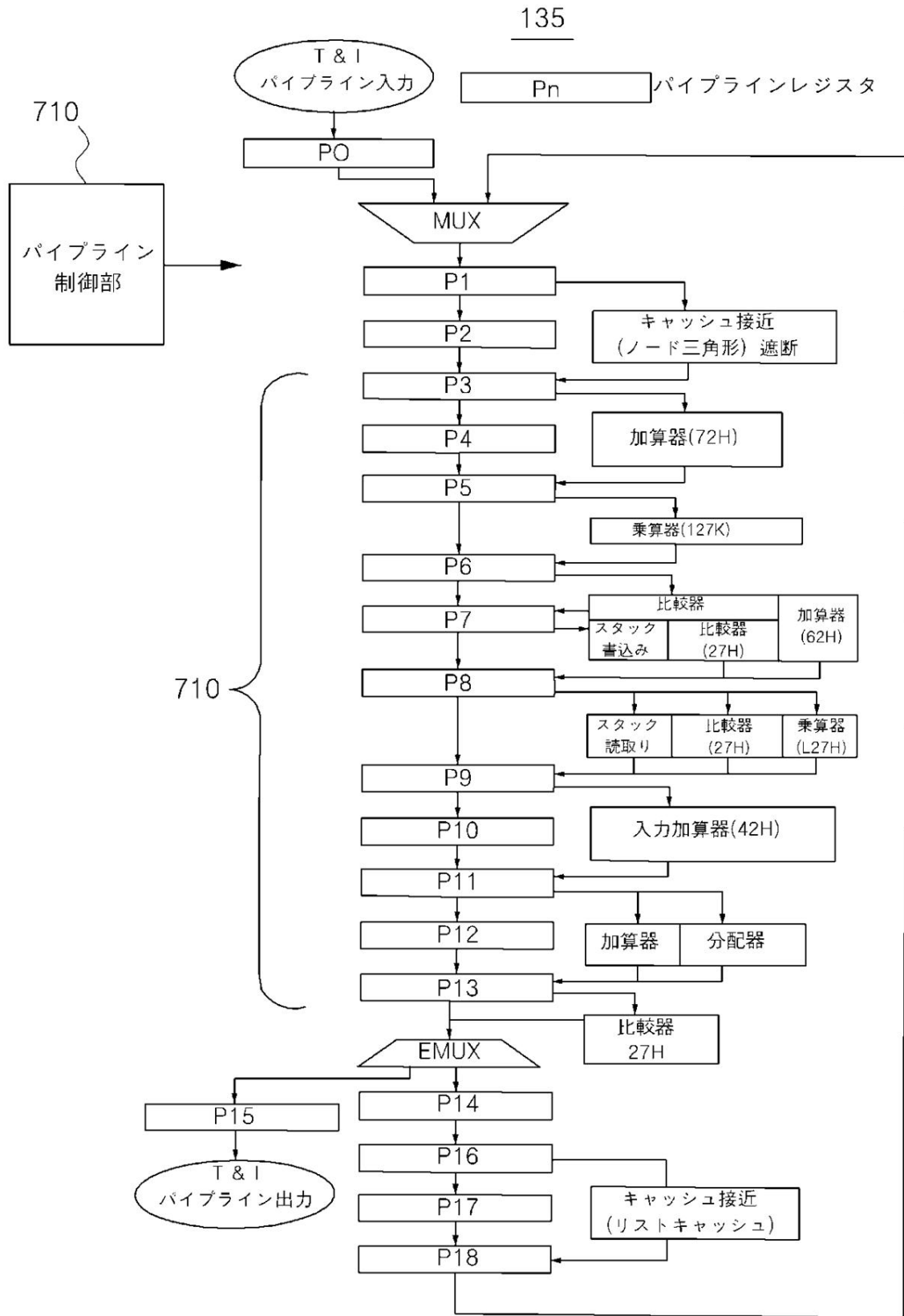
【図5】



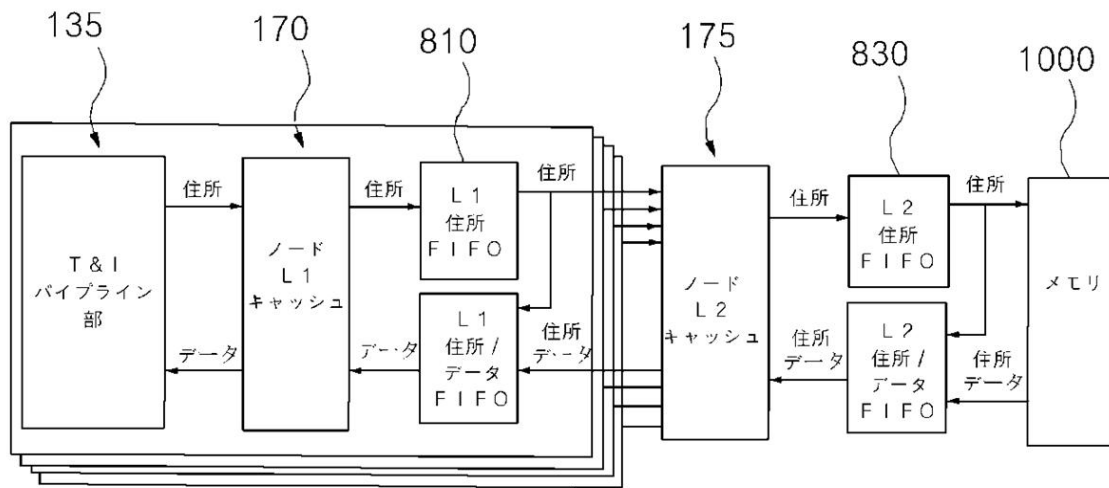
【図6】



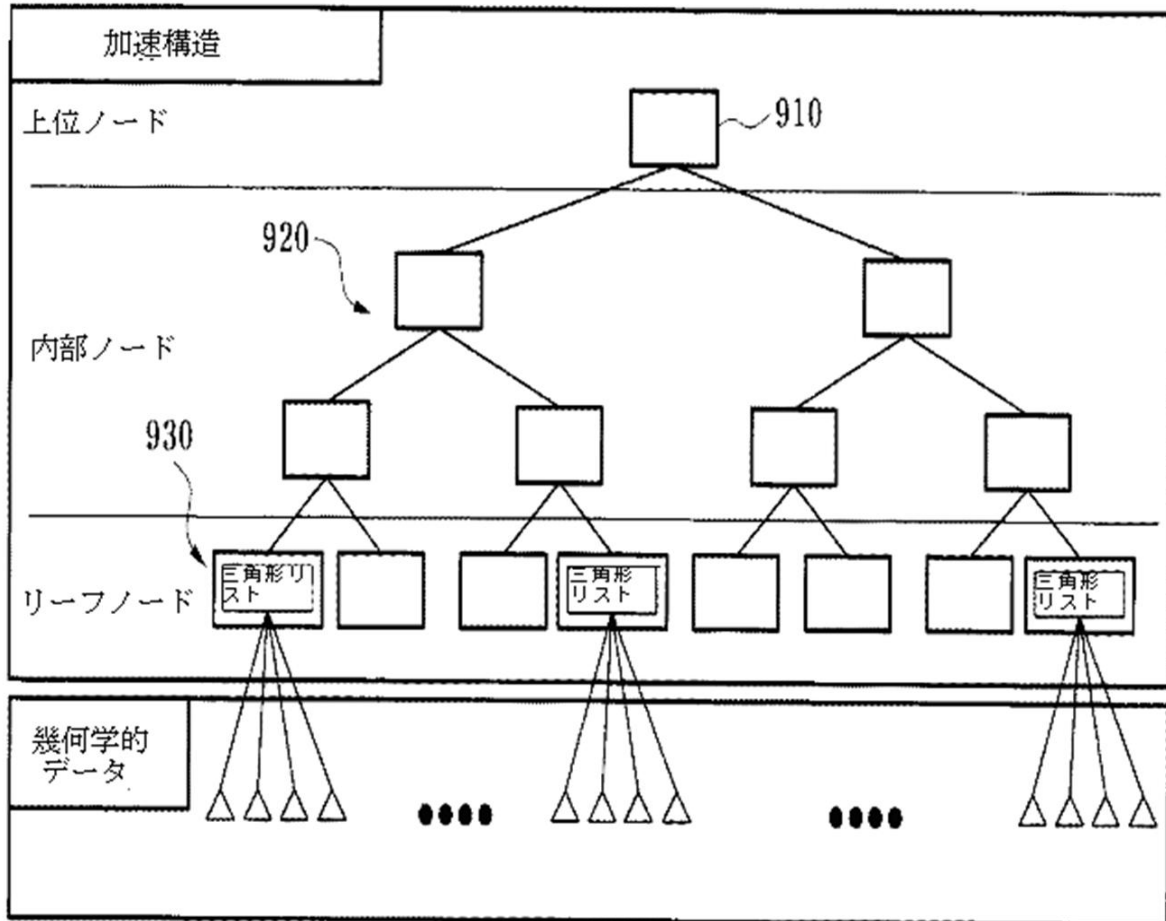
【図7】



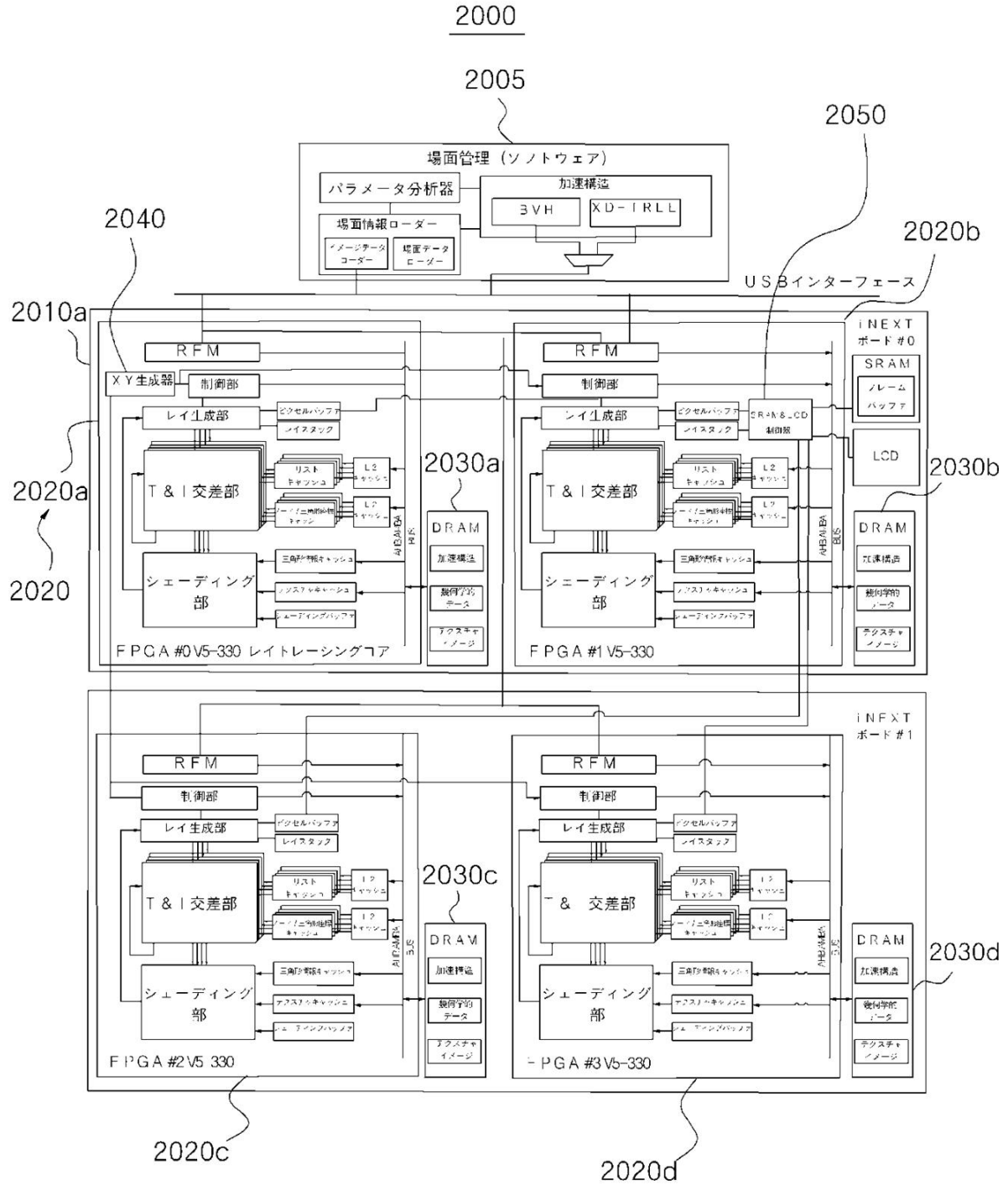
【図8】



【図9】



【図10】



フロントページの続き

(72)発明者 パク, ウチャン

大韓民国 110-080 ソウル, ジョンローグ, ムアクードン, 82バンチ, ムアクヒョンデ
アパート 108ドン, 1604ホ

(72)発明者 ホ, ジンソク

大韓民国 120-180 ソウル, ソデムソグ, チャンチョンードン, 53-28

審査官 松浦 功

(56)参考文献 特表2007-522567(JP, A)

国際公開第2008/037599(WO, A1)

国際公開第2009/044282(WO, A1)

特表平01-501178(JP, A)

特表2008-507747(JP, A)

米国特許出願公開第2008/0259075(US, A1)

権五鳳外2名, 『熱視線』: 視線探索法を高速処理する専用並列レンダリング・マシン - マ
クロパイプライン・アーキテクチャ -, 情報処理学会研究報告, 日本, 社団法人情報処理学会
, 1990年11月22日, Vol. 90, No. 90, pp. 39-46安部毅外4名, 並列グラフィクスアルゴリズムのサーベイ, 情報処理学会研究報告, 日本, 社団
法人情報処理学会, 1994年 5月20日, Vol. 94, No. 41, pp. 9-16平田貴光外2名, レイトレーシングの並列化, 情報処理学会研究報告, 社団法人情報処理学会,
1994年 5月20日, Vol. 94, No. 41, pp. 25-32中嶋正之外2名, MIMD分散並列計算機に適したレイトレーシングの並列化アルゴリズムの検討,
テレビジョン学会誌, 社団法人映像情報メディア学会, 1995年10月20日, Vol. 49
, No. 10, pp. 1272-1279

(58)調査した分野(Int.Cl., DB名)

G06T 11/00 - 19/20

Google Scholar