

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup> (11) 공개번호 10-2005-0111350  
H01L 21/304 (43) 공개일자 2005년11월24일

(21) 출원번호 10-2005-7016770  
(22) 출원일자 2005년09월08일  
    번역문 제출일자 2005년09월08일  
(86) 국제출원번호 PCT/US2004/008945 (87) 국제공개번호 WO 2004/088746  
    국제출원일자 2004년03월23일                      국제공개일자 2004년10월14일

(30) 우선권주장 10/402,600                      2003년03월27일                      미국(US)

(71) 출원인 램 리서치 코퍼레이션  
미합중국, 캘리포니아 94538-6401, 프레몬트, 쿨링 파크웨이 4650

(72) 발명자 레드에커, 프레드, 씨.  
미국, 캘리포니아 94539, 프레몬트, 시옥스 드라이브 1801  
보이드, 존  
미국, 캘리포니아 93422, 아테스카데로, 시에라 비스타 로드8730

(74) 대리인 박경재

심사청구 : 없음

(54) 무전해막 증착 방법을 사용하여 평탄화된 구리상호접속층을 형성하기 위한 방법 및 장치

요약

평탄화된 도전 재료는 좁고 넓은 피쳐들(features)을 포함하는 기관 위에 형성된다. 도전 재료는 증착 공정의 연속을 통해 형성된다. 제 1 증착 공정은 좁은 피쳐들을 충전하고 적어도 넓은 피쳐들을 부분적으로 충전하는 도전 재료의 제 1 층을 형성한다. 제 2 증착 공정은 제 1 층의 공동 내 도전 물질의 제 2 층을 형성한다. 가요성 재료는 기관에 제 2 층을 형성하기 위해 공동으로 용액을 전달하는 동안 기관 위의 제 1 층의 두께를 감소시킬 수 있다. 가요성 재료는 용액으로 충전된 가압 저장부에 부착된 다공막일 수 있다. 가요성 재료는 또한 용액으로 적셔진 다공성 재료일 수 있다.

대표도

도 13

명세서

기술분야

본 발명은 일반적으로 반도체 제조분야, 특히 기관 내에 한정되고 다양한 다른 크기를 가진 피쳐(feature)들 내에 평탄화된 표면들을 가진 도전재료를 형성하는 방법 및 장치에 관한 것이다.

배경기술

도 1은 기판(102) 및 도전층(104)을 포함하는 부분적으로 제조된 반도체 장치(100)의 단면도를 제공한다. 기판(102)은 전형적으로 유전체 재료이며, 넓은 트렌치(106) 및 좁은 트렌치들(108)과 같은 다양한 크기의 트렌치들을 포함할 수 있다. 트렌치들 외에, 기판(102)은 비아들(도시되지 않음)과 같은 다양한 크기의 다른 유사 피처들을 포함할 수 있다. 이러한 기판(102)의 이러한 피처들은 보통 공지된 포토리소그라피 공정들을 통해 제조된다. 도전층(104)은 전형적으로 구리(Cu)와 같은 고도전 금속이다. 추가 처리 후에, 도전층(104)은 트렌치들(106, 108)에 남아있는 도전재료 및 다른 유사한 피처들이 최종 반도체 장치에서 기판(102)에 의하여 전기적으로 분리되도록 기판(102)의 상부면의 레벨까지 아래로 제거된다.

도전층(104)은 보통 도금될 금속을 포함하는 전기도금법에 의한 전기도금을 통해 형성된다. 전기도금은 표면에 금속을 증착하기 위한 고속방법이기 때문에 바람직하다. 그러나, 전기도금의 단점들 중 하나는 트렌치들(108)과 같은 더 좁은 피처들에 공극들이 자주 형성되고 이러한 공극들로 인하여 최종 반도체 장치에 결함이 유발될 수 있다는 점이다. 임의의 첨가물들은 전기도금액에 첨가될 때 좁은 피처들의 고속 충전을 충전시킬 수 있어서 공극 형성을 방지하나, 이들의 동일한 첨가물들은 트렌치들(106, 108) 사이의 표면들과 같은 일반적 평면 영역들 내에서 그리고 넓은 트렌치(106)의 바닥을 따라 증착 속도를 감소시키는 경향이 있다.

따라서, 도전층(104)이 넓은 트렌치(106)와 같은 큰 피처들을 완전하게 충전시킬 무렵에, 두꺼운 부분 또는 하중부(overburden)(110)는 기판(102)의 나머지 부분을 커버한다. 게다가, 전기도금액에 대한 첨가물들이 좁은 피처들의 고속 충전을 촉진시키거나 일반적 평면 영역들에서는 충전속도를 감소시키기 때문에, 과충전 영역(112)은 도 1에 도시된 바와 같이 좁은 피처들 위에 있는 하중부(110)의 상부레벨 이상으로 전개될 수 있다. 기판(102)의 상부면의 레벨까지 도전층(104)을 아래쪽으로 제거하기 위해서 3개의 다른 재료 두께를 제거하는 것이 필요하다는 것이 인식될 것이다. 불행하게도, 공지된 평탄화 기술은 상기와 같은 문제점을 해결하는데 부적절할 뿐만 아니라 도 2에서 큰 트렌치(106) 위에서 도시된 바와 같이 일반적으로 큰 피처들 위에서 움푹 파인 부분(dishing)(200)을 유발한다.

하나의 해결책은 전체 기판(102) 전반에 걸쳐 하중부(110)의 두께가 두껍도록 도 1에 도시된 것보다 추가로 전기도금하는 것이다. 만일 충분히 전기도금되면, 하중부(110)의 두께는 전체 기판(102) 전반에 걸쳐 균일해지는 경향이 있다. 그 다음에, 하중부(110)는 기판(102)의 상부면 레벨까지 아래쪽으로 균일하게 평탄화될 수 있다. 그러나, 이러한 해결책은 재료를 낭비하고 시간을 소비한다.

따라서, 본 발명의 목적은 상기와 같은 문제점을 감안하여 이루어진 발명으로서 표면이 평탄한 하중부(110)를 가진 도전층(104)을 형성하기 위한 방법을 제공하는 데 있다.

### 발명의 상세한 설명

본 발명은 기판을 제공하는 단계, 제 1 및 제 2 층들을 형성하는 단계, 및 제 1 및 제 2 층들을 평탄화하는 단계를 포함하는 평탄화 표면 형성방법을 제공한다. 기판은 좁은 피처 및 넓은 피처를 가지며, 제 1 층은 좁은 피처를 충전하고 넓은 피처를 적어도 부분적으로 충전하며 넓은 피처와 정렬되는 공동을 가지도록 기판 위에 형성된다. 제 2 층은 공동 내에 형성되는 반면에, 제 1 층은 동시에 평탄화된다. 그 다음에, 제 1 및 제 2 층은 함께 평탄화된다.

일부 실시예들에서, 제 1 층을 평탄화하면서 제 2 층을 형성하는 단계는 가요성 재료를 제 1 층에 코팅하는 단계와 가요성 재료 및 제 1 층 사이에 상대 가로운동을 도입하는 단계를 포함한다. 이들 실시예들 중 일부 실시예에서, 상대 가로운동은 회전성분, 진동성분 및/또는 궤도성분을 포함한다. 제 1 층이 넓은 피처를 완전히 충전하는 실시예들에서, 제 1 및 제 2 층을 평탄화하는 단계는 제 2 층을 완전히 제거하는 단계를 포함할 수 있다. 다른 실시예들에서, 제 1 및 제 2 층을 평탄화하는 단계는 제 2 층을 완전히 제거하지 않는다. 일부 실시예들에서, 제 1 및 제 2 층을 평탄화하는 단계는 응력 없는 평탄화 또는 화학-기계적 평탄화를 포함한다. 일부 실시예들에서, 제 1 및 제 2 층을 평탄화하는 단계는 좁은 및 넓은 피처들 사이의 기판을 노출시키는 단계를 포함한다.

본 발명은 기판을 제공하는 단계, 제 1 층을 형성하는 단계, 가요성 재료와 적어도 제 1 층의 일부분을 접촉시키는 단계, 제 2 층을 형성하는 단계, 및 제 1 및 제 2 층을 평탄화하는 단계를 포함하는 평탄화 표면 형성 방법을 제공한다. 기판은 좁은 피처 및 넓은 피처를 가지며, 제 1 층은 좁은 피처를 충전시키고 넓은 피처를 적어도 부분적으로 충전시키며 넓은 피처와 정렬되는 공동을 가지도록 기판 위에 형성된다. 본 방법에 따르면, 가요성 재료는 공동에 용액을 전달하기 위하여 사용되며, 제 2 층은 용액으로 형성된다. 일부 실시예들에서, 용액은 무전해 도금액을 포함하며, 이들 실시예들 중 일부 실시예에서 제 2도전층을 형성하는 단계는 구리와 같은 도전재료의 무전해 증착을 포함한다. 일부 실시예들에서, 제 1 및 제 2 층은 동일한 도전재료로 형성된다. 일부 실시예에서, 가요성 재료와 제 1 층의 적어도 일부분을 접촉하는 단계는 제 1 층의 하중부위에 제 2 층의 증착을 억제한다.

본 방법의 일부 실시예들에서, 기관은 유기규산염 유리와 같이 SiO<sub>2</sub>의 유전상수보다 낮은 유전상수를 가진 유전체 재료를 포함할 수 있다. 일부 실시예들에서 좁은 피처는 약 100nm 이하의 측면크기를 가질 수 있으며, 일부 실시예들에서 넓은 피처는 약 100nm 또는 약 500μm 보다 큰 측면크기를 가질 수 있다. 일부 실시예들에서, 제 1 층을 형성하는 단계는 제 1 도전층을 형성하는 단계를 포함하며, 일부 실시예들에서 제 1도전층은 구리와 같은 도전재료의 전기화학 증착을 포함한다. 일부 실시예들에서 제 1 및 제 2 층을 평탄화하는 단계는 응력 없는 폴리싱 기술을 적용하는 단계를 포함한다.

본 방법의 일부 실시예들에서, 가요성 재료는 폴리우레탄과 같은 다공막을 포함한다. 일부 실시예들에서, 본 방법은 용액을 포함하는 저장부에 압력을 가하는 단계, 및 제 1 층과 접촉하는 측면과 대향하는 측면 상에 막을 인접시키는 단계를 더 포함한다. 또한, 일부 실시예들에서, 본 방법은 다공막 및 기관 사이에 상대 가로운동을 도입하는 단계를 더 포함한다. 상대 가로운동을 도입하는 단계를 포함하는 실시예들 중 일부 실시예들에서, 다공막은 예컨대 다공막이 연마제를 포함하기 때문에 제 1 층의 부분을 폴리싱하는데 유용하다.

본 방법의 일부 실시예들에서, 가요성 재료는 합성 다공 피혁 재료를 포함한다. 일부 실시예들에서, 합성 다공 피혁 재료는 표면에서 노출된 개방 기공들을 가진 밀폐기포 구조를 포함한다. 일부 실시예들에서, 본 방법은 용액을 사용하여 합성 다공 피혁 재료를 적시는 단계를 더 포함한다. 또한, 일부 실시예들에서, 용액을 공동에 전달하는 단계는 합성 다공 피혁 재료 및 제 1 층 사이에 압력을 전개하는 단계를 포함할 수 있다. 일부 실시예들에서, 공동에 용액을 전달하는 단계는 기관 및 합성 다공 피혁 재료 간에 상대 가로운동을 도입하는 단계를 포함할 수 있다.

본 방법의 일부 실시예들에서 제 1 층을 형성하는 단계는 넓은 피처를 완전히 충전시키는 단계를 포함하며, 일부 실시예들에서 제 1 층은 기관의 상부면의 레벨이상으로 넓은 피처 깊이의 약 10% 내지 약 20%을 확장하는 과충전부를 넓은 피처 위에 형성한다. 또한, 일부 실시예들에서 제 1 및 제 2 층을 평탄화하는 단계는 제 2 층을 제거하는 단계를 포함한다. 본 방법의 다른 실시예들에서 제 1 층을 형성하는 단계는 전체 넓은 피처보다 낮게 충전하는 단계를 포함하며, 일부 실시예들에서 넓은 피처 깊이의 약 10% 내지 약 30%가 제 1 층에 의하여 충전된다. 또한, 일부 실시예들에서, 제 1 및 제 2 층을 평탄화하는 단계는 전체 제 2 층보다 낮게 제거하는 단계를 포함한다.

본 발명은 평탄화 표면 형성장치를 제공한다. 본 발명의 장치는 영역을 가진 웨이퍼를 고정하기 위한 진공 척과 같은 웨이퍼 지지부, 워크피스, 워크피스 및 웨이퍼가 서로 접촉하도록 할 수 있는 연동수단, 및 워크피스 및 웨이퍼 사이에 상대 가로운동을 도입하는 수단을 포함한다. 워크피스는 무전해 도금액을 포함하고 측면에 걸쳐있는 가요성 막 및 다공막을 가진 저장부를 포함한다. 일부 실시예들에서, 저장부는 압력을 가할 수 있다. 일부 실시예들에서, 다공막은 연마제를 포함한다.

본 장치의 일부 실시예들에서, 다공막은 웨이퍼의 영역보다 좁은 영역을 가진다. 일부 실시예들에서, 상대 가로운동을 도입하는 수단은 워크피스를 선형적으로 번역하는 수단을 포함하며, 일부 실시예들에서 상대 가로운동을 도입하는 수단은 축에 대하여 워크피스를 회전시키는 수단을 더 포함한다. 일부 실시예들에서, 상대 가로운동을 도입하는 수단은 축에 대하여 웨이퍼 지지부를 회전시키고 및/또는 워크피스를 진동시키는 수단을 포함할 수 있다.

본 장치의 일부 실시예들에서, 다공막은 웨이퍼의 영역과 동일하거나 또는 웨이퍼의 영역보다 넓은 영역을 가진다. 일부 실시예들에서, 상대 가로운동을 도입하는 수단은 축에 대하여 워크피스 및/또는 웨이퍼 지지부를 회전시키는 수단을 포함한다.

본 장치의 일부 실시예들에서, 다공막은 폴리우레탄, 탄화불소 재료, 규화 중합체 재료 또는 세라믹일 수 있다. 일부 실시예들에서, 다공막은 약 0.1mm 내지 약 3.0mm의 두께를 가질 수 있다. 일부 실시예들에서, 다공막은 개방 셀 기포 구조를 포함할 수 있다. 일부 실시예들에서, 다공막은 그를 관통하는 다수의 홀을 포함할 수 있다. 또한, 이들 실시예들에서 다공막은 약 5% 내지 약 50%의 다공성량을 포함할 수 있으며, 일부 실시예들에서 다공성량은 약 10% 내지 약 20%이다.

본 발명의 다른 장치는 웨이퍼를 고정하는 웨이퍼 지지부, 무전해 도금액으로 적셔진 가요성 합성 다공 피혁 재료, 합성 다공 피혁 재료가 웨이퍼와 접촉하도록 할 수 있는 연동 메커니즘, 및 합성 다공 피혁 재료 및 웨이퍼 사이에 상대 가로운동을 도입하는 수단을 포함한다. 일부 실시예들에서 다공재료는 중합재료를 포함하며, 일부 실시예들에서 중합재료는 표면에서 노출된 개방 기포들을 가진 밀폐 기포구조를 포함한다. 일부 실시예들에서 중합재료는 연속 루프 형상, 디스크 형상 또는 직사각형 형상을 가진다. 또한, 일부 실시예들에서 중합재료는 무전해 도금액을 포함하기 위하여 상승 에지를 포함한다.

**도면의 간단한 설명**

- 도 1은 종래기술에 따른 부분적으로 제조된 반도체 장치의 단면도.
- 도 2는 종래기술에 따른 평탄화 후 도 1의 부분적으로 제조된 반도체 장치의 단면도.
- 도 3은 본 발명의 실시예에 따른 부분적으로 제조된 반도체 장치의 단면도.
- 도 4는 본 발명의 실시예에 따라 반도체 장치를 제조하기 위한 기관의 단면도.
- 도 5는 하나 이상의 선택층들이 본 발명의 실시예에 따라 기관상에 형성된 후 도 4의 부분적으로 제조된 반도체 장치의 단면도.
- 도 6A는 제 1도전층이 본 발명의 실시예에 따라 기관상에 형성된 후 도 5의 부분적으로 제조된 반도체 장치의 단면도.
- 도 6B는 제 1도전층이 본 발명의 다른 실시예에 따라 기관상에 형성된 후 도 5의 부분적으로 제조된 반도체 장치의 단면도.
- 도 7은 제 2도전층(700)이 본 발명의 실시예에 따라 형성된 후 도 6A의 부분적으로 제조된 반도체 장치의 단면도.
- 도 8은 본 발명의 실시예에 따른 추가 평탄화 후 도 7의 부분적으로 제조된 반도체 장치의 단면도.
- 도 9는 제 1도전층이 본 발명의 다른 실시예에 따라 기관상에 형성된 후 도 5의 부분적으로 제조된 반도체 장치의 단면도.
- 도 10은 제 2도전층이 본 발명의 실시예에 따라 형성된 후 도 9의 부분적으로 제조된 반도체 장치의 단면도.
- 도 11은 본 발명의 실시예에 따른 추가 평탄화 후 도 10의 부분적으로 제조된 반도체 장치의 단면도.
- 도 12는 본 발명의 실시예에 따라 가요성 재료와 접촉하는 부분적으로 제조된 반도체 장치의 단면도.
- 도 13은 제 2도전층이 본 발명의 실시예에 따라 형성된 후 도 12의 부분적으로 제조된 반도체 장치의 단면도.
- 도 14는 본 발명의 실시예에 따라 사전 평탄화된 표면을 제조하는 장치의 부분 단면에 대한 측면도.
- 도 15는 본 발명의 실시예에 따른 도 14의 상부 평면도.
- 도 16은 본 발명의 실시예에 따라 사전 평탄화된 표면을 제조하는 다른 장치의 상부 평면도.
- 도 17은 본 발명의 실시예에 따라 사전 평탄화된 표면을 제조하는 또 다른 장치의 상부 평면도.
- 도 18은 본 발명의 실시예에 따라 사전 평탄화된 표면을 제조하는 또 다른 장치의 단면에 대한 측면도.
- 도 19는 본 발명의 실시예에 따라 사전 평탄화된 표면을 제조하는 또 다른 장치의 측면도.

**실시예**

본 발명은 도 3에 도시된 바와 같이 도전층이 평면 표면을 가진 하중부를 가지도록 좁은 및 넓은 피처들을 포함하는 기관 위에 도전층을 형성하기 위하여 연속적인 두개의 증착 공정을 포함한다. 초기에, 전기도금과 같은 제 1공정은 도전층의 제 1층을 형성하기 위하여 사용된다. 제 1공정은 좁은 피처들이 완전히 충전된 후에 불연속적이다. 다음으로, 무전해 증착과 같은 제 2공정은 넓은 피처들과 연관된 제 1층의 공동들 내에 제 2층을 형성하기 위하여 사용된다. 제 2층은 제 1층의 하중부의 상부면과 거의 동일평면상에 있는 상부면을 가지도록 형성된다.

일부 실시예들에서, 가요성 재료는 하중부의 상부면상의 증착을 억제하기 위하여 제 2공정 동안 제 1 층과 접촉하며, 이에 따라 하중부의 두께는 넓은 트렌치(106)와 정렬되는 제 1 층(104)내의 공동(114)(도 1)과 같은 제 1 층 내의 공동들 내에서 증착이 발생하는 동안 현저히 증가하지 않는다. 상대 가로운동은 하중부의 상부면상의 증착을 더 억제하기 위하여 제 1 층 및 가요성 재료 사이에 도입될 수 있다. 가요성 재료 및 제 1 층 사이의 상대 가로운동은 일부 실시예들에서 예컨대 폴리싱을 통하여 하중부의 두께를 감소시킬 수 있다. 가요성 재료는 하중부의 제거율을 강화하기 위하여 연마제로 만들어질 수 있다.

가요성 재료는 무전해 도금액을 공동들에 전달하기 위하여 사용할 수 있다. 일부 실시예들에서, 가요성 재료는 다공막의 대향측면 상의 가압 저장부로부터 무전해 도금액이 통과되는 다공막이다. 다른 실시예들에서, 가요성 재료는 무전해 도금액으로 적셔지는 합성 다공 피혁 재료이다. 그 다음에, 상대 가로운동은 무전해 도금액을 공동들에 전달할 수 있다.

도 4는 반도체 장치를 제조하기 위한 기판(102)의 단면도를 제공한다. 기판(102)은 전형적으로 실리콘 웨이퍼와 같은 웨이퍼(도시되지 않음) 위에 형성되며 이전에 제조된 장치 층들(도시되지 않음) 위에 부가적으로 형성될 수 있다. 기판(102)은  $\text{SiO}_2$ 와 같은 유전체 재료일 수 있다. 기판(102)은 플루오르규산염 유리(FSG), 유기규산염 유리(OSG) 또는 다공성  $\text{SiO}_2$ 와 같은  $\text{SiO}_2$ 의 유전상수보다 낮은 유전상수를 가진 낮은 유전체 상수("낮은 k") 재료일 수 있다. 이러한 낮은 k 재료들은 그들이 완성된 장치들에 우수한 전기특성들을 제공하기 때문에 반도체 장치 제조에 유용하게 사용된다. 그러나, 낮은 k 재료들에 공통적인 한 특징은 경도가 감소되고 깨짐성이 증가하는 것과 같은 저밀도 및 불량한 기계적 특성들이다. 비록 본 발명이 기판(102)에 대하여 낮은 k 재료를 사용하는 것에 제한되지 않을지라도, 본 발명은 여기에서 추가로 논의되는 바와 같이 기판(102)이 낮은 k 재료로 형성될 때 여러 장점을 가진다.

기판(102)은 넓은 트렌치(106) 및 좁은 트렌치들(108)과 같은 다양한 크기의 피쳐들을 포함한다. 트렌치들(1076, 108)이 예시적으로 여기에 사용되는 반면에, 본 발명이 비아들과 같이 반도체 기판들 내에 형성된 다른 공통 피쳐들을 포함하는 기판들에 적합하다는 것이 이해되어야 한다. 일부 실시예들에서 좁은 트렌치들(108)과 같은 좁은 피쳐들은 약 100nm 이하의 측면 크기를 가지는 반면에, 일부 실시예들에서 넓은 트렌치(106)와 같은 넓은 피쳐들은 약 10nm보다 크고 약 500 $\mu\text{m}$  이하인 측면 크기들을 가진다. 트렌치들(106, 108)과 같은 피쳐들은 공지된 포토리소그래피 공정들을 통해 제조될 수 있다.

도 5는 하나 이상의 선택층들(500)이 기판(102)위에 형성된 후에 도 4의 부분적으로 제조된 반도체 장치의 단면도를 제공한다. 하나의 선택층은 나중에 증착된 층으로부터의 금속 원자들이 기판(102) 내에 균일하게 확산되는 것을 막는 장벽층이다. 장벽층은 예컨대 화학기상증착(CVD)에 의하여 Ta 또는 TaN과 같은 재료로 형성될 수 있다. 다른 선택층(500)은 예컨대 물리기상증착(PVD)에 의하여 형성된 Cu 시드층과 같은 시드층이다. 시드층은 존재할 때 접착을 촉진하고 도전 표면을 제공하며 다음으로 나중에 증착된 층을 균일하게 성장시키기 위하여 장벽층 위에 증착될 수 있다.

도 6A는 제 1도전층(600)이 기판(102) 및 임의의 선택층(500) 위에 형성된 후에 도 5의 부분적으로 제조된 반도체 장치의 단면도를 제공한다. 제 1도전층(600)은 바람직하게 Cu와 같은 고도전성 금속으로 형성된다. 제 1도전층(600)은 전기도금과 같은 전기화학 증착 기술에 의하여 형성될 수 있다. 전기도금 공정에서, 도금될 표면은 증착될 금속의 이온들을 포함하는 전기도금액과 접촉된다. 그 다음에, 도금될 표면은 전기화학 셀의 캐소드가 되도록 만들어진다. 공지된 바와같이, 전기화학 셀에 공급된 전압은 전기도금액의 금속 이온들이 캐소드상의 금속막으로서 증착되도록 한다. 더 좁은 피쳐들에 공극들이 형성되는 것을 방지하기 위하여, 전기도금액은 공극 형성을 억제하는 첨가제들을 포함할 수 있다. 일부 실시예들에서, 전기도금액은 3개의 첨가제들, 촉진제, 레벨러, 및 억제제를 포함한다. 이러한 전기도금액들은 보통 3-성분 용액들로서 언급된다. 적절한 3-성분 전기도금액들은 시플레이 로날(프리포트, NY)로부터 획득될 수 있다.

일부 실시예들에서, 제 1도전층(600)은 좁은 트렌치들(108)과 같은 좁은 피쳐들이 제 1도전층(600)에 의하여 완전히 충전되는 반면에 넓은 트렌치(106)와 같은 넓은 피쳐들이 적어도 부분적으로 충전되도록 형성된다. 예컨대, 도 6A에 도시된 바와같이, 넓은 트렌치(106)는 제 1도전층(600)에 의하여 약 절반정도 충전된다. 일부 실시예들에서, 넓은 트렌치(106) 깊이의 약 10% 내지 약 30%가 제 1도전층(600)에 의하여 충전된다. 전기도금이 제 1도전층(600)을 증착하기 위하여 사용될 때, 증착은 좁은 피쳐들이 완전히 충전된 후 그러나 넓은 피쳐들이 완전히 충전되기 전에 중지될 수 있다. 이들 실시예에서, 하중부(602)는 하중부(110)(도 1)보다 얇으며, 좁은 트렌치들(108)위의 과충전부(604)는 과충전부(112)(도 1)보다 얇다. 일부 실시예들에서, 좁은 트렌치들(108)이 충전된 후 바로 제 1도전층(600)의 증착을 중지시킴으로써, 과충전부 효과는 도 6B에 기술된 바와 같이 제거될 수 있다. 제 1도전층(600)이 넓은 트렌치(106)와 정렬되는 공동(606)을 포함한다는 것은 도 6A 및 도 6B로부터 알 수 있다.

도 7은 제 2도전층(700)이 공동(606) 내에 형성된 후 도 6A의 부분적으로 제조된 반도체 장치의 단면도를 제공한다. 제 2도전층(700)은 바람직하게 Cu와 같은 높은 도전성 금속으로 형성된다. 일부 실시예들에서, 제 1 및 제 2도전층(600, 700)은 동일한 도전재료로 형성된다. 제 2도전층(700)은 무전해 도금과 같은 무전해 증착 기술에 의하여 형성될 수 있다. 무전해 도금공정에서, 금속은 무전해 도금액으로 증착되나, 전기도금 기술들과 대조적으로 외부전압이 공급되지 않는다. 대신에, 금속 이온 종들을 포함하는 무전해 도금액은 공동(606)을 통해 순환되기 때문에, 금속은 제 2도전층(700)을 형성하기 위하여 공동(606)내의 환원제에 의한 감소만큼 금속 이온 종들로 증착된다. 적절한 무전해 도금액은 시플레이 로날(프리포트, NY)에 의하여 제조된 Circuposit™ Electroless Copper 3350를 포함한다.

일 실시예들에서, 제 2도전층(700)이 공동(606)내에 형성되는 동안 과충전부(604) 및 하중부(602)의 일부가 제거된다. 이는 거의 모든 과충전부(604)를 제거하고 또한 하중부(602)의 평면 표면을 생성할 수 있도록 한다. 따라서, 도 7에 도시된 바와같이, 일단 제 2도전층(700)이 이들 실시예에서 완성되면, 제 2도전층(700)은 제 1도전층(600)의 하중부(602)의 상부면과 거의 동일평면상에 있는 상부면을 가진다. 하중부(602)의 상부면들 및 제 2도전층(700)은 함께 사전 평탄화된 표면(702)을 형성한다. 공동(606)에 제 2도전층(700)의 증착을 제한하고 과충전부(604) 및 하중부(602)를 제거하기 위한 방법들이 여기에서 논의될 것이다.

도 8은 하중부(602) 및 제 2도전층(700)의 일부분의 제거 후 도 7의 부분적으로 제조된 반도체 장치의 단면도를 제공한다. 도 8에 도시된 바와 같이, 트렌치들(106, 108)의 상부면들 사이의 도전재료들을 제거하면, 트렌치들(106, 108)의 상부면들 사이의 기관(102)이 선택적으로 노출되고 트렌치들(106, 108) 내에 남아있는 도전재료들이 전기적으로 격리된다. 넓은 트렌치(106) 내의 도전재료는 예컨대 완성된 반도체 장치에서 전기 상호접속을 형성할 수 있다. 유사하게, 좁은 트렌치들(108)에 남아있는 제 1도전층(600)의 부분들은 어레이의 엘리먼트들을 형성할 수 있다.

도 7을 참조하면, 사전 평탄화된 표면(702)은 다양한 평탄화 기술들이 도 2에 기술된 움푹 파인 부분(dishing)(200)없이 도 8의 부분적으로 제조된 반도체 장치를 생성하기 위하여 성공적으로 사용되도록 한다. 본 발명에서 사용될 수 있는 평탄화 기술들의 예들은 화학-기계 폴리싱(CMP), 응력 없는 평탄화(SFP) 및 전기화학 폴리싱을 포함한다. 많은 CMP 기술들이 공지되어 있다. 기관(102)이 OSG 또는 다공 OSG와 같은 약한 또는 깨지기 쉬운 재료를 포함하는 SFP 기술들이 특히 사용하기에 적합하며, 결과적으로 이들 기술들은 평탄화된 표면에서 전단력이 거의 발생시키지 않거나 전단력이 발생하지 않는다. 일부 SFP 기술들은 플라즈마 에칭을 포함한다. 임의의 다른 SFP 기술들은 종래의 회전 폴리싱 패드를 사용한다. 이들 기술들중 일부는 전단력을 감소시키기 위하여 약하게 공급된 압력을 사용하는 반면에, 다른 기술들은 연마제 없는 폴리싱 용액을 사용하고 또 다른 기술들은 연마제 없는 폴리싱 용액과 약하게 공급된 압력을 결합한다. 부가적으로, 전기화학 폴리싱 기술들은 예컨대 도전패드를 통해 기관(102)에 전압을 공급함으로써 사용될 수 있다.

다른 실시예들에서는 제 1도전층(600)을 가지는 것보다 오히려 도 6A 및 도 6B에서와 같이 넓은 트렌치(106)를 단지 부분적으로 충전시키고 대신에 넓은 트렌치(106)는 완전히 충전된다. 이들 실시예들에 따르면, 도 9는 제 1도전층(900)이 기관(102) 및 임의의 선택층들(500) 위에 형성된 후 도 5의 부분적으로 제조된 반도체 장치의 단면도를 제공한다. 제 1도전층(900)은 바람직하게 Cu와 같은 높은 도전성 금속으로 형성되고 예컨대 전기도금과 같은 전기화학 증착 기술에 의하여 형성될 수 있다.

도 9에 도시된 바와 같이, 제 1도전층(900)은 넓은 트렌치(106)를 완전하게 충전한다. 일부 실시예들에서, 제 1도전층(900)은 기관(102)의 상부면의 레벨 이상으로 넓은 트렌치(106) 깊이의 약 10% 내지 20% 정도 연장하는 과충전부(902)를 형성한다. 비록 제 1도전층(900)이 넓은 트렌치(106)를 완전하게 충전할지라도 넓은 트렌치(106)과 정렬된 공동(904)이 도전층(900)에 계속해서 존재한다는 것을 인식해야 한다. 이들 실시예들중 일부 실시예들에서 하중부(906)는 하중부(906)의 두께가 도 9에 도시된 바와 같이 좁은 트렌치들(108)과 트렌치들(106, 108)의 상부들사이의 표면들 위에서 거의 동일하도록 충분히 두껍다.

도 10은 제 2도전층(1000)이 공동(904)(도 9) 내에 형성된 후 도 9의 부분적으로 제조된 반도체 장치의 단면도를 제공한다. 제 2도전층(1000)은 바람직하게 Cu와 같은 높은 도전성 금속으로 형성되고 일부 실시예들에서 제 1 및 제 2도전층들(900, 1000)은 동일한 도전재료로 형성된다. 제 2도전층(1000)은 예컨대 부전극 도금과 같은 무전해 증착 기술에 의하여 형성될 수 있다. 일부 실시예들에서, 도 10에 도시된 바와 같이, 제 2도전층(1000)이 공동(904) 내에 형성되는 반면에, 임의의 나머지 과충전부 및 하중부(906)의 일부는 제거된다. 이들 실시예들에서, 일단 제 2도전층(1000)이 완성되면, 제 2도전층(1000)은 하중부(906)의 상부면과 거의 동일 평면상에 있는 상부면을 가진다. 하중부(906)의 상부면들 및 제 2도전층(1000)은 함께 사전 평탄화된 표면(1002)을 형성한다.

도 11은 하중부(906)(도 10) 및 모든 제 2도전층(1000)(도 10)의 제거 후 도 10의 부분적으로 제조된 반도체 장치의 단면도를 제공한다. 도 10의 사전 평탄화된 표면(1002)은 다양한 평탄화 기술들이 도 2에 기술된 움푹 파인 부분(200) 없이 도 11의 부분적으로 제조된 반도체 장치를 생성하는데 성공적으로 사용되도록 한다. 본 발명에 사용될 수 있는 평탄화 기술의 예들은 여기에서 논의될 것이다.

도 12 및 도 13은 도 7의 사전 평탄화된 표면(702)을 달성하기 위한 한 방법을 기술한다. 특히, 도 12는 도 6에 도시된 바와 같이 부분적으로 제조된 반도체 장치의 단면도를 제공하며, 여기서 가요성 재료(1200)는 제 1도전층(1202)과 접촉한다. 도 12 및 도 13에 기술된 방법이 도 9 및 도 10을 참조하여 기술된 실시예들에 동일하게 적용가능하다는 것이 인식되어야 한다. 따라서, 제 1도전층(1202)은 제 1도전층들(6000, 900) 둘 모두를 나타낸다.

가요성 재료(1200)는 사전 평탄화된 표면(702) 또는 사전 평탄화된 표면(1002)(도 10)과 같은 사전 평탄화된 표면을 형성하는 과정에서 여러 기능들을 사용할 수 있다. 가요성 재료(1200)의 한 기능은 제 2도전층(700)(도 7)과 같은 제 2도전층에 의하여 충전될 공동으로의 대용량 재료 전달을 지원하는 것이다. 유사하게, 공동내의 제 2도전층의 형성이 노폐물들을 생성하는 실시예들에서, 가요성 재료(1200)는 공동들로부터 멀리 노폐물들의 대용량 전달을 지원하는 기능을 할 수 있다. 일부 실시예에서 가요성 재료(1200)의 다른 기능은 공동들과 다른 영역들 내에서 제 2도전층의 성장을 억제하는 것이다. 일부 실시예들에서 가요성 재료(1200)의 또 다른 기능은 과충전부 효과들을 제거하고 하중부를 얇게 함으로서 제 1도전층(1202)의 두께를 선택적으로 감소시키는 것이다.

일부 실시예들에서, 도 14-도17을 참조하여 기술된 것과 같이, 가요성 재료(1200)는 그것의 두께를 통해 대용량 전달을 제공함으로써 공동(1204)으로의 대용량 재료 전달을 지원한다. 예컨대, 가요성 재료(1200)는 무전해 도금액과 같은 용액이 통과하여 흐르도록 만들어질 수 있는 다공성막일 수 있다. 가요성 재료(1200)의 한 측면상에 있는 가압 저장부(도시되지 않음)는 용액이 가요성 재료(1200)를 통해 공동(1204) 내로 흐르도록 할 수 있다. 임의의 가요성 재료(1200)는 가요성 재료(1200)가 공동(1204)으로 구부러지는 대신에 공동(1204)위에서 거의 평탄하게 유지되도록 공동(1204)의 가장 넓은 크기(이러한 크기는 보통 "평탄화 길이"로서 언급됨)에 비교할 있는 크기들에 비하여 충분한 강도를 가져야 한다. 동시에, 가요성 재료(1200)는 그것이 평탄화 길이보다 큰 피크-투-피크 크기들을 가진 피쳐들을 따를 수 있도록 충분한 융통성을 가져야 한다. 일부 실시예들에서, 가요성 재료(1200)는 최대 500 마이크론의 평탄화 길이를 제공한다. 공동(1204) 및 과충전부(1208) 간의 가요성 재료(1200)의 굽음이 과장되는 한 도 12가 실제 크기로 도시되지 않는다는 것에 유의해야 한다.

가요성 재료(1200)가 그것의 두께를 통해 대용량 재료 전달을 지원하는 실시예들에서, 가요성 재료(1200)에 적합한 재료들은 폴리에틸렌, 폴리프로필렌, 및 Teflon<sup>TM</sup>과 같은 탄화불소 재료와 같은 다공성 또는 규화 중합체 재료, 폴리우레탄, 및 세라믹으로 형성된 다공성막들을 포함한다. 일부 실시예들에서, 가요성 재료는 약 0.1mm 내지 약 3.0mm의 두께를 가진다. 특정 응용에 적합한 가요성 재료(1200)는 예정된 용액과 호환가능한 재료이어야 한다. 예컨대, 가요성 재료(1200)는 용액에 대한 화학적 내성을 가져야 한다. 가요성 재료(1200)을 통해 대용량 용액 전달을 제공하기 위하여, 가요성 재료(1200)는 충분한 직경을 가진 다수의 채널들을 포함해야 한다. 개방-셀 기포 구조는 일부 가요성 재료(1200)의 채널들을 제공하며, 다른 가요성 재료들(1200)은 한 측면으로부터 다른 측면으로 가요성 재료(1200)를 통해 배치된 다수의 홀들로 천공된다. 또 다른 실시예들에서, 홀들은 다른 다공성 가요성 재료(1200)에 추가된다. 이러한 홀들은 예컨대 레이저 드릴링에 의하여 생성될 수 있다. 일부 실시예들에서, 다공성률은 고유하던지 또는 부가되었던 시간에 약 5% 내지 약 50%이며, 다른 실시예들에서는 다공성률이 약 10% 내지 약 20%이다.

도 18 및 도 19를 참조하여 기술된 실시예들과 같은 다른 실시예들에서, 가요성 재료(1200)는 무전해 도금액과 같은 용액을 운반함으로써 공동(1204)으로의 대용량 재료 전달을 지원한다. 예컨대, 가요성 재료(1200)는 표면에서 노출된 개방 기포들을 가진 밀폐기포 구조를 가진 중합체와 같은 합성 다공 피혁일 수 있다. 표면이 용액에 의하여 완전히 적셔진 후에, 상대 가로운동은 공동(1204)으로 용액을 전달하기 위하여 사용될 수 있다.

일부 실시예들에서 가요성 재료(1200)의 다른 기능은 공동들과 다른 영역들에서의 제 2도전층의 성장을 억제하는 것이다. 하중부(1206) 또는 과충전부(1208)의 넓은 영역들이 가요성 재료(1200)와 직접 접촉하는 위치에서 가요성 재료(1200)가 존재하면 제 2도전층의 증착을 직접적으로 억제할 수 있거나 또는 상기 넓은 영역들로의 대량의 전달을 억제할 수 있다는 것이 인식되어야 한다. 가요성 재료(1200) 및 하중부(1206)의 영역들 간의 상대 가로운동은 제 2도전층의 증착을 억제할 수 있다.



일부 실시예들에서 가요성 재료(1200)의 또 다른 기능은 과충전 현상들을 제거하고 하중부(1206)을 얇게 함으로서 제 1도전층(1202)의 두께를 선택적으로 감소시키는 것이다. 이들 실시예들에서, 가요성 재료(1200) 및 하중부(1206)의 영역들간의 상대 가로운동은 하중부(1206)를 얇게 하기 위하여 사용된다. 이와 같이 얇게하는 과정은 연마제들의 사용을 통해 가속될 수 있다. 일부 실시예들에서, 가요성 재료(1200)는 연마제의 일부가 하중부(1206)와 접촉하는 표면에서 노출되도록 전체적으로 분산된 연마제를 포함한다. 다른 실시예들에서, 폴리싱 패드, 천 또는 테이프와 같은 폴리싱 매체는 가요성 재료(1200)로서 사용된다. 이들 실시예들 중 일부 실시예에서, 홀들은 용액이 그곳을 통해 전달되도록 하기 위하여 추가 다공성을 생성하는 폴리싱 매체에 추가될 수 있다.

여기에서 언급된 바와 같이, 상대 가로운동은 본 발명의 방법을 여러 방향으로 강화할 수 있다. 상대 가로운동은 두개의 축중 한 축을 따르는 선형 이동, 왕복운동, 진동, 회전, 레도 운동, 및 이들의 결합을 포함할 수 있다. 상대 가로운동의 예들은 도 14-19에 기술된 실시예들을 관련하여 이하에서 상세히 설명될 것이다.

도 13은 제 2도전층(1300)이 공동(1204)(도 12) 내에 형성된 후 도 12의 부분적으로 제조된 반도체 장치의 단면도를 제공한다. 사전 평탄화된 표면(1302)은 하중부(1206)(도 12)를 얇게 하고 제 1반도체층(1202)의 임의의 과충전부(1208)를 제거하면서 공동(1204) 내에 제 2도전층(1300)을 형성할 수 있다. 가요성 재료(1200)는 사전 평탄화된 표면(1302)이 완료된 후 제거될 수 있다. 그 다음에, 제 1 및 제 2도전층(1202, 1300)의 추가 평탄화는 넓은 및 좁은 피쳐들에서 도전재료들을 전기적으로 분리시키기 위하여 수행될 수 있다. 제 1도전층(1202)이 넓은 트렌치(106)를 완전하게 충전하지 않는 실시예들에서, 제 2도전층(1300)을 평탄화하는 것은 제 2도전층(1300)을 완전히 제거하지 못하며 구조는 도 8에 도시된 구조와 같이 형성된다. 제 1도전층(1202)이 넓은 트렌치(106)를 완전하게 충전하지 못하는 실시예들에서, 제 2도전층(1300)을 평탄화하는 것은 전체 제 2도전층(1300)을 제거하며 구조는 도 11에 도시된 구조와 같이 형성된다.

도 14-도 19는 본 발명의 다양한 장치 실시예들을 추가로 기술한다. 도 14는 사전 평탄화된 표면을 형성하기 위한 장치(1400)의 일 실시예에 따른 부분 단면에 대한 부분 측면도를 도시한다. 장치(1400)는 처리 동안 웨이퍼(1404)(단면도로 도시됨)를 고정하는 웨이퍼 지지부(1402)(단면도로 도시됨)를 포함한다. 장치(1400)는 또한 본 실시예에서 저장부(1408) 및 다공막(1410)을 포함하는 워크피스(1406)(단면도로 도시됨)를 포함한다. 지지 구조(1412)는 웨이퍼(1404)에 대하여 워크피스(1406)를 지지한다.

웨이퍼 지지부(1402)는 웨이퍼(1404)를 고정한다. 일부 실시예들에서, 웨이퍼 지지부(1402)는 진공 척이다. 일부 실시예들에서 웨이퍼 지지부(1402)는 도 14에 도시된 바와 같이 축(1414)에 대하여 회전가능한 반면에, 다른 실시예에서 웨이퍼 지지부(1402)는 회전가능하지 않다. 웨이퍼 지지부(1402)의 회전은 워크피스(1406) 및 웨이퍼(1404) 간의 상대 가로운동을 도입한 일 방법이다.

지지 구조(1412)는 웨이퍼(1404)에 대하여 워크피스(1406)를 지지한다. 따라서, 지지 구조(1412)는 워크피스(1406) 및 웨이퍼(1404) 간의 공간을 조절하기 위하여 연동 메커니즘(1416)을 포함한다. 연동 메커니즘(1416)은 다공막(1410)이 웨이퍼(1404)와 접촉할 때까지 워크피스(1406)을 하강시킨다. 일부 실시예들에서, 연동 메커니즘(1416)은 워크피스(1406) 및 웨이퍼(1404)사이에 약한 압력이 발생될 때까지 워크피스(1406)를 계속해서 하강시킨다. 일단 사전 평탄화된 표면이 완성되면, 연동 메커니즘(1416)은 웨이퍼(1404)로부터 워크피스(1406)를 상승시킨다. 선택적으로, 워크피스(1406)를 이동시키는 것보다 오히려, 웨이퍼 지지부(1402)를 상승 및 하강시키기 위하여 대안 연동 메커니즘(도시되지 않음)이 사용될 수 있다. 연동 메커니즘(1416)에 적합한 다양한 메커니즘 공지되어 있으며 예컨대 스프링 어셈블리를 포함한다. 일부 실시예들에서, 지지 구조(1412)는 도 15-도 17를 참조로 하여 기술되는 바와 같이 워크피스(1406) 및 웨이퍼(1404) 간의 상대 가로운동을 도입하는 수단을 포함한다. 추가 변형에는 하부에 워크피스(1406)을 배치시키는 단계 및 상부에 웨이퍼 지지부(1402)를 배치하는 단계를 포함한다.

언급된 바와 같이, 이러한 실시예에서 워크피스(1406)는 저장부(1408) 및 다공막(1410)을 포함한다. 일부 실시예들에서, 다공막(1410)은 임의의 다른 가요성 재료(1200)(도 12)에 의하여 대체된다. 다공막(1410)은 저장부(1408)과 대면하는 워크피스(1406)의 개방측면에 걸쳐있다. 따라서, 저장부(1408)는 용액으로 충전될 수 있으며 이후 다공막(1410)을 통해 용액을 배출하기 위하여 가압된다. 일부 실시예들에서, 다공막(1410)을 통한 흐름은 약 5 내지 500ml/min이다. 일부 실시예들에서, 저장부(1408)는 약 5 내지 약 50psi로 가압된다.

저장부를 가압하기 위한 다수의 기술들이 공지되어 있으며 이러한 다수의 기술들은 본 발명에 적용될 수 있다. 예컨대, 일부 실시예들에서, 저장부(1408)는 용액으로 부분적으로 충전된 후 적정 압력이 획득될 때까지 용액의 레벨 이상으로 가압 가스(예컨대, 공기, N<sub>2</sub>, Ar 등)가 유입된다. 다른 실시예들에서, 주사기 펌프는 적정 압력으로 저장부(1408)에 용액을



전달한다. 유사하게, 다른 실시예들에서, 압력 조절 흐름부를 가진 격막 펌프는 용액을 저장부(1408)에 전달한다. 또 다른 실시예들에서, 용액은 용액으로 충전된 블래더(bladder)를 포함하는 가압 캐니스터(canister)로부터 전달된다. 캐니스터가 가압가스로 가압될 때 블래더 내의 압력은 증가하며, 이에 따라 용액은 블래더로부터 배출되고 저장부(1408) 내로 유입될 수 있다.

도 15는 도 14의 장치에 대한 평면도를 도시한다. 도 15에 도시된 사시도로부터 알 수 있는 바와 같이, 비록 워크피스(1406)가 웨이퍼(1404)의 영역보다 작은 영역을 커버할지라도, 워크피스(1406) 및 웨이퍼(1404) 간의 상대 가로운동은 워크피스(1406)가 사전 평탄화된 표면의 형성 동안 웨이퍼(1404)의 전체 영역의 대부분 또는 모두와 접촉하도록 할 수 있다. 상대 가로운동은 많은 다른 방식으로 도입될 수 있다. 예컨대, 축(1414)(도 14)에 대한 웨이퍼(1404)의 회전(1500)은 구동 메커니즘에 의하여 회전되는 스피들상에 웨이퍼 지지부(1402)를 장착함으로써 달성될 수 있다.

추가적인 상대 가로운동은 예컨대 워크피스(1406)의 회전(1502)에 의하여 워크피스(1406)를 통해 도입될 수 있다. 추가적인 상대 가로운동은 워크피스(1406)를 측면으로 이동시킴으로써 도입될 수 있다. 두 가지 형태의 가로 병진운동은 도 15에 도시된 바와 같이 왕복 병진운동(1504) 및 선형 병진운동(1506)이다. 선형 병진운동(1506)은 예컨대 도시된 바와 같이 워크피스(1406)를 지지하는 암(1508)을 연장하거나 또는 워크피스(1406) 아래에 있는 웨이퍼(1404)를 선형적으로 병진운동시킴으로써 달성될 수 있다. 웨이퍼(1404)의 선형 병진운동은 선형 베어링들을 가진 왕복 어셈블리 상에 웨이퍼 지지부(1402)를 배치시킴으로써 달성될 수 있다. 추가적인 상대 가로운동은 워크피스(1406) 및 웨이퍼(1404) 중 하나 또는 둘 모두를 진동시킴으로써 도입될 수 있다. 궤도운동을 포함하는 여러 상대 가로운동들의 다양한 결합이 사용될 수 있다는 것이 인식되어야 한다.

여기에서 언급된 바와 같이, 워크피스(1406)가 웨이퍼(1404)의 영역보다 작은 영역을 가지는 실시예들에서, 워크피스(1406) 및 웨이퍼(1404) 간의 상대 가로운동은 사전 평탄화된 표면을 형성하는 방법이 웨이퍼(1404)의 전체 영역에 적용되도록 할 수 있다. 이들 및 다른 실시예들에서 상대 가로운동들이 다공막(1410)(도 14)을 통한 용액의 흐름을 개선할 수 있고 제 2도전층이 증착될 때 공동들 내로의 대용량 전달을 개선할 수 있다는 것에 유의해야 한다. 특히, 진동과 같은 상대 가로운동은 제 2도전 재료의 성장층으로 새로운 용액을 이동시키고 또한 제 2도전재료의 성장층으로부터 멀리 노폐물을 이동시키는데 도움이 되는 공동들 내의 순환을 개선한다.

도 16은 본 발명의 다른 실시예에 따른 장치의 평면도를 도시한다. 도 16에 기술된 실시예는 도 15를 참조하여 기술된 실시예와 유사하나, 도 16의 실시예에서 워크피스(1600)는 웨이퍼(1404)의 영역보다 큰 영역을 가지며 이에 따라 워크피스(1600)는 임의의 주어진 시간에 전체 웨이퍼 영역과 접촉할 수 있다. 상대 가로운동은 워크피스(1600) 및 웨이퍼(1404) 중 하나 또는 둘 모두를 회전시킴으로써 워크피스(1600) 및 웨이퍼(1404) 사이에 도입될 수 있다. 진동과 같이 도 15를 참조하여 언급된 다른 상대 가로운동들이 사용될 수 있다. 워크피스(1600)의 영역이 웨이퍼(1404)의 영역보다 크기 때문에 워크피스(1600)가 도 16에 도시된 원형 형상과 다른 형상을 취할 수 있다는 것이 인식되어야 한다.

도 17은 본 발명의 또 다른 실시예에 따른 장치의 평면도를 도시한다. 도 17에 도시된 실시예는 도 15 및 도 16을 참조하여 기술된 실시예와 유사하나, 도 17의 실시예에서 워크피스(1700)는 웨이퍼(1404)의 영역과 동일하거나 또는 약간 작은 영역을 가질 수 있다. 워크피스(1700)의 영역이 웨이퍼(1404)의 영역보다 작을 때, 진동 또는 궤도 진동과 같은 작은 상대 가로운동은 워크피스(1700)가 웨이퍼(1404)의 전체 영역 전반에 걸쳐 사전 평탄화된 표면을 형성하도록 할 수 있다. 여기에서 기술된 상대 가로운동의 다른 형태들이 사용될 수 있다.

도 18은 사전 평탄화된 표면을 형성하기 위한 장치(1800)의 다른 실시예에 대한 단면도를 도시한다. 장치(1800)는 처리 동안 웨이퍼(1404)를 고정하기 위한 웨이퍼 지지부(1402)를 포함한다. 장치(1800)는 또한 본 실시예에서 합성 다공 피혁 재료(1808)를 포함한다. 지지 구조(도시되지 않음)는 워크피스(1806)에 웨이퍼 지지부(1402)를 고정하고, 워크피스(1806)가 웨이퍼(1404)와 접촉되도록 하며, 결과적으로 지지 구조(1412)(도 14)는 웨이퍼 지지부(1402)에 대하여 워크피스(1406)를 지지한다. 비록 워크피스(1806)가 도 18에서 웨이퍼(1404) 아래에 있는 것으로 도시될지라도, 워크피스(1806)는 웨이퍼(1404) 위에 교번하여 배치될 수 있다는 것이 이해되어야 한다.

도 19는 장치(1800)(도 18)의 하나의 가능한 변형예인 장치(1900)의 측면도를 도시한다. 장치(1900)에서, 가요성 재료는 롤러들(1904)의 쌍 둘레에 연속 루프(1902)로서 제공된다. 지지 구조(도시되지 않음)는 웨이퍼(1404)(도 18)가 연속 루프(1902)와 접촉되도록 한다(역도 가능함). 선형 상대 가로운동은 롤러들(1904)의 쌍 둘레에 연속루프(1902)를 구동시킴으로써 달성된다. 추가적인 상대 가로운동은 도시된 바와 같이 웨이퍼 지지부(1402)를 회전시킴으로써 달성될 수 있다. 게다가, 상대 가로운동은 여기에서 기술된 바와 같이 진동 및 궤도운동과 같은 다른 운동들을 웨이퍼 지지부(1402)에 제공

함으로써 도입될 수 있다. 비록 합성 다공 피혁 재료가 본 실시예에서 연속루프(1902)로서 제공될지라도, 다른 실시예들에서 합성 다공 피혁 재료가 디스크 또는 직사각형 형상의 다른 형태를 취할 수 있다. 일부 실시예에서, 합성 다공 피혁 재료는 무전해 용액을 포함하는 상승 에지를 포함한다.

도 18 및 도 19에 도시된 실시예들에서, 합성 다공 피혁 재료의 표면은 용액(1906)에 의하여 적셔진다. 그 다음에, 용액(1906)은 합성 다공 피혁 재료에 의하여 웨이퍼(1404)(도 18)에 운반된다. 비록 도 19가 연속루프(1902) 상에 똑똑 떨어지거나 또는 뿌려지는 용액(1906)을 도시할지라도, 합성 다공 피혁 재료의 표면에 용액(1906)을 전달하는 다른 방법들이 사용될 수 있다. 예컨대, 하나의 롤러(1904)는 용액의 저장부에 담겨 질 수 있다.

전술한 명세서에서 본 발명은 특정 실시예를 기준으로 설명되었으나, 당업자는 본 발명이 실시예에 제한되지 않는다는 것을 이해해야 한다. 앞서 기술된 본 발명의 다양한 특징 및 양상들은 개별적으로 또는 결합하여 사용될 수 있다. 게다가, 본 발명은 명세서의 가장 넓은 사상 및 범위를 벗어나지 않고 여기에 기술된 것 이상으로 임의의 수의 환경들 및 응용들에 이용할 수 있다. 따라서, 명세서 및 도면들은 제한하는 것보다 오히려 예시적 것으로 간주된다.

## (57) 청구의 범위

### 청구항 1.

평탄화된 표면을 형성하기 위한 방법으로서,

그 내부에 한정된 좁은 피처 및 넓은 피처를 가진 기관을 제공하는 단계;

상기 좁은 피처를 충전하고, 상기 넓은 피처를 적어도 부분적으로 충전하며, 그 내부에 한정되고 상기 넓은 피처와 정렬된 공동을 가진 제 1층을 상기 기관 위에 형성하는 단계;

상기 제 1층을 평탄화하면서 상기 공동 내에 제 2 층을 형성하는 단계; 및

상기 제 1 및 상기 제 2 층을 함께 평탄화하는 단계를 포함하는 평탄화된 표면 형성 방법.

### 청구항 2.

제 1항에 있어서, 제 1층을 평탄화하면서 제 2 층을 형성하는 상기 단계는,

상기 제 1층과 가요성 재료를 접촉시키는 단계; 및

상기 가요성 재료 및 상기 제 1층 사이에 상대 가로운동을 도입하는 단계를 포함하는 평탄화된 표면 형성 방법.

### 청구항 3.

제 1항에 있어서, 상기 제 1층은 상기 넓은 피처를 완전히 충전하고;

제 1층 및 제 2 층을 함께 평탄화하는 상기 단계는 상기 제 2 층을 완전히 제거하는 단계를 포함하는 평탄화된 표면 형성 방법.

### 청구항 4.

제 1항에 있어서, 제 1층 및 제 2 층을 함께 평탄화하는 상기 단계는 상기 제 2 층을 완전히 제거하지 않는 평탄화된 표면 형성 방법.

**청구항 5.**

제 1항에 있어서, 제 1층 및 제 2 층을 함께 평탄화하는 상기 단계는 응력 없는 평탄화를 포함하는 평탄화된 표면 형성 방법.

**청구항 6.**

제 1항에 있어서, 제 1층 및 제 2 층을 함께 평탄화하는 상기 단계는 화학-기계적 평탄화를 포함하는 평탄화된 표면 형성 방법.

**청구항 7.**

평탄화된 표면을 형성하기 위한 방법으로서는,

좁은 피처 및 넓은 피처를 가진 기판을 제공하는 단계;

상기 좁은 피처를 충전하고 상기 넓은 피처를 적어도 부분적으로 충전하며 상기 넓은 피처와 정렬된 공동을 가진 제 1층을 상기 기판 위에 형성하는 단계;

상기 제 1층의 적어도 일부분과 가요성 재료를 접촉시키는 단계;

상기 공동에 용액을 전달하기 위하여 상기 가요성 재료를 사용하는 단계;

상기 가요성 재료가 상기 제 1층과 접촉하는 제 2 층을 형성하지 않고 상기 용액으로부터 상기 공동 내에 제 2 층을 형성하는 단계; 및

상기 제 1 및 상기 제 2 층을 평탄화하는 단계를 포함하는 평탄화된 표면 형성 방법.

**청구항 8.**

제 7항에 있어서, 상기 용액은 무전해 도금액을 포함하는 평탄화된 표면 형성 방법.

**청구항 9.**

제 7항에 있어서, 상기 제 1층 형성 단계는 도전재료의 전기화학 증착을 포함하는 평탄화된 표면 형성 방법.

**청구항 10.**

제 7항에 있어서, 상기 가요성 재료는 다공성막을 포함하는 평탄화된 표면 형성 방법.

**청구항 11.**

제 7항에 있어서, 상기 제 1층 형성 단계는 상기 넓은 피처를 완전히 충전하는 단계를 포함하는 평탄화된 표면 형성 방법.

**청구항 12.**

제 7항에 있어서, 상기 제 1층 형성 단계는 상기 전체 넓은 피처보다 낮게 충전하는 단계를 포함하는 평탄화된 표면 형성 방법.

### 청구항 13.

제 7항에 있어서, 제 1층의 적어도 일부분과 가요성 재료를 접촉시키는 상기 단계는 상기 제 1 층의 하중부위에 상기 제 2 층이 증착되는 것을 억제하는 평탄화된 표면 형성 방법.

### 청구항 14.

평탄화된 표면을 형성하기 위한 장치로서,

영역을 가진 웨이퍼를 고정하기 위한 웨이퍼 지지부;

무전해 도금액을 가지며 일측을 채우고 있는 가요성 및 다공막을 가진 저장부를 구비하는 워크피스;

상기 워크피스 및 웨이퍼가 서로 접촉되도록 할 수 있는 연동 메커니즘; 및

상기 워크피스 및 상기 웨이퍼 간의 상대 가로운동을 도입하는 수단을 포함하는 평탄화된 표면 형성 장치.

### 청구항 15.

제 14항에 있어서, 상기 다공막은 세라믹을 포함하는 평탄화된 표면 형성 장치.

### 청구항 16.

제 14항에 있어서, 상기 다공막은 약 5% 내지 약 50%의 다공성량을 포함하는 평탄화된 표면 형성 장치.

### 청구항 17.

평탄화된 표면을 형성하기 위한 장치로서,

웨이퍼를 고정하는 웨이퍼 지지부;

무전해 도금액으로 적셔진 가요성 합성 다공 피혁 재료;

상기 합성 다공 피혁 재료가 상기 웨이퍼와 접촉되도록 할 수 있는 연동 메커니즘; 및

상기 합성 다공 피혁 재료 및 상기 웨이퍼 간에 상대 가로운동을 도입하는 수단을 포함하는 평탄화된 표면 형성 장치.

### 청구항 18.

제 17항에 있어서, 상기 합성 다공 피혁 재료는 연속루프의 형상을 가지는 평탄화된 표면 형성 장치.

청구항 19.

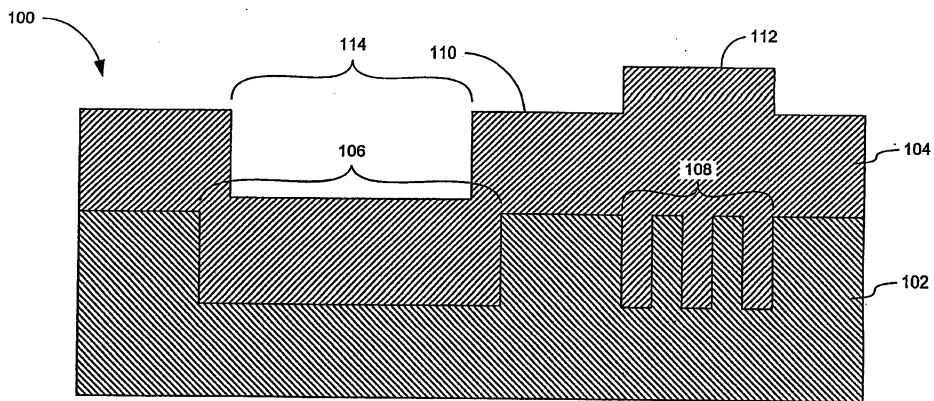
제 17항에 있어서, 상기 합성 다공 피혁 재료는 상기 무전해 도금액을 포함하기 위하여 상승 에지를 포함하는 평탄화된 표면 형성 장치.

청구항 20.

제 2항에 있어서, 상기 상대 가로운동은 진동 성분을 포함하는 평탄화된 표면 형성 방법.

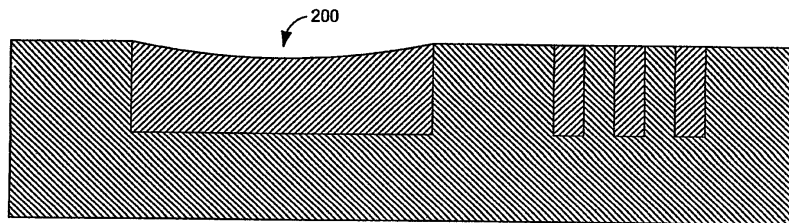
도면

도면1



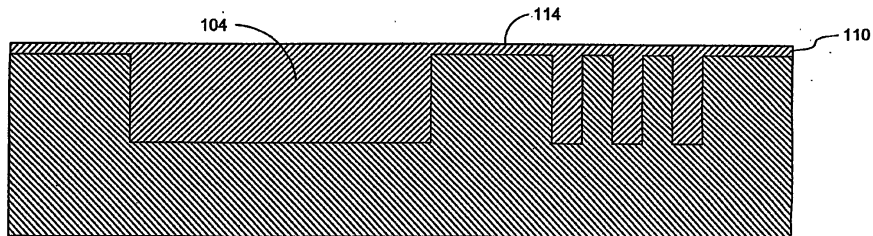
(종래기술)

도면2

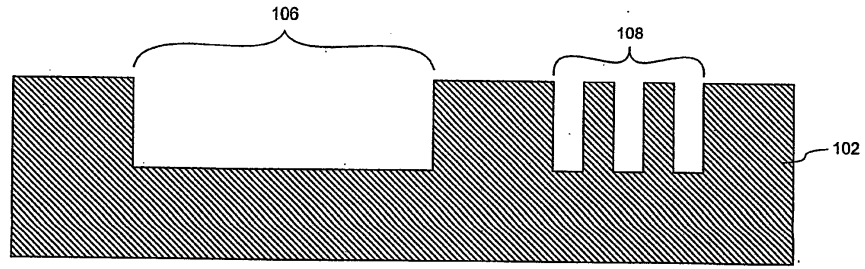


(종래기술)

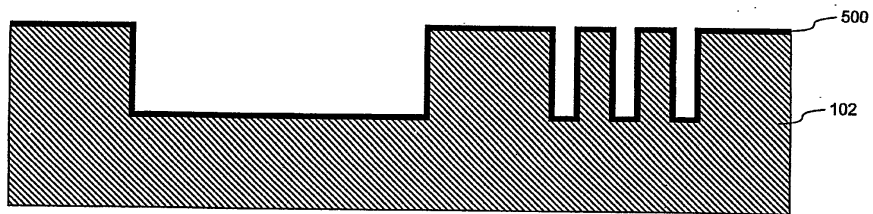
도면3



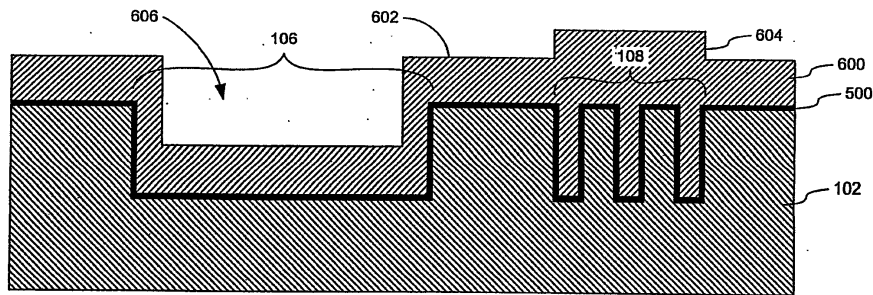
도면4



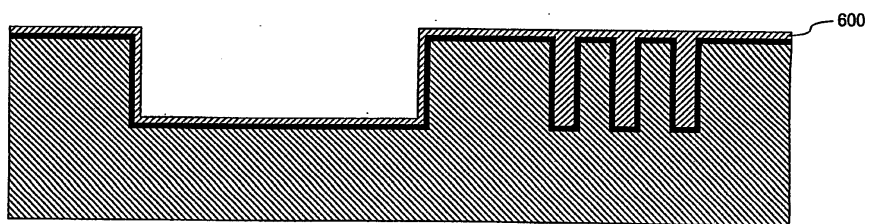
도면5



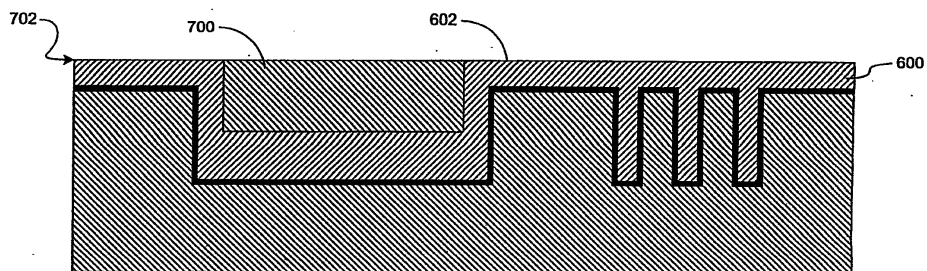
도면6A



도면6B

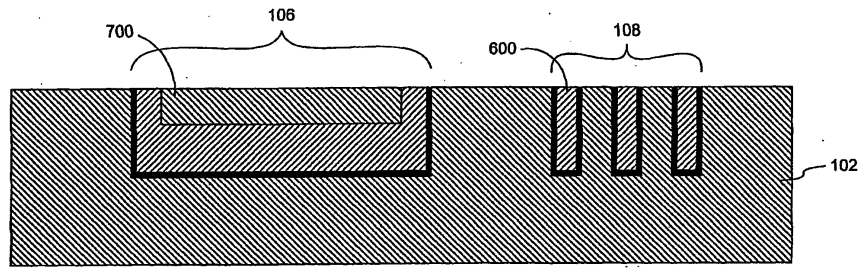


도면7

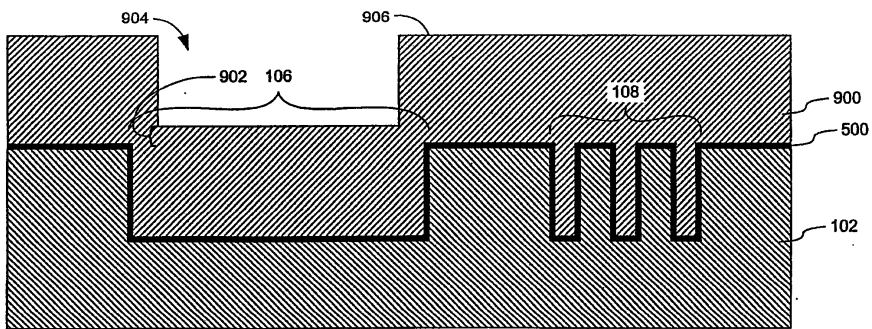




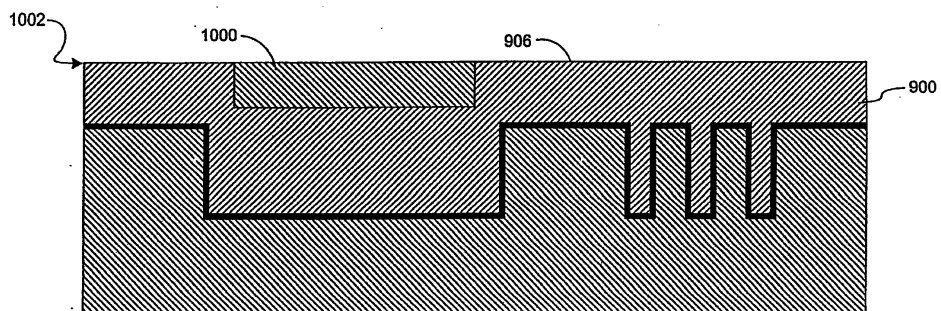
도면8



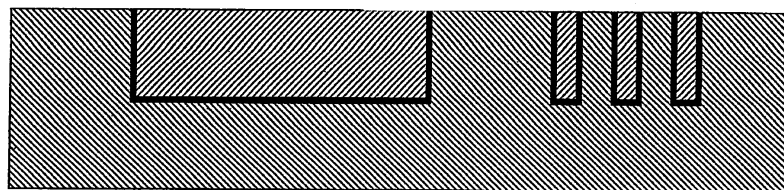
도면9



도면10

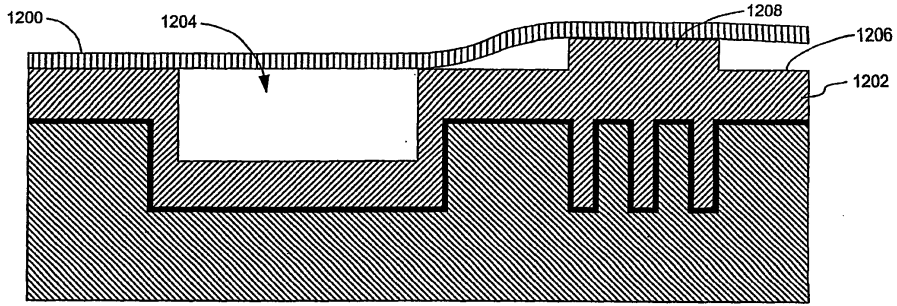


도면11

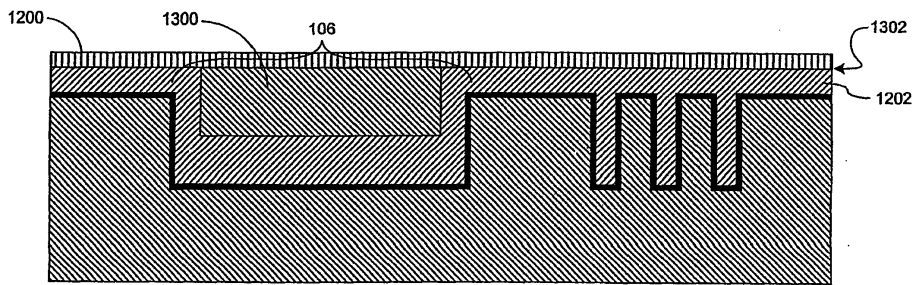




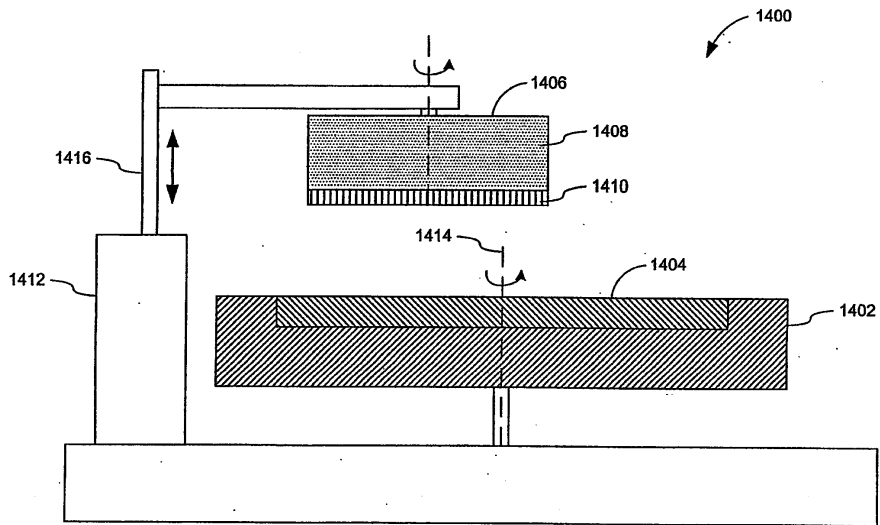
도면12



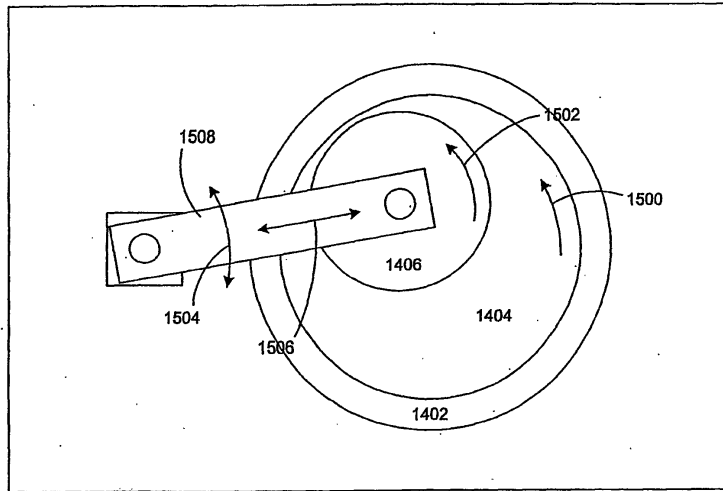
도면13



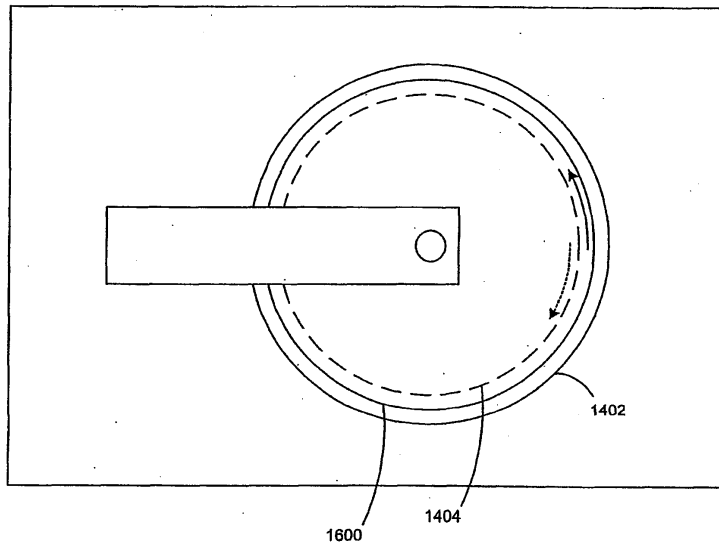
도면14



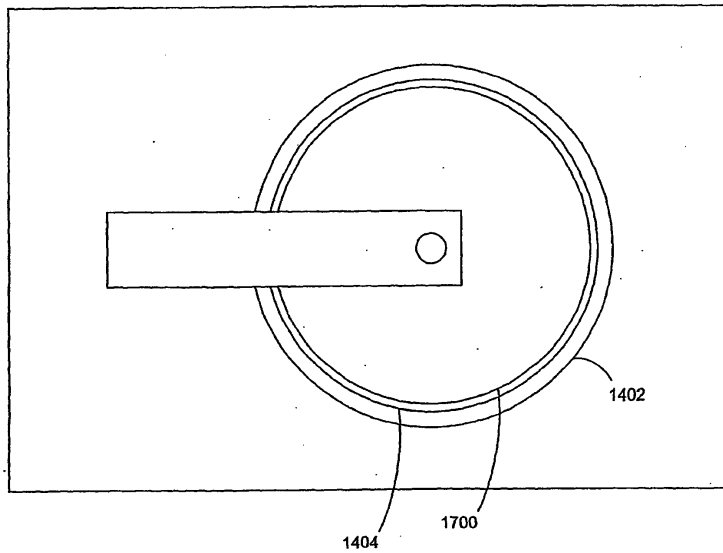
도면15



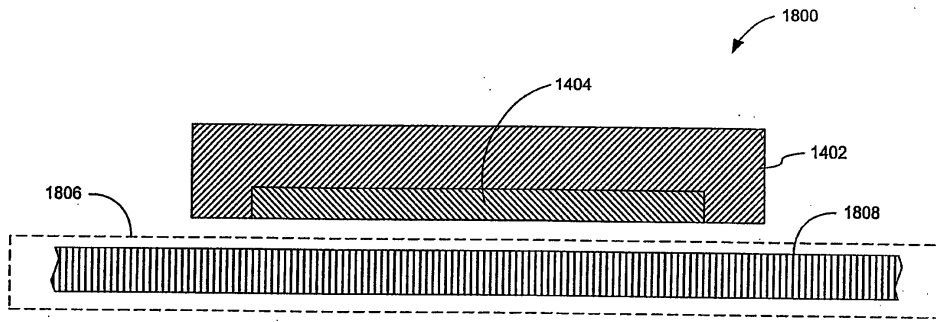
도면16



도면17



도면18



도면19

