

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 18 年 5 月 25 日 (2006.5.25)

【公開番号】特開 2004-47972 (P2004-47972A)

【公開日】平成 16 年 2 月 12 日 (2004.2.12)

【年通号数】公開・登録公報 2004-006

【出願番号】特願 2003-135892 (P2003-135892)

【国際特許分類】

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/786 (2006.01)

G 0 2 F 1/1368 (2006.01)

H 0 1 L 21/28 (2006.01)

H 0 1 L 29/423 (2006.01)

H 0 1 L 29/49 (2006.01)

【F I】

H 0 1 L 29/78 6 1 6 A

G 0 2 F 1/1368

H 0 1 L 21/28 E

H 0 1 L 29/78 6 1 7 J

H 0 1 L 29/78 6 2 7 C

H 0 1 L 29/58 G

【手続補正書】

【提出日】平成 18 年 3 月 29 日 (2006.3.29)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体層上に導電膜を形成し、
前記導電膜上にハードマスク層を形成し、
前記ハードマスク層上にレジストマスクを形成し、
前記レジストマスクを用いて前記ハードマスク層をエッチングし、端部が前記レジストマスクの内側にあるハードマスクを形成し、
前記レジストマスクを用いて前記導電膜をエッチングして、第 1 の形状の導電層を形成し、

前記レジストマスクを除去し、

前記ハードマスクを用いて前記第 1 の形状の導電層の露出している部分を一部エッチングして、前記ハードマスクに覆われている部分よりも露出している部分の方が厚さが薄い第 2 の形状の導電層を形成し、

前記第 2 の形状の導電層をマスクとして前記半導体層に不純物を添加することにより、チャンネル形成領域と、前記チャンネル形成領域を挟んでいる第 1 の不純物領域と、前記第 1 の不純物領域と前記チャンネル形成領域の間に設けられた、前記第 1 の不純物領域よりも不純物濃度が低い第 2 の不純物領域とを形成することを特徴とする半導体装置の作製方法。

【請求項 2】

半導体層上に第 1 の導電膜を形成し、

前記第 1 の導電膜上に第 2 の導電膜を形成し、

前記第 2 の導電膜上にハードマスク層を形成し、
前記ハードマスク層上にレジストマスクを形成し、
前記レジストマスクを用いて前記ハードマスク層をエッチングして、端部が前記レジストマスクの内側にあるハードマスクを形成し、
前記レジストマスクを用いて前記第 1 の導電膜及び前記第 2 の導電膜をエッチングして、第 1 の形状の導電層を形成し、
前記レジストマスクを除去し、
前記ハードマスクを用いて前記第 2 の導電膜を選択的にエッチングして、前記第 1 の導電膜の端部が前記第 2 の導電膜の端部より外側に位置する第 2 の形状の導電層を形成し、
前記ハードマスクを除去し、
前記第 2 の形状の導電層をマスクとして前記半導体層に不純物を添加することにより、チャンネル形成領域と、前記チャンネル形成領域を挟んでいる第 1 の不純物領域と、前記第 1 の不純物領域と前記チャンネル形成領域の間に設けられた、前記第 1 の不純物領域よりも不純物濃度が低い第 2 の不純物領域とを形成することを特徴とする半導体装置の作製方法。

【請求項 3】

半導体層上に導電膜を形成し、
前記導電膜上にハードマスク層を形成し、
前記ハードマスク層上にレジストマスクを形成し、
前記レジストマスクを用いて前記ハードマスク層をエッチングし、端部が前記レジストマスクの内側にあるハードマスクを形成し、
前記レジストマスクを用いて前記導電膜をエッチングして、第 1 の形状の導電層を形成し、
前記レジストマスクを除去し、
前記第 1 の形状の導電層をマスクとして前記半導体層に不純物を添加することにより、第 1 の不純物領域を形成し、
前記ハードマスクを用いて前記第 1 の形状の導電層をエッチングして、第 2 の形状の導電層を形成し、
前記第 2 の形状の導電層をマスクとして前記半導体層に不純物を添加することにより、前記第 1 の不純物領域の内側に前記第 1 の不純物領域よりも不純物濃度が低い第 2 の不純物領域を形成することを特徴とする半導体装置の作製方法。

【請求項 4】

半導体層上に第 1 の導電膜を形成し、
前記第 1 の導電膜上に第 2 の導電膜を形成し、
前記第 2 の導電膜上にハードマスク層を形成し、
前記ハードマスク層上にレジストマスクを形成し、
前記レジストマスクを用いて前記ハードマスク層をエッチングして、端部が前記レジストマスクの内側にあるハードマスクを形成し、
前記レジストマスクを用いて前記第 1 の導電膜及び前記第 2 の導電膜をエッチングして、第 1 の形状の導電層を形成し、
前記レジストマスクを除去し、
前記第 1 の形状の導電層をマスクとして前記半導体層に不純物を添加することにより、第 1 の不純物領域を形成し、
前記ハードマスクを用いて前記第 1 の形状の導電層及び前記第 2 の導電膜をエッチングして、第 2 の形状の導電層を形成し、
前記ハードマスクを除去し、
前記第 2 の形状の導電層をマスクとして前記半導体層に不純物を添加することにより、前記第 1 の不純物領域の内側に前記第 1 の不純物領域よりも不純物濃度が低い第 2 の不純物領域を形成することを特徴とする半導体装置の作製方法。

【請求項 5】

請求項 2 または 4 において、前記第 1 の導電膜と前記第 2 の導電膜とは、互いに異なる

材質であることを特徴とする半導体装置の作製方法。

【請求項 6】

請求項 2、4、5 のいずれかーにおいて、前記第 1 の導電膜として、高融点金属を用いることを特徴とする半導体装置の作製方法。

【請求項 7】

請求項 2、4、5、6 のいずれかーにおいて、前記第 2 の導電膜として、高融点金属を用いることを特徴とする半導体装置の作製方法。

【請求項 8】

請求項 1 乃至 7 のいずれかーにおいて、前記第 2 の不純物領域の長さは、 $0.25 \sim 0.5 \mu\text{m}$ であることを特徴とする半導体装置の作製方法。

【請求項 9】

基板上に下地膜を形成し、

前記下地膜上に第 1 及び第 2 の半導体層を形成し、

前記第 1 及び第 2 の半導体層上に第 1 の導電膜を形成し、

前記第 1 の導電膜上に第 2 の導電膜を形成し、

前記第 2 の導電膜上にハードマスク層を形成し、

前記ハードマスク層上に第 1 及び第 2 のレジストマスクを形成し、

前記第 1 及び第 2 のレジストマスクを用いて前記ハードマスク層をそれぞれ等方性エッチングして、端部が前記第 1 及び第 2 のレジストマスクの内側にある第 1 及び第 2 のハードマスクを形成し、

前記第 1 及び第 2 のレジストマスクを用いて前記第 1 の導電膜及び前記第 2 の導電膜をそれぞれ異方性エッチングして、第 1 の形状を有する第 1 のゲート電極及び第 2 の形状を有する第 2 のゲート電極を形成し、

前記第 1 及び第 2 のレジストマスクを除去し、

前記第 1 及び第 2 のハードマスクを用いて前記第 1 及び第 2 のゲート電極を形成する前記第 2 の導電膜をそれぞれエッチングして、前記第 1 の導電膜の端部が前記第 2 の導電膜の端部より外側に位置する第 3 の形状を有する第 1 のゲート電極及び第 4 の形状を有する第 2 のゲート電極を形成し、

前記第 1 及び第 2 のハードマスクを除去し、

前記第 1 及び第 2 のゲート電極をマスクとして前記第 1 及び第 2 の半導体層に第 1 の不純物をそれぞれ添加することにより、前記第 1 の導電膜と重なる第 1 の低濃度不純物領域を形成するとともに、前記第 1 の低濃度不純物領域の外側に第 1 の高濃度不純物領域を形成し、

前記第 1 の半導体層上を覆うように第 3 のレジストマスクを形成し、

前記第 2 のゲート電極及び前記第 3 のレジストマスクをマスクとして前記第 2 の半導体層に第 2 の不純物を添加することにより、前記第 1 の導電膜と重なる第 2 の低濃度不純物領域を形成するとともに、前記第 2 の低濃度不純物領域の外側に第 2 の高濃度不純物領域を形成することを特徴とする半導体装置の作製方法。

【請求項 10】

請求項 9 において、前記第 1 の不純物は n 型を付与する不純物元素であり、前記第 2 の不純物は p 型を付与する不純物元素であることを特徴とする半導体装置の作製方法。

【請求項 11】

請求項 9 において、前記第 1 の不純物は p 型を付与する不純物元素であり、前記第 2 の不純物は n 型を付与する不純物元素であることを特徴とする半導体装置の作製方法。

【請求項 12】

請求項 1 乃至 11 のいずれかーにおいて、前記ハードマスク層の材料として、Al、ITO、またはアモルファスシリコンを用いることを特徴とする半導体装置の作製方法。