



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I540706 B

(45)公告日：中華民國 105 (2016) 年 07 月 01 日

(21)申請案號：101131415

(22)申請日：中華民國 101 (2012) 年 08 月 29 日

(51)Int. Cl. : H01L27/115 (2006.01) H01L21/8247(2006.01)

(30)優先權：2011/10/04 日本 2011-220254

2012/08/03 日本 2012-172569

(71)申請人：瑞薩電子股份有限公司 (日本) RENESAS ELECTRONICS CORPORATION (JP)
日本(72)發明人：細田直宏 HOSODA, NAOHIRO (JP)；岡田大介 OKADA, DAISUKE (JP)；片山弘
造 KATAYAMA, KOZO (JP)

(74)代理人：陳長文

(56)參考文獻：

US 2007/0210371A1

US 2011/0175156A1

審查人員：李秋峰

申請專利範圍項數：9 項 圖式數：96 共 201 頁

(54)名稱

半導體裝置及半導體裝置之製造方法

(57)摘要

本發明之課題在於使半導體裝置(具有非揮發性記憶體之半導體裝置)之特性提高。本發明之半導體裝置包含：形成於控制閘極電極 CG 與半導體基板之間之絕緣膜 3；及形成於記憶體閘極電極 MG 與半導體基板之間及控制閘極電極 CG 與記憶體閘極電極 MG 之間、且其內部具有電荷累積部之絕緣膜 5。該絕緣膜 5 具有第 1 膜 5A、配置於第 1 膜 5A 上之作為電荷累積部之第 2 膜 5N、及配置於第 2 膜 5N 上之第 3 膜 5B，且第 3 膜 5B 具有位於控制閘極電極 CG 與記憶體閘極電極 MG 之間之側壁膜 5s、與位於記憶體閘極電極 MG 與半導體基板之間之沈積膜 5d。根據上述構成，可增大絕緣膜 5 之角部之距離 D1，從而可緩和電場集中。

指定代表圖：

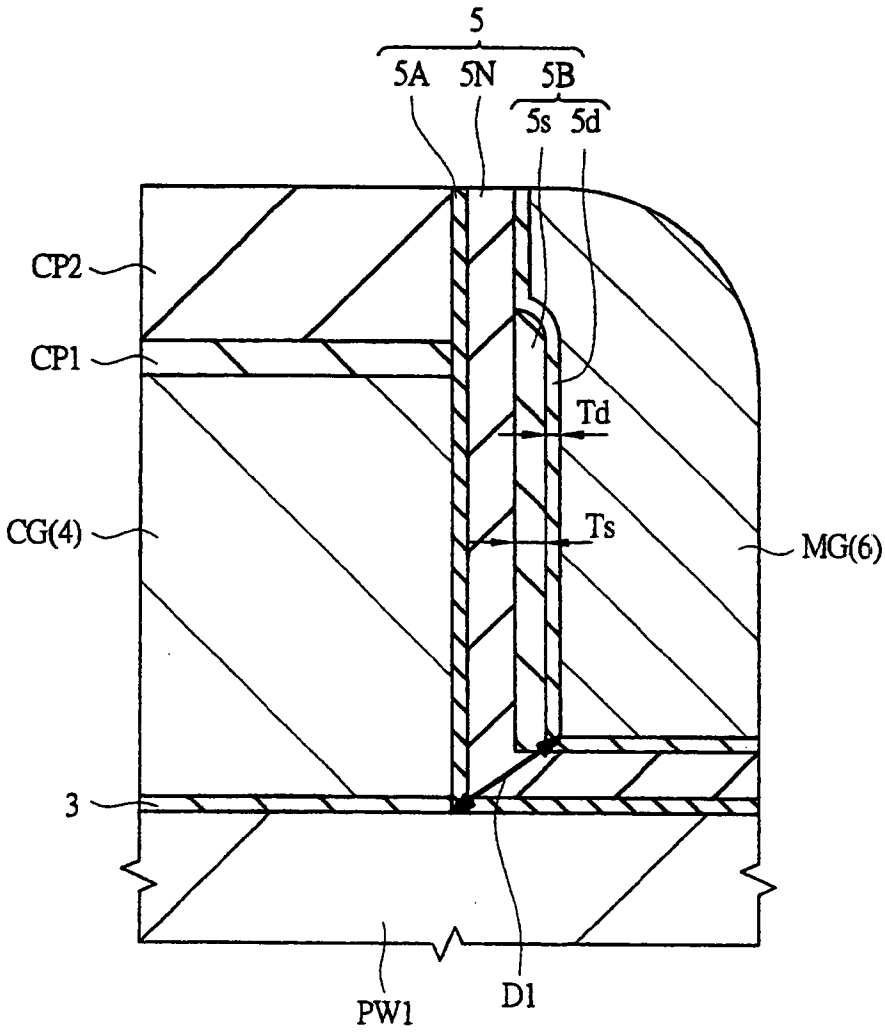


圖 3

符號簡單說明：

- 3 . . . 絕緣膜
- 4 . . . 矽膜
- 5 . . . 絕緣膜
- 5A . . . 氧化矽膜(氮氧化矽膜、第 1 膜)
- 5B . . . 氧化矽膜(第 3 膜)
- 5d . . . 沈積膜(氧化矽膜)
- 5N . . . 氮化矽膜(第 2 膜)
- 5s . . . 側壁膜
- 6 . . . 矽膜
- CG . . . 控制閘極電極
- CP1 . . . 氧化矽膜
- CP2 . . . 氮化矽膜
- D1 . . . 距離
- MG . . . 記憶體閘極電極
- PW1 . . . p 型井
- Td . . . 膜厚
- Ts . . . 最大膜厚

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：101131415

※申請日：101.8.29

※IPC 分類：H01L 27/115 (2006.01)

H01L 21/8247 (2006.01)

一、發明名稱：(中文/英文)

半導體裝置及半導體裝置之製造方法

二、中文發明摘要：

本發明之課題在於使半導體裝置(具有非揮發性記憶體之半導體裝置)之特性提高。本發明之半導體裝置包含：形成於控制閘極電極CG與半導體基板之間之絕緣膜3；及形成於記憶體閘極電極MG與半導體基板之間及控制閘極電極CG與記憶體閘極電極MG之間、且其內部具有電荷累積部之絕緣膜5。該絕緣膜5具有第1膜5A、配置於第1膜5A上之作為電荷累積部之第2膜5N、及配置於第2膜5N上之第3膜5B，且第3膜5B具有位於控制閘極電極CG與記憶體閘極電極MG之間之側壁膜5s、與位於記憶體閘極電極MG與半導體基板之間之沈積膜5d。根據上述構成，可增大絕緣膜5之角部之距離D1，從而可緩和電場集中。

三、英文發明摘要：

四、指定代表圖：

(一)本案指定代表圖為：第 (3) 圖。

(二)本代表圖之元件符號簡單說明：

3	絕緣膜
4	矽膜
5	絕緣膜
5A	氧化矽膜(氮氧化矽膜、第1膜)
5B	氧化矽膜(第3膜)
5d	沈積膜(氧化矽膜)
5N	氮化矽膜(第2膜)
5s	側壁膜
6	矽膜
CG	控制閘極電極
CP1	氧化矽膜
CP2	氮化矽膜
D1	距離
MG	記憶體閘極電極
PW1	p型井
Td	膜厚
Ts	最大膜厚

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體裝置及半導體裝置之製造方法，尤其，係關於一種對具有非揮發性記憶體之半導體裝置適用且有效之技術。

【先前技術】

作為可電性寫入·抹除之非揮發性半導體記憶裝置即EEPROM(Electrically Erasable and Programmable Read Only Memory：電子可擦可程式唯讀記憶體)之一種，快閃記憶體(flash memory)被廣泛使用。該快閃記憶體，在MISFET之閘極電極下，具有以氧化膜包圍之導電性之浮動閘極電極或陷阱性絕緣膜。其為利用基於該浮動閘極或陷阱性絕緣膜中之電荷(電子或孔)之有無之MISFET之臨限值之不同而記憶資訊者。

例如，日本特開2005-123518號公報(專利文獻1)中，揭示有為抑制電荷累積膜之角落部(20)之薄膜化而提高電荷保持特性，在選擇閘極電極(15)之側壁設置錐，藉此提高電荷保持特性之非揮發性記憶胞。例如，在[0041]及[0042]段落中，揭示有於選擇閘極電極之形成後形成氧化矽膜之側壁間隔物(69)而控制ONO膜角落部之角度(圖25)。

又，日本特開2001-148434號公報(專利文獻2)中，揭示有可實現低電壓驅動及高速程式以及高密度積體之非揮發性記憶胞。例如揭示有，為使第1閘極電極(141)與第2閘極

電極(142)之間之耦合電容減少而改善驅動速度，氧化閘極電極(141)之端面而形成氧化膜(141a)，或代替氧化膜(141a)，而於閘極電極(141)之側面形成作為絕緣構件之側壁(未圖示)([0108]段落、圖13)。又，揭示有氧化閘極電極(241)之端面而形成氧化膜(241a)，或代替氧化膜(241a)，而於閘極電極(241)之側面形成作為絕緣構件之側壁，藉此使各閘極電極間之電容降低([0128]段落、圖18)。

又，日本特開2010-108976號公報(專利文獻3)中，揭示有在記憶胞之控制閘極電極(CG)中，將形成於與閘極絕緣膜(GOX)相接之邊之端部之角部加工成倒錐形狀，藉此抑制干擾之半導體裝置(圖1)。又，揭示有藉由增厚控制閘極電極(CG)之下部之電位障壁膜(EV1)之膜厚(膜厚b)，在接近半導體基板之區域中，增大控制閘極電極(CG)與記憶體閘極電極(MG)之間之距離，從而抑制干擾([0105]~[0108]、圖14、圖15)。

又，日本特開2011-103401號公報(專利文獻4)中，揭示有如下之分離閘極型記憶胞：在形成於控制閘極電極(8)之一方之側壁之積層閘極絕緣膜(9)與記憶體閘極電極(10)之間，形成有包含氧化矽膜或氮化矽膜等之側壁絕緣膜(11)，且記憶體閘極電極利用該側壁絕緣膜與積層閘極絕緣膜而與控制閘極電極電性分離。利用如此之構成，可防止由形成於控制閘極電極之表面之矽化物層與形成於記憶體閘極電極之表面之矽化物層之接觸造成之短路故障。另，(括號)內為該文獻中揭示之符號。

[先行技術文獻]

[專利文獻]

[專利文獻1]日本特開2005-123518號公報

[專利文獻2]日本特開2001-148434號公報

[專利文獻3]日本特開2010-108976號公報

[專利文獻4]日本特開2011-103401號公報

【發明內容】

[發明所欲解決之問題]

本發明者從事非揮發性記憶體之研究開發，研究非揮發性記憶體之特性提高。

近年來，在具有上述非揮發性記憶體之半導體裝置中，動作特性之提高或使資料之保持特性提高自不待言，期望低消耗電流化(低消耗電力化)。

為實現該低消耗電流，需要基於裝置構造或其動作方法(例如，抹除方法)等之研究。

因此，本發明之目的在於提供一種可使半導體裝置之特性提高之技術。具體而言，在於提供一種可使上述半導體裝置具有之記憶胞之特性(尤其，抹除特性)提高之技術。

又，本發明之另一目的在於提供一種用以製造特性良好之半導體裝置之半導體裝置製造方法。

本發明之上述目的及其另一目的與新穎之特徵，根據本申請案說明書之揭示及附加圖式而變得明確。

[解決問題之技術手段]

若簡單說明本申請案所揭示之發明中具代表性者之概

要，則如下所述。

本申請案所揭示之發明中作為代表之實施形態所示之半導體裝置包含：半導體基板；配置於上述半導體基板之上方之第1閘極電極；及以與上述第1閘極電極鄰接之方式配置於上述半導體基板之上方之第2閘極電極。再者，包含：形成於上述第1閘極電極與上述半導體基板之間之第1絕緣膜；及形成於上述第2閘極電極與上述半導體基板之間及上述第1閘極電極與上述第2閘極電極之間、且其內部具有電荷累積部之上述第2絕緣膜。上述第2絕緣膜具有：第1膜；作為配置於上述第1膜上之上述電荷累積部之第2膜；及配置於上述第2膜上之第3膜。上述第3膜具有位於上述第1閘極電極與上述第2閘極電極之間之側壁膜、與位於上述第2閘極電極與上述半導體基板之間之沈積膜。

本申請案所揭示之發明中作為代表之實施形態所示之半導體裝置包含：半導體基板；配置於上述半導體基板之上方之第1閘極電極；及以與上述第1閘極電極鄰接之方式配置於上述半導體基板之上方之第2閘極電極。再者，包含：形成於上述第1閘極電極與上述半導體基板之間之第1絕緣膜；及形成於上述第2閘極電極與上述半導體基板之間及上述第1閘極電極與上述第2閘極電極之間、且其內部具有電荷累積部之上述第2絕緣膜。上述第2絕緣膜具有：第1膜；作為配置於上述第1膜上之上述電荷累積部之第2膜；及配置於上述第2膜上之第3膜。上述第1膜中，與位於上述第2閘極電極與上述半導體基板之間之第1部之膜厚

相比，位於上述第1閘極電極與上述第2閘極電極之間之第2部、即位於該第1部下方之膜之膜厚較大。於上述電荷累積部中累積電子；累積於上述電荷累積部之電子係藉由將利用隧道現象而於上述半導體基板中產生之電洞經由上述第1部注入上述電荷累積部而被抹除。

本申請案所揭示之發明中作為代表之實施形態所示之半導體裝置製造方法包含：(a)於半導體基板上介隔第1絕緣膜而形成第1閘極電極之工序；(b)於上述半導體基板上及上述第1閘極電極之表面及側面，形成內部具有電荷累積部之上述第2絕緣膜之工序；及(c)於上述第1閘極電極之側壁部介隔上述第2絕緣膜而形成第2閘極電極之工序。上述(b)工序係形成具有第1膜、第2膜及第3膜之上述第2絕緣膜之工序，且包含：(b1)於上述半導體基板上及上述第1閘極電極之表面及側面形成第1膜之工序；(b2)於上述第1膜上形成作為上述電荷累積部之第2膜之工序；及(b3)於上述第2膜上形成第1沈積膜之工序。再者，具有如下工序：(b4)藉由各向異性地蝕刻上述第1沈積膜，於上述第1閘極電極之側壁部介隔上述第1膜及上述第2膜而形成側壁膜之工序；及(b5)藉由於上述第2膜及上述側壁膜上形成第2沈積膜，而形成具有上述側壁膜與上述第2沈積膜之第3膜之工序。

本申請案所揭示之發明中作為代表之實施形態所示之半導體裝置製造方法包含：(a)於半導體基板上介隔第1絕緣膜而形成第1閘極電極之工序；(b)於上述半導體基板上及

上述第1閘極電極之表面及側面，形成內部具有電荷累積部之上述第2絕緣膜之工序；及(c)於上述第1閘極電極之側壁部介隔上述第2絕緣膜而形成第2閘極電極之工序。上述(b)工序係形成具有第1膜、第2膜及第3膜之上述第2絕緣膜之工序，且包含：(b1)於上述半導體基板上及上述第1閘極電極之表面及側面形成第1沈積膜之工序；及(b2)藉由各向異性地蝕刻上述第1沈積膜，於上述第1閘極電極之側壁部形成側壁膜之工序。再者，包含如下工序：(b3)藉由於上述半導體基板上、上述第1閘極電極之表面及上述側壁膜上形成第2沈積膜，而形成具有上述側壁膜與上述第2沈積膜之第1膜之工序；(b4)於上述第1膜上形成作為上述電荷累積部之第2膜之工序；及(b5)於上述第2膜上形成第3膜之工序。

本申請案所揭示之發明中作為代表之實施形態所示之半導體裝置包含：半導體基板；配置於上述半導體基板之上方之第1閘極電極；及以與上述第1閘極電極鄰接之方式配置於上述半導體基板之上方之第2閘極電極。再者，包含：形成於上述第1閘極電極與上述半導體基板之間之第1絕緣膜；及形成於上述第2閘極電極與上述半導體基板之間及上述第1閘極電極與上述第2閘極電極之間、且其內部具有電荷累積部之上述第2絕緣膜。上述第2絕緣膜具有：第1膜；作為配置於上述第1膜上之上述電荷累積部之第2膜；及配置於上述第2膜上之第3膜。上述第1膜具有位於上述第1閘極電極與上述第2閘極電極之間之側壁膜、與位

於上述第2閘極電極與上述半導體基板之間之沈積膜。於上述電荷累積部中累積電子；累積於上述電荷累積部之電子係藉由利用隧道現象自上述第2閘極電極側經由上述第3膜將電洞注入上述電荷累積部而被抹除。

[發明之效果]

根據本申請案所揭示之發明中、以下所示之代表之實施形態所示之半導體裝置，可使半導體裝置之特性提高。

另，根據本申請案所揭示之發明中、以下所示之作為代表之實施形態所示之半導體裝置製造方法，可製造特性良好之半導體裝置。

【實施方式】

在以下實施形態中，為方便起見有其必要時，雖分割為複數個部分或實施形態進行說明，但除去特別明示之情形，該等並非相互無關係者，具有一方為另一方之一部分或全部之變化例、應用例、詳細說明、補充說明等之關係。又，在以下實施形態中，除去言及要件之數量等(包含個數、數值、量、範圍等)之情形、特別明示之情形及原理上明確限定為特定之數之情形等，並非限定於其特定之數者，可為特定之數量以上亦可為以下。

再者，在以下實施形態中，其構成要件(亦包含要件步驟等)，除去特別明示之情形及原理上明確認為為必須之情形等，未必非為必須者。同樣地，在以下之實施形態中，言及構成要件等之形狀、位置關係等時，除去特別明示之情形及原理上明確認為並非如此之情形等，設為實質

上接近其形狀等或類似者等者，此點關於上述數量等(包含個數、數值、量、範圍等)亦相同。

以下，基於圖式詳細說明本發明之實施形態。另，在用以說明實施形態之全圖中，對具有同一功能之構件標註同一或關連符號，而省略其重複之說明。又，在以下之實施形態中，除特別需要時以外，作為原則不重複同一或同樣之部分之說明。

又，在實施形態所使用之圖式中，亦存在即使為剖面圖為容易觀察圖式而省略陰影線之情形。又，亦存在即使為俯視圖為容易觀察圖式而標註陰影線之情形。

(實施形態1)

以下，一面參照圖式一面就本實施形態之半導體裝置(半導體記憶裝置)之構造與製造方法進行詳細說明。

[構造說明]

圖1及圖2係顯示本實施形態之半導體裝置之要部剖面圖，圖3係圖1之記憶胞部之剖面圖。

首先，本實施形態中說明之半導體裝置，具有非揮發性記憶體(非揮發性半導體記憶裝置、EEPROM、快閃記憶體、非揮發性記憶元件)及周邊電路。

非揮發性記憶體為使用陷阱性絕緣膜(可累積電荷之絕緣膜)作為電荷累積部者。又，記憶胞MC為分離閘極型之記憶胞。即，其為連接具有控制閘極電極(選擇閘極電極)CG之控制電晶體(選擇電晶體)、與具有記憶體閘極電極(記憶用閘極電極)MG之記憶體電晶體之2個MISFET者。

此處，將具備包含電荷累積部(電荷累積層)之閘極絕緣膜及記憶體閘極電極MG之MISFET(Metal Insulator Semiconductor Field Effect Transistor：金屬絕緣半導體場效電晶體)稱為記憶體電晶體(記憶用電晶體)，又，將具備閘極絕緣膜及控制閘極電極CG之MISFET稱為控制電晶體(選擇電晶體、記憶胞選擇用電晶體)。

所謂周邊電路，為用以驅動非揮發性記憶體之電路，例如由各種邏輯電路等構成。各種邏輯電路係例如由後述之n通道型MISFETQn或p通道型MISFET等構成。又，亦形成後述之電容元件(此處為PIP；Poly-Insulator-Poly：聚合絕緣體)C等。

如圖1及圖2所示，本實施形態之半導體裝置具有：配置於半導體基板1之記憶胞區域1A中之非揮發性記憶體之記憶胞MC；配置於周邊電路區域2A中之n通道型MISFETQn；及配置於周邊電路區域3A中之電容元件C。

圖1中顯示共有汲極區域(MD)之2個記憶胞MC之要部剖面圖，圖2之左部顯示n通道型MISFETQn之要部剖面圖，圖2之右部顯示電容元件C之要部剖面圖。

如圖1所示，2個記憶胞係包夾汲極區域(MD(8b))而大致對稱地配置。另，在記憶胞區域1A中，進而配置複數個記憶胞MC。例如，於圖1所示之記憶胞區域1A之左側之記憶胞MC之進而左邊，以交替配置源極區域(MS)及共有之汲極區域(MD)之方式，於圖1中之左右方向(閘極長度方向)配置記憶胞MC，而構成記憶胞行。又，在垂直於圖1之紙

面之方向(閘極寬度方向)，亦配置有複數個記憶胞行。如此，以陣列狀形成有複數個記憶胞MC。

如圖2所示，半導體基板(半導體晶圓)1上，形成有用以分離元件之元件分離區域2，p型井PW1、PW2自以該元件分離區域2劃分(分離)之活性區域露出。

另，在記憶胞區域1A所示之剖面圖(圖1)中，雖不顯現元件分離區域2，但以陣列狀形成記憶胞MC之記憶胞區域整體係以元件分離區域2劃分。再者，例如，於記憶胞行間(其中，除去源極區域(MS))，配置元件分離區域2等，於需要電性分離之部位，適宜地配置元件分離區域2。又，電容元件C形成於元件分離區域2上。

首先，就記憶胞區域1A之記憶胞MC之構成進行說明(參照圖1、圖3)。

記憶胞MC具有配置於半導體基板1(p型井PW1)之上方之控制閘極電極(第1閘極電極)CG、與配置於半導體基板1(p型井PW1)之上方且與控制閘極電極CG鄰接之記憶體閘極電極(第2閘極電極)MG。在該控制閘極電極CG之上部，配置有較薄之氧化矽膜CP1及氮化矽膜(覆蓋絕緣膜)CP2。記憶胞MC進而具有：配置於控制閘極電極CG及半導體基板1(p型井PW1)間之絕緣膜3；與配置於記憶體閘極電極MG與半導體基板1(p型井PW1)之間，且配置於記憶體閘極電極MG與控制閘極電極CG之間之絕緣膜5。又，記憶胞MC進而具有形成於半導體基板1之p型井PW1中之源極區域MS及汲極區域MD。

控制閘極電極CG及記憶體閘極電極MG，在於該等對向側面(側壁)之間介隔有絕緣膜5之狀態下，在半導體基板1之主表面上於圖1中之左右方向(閘極長度方向)並列配置。控制閘極電極CG及記憶體閘極電極MG之延伸方向為垂直於圖1之紙面之方向(閘極寬度方向)。控制閘極電極CG及記憶體閘極電極MG，係在汲極區域MD及源極區域MS間之半導體基板1(p型井PW1)之上部介隔絕緣膜3、5(其中，控制閘極電極CG介隔絕緣膜3，記憶體閘極電極MG介隔絕緣膜5)而形成。記憶體閘極電極MG位於源極區域MS側，控制閘極電極CG位於汲極區域MD側。另，在本說明書中，以動作時為基準定義源極區域MS及汲極區域MD。將在後述之寫入動作時施加高電壓之半導體區域統一稱為源極區域MS，將在寫入動作時施加低電壓之半導體區域統一稱為汲極區域MD。

控制閘極電極CG與記憶體閘極電極MG，中間介隔絕緣膜5而相互鄰接，記憶體閘極電極MG係在控制閘極電極CG之側壁部介隔絕緣膜5以側壁間隔物狀配置。又，絕緣膜5係跨記憶體閘極電極MG與半導體基板1(p型井PW1)之間之區域、與記憶體閘極電極MG與控制閘極電極CG之間之區域此兩區域而延伸。該絕緣膜5係如後所述般，包含複數個絕緣膜之積層膜。

形成於控制閘極電極CG與半導體基板1(p型井PW1)之間之絕緣膜3(即控制閘極電極CG之下方之絕緣膜3)，作為控制電晶體之閘極絕緣膜發揮功能，記憶體閘極電極MG與

半導體基板1(p型井PW1)之間之絕緣膜5(即記憶體閘極電極MG之下方之絕緣膜5)，作為記憶體電晶體之閘極絕緣膜(內部具有電荷累積部之閘極絕緣膜)發揮功能。

絕緣膜3可由例如氧化矽膜或氮氧化矽膜等形成。又，作為絕緣膜3，可使用上述氧化矽膜或氮氧化矽膜等以外之氧化鈣膜、氧化鋁膜(Alumina)或氧化鉬膜等，具有較氮氧化矽膜更高之介電常數之金屬氧化膜。

絕緣膜5為具有電荷障壁膜與電荷累積膜之多層絕緣膜。此處，使用ONO(oxide-nitride-oxide：氧化物-氮化物-氧化物)膜。具體而言，包含作為第1膜(下層膜)5A之氧化矽膜、作為第2膜(中層膜)5N之氮化矽膜、及作為第3膜(上層膜)5B之氧化矽膜。第3膜(上層膜)5B包含分別包含氧化矽膜之側壁膜(Side wall film)5s與沈積膜(Deposition film)5d之積層膜。第2膜5N為電荷累積部。

第1膜(下層膜)5A具有位於控制閘極電極CG之側壁與記憶體閘極電極MG之側壁之間之縱向部(垂直部)、與位於半導體基板1(p型井PW1)與記憶體閘極電極MG之底部(底面)之間之橫向部(水平部)。換言之，第1膜5A為自控制閘極電極CG之側壁與記憶體閘極電極MG之側壁之間至半導體基板1與記憶體閘極電極MG之底部之間連續形成之絕緣膜。經由該第1膜(隧道氧化膜)5A之橫向部利用隧道現象對第2膜(電荷累積部)5N注入孔(電洞)，從而進行寫入電荷累積部之電子之抹除動作。關於記憶胞之動作將後述。因此，至少該橫向部之膜厚為2 nm以下為宜。另，縱向部之

膜厚(閘極長度方向之厚度)可為2 nm以上。

又，第2膜(中層膜)5N配置於第1膜5A上，且具有位於控制閘極電極CG之側壁與記憶體閘極電極MG之側壁之間之縱向部(垂直部)、與位於半導體基板1(p型井PW1)與記憶體閘極電極MG之底部(底面)之間之橫向部(水平部)。換言之，第2膜5N為自控制閘極電極CG之側壁與記憶體閘極電極MG之側壁之間至半導體基板1與記憶體閘極電極MG之底部之間連續形成之絕緣膜。又，若換另一說法，則第2膜5N具有位於第1膜5A之縱向部與記憶體閘極電極MG之側壁之間之縱向部(垂直部)、與位於第1膜5A之橫向部與記憶體閘極電極MG之底部(底面)之間之橫向部(水平部)。

又，第3膜5B係如上所述般，包含側壁膜5s與沈積膜5d之積層膜。該第3膜5B具有位於控制閘極電極CG之側壁與記憶體閘極電極MG之側壁之間之縱向部(垂直部)、與位於半導體基板1(p型井PW1)與記憶體閘極電極MG之底部(底面)之間之橫向部(水平部)。換言之，第3膜5B為自控制閘極電極CG之側壁與記憶體閘極電極MG之側壁之間至半導體基板1與記憶體閘極電極MG之底部之間連續形成之絕緣膜。又，若換另一說法，則第3膜5B具有位於第2膜5N之縱向部與記憶體閘極電極MG之側壁之間之縱向部(垂直部)、與位於第2膜5N之橫向部與記憶體閘極電極MG之底部(底面)之間之橫向部(水平部)。該第3膜5B之縱向部包含側壁膜5s與沈積膜5d之縱向部之積層部，橫向部包含沈積膜5d之橫向部。

又，側壁膜(Side wall film)5s之高度 H_{5s} ，係較記憶體閘極電極MG之高度 H_{MG} 更低地設定($H_{5s} < H_{MG}$)。換言之，側壁膜(Side wall film)5s之上部配置於較記憶體閘極電極MG之上部更低之位置。

又，作為該側壁膜(Side wall film)5s，除上述氧化矽膜之外，亦可使用氮化矽膜或氮氧化矽膜等之絕緣膜。然而，於第2膜(電荷累積部)5N以外之部位配置電荷陷阱性較高之氮化膜之情形，該氮化膜內亦累積電荷，從而有臨限值電位(V_{th})變動之虞。因此，作為側壁膜(Side wall film)5s，使用氧化矽膜或氮氧化矽膜為宜。在本實施形態中，使用氧化矽膜。

因此，沈積膜5d係自第2膜5N之橫向部上以覆蓋側壁膜5s之側壁之方式延伸，進而，以沿著第2膜5N之縱向部之側壁之方式延伸。

就第3膜5B之膜厚進行說明。第3膜之縱向部之最大膜厚(T_1)為側壁膜5s之最大膜厚 T_s 與氧化矽膜(Deposition film)5d之縱向部之膜厚 T_d 之和($T_s + T_d$)。又，第3膜之橫向部之膜厚(T_2)為氧化矽膜(Deposition film)5d之縱向部之膜厚 T_d 。如此，第3膜之縱向部之膜厚大於橫向部之膜厚(參照圖3)。

另，在上述中，作為絕緣膜5之形狀，對應圖3等所示之側之記憶胞說明各積層膜(5A、5N、5B、5d)之形狀，例如，在圖1所示之左側之記憶胞中，各積層膜之形狀為包夾汲極區域(MD(8b))而大致線對稱之形狀。

如此，藉由設為以氧化矽膜(5A)及氧化矽膜(5B)包夾氮化矽膜(5N)之構造，可實現電荷向氮化矽膜(5N)之累積。換言之，絕緣膜5中、氮化矽膜(5N)為用以累積電荷之絕緣膜，且作為電荷累積層(電荷累積部)發揮功能。即，氮化矽膜(5N)為形成於絕緣膜5中之陷阱性絕緣膜，位於氮化矽膜(5N)之上下之氧化矽膜(5A、5B)作為電荷阻斷層(電荷阻斷膜、電荷截留層)發揮功能。該氧化矽膜(5A)、氮化矽膜(5N)及氧化矽膜(5B)之積層膜有時亦被稱為ONO膜。另，此處，雖將絕緣膜5作為ONO膜進行說明，但若以具有電荷累積功能之絕緣膜構成第2膜5N，且使用與第2膜5N不同之絕緣膜構成第1膜5A及第3膜5B(5s、5d)，則可為其他絕緣膜之組合。例如，作為具有電荷累積功能之絕緣膜(電荷累積層)，例如，可使用氧化鋁膜、氧化鈐膜或氧化鈮膜等絕緣膜。該等膜為具有較氮化矽膜更高之介電常數之高介電常數膜。又，可將具有矽奈米點之絕緣膜用作電荷累積層。

上述絕緣膜5中、記憶體閘極電極MG與半導體基板1(p型井PW1)之間之絕緣膜5，在保持有電荷(電子)之狀態或不保持電荷之狀態下，作為記憶體電晶體之閘極絕緣膜發揮功能。又，記憶體閘極電極MG與控制閘極電極CG之間之絕緣膜5，作為用以使記憶體閘極電極MG與控制閘極電極CG之間絕緣(電性分離)之絕緣膜發揮功能。

於記憶體閘極電極MG下之絕緣膜5之下方形成記憶體電晶體之通道區域，且於控制閘極電極CG下之絕緣膜3之下

方形成控制電晶體之通道區域。控制閘極電極CG下之絕緣膜3之下方之控制電晶體之通道形成區域中，根據需要形成有控制電晶體之臨限值調整用之半導體區域(p型半導體區域或n型半導體區域)。在記憶體閘極電極MG下之絕緣膜5之下方之記憶體電晶體之通道形成區域中，根據需要形成有記憶體電晶體之臨限值調整用之半導體區域(p型半導體區域或n型半導體區域)。

如上所述，在寫入動作時，源極區域MS為施加高電壓之半導體區域，汲極區域MD為施加低電壓之半導體區域。該等之區域MS、MD包含導入有n型雜質之半導體區域(n型雜質擴散層)。

汲極區域MD為LDD(lightly doped drain：淺摻雜汲極)構造之區域。即，汲極區域MD具有n⁻型半導體區域(低濃度雜質擴散層)7b、與具有較n⁻型半導體區域7b更高之雜質濃度之n⁺型半導體區域(高濃度雜質擴散層)8b。n⁺型半導體區域8b較n⁻型半導體區域7b，接合深度更深且雜質濃度更高。

又，源極區域MS亦為LDD構造之區域。即，源極區域MS具有n⁻型半導體區域(低濃度雜質擴散層)7a、與具有較n⁻型半導體區域7a更高之雜質濃度之n⁺型半導體區域(高濃度雜質擴散層)8a。n⁺型半導體區域8a較n⁻型半導體區域7a，接合深度更深且雜質濃度更高。

記憶體閘極電極MG及控制閘極電極CG之合成圖案之側壁部中，形成有包含氧化矽等之絕緣體(氧化矽膜、絕緣

膜)之側壁絕緣膜(側壁、側壁間隔物)SW。即，與介隔絕緣膜5鄰接於控制閘極電極CG之側相反之側之記憶體閘極電極MG之側壁(側面)上、及與介隔絕緣膜5鄰接於記憶體閘極電極MG之側相反之側之控制閘極電極CG之側壁(側面)上，形成有側壁絕緣膜SW。

源極區域MS之 n^- 型半導體區域7a係相對於記憶體閘極電極MG之側壁自動對準地形成， n^+ 型半導體區域8a係相對於記憶體閘極電極MG側之側壁絕緣膜SW之側面自動對準地形成。因此，低濃度之 n^- 型半導體區域7a形成於記憶體閘極電極MG側之側壁絕緣膜SW之下方。又，高濃度之 n^+ 型半導體區域8a形成於低濃度之 n^- 型半導體區域7a之外側。因此，低濃度之 n^- 型半導體區域7a係以鄰接於記憶體電晶體之通道區域之方式形成，高濃度之 n^+ 型半導體區域8a係以與低濃度之 n^- 型半導體區域7a相接，且自記憶體電晶體之通道區域以 n^- 型半導體區域7a之大小離開之方式形成。

汲極區域MD之 n^- 型半導體區域7b係相對於控制閘極電極CG之側壁自動對準地形成， n^+ 型半導體區域8b係相對於控制閘極電極CG側之側壁絕緣膜SW之側面自動對準地形成。因此，低濃度之 n^- 型半導體區域7b形成於控制閘極電極CG側之側壁絕緣膜SW之下方。又，高濃度之 n^+ 型半導體區域8b形成於低濃度之 n^- 型半導體區域7b之外側。因此，低濃度之 n^- 型半導體區域7b係以鄰接於控制電晶體之通道區域之方式形成，高濃度之 n^+ 型半導體區域8b係以與

低濃度之 n^- 型半導體區域7b相接，且自控制電晶體之通道區域以 n^- 型半導體區域7b之大小離開之方式形成。

控制閘極電極CG雖包含導電性膜(導電體膜)，但較好為包含如多晶矽膜之矽膜4。矽膜4例如為 n 型之矽膜(導入有 n 型雜質之多晶矽膜、摻雜多晶矽膜)，且導入 n 型雜質而成為低電阻率。

記憶體閘極電極MG包含導電性膜(導電體膜)，且如圖1及圖2所示，例如，由如多晶矽膜之矽膜6形成。

記憶體閘極電極MG之上部(上表面)與 n^+ 型半導體區域8a及 n^+ 型半導體區域8b之上表面(表面)上，形成有金屬矽化物層(金屬矽化物膜)11。金屬矽化物層11包含例如矽化鈷層或矽化鎳層等。利用金屬矽化物層11，可使擴散電阻或接觸電阻低電阻化。又，自儘可能地防止記憶體閘極電極MG與控制閘極電極CG之間之短路之觀點出發，亦可能有不於記憶體閘極電極MG與控制閘極電極CG之一方或雙方之上部形成金屬矽化物層11之情形。

接著，就周邊電路區域2A之 n 通道型MISFETQ $_n$ 進行說明。

如圖2之左側所示， n 通道型MISFETQ $_n$ 配置於周邊電路區域2A。該 n 通道型MISFETQ $_n$ 具有：配置於半導體基板1(p型井PW2)之上方之閘極電極GE；配置於閘極電極GE與半導體基板1(p型井PW2)間之絕緣膜3；及形成於閘極電極GE之兩側之半導體基板1(p型井PW2)中之源極、汲極區域(7、8)。

閘極電極GE之延伸方向為垂直於圖1之紙面之方向(閘極寬度方向)。配置於閘極電極GE與半導體基板1(p型井PW2)間之絕緣膜3作為n通道型MISFETQn之閘極絕緣膜發揮功能。於閘極電極GE下之絕緣膜3之下方形成n通道型MISFETQn之通道區域。

源極、汲極區域(7、8)具有LDD構造，包含 n^+ 型半導體區域8與 n^- 型半導體區域7。 n^+ 型半導體區域8較 n^- 型半導體區域7，接合深度更深且雜質濃度更高。

閘極電極GE之側壁部中，形成有包含氧化矽等之絕緣體(氧化矽膜、絕緣膜)之側壁絕緣膜(側壁、側壁間隔物)SW。

n^- 型半導體區域7相對於閘極電極GE之側壁自動對準地形成。因此，低濃度之 n^- 型半導體區域7形成於閘極電極GE之側壁部之側壁絕緣膜SW之下方。因此，低濃度之 n^- 型半導體區域7係以鄰接於MISFET之通道區域之方式形成。又， n^+ 型半導體區域8相對於側壁絕緣膜SW之側面自動對準地形成。如此，低濃度之 n^- 型半導體區域7係以鄰接於MISFET之通道區域之方式形成，高濃度之 n^+ 型半導體區域8係以與低濃度之 n^- 型半導體區域7相接且自MISFET之通道區域以 n^- 型半導體區域7之大小離開之方式形成。

閘極電極GE雖包含導電性膜(導電體膜)，但較好的是，例如，與上述控制閘極電極CG相同，以如n型多晶矽膜(導入有n型雜質之多晶矽膜、摻雜多晶矽膜)之矽膜4構成。

閘極電極GE之上部(上表面)與 n^+ 型半導體區域8之上表

面(表面)上，形成有金屬矽化物層11。金屬矽化物層11包含例如矽化鈷層或矽化鎳層等。利用金屬矽化物層11，可使擴散電阻或接觸電阻低電阻化。

接著，就周邊電路區域3A之電容元件C進行說明。如圖2之右側所示，電容元件C配置於周邊電路區域3A。此處，該電容元件C具有PIP構成。具體而言，具有上部電極Pa與下部電極Pb，且在該等電極之間，配置有上述絕緣膜5(5A、5N、5B(5s、5d))作為電容絕緣膜。下部電極Pb與上述閘極電極GE及上述控制閘極電極CG相同，以如n型多晶矽膜(導入有n型雜質之多晶矽膜、摻雜多晶矽膜)之矽膜4構成。又，上部電極Pa與上述記憶體閘極電極MG相同，以如多晶矽膜之矽膜6構成。另，於下部電極Pb之下層，配置有絕緣膜(3)。又，上部電極Pa之表面上，配置有金屬矽化物層11。

下部電極Pb之上表面上，配置有絕緣膜5(5A、5N、5B(5d))，下部電極Pb之側面上，配置有絕緣膜5(5A、5N、5B(5s、5d))。此處，下部電極Pb之側面上，以覆蓋絕緣膜5之方式配置有上部電極Pa，且在上部電極Pa中自下部電極Pb之側面延伸至半導體基板1上之部分中具有角部，藉此，由於該部分中電場容易集中，故有電容元件C之可靠性降低之虞。然而，如本實施形態之電容元件C般，藉由於下部電極Pb之側面配置絕緣膜5，可緩和下部電極之角部之電場，從而可使電容元件C之可靠性提高。再者，由於藉由於下部電極Pb之側面配置絕緣膜5，電容

元件C之側面之電容值變小，僅下部電極Pb與上部電極Pa平面性重疊之區域作為電容有幫助，故電容元件C之電容之設計值之誤差變小，可使半導體裝置之良率提高。

[動作說明]

圖4係記憶胞MC之等價電路圖。如圖示般，在汲極區域(MD)與源極區域(MS)之間，記憶體電晶體與控制電晶體串聯連接而構成一個記憶胞。圖5係顯示本實施形態之「寫入」、「抹除」及「讀取」時對選擇記憶胞之各部位之電壓之施加條件之一例之表。圖5之表中，揭示有在「寫入」、「抹除」及「讀取」時之各者中，施加於記憶體閘極電極MG之電壓 V_{mg} 、施加於源極區域(源極區域MS)之電壓 V_s 、施加於控制閘極電極CG之電壓 V_{cg} 、施加於汲極區域(汲極區域MD)之電壓 V_d (例如， $V_{dd}=1.5\text{ V}$)、及施加於p型井PW1之電壓 V_b 。另，圖5之表所示者為電壓之施加條件之合適之一例，而非限定於此者，可根據需要進行各種更改。又，在本實施形態中，將向記憶體電晶體之絕緣膜5中之電荷累積層(電荷累積部)即氮化矽膜(5N)之電子之注入定義為「寫入」，將孔(hole：電洞)之注入定義為「抹除」。

寫入方式可使用被稱為所謂SSI(Source Side Injection：源極側注入)方式之熱電子寫入。將例如圖5之「寫入」之欄所示之電壓施加於進行寫入之選擇記憶胞之各部位，且在選擇記憶胞之絕緣膜5中之氮化矽膜(5N)中注入電子(electron)。熱電子係在2個閘極電極(記憶體閘極電極MG

及控制閘極電極CG)間之下方之通道區域(源極、汲極間)產生，在記憶體閘極電極MG之下方之絕緣膜5中之電荷累積層(電荷累積部)即氮化矽膜(5N)中注入熱電子。注入之熱電子(electron)，在絕緣膜5中之氮化矽膜(5N)中之陷阱能級中被俘獲，其結果，記憶體電晶體之臨限值電壓上升。

抹除方法可使用利用直接隧道現象之孔注入之抹除方式。即，藉由利用直接隧道現象將孔注入電荷累積部(絕緣膜5中之氮化矽膜(5N))進行抹除。例如圖5之「抹除」之欄所示，對記憶體閘極電極MG(V_{mg})，例如施加-11 V之負電壓，將p型井PW1(V_b)例如設為0 V。藉此，介隔氮化矽膜(5N)利用直接隧道現象產生之孔被注入電荷累積部(絕緣膜5中之氮化矽膜(5N))，抵消氮化矽膜(5N)中之電子(electron)，或注入之孔在氮化矽膜(5N)中之陷阱能級被俘獲，藉此進行抹除動作。藉此，記憶體電晶體之臨限值電壓降低(成為抹除狀態)。為利用直接隧道現象，較好為將氮化矽膜(5N)之下層之氧化矽膜(5A)之膜厚設為2 nm以下，將V_{mg}與V_b之電位差設為-8~-14 V。在使用如此之抹除方法之情形時，與使用所謂BTBT(Band-To-Band Tunneling：頻帶間穿隧現象)抹除之情形(參照圖6(B))相比較，可減少消耗電流。

在讀取之時，將例如圖5之「讀取」之欄所示之電壓施加於進行讀取之選擇記憶胞之各部位。藉由將施加於讀取時之記憶體閘極電極MG之電壓V_{mg}設為寫入狀態之記憶

體電晶體之臨限值電壓與抹除狀態之記憶體電晶體之臨限值電壓之間之值，可以記憶胞中電流是否流動，判別寫入狀態與抹除狀態。

<1>如此，根據本實施形態，由於將構成絕緣膜(ONO膜)5之第3膜(氧化矽膜)5B以側壁膜(Side wall film)5s與沈積膜(Deposition film)5d之積層膜構成，故在記憶體閘極電極MG之角部與半導體基板(PW1)間，可增大絕緣膜5之角部之上表面與下表面之距離D1(參照圖3)。其結果，可緩和該部位之電場集中，從而可使抹除特性提高。

圖6係顯示本實施形態之比較例之記憶胞及其施加電壓之圖。圖6(A)係顯示比較例之記憶胞部之構成之要部剖面圖，圖6(B)係使用BTBT抹除之情形之施加電壓之一例。如圖6(A)所示，在省略側壁膜5s之比較例之記憶胞中，在記憶體閘極電極MG之角部與半導體基板(PW1)間，絕緣膜5之角部之上表面與下表面之距離D2較小($D2 < D1$)，且在該部位中，產生電場集中，抹除特性惡化。

即，在記憶體閘極電極MG之角部，產生電場集中，自記憶體閘極電極MG經由氧化矽膜而利用FN(Fowler Nordheim：福勒諾德海姆)隧道現象，於氮化矽膜(5N)中注入電子(electron)。其結果，抹除動作(孔注入)受到抑制，抹除特性變差。又，若電子(electron)之注入量變多，則無法抹除，而有使記憶體電晶體之臨限值電壓上升，從而保持寫入狀態之虞。

與此相對，根據本實施形態，由於形成有側壁膜5s，故

可使記憶體閘極電極MG之側面之底部與半導體基板(PW1)之距離D1大於比較例之距離D2，從而可抑制產生該部位之FN隧道現象。藉此，可有效地進行抹除(孔注入)，從而可使抹除特性提高。尤其，如圖3所示，在本實施形態之構造中，由於在記憶體閘極電極MG與氮化矽膜(5N)之間形成有側壁膜5s，故可更有效地抑制抹除動作時來自記憶體閘極電極MG側之電子之注入。

圖8係顯示本實施形態之記憶胞與比較例之記憶胞之抹除特性之圖表。橫軸表示抹除電位之施加時間[Time(s)]，縱軸表示臨限值電位[Vth(a.u.)]。另，1.E-0n(n：整數)表示 1×10^{-n} [s]。

圖表(a)顯示比較例之記憶胞之情形。該情形為臨限值電壓之降低較緩慢之圖表。與此相對，圖表(b)所示之本實施形態之情形為臨限值電壓根據抹除電位之施加時間而急速降低，可知有效地進行抹除動作(孔注入)。

又，藉由使用利用直接隧道現象之孔注入之抹除方式，與使用上述BTBT抹除之情形相比較，可降低至消耗電流10萬分之1($1/10^5$)~100萬分之1($1/10^6$)。如上所述，圖6(B)中，顯示使用BTBT抹除之情形之施加電壓之一例。

<2>又，將側壁膜(Side wall film)5s之高度H5s設定為低於記憶體閘極電極MG之高度HMG($H5s < HMG$)。即，使形成於半導體基板1之上表面與記憶體閘極電極MG之下表面之間之絕緣膜5之膜厚，與形成於金屬矽化物層11與氮化矽膜CP2之間之絕緣膜5之膜厚實質上相等。此時，記憶體

閘極電極MG亦延伸於側壁膜(Side wall film)5s之上方，且側壁膜5s之側壁由形成記憶體閘極電極MG之矽膜6覆蓋。圖7係顯示本實施形態之半導體裝置之另一記憶胞部之構成之要部剖面圖。在圖7所示之記憶胞中，為具有與圖3所示之記憶胞相等之記憶體閘極電極MG之閘極長度之記憶胞，且將側壁膜(Side wall film)5s之高度H5s設為與記憶體閘極電極MG之高度HMG相同($H5s=HMG$)。相對於如此形狀之記憶胞，在圖3所示之記憶胞中，側壁膜(Side wall film)5s之上方亦延伸有記憶體閘極電極MG，因而可使記憶體閘極電極MG之剖面積增加。藉此，可減小記憶體閘極電極MG之電阻，且可使記憶胞之動作高速化，從而可使記憶體動作特性提高。再者，藉由於側壁膜(Side wall film)5s之上方亦延伸有記憶體閘極電極MG，可以對應於側壁膜5s之膜厚(閘極長度方向之膜厚)，而較大地確保其表面之金屬矽化物層11之形成區域。即，在與記憶體閘極電極之側壁膜5s俯視下重合之區域中亦可形成金屬矽化物層11。藉此，可進一步減小記憶體閘極電極MG之電阻，使記憶胞之動作高速化，從而可使記憶體動作特性提高。另，側壁膜(Side wall film)5s之高度H5s，若考慮後述之回蝕工序之蝕刻控制性，則較佳設定為高於控制閘極電極CG之高度HCG($H5s>HCG$ ，參照圖3)。又，基於確保記憶體閘極電極MG與控制閘極電極CG之耐壓之點，亦較佳設定為高於控制閘極電極CG之高度HCG。

如上所述，於控制閘極電極CG上形成有作為絕緣膜之

氧化矽膜CP1與氮化矽膜CP2之情形時，於控制閘極電極CG上不形成矽化物膜。因此，與不形成氧化矽膜CP1與氮化矽膜CP2而在控制閘極電極CG上形成矽化物膜11之情形(參照圖39)不同，無須考慮記憶體閘極電極MG上之矽化物膜與控制閘極電極CG上之矽化物膜之短路(Short)。因此，如上所述，可使記憶體閘極電極MG亦延伸於側壁膜(Side wall film)5s之上方，從而可減小記憶體閘極電極MG之電阻。如此，將控制閘極電極CG之高度HCG設為更高之構成，適用於使用氧化矽膜CP1與氮化矽膜CP2之構成且有用。

<3>又，以降低側壁膜(Side wall film)5s之高度H5s之方式進行回蝕時，藉由增大回蝕量(側壁膜5s之後退量)，可使側壁膜5s之側面為錐形狀。換言之，可使側壁膜5s之側面、與氮化矽膜(5N)所成之角大於 90° 。與此對應，由於形成沈積膜5d及記憶體閘極電極MG，故記憶體閘極電極MG之角部之角度亦大於 90° (參照圖3、圖39及圖40等)。另，關於上述之錐形狀，在後述之變化例1中進一步詳細說明。

如此，藉由使記憶體閘極電極MG之角部大於 90° (使圓形化)，可緩和記憶體閘極電極MG之角部之電場集中，從而抑制產生FN隧道現象。藉此，可有效地進行抹除(孔注入)，使抹除特性提高。另，關於上述回蝕工序，在後述之「製法說明」之欄中詳細說明。

[製法說明]

接著，一面參照圖9~圖38，一面說明本實施形態之半導體裝置之製造方法，且使該半導體裝置之構成更明確。圖9~圖38為顯示本實施形態之半導體裝置之製造工序之要部剖面圖。其中，圖15~圖22為記憶胞區域之要部剖面圖。另，如上所述，1A表示記憶胞區域，2A及3A表示周邊電路區域，且於2A中形成n通道型MISFETQn，於3A中形成電容元件C。

首先，如圖9及圖10所示，作為半導體基板(半導體晶圓)1，準備包含具有例如1~10 Ωcm 左右之電阻率之p型單晶矽之矽基板。另，可使用矽基板以外之半導體基板1。

接著，在半導體基板1之主表面上形成元件分離區域2。例如，在半導體基板1中形成元件分離槽，且在該元件分離槽之內部嵌入絕緣膜，藉此形成元件分離區域2(圖10)。如此之元件分離法稱為STI(Shallow Trench Isolation：淺渠溝隔離)法。此外，可使用LOCOS(Local Oxidization of Silicon：矽的局部氧化)法等形成元件分離區域2。另，在記憶胞區域1A所示之剖面圖(圖9)中，雖不顯現元件分離區域2，但如上所述般配置元件分離區域2等，需要電性分離之部位中適宜地配置元件分離區域2。

接著，分別在半導體基板1之記憶胞區域1A中形成p型井PW1，在半導體基板1之周邊電路區域2A中形成p型井PW2。p型井PW1、PW2係藉由將p型雜質(例如硼(B)等)離子佈值而形成。另，此處，如圖10所示，形成於周邊電路區域3A之元件分離區域2之下部亦較薄地配置有p型井

PW2。

接著，利用稀釋氫氟酸洗淨等將半導體基板1(p型井PW1、PW2)之表面清淨化之後，如圖11及圖12所示，在半導體基板1之主表面(p型井PW1、PW2之表面)上，作為絕緣膜(閘極絕緣膜)3，例如，利用熱氧化法，以2~3 nm左右之膜厚形成氧化矽膜。作為絕緣膜3，除氧化矽膜之外，亦可使用氮氧化矽膜等之其他絕緣膜。又，此外，可形成氧化鈣膜、氧化鋁膜(Alumina)或氧化鈮膜等具有較氮化矽膜更高之介電常數之金屬氧化膜、及氧化膜等與金屬氧化膜之積層膜。又，熱氧化法之外，可使用CVD (Chemical Vapor Deposition：化學氣相沈積)法形成。又，可將記憶胞區域1A上之絕緣膜(閘極絕緣膜)3與周邊電路區域2A上之絕緣膜(閘極絕緣膜)3設為不同膜厚，又，以不同之膜種構成。

接著，在半導體基板1之全面上，形成矽膜4作為導電性膜(導電體膜)。作為該矽膜4，例如，使用CVD法等，以100~200 nm左右之膜厚形成多晶矽膜。作為矽膜4，可藉由堆積非晶矽膜，且實施熱處理而結晶化。該矽膜4在記憶胞區域1A中成為控制閘極電極CG，在周邊電路區域2A中成為n通道型MISFETQn之閘極電極GE，在周邊電路區域3A中成為電容元件C之下部電極Pb。

接著，在記憶胞區域1A之矽膜4中，注入n型雜質(例如砷(As)或磷(P)等)。

接著，藉由將矽膜4之表面例如6 nm左右熱氧化，形成

較薄之氧化矽膜CP1。另，可使用CVD法形成該氧化矽膜CP1。接著，在氧化矽膜CP1之上部，使用CVD法等，形成80~90 nm左右之氮化矽膜(覆蓋絕緣膜)CP2。

接著，在控制閘極電極CG之形成預定區域中，使用光微影法形成光阻膜(未圖示)，並將該光阻膜作為遮罩使用，而蝕刻氮化矽膜CP2、氧化矽膜CP1及矽膜4。此後，藉由利用灰化等除去光阻膜，形成控制閘極電極CG(例如，閘極長度為80 nm左右)。將如此之自光微影至光阻膜之除去之一連串之工序稱為圖案化。另，此處，在控制閘極電極CG之上部，雖形成氮化矽膜CP2及氧化矽膜CP1，但亦可省略該等之膜(參照圖39)。該情形，控制閘極電極CG之高度可適當調整，可使控制閘極電極CG之高度與設置有氮化矽膜CP2之情形之氮化矽膜CP2之高度為相同程度。

此處，在記憶胞區域1A中，殘存於控制閘極電極CG之下之絕緣膜3成為控制電晶體之閘極絕緣膜。另，以控制閘極電極CG覆蓋之部分以外之絕緣膜3，可利用以後之圖案化工序等除去。

接著，藉由蝕刻除去周邊電路區域2A及周邊電路區域3A之氮化矽膜CP2及氧化矽膜CP1(參照圖14)。

接著，如圖13及圖14所示，在包含控制閘極電極CG(4)之表面(上表面及側面)上之半導體基板1上，形成絕緣膜5(5A、5N、5B)。關於該絕緣膜5之形成工序，一面參照記憶胞區域1A之要部剖面圖即圖15~圖22，一面詳細說明。

另，在圖15~圖22中，為使圖式容易理解，將控制閘極電極CG之寬度(閘極長度)表示為與其他部位相比更短。

首先，將半導體基板1之主表面清淨化處理後，如圖15所示，在包含控制閘極電極CG之上表面及側面上之半導體基板1(p型井PW1)上形成氧化矽膜5A。該氧化矽膜5A係例如利用熱氧化法(較好為ISSG(In Situ Steam Generation：臨場蒸氣產生技術)氧化)以例如1.6 nm左右之膜厚形成。另，可使用CVD法形成氧化矽膜5A。圖中，顯示以CVD法形成之情形之氧化矽膜5A之形狀。如上所述，為使用直接隧道抹除方法，構成絕緣膜(ONO膜)5之第1膜(下層膜)即氧化矽膜5A之膜厚較好為2 nm以下。接著，如圖16所示，在氧化矽膜5A上，以CVD法且以例如16 nm左右之膜厚堆積氮化矽膜5N。該氮化矽膜5N介隔氧化矽膜5A，位於控制閘極電極CG之上表面及側面之上部及半導體基板1(p型井PW1)之上部。如上所述，該氮化矽膜5N為記憶胞之電荷累積部，且為構成絕緣膜(ONO膜)5之第2膜(中層膜)。

接著，如圖17所示，在氮化矽膜5N上，利用CVD法以例如5 nm~10 nm左右之膜厚堆積氧化矽膜(5s)。該氧化矽膜(5s)介隔氧化矽膜5A及氮化矽膜5N，位於控制閘極電極CG之上表面及側面之上部及半導體基板1(p型井PW1)之上部。接著，將氧化矽膜(5s)自其表面各向異性地蝕刻(回蝕)。利用該工序，如圖18所示，在控制閘極電極CG之兩側之側壁部中，介隔氧化矽膜5A及氮化矽膜5N，可使包

含氧化矽膜(5s)之側壁膜5s殘存。氧化矽膜(5s)之閘極長度方向之膜厚(最大膜厚)為例如5 nm~10 nm左右。

作為上述各向異性之蝕刻，例如，可將 CF_4 及 CHF_3 之混合氣體作為蝕刻氣體，在電漿下進行乾蝕刻。

此時，增大回蝕量，而進行回蝕，直到側壁膜(Side wall film)5s之上部低於氮化矽膜(覆蓋絕緣膜)CP2之上部(上表面)。如此，藉由調整側壁膜(Side wall film)5s之高度 H_{5s} ，側壁膜(Side wall film)5s之高度 H_{5s} 低於記憶體閘極電極MG之高度 H_{MG} ($H_{5s} < H_{MG}$ ，參照圖3等)。另，此時，在周邊電路區域3A中，構成電容元件C之下部電極Pb之側壁部中亦形成側壁膜(Side wall film)5s。此處，側壁膜(Side wall film)5s之高度 H_{5s} 亦低於下部電極Pb之高度 H_{Pb} ($H_{5s} < H_{Pb}$ ，參照圖2)。

又，由於若回蝕量過大，則有側壁膜5s之膜厚過小之虞，故考慮該回蝕工序之蝕刻控制性，以較控制閘極電極CG之高度 H_{CG} 更高之程度設定側壁膜(Side wall film)5s之高度 H_{5s} 為宜($H_{5s} > H_{CG}$)。

又，在不形成氮化矽膜CP2及氧化矽膜CP1之情形下，成為代替該等膜而配置控制閘極電極CG之構成。即，氮化矽膜CP2之上表面之高度與控制閘極電極CG之高度 H_{CG} 對應。該情形，記憶體閘極電極MG之高度 H_{MG} 與控制閘極電極CG之高度 H_{CG} 大致相同。在上述情形下，亦較記憶體閘極電極MG之高度 H_{MG} 更低地設定側壁膜(Side wall film)5s之高度 H_{5s} 。又，考慮回蝕工序之蝕刻控制性，將

側壁膜(Side wall film)5s之高度H5s設定為控制閘極電極CG之高度HCG之90%以上為宜($H5s > 0.9 \times HCG$ ，參照圖39)。

接著，如圖19所示，在氮化矽膜5N及側壁膜5s上，利用CVD法以例如3 nm左右之膜厚形成氧化矽膜(Deposition film)5d。利用該側壁膜5s及氧化矽膜5d，可構成絕緣膜(ONO膜)5之第3膜(上層膜)。

利用以上之工序，可形成包含第1膜(氧化矽膜5A)、第2膜(氮化矽膜5N)及第3膜(側壁膜5s及氧化矽膜5d、氧化矽膜(5B))之絕緣膜(ONO膜)5。

另，在本實施形態中，與後述之實施形態2之情形相比較，在包含氧化矽膜(5s)之側壁膜5s之形成之時，由於半導體基板1不露出，故可降低對半導體基板1之蝕刻損害。因此，可容易維持作為通道氧化膜之氧化矽膜5A之特性，從而可使裝置之可靠性提高。

又，為除去對側壁膜5s之形成時之下層之氮化矽膜5N之蝕刻損害，可在側壁膜5s之形成後，進行犧牲氧化及犧牲氧化膜之蝕刻。

又，在本實施形態中，作為絕緣膜5之內部之電荷累積部(電荷累積層、具有陷阱能級之絕緣膜)，雖形成有氮化矽膜5N，但亦可使用例如氧化鋁膜、氧化鉛膜或氧化鉭膜等之其他絕緣膜。該等膜為具有較氮化矽膜更高之介電常數之高介電常數膜。又，可使用具有矽奈米點之絕緣膜形成電荷累積層。

又，形成於記憶胞區域1A之絕緣膜5作為記憶體閘極電極MG之閘極絕緣膜發揮功能，具有電荷保持(電荷累積)功能。因此，以至少具有3層之積層構造，且與外側之層(氧化矽膜5A、5B)之電勢障壁高度相比較，內側之層(氮化矽膜5N)之電勢障壁高度較低之方式構成。

接著，如圖20所示，形成矽膜6作為導電性膜(導電體膜)。作為該矽膜6，例如，使用CVD法等，以50~200 nm左右之膜厚形成多晶矽膜。作為矽膜6，可藉由堆積非晶矽膜，且實施熱處理而結晶化。另，可在該矽膜6中根據需要導入雜質。

接著，回蝕記憶胞區域1A之矽膜6(圖21)。其後，藉由蝕刻除去控制閘極電極CG之上部等之絕緣膜5(圖22)，關於上述矽膜6之形成工序以後之工序，一面參照圖23~圖38，一面進一步詳細說明。

如圖23及圖24所示，在絕緣膜5之上部，作為矽膜6，例如，使用CVD法等，以50~200 nm左右之膜厚形成多晶矽膜。作為矽膜6，可藉由堆積非晶矽膜，且實施熱處理而結晶化。另，可在該矽膜6中根據需要導入雜質。又，該矽膜6係如後所述般，在記憶胞區域1A中為記憶體閘極電極MG(例如，閘極長度為50 nm左右)，在周邊電路區域3A中為電容元件C之上部電極Pa。

接著，如圖25及圖26所示，回蝕(選擇性除去)記憶胞區域1A之矽膜6。在該回蝕工序中，藉由自其表面以特定之膜厚大小進行各向異性之乾蝕刻而除去矽膜6。利用該工

序，在控制閘極電極CG之兩側之側壁部中，可介隔絕緣膜5，使矽膜6以側壁間隔物狀殘存(參照圖25、圖21)。此時，在周邊電路區域2A中，矽膜6被蝕刻，矽膜4之上部之氮化矽膜CP2露出(圖26)。另，周邊電路區域3A係以光阻膜(未圖示)等覆蓋，不進行矽膜6之蝕刻。當然，以期望之形狀將上部電極Pa圖案化之情形時，可利用該工序進行圖案化。

利用殘存於上述控制閘極電極CG之雙方之側壁部中一方之側壁部之矽膜6，形成記憶體閘極電極MG。又，利用殘存於另一方之側壁部之矽膜6，形成矽間隔物SP1(圖25)。記憶體閘極電極MG與矽間隔物SP1，為形成於作為控制閘極電極CG之相互相反側之側壁部，且包夾控制閘極電極CG而大致對稱之構造。

上述記憶體閘極電極MG之下方之絕緣膜5為記憶體電晶體之閘極絕緣膜。對應矽膜6之沈積膜厚而決定記憶體閘極長度(記憶體閘極電極MG之閘極長度)。

接著，如圖27及圖28所示，藉由蝕刻除去控制閘極電極CG之上部之絕緣膜5。藉此，控制閘極電極CG之上部之氮化矽膜CP2露出，p型井PW1露出(參照圖27、圖22)。此時，在周邊電路區域2A中，絕緣膜5被蝕刻，矽膜4露出。

接著，在周邊電路區域2A中，在矽膜4中導入雜質。例如，在n通道型MISFETQn之形成預定區域之矽膜4中，注入磷等之n型雜質。另，雖未圖示，但在p通道型MISFET之形成預定區域中注入逆導電型(p型)之雜質。

接著，在矽膜4之n通道型MISFETQn之閘極電極GE之形成預定區域中，使用光微影法形成光阻膜(未圖示)，將該光阻膜用作遮罩，蝕刻矽膜4。此後，藉由灰化等除去光阻膜，再者，藉由除去矽膜4之上部之絕緣膜(CP1、CP2)，形成閘極電極GE(圖28)。殘存於閘極電極GE之下方之絕緣膜3為n通道型MISFETQn之閘極絕緣膜。另，以閘極電極GE覆蓋之部分以外之絕緣膜3，可在上述閘極電極GE之形成時除去，又，亦可利用以後之圖案化工序等除去。

接著，如圖29及圖30所示，在記憶胞區域1A中，藉由在控制閘極電極CG側之半導體基板1(p型井PW1)中注入砷(As)或磷(P)等之n型雜質，形成n⁻型半導體區域7a及n⁻型半導體區域7b。此時，n⁻型半導體區域7a在記憶體閘極電極MG之側壁(與介隔絕緣膜5而與控制閘極電極CG鄰接之側相反之側之側壁)自動對準形成。又，n⁻型半導體區域7b在控制閘極電極CG之側壁(與介隔絕緣膜5而與記憶體閘極電極MG鄰接之側相反之側之側壁)自動對準形成。又，在周邊電路區域2A中，藉由在閘極電極GE之兩側之半導體基板1(p型井PW2)中注入砷(As)或磷(P)等之n型雜質，形成n⁻型半導體區域7。此時，n⁻型半導體區域7在閘極電極GE之側壁自動對準形成。

n⁻型半導體區域7a與n⁻型半導體區域7b與n⁻型半導體區域7，雖可在相同之離子佈值工序中形成，但此處，在不同之離子佈值工序中形成。如此，藉由以不同之離子佈值

工序形成，可以各自期望之雜質濃度及期望之接合深度形成 n^- 型半導體區域7a、 n^- 型半導體區域7b及 n^- 型半導體區域7。

接著，如圖31及圖32所示，在記憶胞區域1A中，在控制閘極電極CG及記憶體閘極電極MG介隔絕緣膜5鄰接之圖案(合成圖案)之側壁部中，形成包含例如氧化矽等之絕緣膜之側壁絕緣膜SW。又，在周邊電路區域2A中，在閘極電極GE之側壁部中，形成側壁絕緣膜SW。例如，藉由在半導體基板1之主表面全面上堆積氧化矽膜等之絕緣膜，並回蝕該絕緣膜，從而在上述合成圖案(CG、MG)之側壁部及閘極電極GE之側壁部中形成側壁絕緣膜SW。作為側壁絕緣膜SW，除氧化矽膜之外，亦可使用氮化矽膜或氧化矽膜與氮化矽膜之積層膜等形成。

接著，如圖33及圖34所示，藉由將控制閘極電極CG、記憶體閘極電極MG及側壁絕緣膜SW作為遮罩，將砷(As)或磷(P)等之 n 型雜質注入半導體基板1(p型井PW1)，形成高雜質濃度之 n^+ 型半導體區域8a及 n^+ 型半導體區域8b。此時， n^+ 型半導體區域8a，在記憶胞區域1A中，在記憶體閘極電極MG側之側壁絕緣膜SW上自動對準形成。又， n^+ 型半導體區域8b，在記憶胞區域1A中，在控制閘極電極CG側之側壁絕緣膜SW上自動對準形成。 n^+ 型半導體區域8a係作為較 n^- 型半導體區域7a雜質濃度更高，且接合深度更深之半導體區域形成。 n^+ 型半導體區域8b係作為較 n^- 型半導體區域7b雜質濃度更高，且接合深度更深之半導體區域

形成。又，在周邊電路區域2A中，藉由在閘極電極GE之兩側之半導體基板1(p型井PW2)中注入砷(As)或磷(P)等之 n 型雜質，形成 n^+ 型半導體區域8。此時， n^+ 型半導體區域8，在周邊電路區域2A中，在閘極電極GE之側壁部之側壁絕緣膜SW上自動對準形成。藉此，在周邊電路區域2A中，於閘極電極GE之兩側形成LDD構造之源極、汲極區域(7、8)。

藉由上述工序，利用 n^- 型半導體區域7b與較其更高雜質濃度之 n^+ 型半導體區域8b，構成作為記憶體電晶體之汲極區域發揮功能之 n 型之汲極區域MD，利用 n^- 型半導體區域7a與較其更高雜質濃度之 n^+ 型半導體區域8a，構成作為記憶體電晶體之源極區域發揮功能之 n 型之源極區域MS。

接著，進行用以使導入源極區域MS(n^- 型半導體區域7a及 n^+ 型半導體區域8a)、汲極區域MD(n^- 型半導體區域7b及 n^+ 型半導體區域8b)及源極、汲極區域(7、8)之雜質活性化之熱處理。

藉由以上之工序，記憶胞區域1A中形成非揮發性記憶體之記憶胞MC，周邊電路區域2A中形成 n 通道型MISFETQn。又，周邊電路區域3A中形成電容元件C。

接著，根據需要，進行使用例如稀氫氟酸等之濕蝕刻，而將半導體基板1之主表面清淨化。藉此， n^+ 型半導體區域8a之上表面、 n^+ 型半導體區域8b之上表面、控制閘極電極CG之上表面、及記憶體閘極電極MG之上表面清淨化，自然氧化膜等之不要物被除去。又， n^+ 型半導體區域8之

上表面與閘極電極GE之上表面清淨化，自然氧化膜等之不要物被除去。

接著，如圖35及圖36所示，使用自對準矽化物技術，在記憶體閘極電極MG、 n^+ 型半導體區域8a及 n^+ 型半導體區域8b之上部，分別形成金屬矽化物層(金屬矽化物膜)11。又，在閘極電極GE及 n^+ 型半導體區域8之上部，分別形成金屬矽化物層11。又，在電容元件C之上部電極Pa之上部，形成金屬矽化物層11。

利用該金屬矽化物層11，可使擴散電阻或接觸電阻等低電阻化。該金屬矽化物層11可如下般形成。

例如，在半導體基板1之主表面全面上，形成金屬膜(未圖示)，並對半導體基板1實施熱處理，藉此，使記憶體閘極電極MG、閘極電極GE、 n^+ 型半導體區域8、8a、8b及上部電極Pa之上層部分與上述金屬膜反應。藉此，於記憶體閘極電極MG、閘極電極GE、 n^+ 型半導體區域8、8a、8b及上部電極Pa之上部，分別形成金屬矽化物層11。上述金屬膜包含例如鈷(Co)膜或鎳(Ni)膜等，且可使用濺鍍法等形成。

此處，如上所述般，由於將側壁膜(Side wall film)5s之高度H5s較記憶體閘極電極MG之高度HMG更低地設定($H5s < HMG$ ，參照圖3)，故，記憶體閘極電極MG亦在側壁膜(Side wall film)5s之上方延伸，側壁膜5s之側壁及上部以形成記憶體閘極電極MG之矽膜6覆蓋。其結果，可以對應側壁膜5s之膜厚(閘極長度方向之膜厚)之大小較大地確

保記憶體閘極電極MG之表面之金屬矽化物層11之形成區域。

接著，除去未反應之金屬膜後，在半導體基板1之主表面全面上，作為絕緣膜(層間絕緣膜)12，例如，使用例如CVD法等形成氧化矽膜之單體膜、或氮化矽膜與較該氮化矽膜更厚地形成於該氮化矽膜上之氧化矽膜之積層膜。該絕緣膜12之形成後，根據需要使用CMP(Chemical Mechanical Polishing：化學機械研磨)法等使絕緣膜12之上表面平坦化。

接著，藉由乾蝕刻絕緣膜12，在絕緣膜12中形成接觸孔(開口部、通孔)。接著，在接觸孔內，形成障壁導體膜13a及主導體膜13b之積層膜。接著，藉由利用CMP法或回蝕法等除去絕緣膜12上之不要之主導體膜13b及障壁導體膜13a，形成插塞PG。該插塞PG係例如形成於 n^+ 型半導體區域8、8a、8b之上部。又，圖35及圖36所示之剖面中雖不顯現，但插塞PG亦形成於例如控制閘極電極CG、記憶體閘極電極MG及閘極電極GE之上部等。另，作為障壁導體膜13a，例如，可使用鈦膜、氮化鈦膜、或該等之積層膜。又，作為主導體膜13b，可使用鎢膜等。

接著，如圖37及圖38所示，在嵌入有插塞PG之絕緣膜12上形成第1層佈線(M1)。第1層佈線係例如使用鑲嵌技術(此處為單鑲嵌技術)形成。首先，在嵌入有插塞PG之絕緣膜上形成槽用絕緣膜14，在該槽用絕緣膜14上，使用光微影技術及乾蝕刻技術形成佈線槽。接著，在包含佈線槽之

內部之半導體基板1之主表面上形成障壁導體膜(未圖示)，接著，利用CVD法或濺鍍法等，在障壁導體膜上形成銅之屏蔽層(未圖示)。接著，使用電解電鍍法等，在屏蔽層上形成鍍銅膜，且利用鍍銅膜嵌入佈線槽之內部。其後，利用CMP法除去佈線槽內以外之區域之鍍銅膜、屏蔽層及障壁金屬膜，形成以銅為主導電材料之第1層佈線。另，作為障壁導體膜，例如，可使用氮化鈦膜、鉭膜或氮化鉭膜等。

其後，雖利用雙鑲嵌法形成第2層以後之佈線，但此處省略其說明。另，除上述鑲嵌技術以外，各佈線亦可藉由將佈線用之導電性膜圖案化而形成。該情形時，作為導電性膜，可使用例如鎢或鋁等。

(變化例之說明)

如上所述，相對於控制閘極電極CG上具有氮化矽膜CP2及氧化矽膜CP1之圖3之構成，如圖39所示，可設為省略氮化矽膜CP2及氧化矽膜CP1之構成。圖39係顯示本實施形態之半導體裝置之其他記憶胞構成之要部剖面圖。

該情形，控制閘極電極CG之高度可適當調整，可使控制閘極電極CG之高度與設置有氮化矽膜CP2之情形之氮化矽膜CP2之高度為相同程度。

又，關於側壁膜(Side wall film)5s之高度H5s，設定為控制閘極電極CG之高度HCG之90%以上為宜($H5s > 0.9 \times HCG$)。

又，在圖3所示之構成中，雖較記憶體閘極電極MG之高

度 HMG 更低地設定側壁膜 (Side wall film) 5s 之高度 H5s ($H5s < HMG$ ，參照圖 3)，但如上述之圖 7 所示，可將側壁膜 (Side wall film) 5s 之高度 H5s 設為與記憶體閘極電極 MG 之高度 HMG 相同程度 ($H5s = HMG$)。在上述形狀之記憶胞中，亦可取得上述 <1> 之欄所說明之抹除特性之提高效果，而有用。

接著，以下就上述形態(參照圖 3 等)之側壁膜 5s 之形狀之變化例進行說明。

(變化例 1)

圖 40(A) 及 (B) 係顯示本實施形態之變化例 1 之半導體裝置之記憶胞之構成之要部剖面圖。由於側壁膜 5s 之構成以外與上述形態(參照圖 3 等)相同，故省略其詳細說明。

圖 40(A) 所示之絕緣膜 5 為所謂多層絕緣膜 (ONO 膜)。具體而言，包含：作為第 1 膜(下層膜) 5A 之氧化矽膜；作為第 2 膜(中層膜) 5N 之氮化矽膜；及作為第 3 膜(上層膜) 5B 之氧化矽膜。第 3 膜(上層膜) 5B 包含分別包含氧化矽膜之側壁膜 (Side wall film) 5s 與沈積膜 (Deposition film) 5d 之積層膜。第 2 膜 5N 為電荷累積部。

此處，在本實施形態中，側壁膜 5s 之側面呈錐形狀。換言之，側壁膜 5s 之膜厚自其上方至下方變大，側壁膜 5s 之側面與沈積膜 5d (氮化矽膜 (5N)) 所成之角 ($\theta 1$) 大於 90° 。

在圖 3 所示之構成中，雖模式性垂直揭示側壁膜 5s 之側面，但由於難以進行完全之各向異性蝕刻，且亦略微包含各向同性蝕刻之成分，故蝕刻時間越長，越是進行橫向

(閘極長度方向)之蝕刻。其結果，在圖3所示之形態中，若蝕刻時間變長，則如圖40(B)所示，側壁膜5s之側面與沈積膜5d(氮化矽膜(5N))所成之角(θ_2)亦大於 90° 。

相對於該圖40(B)，在圖40(A)中，錐形狀較緩，所成之角較圖40(B)之情形大($\theta_1 > \theta_2$)。換言之，記憶體閘極電極MG之角部較圖40(B)之情形，更大地圓形化。

藉由設為上述構成，可緩和記憶體閘極電極MG之角部之電場集中，從而可抑制產生FN隧道現象。藉此，可有效地進行抹除(孔注入)，從而可使抹除特性提高。

為緩和錐角度，換言之，以下就增大上部與下部之膜厚差之方法進行說明。

在上述形態(參照圖3等)中，在氧化矽膜(5s)之回蝕工序中，雖自其表面各向異性地蝕刻氧化矽膜(5s)(圖18)，但在該蝕刻工序中可藉由調整蝕刻條件而緩和錐角度。例如，可藉由添加各向同性之蝕刻條件而緩和錐角度。

例如，藉由使上述形態(參照圖3等)所說明之蝕刻氣體即 CF_4 及 CHF_3 之混合氣體中 CHF_3 之流量多於 CF_4 之流量，各向同性之蝕刻成分變大，從而可緩和錐角度。

(變化例2)

圖41係顯示本實施形態之變化例2之半導體裝置之記憶體胞之構成之要部剖面圖。

在上述形態(參照圖3等)中，側壁膜(Side wall film)5s之高度 H_{5s} 雖以較記憶體閘極電極MG之高度 H_{MG} 低且較控制閘極電極CG之高度 H_{CG} 高之方式設定($H_{MG} > H_{5s} >$

HCG)，但亦可以較控制閘極電極CG之高度HCG低之方式設定($H5s < HCG$ ，圖41)。另，由於側壁膜5s之構成以外與上述形態(參照圖3等)相同，故省略其詳細說明。

圖41所示之絕緣膜5為所謂多層絕緣膜(ONO膜)。具體而言，包含：作為第1膜(下層膜)5A之氧化矽膜；作為第2膜(中層膜)5N之氮化矽膜；及作為第3膜(上層膜)5B之氧化矽膜。第3膜(上層膜)5B包含分別包含氧化矽膜之側壁膜(Side wall film)5s與沈積膜(Deposition film)5d之積層膜。第2膜5N為電荷累積部。

此處，在本實施形態中，側壁膜(Side wall film)5s之高度 $H5s$ ，係以較控制閘極電極CG之高度HCG低之方式設定($H5s < HCG$)。具體而言，側壁膜(Side wall film)5s為控制閘極電極CG之高度HCG之30%左右以下，且僅於記憶體閘極電極MG之角部配置有側壁膜(Side wall film)5s。

根據上述構成，亦將記憶體閘極電極MG之角部利用側壁膜(Side wall film)5s直接圓形化，從而可緩和該部位之電場集中。因此，可抑制產生FN隧道現象，從而可使抹除特性提高。

如此，為降低側壁膜(Side wall film)5s之高度 $H5s$ ，有必要增多回蝕量，從而蝕刻之控制性可能會變得較困難。

因此，藉由預先增厚氧化矽膜(5s)之膜厚，例如，設為記憶體閘極電極MG之膜厚之15%以上左右，可使側壁膜(Side wall film)5s僅殘存於記憶體閘極電極MG之角部。殘存之側壁膜(Side wall film)5s之膜厚(閘極長度方向之膜

厚)，例如，設為記憶體閘極電極MG之膜厚之10%以上。

(變化例3)

在上述形態(參照圖3等)中，為使圖式簡易，大致垂直地揭示記憶體閘極電極MG之源極區域(MS)側之端部(側面)。然而，如圖42中之箭頭所示般，記憶體閘極電極MG之端部可對應側壁膜(Side wall film)5s之形狀而在源極區域(MS)側突出(參照圖中之箭頭部)。圖42係顯示本實施形態之半導體裝置之其他構成(變化例3)之要部剖面圖。

(實施形態2)

在實施形態1中，雖以構成絕緣膜(ONO膜)5之第1膜(下層膜)5A、第2膜(中層膜)5N及第3膜(上層膜)5B中，側壁膜(Side wall film)5s與沈積膜(Deposition film)5d之積層膜構成第3膜，但亦可以側壁膜(Side wall film)5s與沈積膜(Deposition film)5d之積層膜構成第1膜5A。換言之，在實施形態1中，雖在絕緣膜(ONO膜)5之記憶體閘極電極MG側(外側、上層側)設置側壁膜(Side wall film)5s，但亦可在絕緣膜(ONO膜)5之控制閘極電極CG側(內側、下層側)設置側壁膜(Side wall film)5s。

圖43及圖44為顯示本實施形態之半導體裝置之要部剖面圖，圖45係圖43之記憶胞部之剖面圖。

圖43中顯示共有汲極區域(MD)之2個記憶胞MC之要部剖面圖，圖44之左部顯示n通道型MISFETQn之要部剖面圖，圖44之右部顯示電容元件C之要部剖面圖。

另，由於絕緣膜5之構成(側壁膜5s之位置)以外與實施形

態1(參照圖1~3等)相同，故省略其詳細說明。

圖45所示之絕緣膜5為所謂多層絕緣膜(ONO膜)。具體而言，包含：作為第1膜(下層膜)5A之氧化矽膜；作為第2膜(中層膜)5N之氮化矽膜；及作為第3膜(上層膜)5B之氧化矽膜。第1膜(下層膜)5A包含分別包含氧化矽膜之側壁膜(Side wall film)5s與沈積膜(Deposition film)5d之積層膜。第2膜5N為電荷累積部。

如上所述，第1膜5A包含側壁膜5s與沈積膜5d之積層膜。該第1膜5A具有：位於控制閘極電極CG之側壁與記憶體閘極電極MG之側壁之間之縱向部(垂直部)；與位於半導體基板1(p型井PW1)與記憶體閘極電極MG之底部(底面)之間之橫向部(水平部)。又，若換另一說法，則第1膜5A具有位於第2膜5N之縱向部與控制閘極電極CG之側壁之間之縱向部(垂直部)、與位於第2膜5N之橫向部與半導體基板1(p型井PW1)之間之橫向部(水平部)。該第1膜5A之縱向部包含側壁膜5s與沈積膜5d之縱向部之積層部，橫向部包含沈積膜5d之橫向部。

此處，側壁膜(Side wall film)5s之高度 H_{5s} 較記憶體閘極電極MG之高度 H_{MG} 更低地設定($H_{MG} > H_{5s}$)。

如此，藉由較記憶體閘極電極MG之高度 H_{MG} 更低地設定側壁膜(Side wall film)5s之高度 H_{5s} ($H_{5s} < H_{MG}$)，記憶體閘極電極MG亦在側壁膜(Side wall film)5s之上方延伸。其結果，可以對應側壁膜5s之膜厚(閘極長度方向之膜厚)之大小，較大地確保記憶體閘極電極MG之形成區域及形成

於其表面之金屬矽化物層(11)之形成區域。藉此，可減小記憶體閘極電極MG之電阻，從而可使記憶體動作特性提高。另，若考慮回蝕工序之蝕刻控制性，則側壁膜(Side wall film)5s之高度H5s較控制閘極電極CG之高度HCG更高地設定為宜($H5s > HCG$)。

就第1膜5A之膜厚進行說明。第1膜之縱向部之最大膜厚(T1)為側壁膜5s之最大膜厚Ts與氧化矽膜(沈積膜)5d之縱向部之膜厚Td之和($Ts + Td$)。又，第1膜之橫向部之膜厚(T2)為氧化矽膜(沈積膜)5d之縱向部之膜厚Td。如此，第1膜之縱向部之膜厚大於橫向部之膜厚。

介隔該第1膜5A之橫向部利用隧道現象對第2膜(電荷累積部)5N注入孔(電洞)，從而進行寫入電荷累積部之電子之抹除動作。關於記憶體胞之動作，如實施形態1中說明般。因此，較好的是，至少該橫向部(沈積膜5d、通道氧化膜)之膜厚為2 nm以下。另，縱向部之膜厚(閘極長度方向之厚度)可為2 nm以上。

又，第2膜(中層膜)5N配置於第1膜5A上，具有位於控制閘極電極CG之側壁與記憶體閘極電極MG之側壁之間之縱向部(垂直部)、與位於半導體基板1(p型井PW1)與記憶體閘極電極MG之底部(底面)之間之橫向部(水平部)。又，若換另一說法，則第2膜5N具有位於第1膜5A之縱向部與記憶體閘極電極MG之側壁之間之縱向部(垂直部)、與位於第1膜5A之橫向部與記憶體閘極電極MG之底部(底面)之間之橫向部(水平部)。

第3膜(下層膜)5B具有位於控制閘極電極CG之側壁與記憶體閘極電極MG之側壁之間之縱向部(垂直部)、與位於半導體基板1(p型井PW1)與記憶體閘極電極MG之底部(底面)之間之橫向部(水平部)。

本實施形態之記憶胞之「寫入」、「抹除」及「讀取」動作，係如實施形態1之「動作說明」之欄中說明般。即，寫入係使用所謂稱為SSI方式之熱電子寫入，抹除係使用利用直接隧道現象之孔注入之抹除方式。

在本實施形態中，亦如實施形態1之<1>之欄中說明般，可使抹除特性提高。又，如實施形態1之<2>之欄中說明般，可減小記憶體閘極電極MG之電阻，從而可較大地確保金屬矽化物層11之形成區域。

關於本實施形態之記憶胞之製法工序，絕緣膜5之形成工序以外與實施形態1(參照圖9~圖14、圖23~圖38等)中說明之工序相同。

接著，一面參照圖46~圖53，一面說明本實施形態之半導體裝置之製造方法，尤其是絕緣膜5之形成工序，且進一步明確該半導體裝置之構成。圖46~圖53係顯示本實施形態之半導體裝置之記憶胞之製造工序之要部剖面圖。

與實施形態1相同，在半導體基板1之主表面(p型井PW1、PW2之表面)上，形成絕緣膜(閘極絕緣膜)3及控制閘極電極CG等(參照圖9~圖12)。另，關於控制閘極電極CG上之氮化矽膜CP2及氧化矽膜CP1，亦可省略(參照圖54)。

接著，在包含控制閘極電極CG(4)之表面(上表面及側面)上之半導體基板1上，形成絕緣膜5(5A、5N、5B)。關於該絕緣膜5之形成工序，一面參照圖44~圖51一面詳細說明。另，在該等圖中，為容易理解圖式，將控制閘極電極CG之寬度(閘極長度)與其他部位相比更短地顯示。

首先，清淨化處理半導體基板1之主表面後，如圖46所示，利用CVD法以例如10 nm左右之膜厚在包含控制閘極電極CG之上表面及側面上之半導體基板1(p型井PW1)上堆積氧化矽膜(5s)。接著，自其表面各向異性地蝕刻(回蝕)氧化矽膜(5s)。利用該工序，如圖47所示，可使包含氧化矽膜(5s)之側壁膜5s殘存於控制閘極電極CG之兩側之側壁部中。作為上述各向異性之蝕刻，例如，可將 CF_4 及 CHF_3 之混合氣體作為蝕刻氣體，在電漿下乾蝕刻。此時，增多回蝕量，而進行回蝕，直至側壁膜(Side wall film)5s之上部低於氮化矽膜(覆蓋絕緣膜)CP2之上部(上表面)。如此，藉由調整側壁膜(Side wall film)5s之高度 H_{5s} ，側壁膜(Side wall film)5s之高度 H_{5s} 低於記憶體閘極電極MG之高度 H_{MG} ($H_{5s} < H_{MG}$ ，參照圖45等)。另，此時，在周邊電路區域3A中，構成電容元件C之下部電極Pb之側壁部中亦形成側壁膜(Side wall film)5s。此處，側壁膜(Side wall film)5s之高度 H_{5s} 亦低於下部電極Pb之高度 H_{Pb} ($H_{5s} < H_{Pb}$ ，參照圖44)。

如此，藉由調整側壁膜(Side wall film)5s之高度 H_{5s} ，側壁膜(Side wall film)5s之高度 H_{5s} 低於記憶體閘極電極MG

之高度HMG($H5s < HMG$)。

另，為除去對側壁膜5s之形成時之半導體基板1之蝕刻損害，可在側壁膜5s之形成後，進行犧牲氧化及犧牲氧化膜之蝕刻。

接著，如圖48所示，在側壁膜5s上，利用CVD法以例如1.6 nm左右之膜厚形成氧化矽膜(沈積膜)5d。利用該側壁膜5s及氧化矽膜5d，可構成絕緣膜(ONO膜)5之第1膜(下層膜)5A。

如上所述，由於使用直接隧道抹除方法，故構成絕緣膜(ONO膜)5之第1膜(下層膜)之橫向部(氧化矽膜5d)之膜厚較好為2 nm以下。

接著，如圖49所示，在氧化矽膜(氧化矽膜5d)5A上，以CVD法且以例如16 nm左右之膜厚堆積氮化矽膜5N。該氮化矽膜5N係介隔氧化矽膜5A而位於控制閘極電極CG之上表面及側面之上部及半導體基板1(p型井PW1)之上部。如上所述，該氮化矽膜5N為記憶胞之電荷累積部，且為構成絕緣膜(ONO膜)5之第2膜(中層膜)。

接著，如圖50所示，在氮化矽膜5N上，利用CVD法以例如3 nm左右之膜厚堆積氧化矽膜5B。該氧化矽膜5B係介隔氧化矽膜5A及氮化矽膜5N而位於控制閘極電極CG之上表面及側面之上部及半導體基板1(p型井PW1)之上部。

利用以上之工序，可形成包含第1膜(側壁膜5s及氧化矽膜5d、氧化矽膜5A)、第2膜(氮化矽膜5N)及第3膜(氧化矽膜5B)之絕緣膜(ONO膜)5。

另，在本實施形態中，作為絕緣膜5之內部之電荷累積部(電荷累積層、具有陷阱能級之絕緣膜)，雖形成氮化矽膜5N，但亦可使用例如氧化鋁膜、氧化鈐膜或氧化鉭膜等之其他絕緣膜。該等膜為具有較氮化矽膜更高之介電常數之高介電常數膜。又，可使用具有矽奈米點之絕緣膜形成電荷累積部。

又，形成於記憶胞區域1A之絕緣膜5作為記憶體閘極電極MG之閘極絕緣膜發揮功能，且具有電荷保持(電荷累積)功能。因此，以至少具有3層之積層構造，且與外側之層(氧化矽膜5A、5B)之電勢障壁高度相比較，內側之層(氮化矽膜5N)之電勢障壁高度更低之方式構成。

接著，如圖51所示，形成矽膜6作為導電性膜(導電體膜)。作為該矽膜6，例如，使用CVD法等，以50~200 nm左右之膜厚形成多晶矽膜。作為矽膜6，可藉由堆積非晶矽膜，且實施熱處理而結晶化。另，可根據需要在該矽膜6中導入雜質。

接著，回蝕記憶胞區域1A之矽膜6(圖52)。其後，藉由蝕刻除去控制閘極電極CG之上部之絕緣膜5(圖53)，關於上述絕緣膜5之形成工序以後之工序，由於與實施形態1中參照圖23~圖38說明之工序相同，故此處省略其說明。

(變化例之說明)

如上所述，相對於控制閘極電極CG上具有氮化矽膜CP2及氧化矽膜CP1之圖45之構成，如圖54所示，可為省略氮化矽膜CP2及氧化矽膜CP1之構成。

該情形，控制閘極電極CG之高度可適當調整，可使控制閘極電極CG之高度與設置有氮化矽膜CP2之情形之氮化矽膜CP2之高度為相同程度。

又，關於側壁膜(Side wall film)5s之高度H5s，設定成控制閘極電極CG之高度HCG之90%以上為宜($H5s > 0.9 \times HCG$)。

接著，以下就上述形態(參照圖45等)之側壁膜5s之形狀之變化例進行說明。

(變化例A)

圖55係顯示本實施形態之變化例A之半導體裝置之記憶胞之構成之要部剖面圖。由於側壁膜5s之構成以外與上述形態(參照圖45等)相同，故省略其詳細說明。

圖55所示之絕緣膜5為所謂多層絕緣膜(ONO膜)。具體而言，包含：作為第1膜(下層膜)5A之氧化矽膜；作為第2膜(中層膜)5N之氮化矽膜；及作為第3膜(上層膜)5B之氧化矽膜。第1膜(上層膜)5A包含分別包含氧化矽膜之側壁膜(Side wall film)5s與沈積膜(Deposition film)5d之積層膜。第2膜5N為電荷累積部。

此處，在本變化例A中，側壁膜5s之側面呈錐形狀。換言之，側壁膜5s之膜厚自上部沿著下部變大，側壁膜5s之側面與沈積膜5d(氮化矽膜(5N))所成之角(θ_3)大於 90° 。換言之，記憶體閘極電極MG之角部較圖43及圖45等所示之情形，更大地圓形化。

藉由設為上述構成，可緩和記憶體閘極電極MG之角部

之電場集中，從而抑制產生FN隧道現象。藉此，可有效地進行抹除(孔注入)，從而可使抹除特性提高。

為緩和錐角度，換言之，以下就增大上部與下部之膜厚差之方法進行說明。

在上述形態中，在氧化矽膜(5s)之回蝕工序中，雖自其表面各向異性地蝕刻氧化矽膜(5s)(圖45)，但可藉由在該蝕刻工序中添加各向同性之蝕刻條件而進一步緩和錐角度。

例如，藉由使上述形態(參照圖45)中說明之蝕刻氣體即 CF_4 及 CHF_3 之混合氣體中 CHF_3 之流量多於 CF_4 之流量，各向同性之蝕刻成分變大，從而可緩和錐角度。

(變化例B)

圖56係顯示本實施形態之變化例B之半導體裝置之記憶體胞之構成之要部剖面圖。由於側壁膜5s之構成以外與上述形態(參照圖45等)相同，故省略其詳細說明。

在上述形態、即圖45所示之構成中，雖較記憶體閘極電極MG之高度HMG更低地設定側壁膜(Side wall film)5s之高度H5s($\text{H5s} < \text{HMG}$ ，參照圖45)，但亦可如圖56所示般，使側壁膜(Side wall film)5s之高度H5s與記憶體閘極電極MG之高度HMG為相同程度($\text{H5s} = \text{HMG}$)。在上述形狀之記憶體胞中，亦可取得上述<1>之欄中說明之抹除特性之提高效果，而有用。

該情形，進行回蝕，直至形成於控制閘極電極CG之上部之氧化矽膜(5s)與氮化矽膜(覆蓋絕緣膜)CP2之上部(上

表面)成為相同程度。作為各向異性之蝕刻條件，例如，可將 CF_4 及 CHF_3 之混合氣體作為蝕刻氣體，在電漿下進行乾蝕刻。

其後，藉由形成沈積膜(Deposition film)5d，形成包含側壁膜(Side wall film)5s與沈積膜(Deposition film)5d之積層膜之第1膜(下層膜)5A。該第1膜5A，較其上方位於其下方之膜之膜厚大側壁膜(Side wall film)5s之膜厚大小。

(實施形態3)

以下，一面參照圖式一面就本實施形態之半導體裝置(半導體記憶裝置)之構造與製造方法進行詳細說明。

[構造說明]

圖57及圖58係顯示本實施形態之半導體裝置之要部剖面圖，圖59係圖57之記憶胞部之剖面圖。

首先，本實施形態中說明之半導體裝置具有非揮發性記憶體(非揮發性半導體記憶裝置、EEPROM、快閃記憶體、非揮發性記憶元件)及周邊電路。

非揮發性記憶體為將陷阱性絕緣膜(可累積電荷之絕緣膜)用作電荷累積部者。又，記憶胞MC為分離閘極型之記憶胞。即，為連接具有控制閘極電極(選擇閘極電極)CG之控制電晶體(選擇電晶體)、與具有記憶體閘極電極(記憶用閘極電極)MG之記憶體電晶體此2個MISFET者。

此處，將具備包含電荷累積部(電荷累積層)之閘極絕緣膜及記憶體閘極電極MG之MISFET(Metal Insulator Semiconductor Field Effect Transistor：金屬絕緣半導體場

效電晶體)稱為記憶體電晶體(記憶用電晶體)，又，將具備閘極絕緣膜及控制閘極電極CG之MISFET稱為控制電晶體(選擇電晶體、記憶胞選擇用電晶體)。

所謂周邊電路，為用以驅動非揮發性記憶體之電路，例如，由各種邏輯電路等構成。各種邏輯電路係例如由後述之n通道型MISFETQn或p通道型MISFET等構成。又，亦形成後述之電容元件(此處，PIP；Poly-Insulator-Poly：聚合絕緣體)C等。

如圖57及圖58所示，本實施形態之半導體裝置具有：配置於半導體基板1之記憶胞區域1A之非揮發性記憶體之記憶胞MC；配置於周邊電路區域2A之n通道型MISFETQn；及配置於周邊電路區域3A之電容元件C。

圖57中顯示共有汲極區域(MD)之2個記憶胞MC之要部剖面圖，圖58之左部顯示n通道型MISFETQn之要部剖面圖，圖58之右部顯示電容元件C之要部剖面圖。

如圖57所示，2個記憶胞係包夾汲極區域(MD(8b))而大致對稱地配置。另，在記憶胞區域1A中，進而，配置有複數個記憶胞MC。例如，以於圖57所示之記憶胞區域1A之左側之記憶胞MC之更左邊交替配置源極區域(MS)及共有之汲極區域(MD)之方式，記憶胞MC配置於圖57中之左右方向(閘極長度方向)，而構成記憶胞行。又，在垂直於圖57之紙面之方向(閘極寬度方向)，亦配置有複數個記憶胞行。如此，以陣列狀形成有複數個記憶胞MC。

如圖58所示，半導體基板(半導體晶圓)1中，形成有用

以分離元件之元件分離區域2，且p型井PW2自以該元件分離區域2劃分(分離)之活性區域露出。

另，在記憶胞區域1A所示之剖面圖(圖57)中，雖不顯現元件分離區域2，但以陣列狀形成記憶胞MC之記憶胞區域整體(p型井PW1)係以元件分離區域2劃分。再者，例如，於記憶胞行間(其中，除了源極區域(MS))，配置元件分離區域2等，於需要電性分離之部位，適當配置元件分離區域2。又，電容元件C形成於元件分離區域2上。

首先，就記憶胞區域1A之記憶胞MC之構成進行說明(參照圖57、圖59)。

記憶胞MC具有配置於半導體基板1(p型井PW1)之上方之控制閘極電極(第1閘極電極)CG、與配置於半導體基板1(p型井PW1)之上方且與控制閘極電極CG鄰接之記憶體閘極電極(第2閘極電極)MG。在該控制閘極電極CG之上部，配置有較薄之氧化矽膜CP1及氮化矽膜(覆蓋絕緣膜)CP2。記憶胞MC進而具有配置於控制閘極電極CG及半導體基板1(p型井PW1)間之絕緣膜3、與配置於記憶體閘極電極MG與半導體基板1(p型井PW1)之間且配置於記憶體閘極電極MG與控制閘極電極CG之間之絕緣膜5。又，記憶胞MC進而具有形成於半導體基板1之p型井PW1中之源極區域MS及汲極區域MD。

控制閘極電極CG及記憶體閘極電極MG，在於該等之對向側面(側壁)之間介隔有絕緣膜5之狀態下，在半導體基板1之主表面上於圖57中之左右方向(閘極長度方向)並列配

置。控制閘極電極CG及記憶體閘極電極MG之延伸方向為垂直於圖57之紙面之方向(閘極寬度方向)。控制閘極電極CG及記憶體閘極電極MG，在汲極區域MD及源極區域MS間之半導體基板1(p型井PW1)之上部介隔絕緣膜3、5(其中，控制閘極電極CG介隔絕緣膜3，記憶體閘極電極MG介隔絕緣膜5)而形成。記憶體閘極電極MG位於源極區域MS側，控制閘極電極CG位於汲極區域MD側。另，在本說明書中，將源極區域MS及汲極區域MD以動作時為基準進行定義。將在後述之寫入動作時施加高電壓之半導體區域統一稱為源極區域MS，將在寫入動作時施加低電壓之半導體區域統一稱為汲極區域MD。

控制閘極電極CG與記憶體閘極電極MG，係於中間介存絕緣膜5而相互鄰接，且記憶體閘極電極MG在控制閘極電極CG之側壁部介隔絕緣膜5以側壁間隔物狀配置。又，絕緣膜5跨記憶體閘極電極MG與半導體基板1(p型井PW1)之間之區域、與記憶體閘極電極MG與控制閘極電極CG之間之區域此兩區域而延伸。如後所述，該絕緣膜5包含複數個絕緣膜之積層膜。

形成於控制閘極電極CG與半導體基板1(p型井PW1)之間之絕緣膜3(即控制閘極電極CG之下之絕緣膜3)作為控制電晶體之閘極絕緣膜發揮功能，記憶體閘極電極MG與半導體基板1(p型井PW1)之間之絕緣膜5(即記憶體閘極電極MG之下之絕緣膜5)作為記憶體電晶體之閘極絕緣膜(內部具有電荷累積部之閘極絕緣膜)發揮功能。

絕緣膜3可由例如氧化矽膜或氮氧化矽膜等形成。又，作為絕緣膜3，可使用上述氧化矽膜或氮氧化矽膜等以外之氧化鈣膜、氧化鋁膜(Alumina)或氧化鈮膜等，具有較氮化矽膜更高之介電常數之金屬氧化膜。

絕緣膜5為具有電荷障壁膜與電荷累積膜之多層絕緣膜。此處，使用ONO(oxide-nitride-oxide：氧化物-氮化物-氧化物)膜。具體而言，由作為第1膜(下層膜)5A之氧化矽膜、作為第2膜(中層膜)5N之氮化矽膜、及作為第3膜(上層膜)5B之氮氧化矽膜(SiON膜)構成。第1膜(下層膜)5A由分別由氧化矽膜構成之側壁膜(Side wall film)5s與沈積膜(Deposition film)5d之積層膜構成。第2膜5N為電荷累積部。

第1膜(下層膜)5A具有位於控制閘極電極CG之側壁與記憶體閘極電極MG之側壁之間之縱向部(垂直部)、及位於半導體基板1(p型井PW1)與記憶體閘極電極MG之底部(底面)之間之橫向部(水平部)。換言之，第1膜5A為自控制閘極電極CG之側壁與記憶體閘極電極MG之側壁之間至半導體基板1與記憶體閘極電極MG之底部之間連續形成之絕緣膜。該第1膜5A之縱向部由側壁膜5s與沈積膜5d之縱向部之積層部構成，橫向部由沈積膜5d之橫向部構成。

又，第2膜(中層膜)5N配置於第1膜5A上，且具有位於控制閘極電極CG之側壁與記憶體閘極電極MG之側壁之間之縱向部(垂直部)、及位於半導體基板1(p型井PW1)與記憶體閘極電極MG之底部(底面)之間之橫向部(水平部)。換言

之，第2膜5N為自控制閘極電極CG之側壁與記憶體閘極電極MG之側壁之間至半導體基板1與記憶體閘極電極MG之底部之間連續形成之絕緣膜。又，若換另一說法，則第2膜5N具有位於第1膜5A之縱向部與記憶體閘極電極MG之側壁之間之縱向部(垂直部)、及位於第1膜5A之橫向部與記憶體閘極電極MG之底部(底面)之間之橫向部(水平部)。

又，第3膜5B具有位於控制閘極電極CG之側壁與記憶體閘極電極MG之側壁之間之縱向部(垂直部)、與位於半導體基板1(p型井PW1)與記憶體閘極電極MG之底部(底面)之間之橫向部(水平部)。換言之，第3膜5B為自控制閘極電極CG之側壁與記憶體閘極電極MG之側壁之間至半導體基板1與記憶體閘極電極MG之底部之間連續形成之絕緣膜。又，若換另一說法，則第3膜5B具有位於第2膜5N之縱向部與記憶體閘極電極MG之側壁之間之縱向部(垂直部)、及位於第2膜5N之橫向部與記憶體閘極電極MG之底部(底面)之間之橫向部(水平部)。

自記憶體閘極電極MG經由上述第3膜(隧道膜)5B之角部利用FN隧道現象而於第2膜(電荷累積部)5N中注入孔(電洞)，而進行寫入至電荷累積部之電子之抹除動作。關於記憶胞之動作將後述。因此，第3膜(隧道膜)5B之膜厚較好為5 nm以上15 nm以下。作為該第3膜(隧道膜)5B，雖可使用氧化矽膜，但藉由使用氮氧化矽膜，障壁高度變小。如此，藉由減小電性膜厚，電洞之注入(透過)變得容易，從而可使抹除特性提高。

又，在抹除動作時，為阻止來自半導體基板1(p型井PW1)之電子之注入，第1膜(沈積膜5d)5A之膜厚較好為2 nm以上。又，自動作電壓之低電壓化之觀點出發，第1膜(沈積膜5d)5A之膜厚較好為6 nm以下。

又，側壁膜(Side wall film)5s之高度H5s，係較記憶體閘極電極MG之高度HMG更低地設定。側壁膜(Side wall film)5s之高度H5s較好為第1膜5A之沈積膜5d之膜厚以上之膜厚，且為絕緣膜5之膜厚(除了側壁膜5s部分之ONO之總膜厚)以下之膜厚。具體而言，較好為10 nm以上20 nm以下。又，側壁膜(Side wall film)5s之寬度W5s較好為第1膜5A之沈積膜5d之膜厚以上之膜厚，且為絕緣膜5之膜厚(ONO之總膜厚)以下之膜厚。具體而言，較好為10 nm以上20 nm以下。

如此，藉由使側壁膜(Side wall film)5s之高度H5s及寬度W5s為第1膜5A之沈積膜5d之膜厚以上、例如10 nm以上，可高精度地加工側壁膜(Side wall film)5s。又，藉由使側壁膜(Side wall film)5s之高度H5s及寬度W5s為絕緣膜5之膜厚(ONO之總膜厚)以下之膜厚、例如20 nm以下，可使寫入動作(電子之注入)與上述抹除動作(電洞之注入)之雙方之特性平衡地提高。

另，在上述中，作為絕緣膜5之形狀，對應圖59等所示之側之記憶胞而說明各積層膜(5A、5N、5B)之形狀，例如，在圖57所示之左側之記憶胞中，各積層膜之形狀為包夾汲極區域(MD(8b))而大致線對稱之形狀。

如此，藉由設為以氧化矽膜(5A)及氧化矽膜(5B)包夾氮化矽膜(5N)之構造，可實現電荷向氮化矽膜(5N)之累積。換言之，絕緣膜5中，氮化矽膜(5N)為用以累積電荷之絕緣膜，作為電荷累積層(電荷累積部)發揮功能。即，氮化矽膜(5N)為形成於絕緣膜5中之陷阱性絕緣膜，位於氮化矽膜(5N)之上下之氧化矽膜(5A、5B)作為電荷阻斷層(電荷阻斷膜、電荷截留層)發揮功能。該氧化矽膜(5A)、氮化矽膜(5N)及氧化矽膜(5B)之積層膜亦有被稱為ONO膜之情形。另，此處，雖將絕緣膜5作為ONO膜進行說明，但若以具有電荷累積功能之絕緣膜構成第2膜5N，且使用與第2膜5N不同之絕緣膜構成第1膜5A及第3膜5B(5s、5d)，則可為其他絕緣膜之組合。例如，作為具有電荷累積功能之絕緣膜(電荷累積層)，例如，可使用氧化鋁膜、氧化鈐膜或氧化鉭膜等之絕緣膜。該等膜為具有較氮化矽膜更高之介電常數之高介電常數膜。又，可將具有矽奈米點之絕緣膜用作電荷累積層。

上述絕緣膜5中，記憶體閘極電極MG與半導體基板1(p型井PW1)之間之絕緣膜5，在保持有電荷(電子)之狀態或不保持電荷之狀態下，作為記憶體電晶體之閘極絕緣膜發揮功能。又，記憶體閘極電極MG與控制閘極電極CG之間之絕緣膜5，作為用以使記憶體閘極電極MG與控制閘極電極CG之間絕緣(電性分離)之絕緣膜發揮功能。

於記憶體閘極電極MG下之絕緣膜5之下方形成記憶體電晶體之通道區域，於控制閘極電極CG下之絕緣膜3之下方

形成控制電晶體之通道區域。控制閘極電極CG下之絕緣膜3之下方之控制電晶體之通道形成區域中，根據需要形成有控制電晶體之臨限值調整用之半導體區域(p型半導體區域或n型半導體區域)。記憶體閘極電極MG下之絕緣膜5之下方之記憶體電晶體之通道形成區域中，根據需要形成有記憶體電晶體之臨限值調整用之半導體區域(p型半導體區域或n型半導體區域)。

如上所述，在寫入動作時，源極區域MS為施加高電壓之半導體區域，汲極區域MD為施加低電壓之半導體區域。該等之區域MS、MD包含導入有n型雜質之半導體區域(n型雜質擴散層)。

汲極區域MD為LDD(lightly doped drain：淺摻雜汲極)構造之區域。即，汲極區域MD具有 n^- 型半導體區域(低濃度雜質擴散層)7b、與具有較 n^- 型半導體區域7b更高之雜質濃度之 n^+ 型半導體區域(高濃度雜質擴散層)8b。 n^+ 型半導體區域8b較 n^- 型半導體區域7b，接合深度更深且雜質濃度更高。

又，源極區域MS亦為LDD構造之區域。即，源極區域MS具有 n^- 型半導體區域(低濃度雜質擴散層)7a、與具有較 n^- 型半導體區域7a更高之雜質濃度之 n^+ 型半導體區域(高濃度雜質擴散層)8a。 n^+ 型半導體區域8a較 n^- 型半導體區域7a，接合深度更深且雜質濃度更高。

記憶體閘極電極MG及控制閘極電極CG之合成圖案之側壁部中，形成有包含氧化矽等之絕緣體(氧化矽膜、絕緣

膜)之側壁絕緣膜(側壁、側壁間隔物)SW。即，與介隔絕緣膜5鄰接於控制閘極電極CG之側相反之側之記憶體閘極電極MG之側壁(側面)上、及與介隔絕緣膜5鄰接於記憶體閘極電極MG之側相反之側之控制閘極電極CG之側壁(側面)上，形成有側壁絕緣膜SW。

源極區域MS之 n^- 型半導體區域7a相對於記憶體閘極電極MG之側壁自動對準地形成， n^+ 型半導體區域8a相對於記憶體閘極電極MG側之側壁絕緣膜SW之側面自動對準地形成。因此，低濃度之 n^- 型半導體區域7a形成於記憶體閘極電極MG側之側壁絕緣膜SW之下。又，高濃度之 n^+ 型半導體區域8a形成於低濃度之 n^- 型半導體區域7a之外側。因此，低濃度之 n^- 型半導體區域7a係以鄰接於記憶體電晶體之通道區域之方式形成，高濃度之 n^+ 型半導體區域8a係以與低濃度之 n^- 型半導體區域7a相接且自記憶體電晶體之通道區域以 n^- 型半導體區域7a之大小離開之方式形成。

汲極區域MD之 n^- 型半導體區域7b相對於控制閘極電極CG之側壁自動對準地形成， n^+ 型半導體區域8b相對於控制閘極電極CG側之側壁絕緣膜SW之側面自動對準地形成。因此，低濃度之 n^- 型半導體區域7b形成於控制閘極電極CG側之側壁絕緣膜SW之下。又，高濃度之 n^+ 型半導體區域8b形成於低濃度之 n^- 型半導體區域7b之外側。因此，低濃度之 n^- 型半導體區域7b係以鄰接於控制電晶體之通道區域之方式形成，高濃度之 n^+ 型半導體區域8b係以與低濃度之 n^- 型半導體區域7b相接且自控制電晶體之通道區域以 n^- 型

半導體區域7b之大小離開之方式形成。

控制閘極電極CG雖包含導電性膜(導電體膜)，但較好為包含如多晶矽膜之矽膜4。矽膜4，例如為n型之矽膜(導入有n型雜質之多晶矽膜、摻雜多晶矽膜)，導入n型雜質而成為低電阻率。

記憶體閘極電極MG包含導電性膜(導電體膜)，如圖57及圖58所示，例如，由如多晶矽膜之矽膜6形成。該記憶體閘極電極MG中可含有雜質，例如n型雜質。且，在記憶體閘極電極MG之下部，n型雜質之濃度較小為宜，更好為本徵半導體(雜質濃度極小之半導體、無摻雜之半導體)。如此，藉由減小記憶體閘極電極MG之下部之n型雜質之濃度，在抹除動作時，無需使電洞與自n型雜質產生之電子再結合，而可有效地注入第2膜(電荷累積部)5N中，注入電荷累積部。

記憶體閘極電極MG之上部(上表面)與 n^+ 型半導體區域8a及 n^+ 型半導體區域8b之上表面(表面)上，形成有金屬矽化物層(金屬矽化物膜)11。金屬矽化物層11包含例如矽化鈷層或矽化鎳層等。利用金屬矽化物層11，可使擴散電阻或接觸電阻低電阻化。又，自儘可能地防止記憶體閘極電極MG與控制閘極電極CG之間之短路之觀點出發，亦有不在記憶體閘極電極MG與控制閘極電極CG之一方或雙方之上部形成金屬矽化物層11之情形。

接著，就周邊電路區域2A之n通道型MISFETQn進行說明。

如圖 58 之左側所示， n 通道型 MISFET Q_n 配置於周邊電路區域 2A。該 n 通道型 MISFET Q_n 具有：配置於半導體基板 1(p 型井 PW2) 之上方之閘極電極 GE；配置於閘極電極 GE 與半導體基板 1(p 型井 PW2) 間之絕緣膜 3；及形成於閘極電極 GE 之兩側之半導體基板 1(p 型井 PW2) 中之源極、汲極區域 (7、8)。

閘極電極 GE 之延伸方向為垂直於圖 57 之紙面之方向(閘極寬度方向)。配置於閘極電極 GE 與半導體基板 1(p 型井 PW2) 間之絕緣膜 3，作為 n 通道型 MISFET Q_n 之閘極絕緣膜發揮功能。於閘極電極 GE 下之絕緣膜 3 之下方形成 n 通道型 MISFET Q_n 之通道區域。

源極、汲極區域 (7、8) 具有 LDD 構造，且包含 n^+ 型半導體區域 8 與 n^- 型半導體區域 7。 n^+ 型半導體區域 8 較 n^- 型半導體區域 7，接合深度更深且雜質濃度更高。

閘極電極 GE 之側壁部中，形成有包含氧化矽等之絕緣體(氧化矽膜、絕緣膜)之側壁絕緣膜(側壁、側壁間隔物)SW。

n^- 型半導體區域 7 相對於閘極電極 GE 之側壁自動對準形成。因此，低濃度之 n^- 型半導體區域 7 形成於閘極電極 GE 之側壁部之側壁絕緣膜 SW 之下。因此，低濃度之 n^- 型半導體區域 7 係以鄰接於 MISFET 之通道區域之方式形成。又， n^+ 型半導體區域 8 相對於側壁絕緣膜 SW 之側面自動對準形成。如此，低濃度之 n^- 型半導體區域 7 係以鄰接於 MISFET 之通道區域之方式形成，高濃度之 n^+ 型半導體區域 8 係以

與低濃度之 n^- 型半導體區域7相接且自MISFET之通道區域以 n^- 型半導體區域7之大小離開之方式形成。

閘極電極GE雖包含導電性膜(導電體膜)，但，較好的是，例如與上述控制閘極電極CG同樣以如 n 型多晶矽膜(導入有 n 型雜質之多晶矽膜、摻雜多晶矽膜)之矽膜4構成。

閘極電極GE之上部(上表面)與 n^+ 型半導體區域8之上表面(表面)上，形成有金屬矽化物層11。金屬矽化物層11包含例如矽化鈷層或矽化鎳層等。利用金屬矽化物層11，可使擴散電阻或接觸電阻低電阻化。

接著，就周邊電路區域3A之電容元件C進行說明。如圖58之右側所示，電容元件C配置於周邊電路區域3A。此處，該電容元件C具有PIP構成。具體而言，具有上部電極Pa與下部電極Pb，在該等電極之間，配置有上述絕緣膜5(5A(5s、5d)、5N、5B)作為電容絕緣膜。下部電極Pb與上述閘極電極GE及上述控制閘極電極CG相同，以如 n 型多晶矽膜(導入有 n 型雜質之多晶矽膜、摻雜多晶矽膜)之矽膜4構成。又，上部電極Pa與上述記憶體閘極電極MG相同，以如多晶矽膜之矽膜6構成。另，於下部電極Pb之下層，配置有絕緣膜(3)。又，上部電極Pa之表面上，配置有金屬矽化物層11。

下部電極Pb之上表面上，配置有絕緣膜5(5A(5d)、5N、5B)，下部電極Pb之側面上，配置有絕緣膜5(5A(5s、5d)、5N、5B)。此處，下部電極Pb之側面上，以覆蓋絕緣膜5之方式配置上部電極Pa，在上部電極Pa中自下部電極Pb之側

面延伸至半導體基板1上之部分中具有角部，由於該部分中電場容易集中，故有電容元件C之可靠性降低之虞。然而，如本實施形態之電容元件C般，藉由於下部電極Pb之側面配置絕緣膜5(5s)，可緩和下部電極之角部之電場，從而可使電容元件C之可靠性提高。再者，藉由於下部電極Pb之側面配置絕緣膜5，電容元件C之側面之電容值變小，僅下部電極Pb與上部電極Pa平面性重疊之區域作為電容有幫助，故，電容元件C之電容之設計值之誤差變小，可使半導體裝置之良率提高。

[動作說明]

圖60係記憶胞MC之等價電路圖。如圖示般，在汲極區域(MD)與源極區域(MS)之間，記憶體電晶體與控制電晶體串聯連接而構成一個記憶胞。圖61係顯示本實施形態之「寫入」、「抹除」及「讀取」時對選擇記憶胞之各部位之電壓之施加條件之一例之表。圖61之表中，揭示有在「寫入」、「抹除」及「讀取」時之各者中，施加於記憶體閘極電極MG之電壓 V_{mg} 、施加於源極區域(源極區域MS)之電壓 V_s 、施加於控制閘極電極CG之電壓 V_{cg} 、施加於汲極區域(汲極區域MD)之電壓 V_d (例如， $V_{dd}=1.5\text{ V}$)、及施加於p型井PW1之電壓 V_b 。另，圖61之表所示者為電壓之施加條件之合適之一例，而非限定於此者，可根據需要進行各種更改。又，在本實施形態中，將向記憶體電晶體之絕緣膜5中之電荷累積層(電荷累積部)即氮化矽膜(5N)之電子之注入定義為「寫入」，將孔(hole：電洞)之注入定義為「抹

除」。

寫入方式可使用所謂稱為SSI(Source Side Injection：源極側注入)方式之熱電子寫入。將例如圖61之「寫入」之欄所示之電壓施加於進行寫入之選擇記憶胞之各部位，且在選擇記憶胞之絕緣膜5中之氮化矽膜(5N)中注入電子(Electron)。熱電子係在2個閘極電極(記憶體閘極電極MG及控制閘極電極CG)間之下之通道區域(源極、汲極間)產生，在記憶體閘極電極MG之下之絕緣膜5中之電荷累積層(電荷累積部)即氮化矽膜(5N)中注入熱電子。注入之熱電子(電子)，在絕緣膜5中之氮化矽膜(5N)中之陷阱能級中被俘獲，其結果，記憶體電晶體之臨限值電壓上升。

抹除方法可使用利用FN隧道現象之來自記憶體閘極電極MG側之孔注入之抹除方式。詳情將後述。使用如此之抹除方法之情形時，與使用所謂BTBT(Band-To-Band Tunneling：頻帶間穿隧現象)抹除之情形(參照圖6(B))相比較，可減少消耗電流。

在讀取之時，將例如圖61之「讀取」之欄所示之電壓施加於進行讀取之選擇記憶胞之各部位。藉由將施加於讀取時之記憶體閘極電極MG之電壓 V_{mg} 設為寫入狀態之記憶體電晶體之臨限值電壓與抹除狀態之記憶體電晶體之臨限值電壓之間之值，可以記憶胞中電流是否流動，判別寫入狀態與抹除狀態。

圖62係顯示本實施形態及比較例之記憶胞部之抹除狀態之要部剖面圖，圖63係模式性顯示本實施形態及比較例之

記憶胞部之抹除工序時之電洞之分佈之剖面圖。

圖 62(A)顯示本實施形態之比較例之記憶胞部之抹除狀態。在該比較例中，如圖示般，為省略側壁膜 5s 之構造。就在該比較例之記憶胞中使用藉由來自半導體基板側之孔注入之抹除方式(第 1 隧道抹除方式)之情形進行說明。

該情形，對記憶體閘極電極 MG(Vmg)，例如施加 -11 V 之負電壓，且將 p 型井 PW1(Vb)例如設為 0 V(參照圖 5)。藉此，經由氮化矽膜(5N)利用直接隧道現象產生之孔(h)被注入電荷累積部(絕緣膜 5 中之氮化矽膜(5N))，而抵消氮化矽膜(5N)中之電子(Electron)，或注入之孔在氮化矽膜(5N)中之陷阱能級中被俘獲。此時，在實施形態 1 及 2 中，為抑制來自記憶體閘極電極 MG 側之電子(e)之注入而設置有側壁膜 5s(參照圖 7、圖 45 等)。

另一方面，在本實施形態之記憶胞部中，可使用藉由來自記憶體閘極電極 MG 側之孔注入之抹除方式(第 2 隧道抹除方式)。該情形，例如，對記憶體閘極電極 MG(Vmg)施加 +12 V 之正電壓，且將 p 型井 PW1(Vb)例如設為 0 V(參照圖 61)。藉此，經由氮化矽膜(5N)利用 FN 隧道現象產生之孔(h)被注入電荷累積部(絕緣膜 5 中之氮化矽膜(5N))，而抵消氮化矽膜(5N)中之電子(Electron)，或注入之孔在氮化矽膜(5N)中之陷阱能級中被俘獲。藉此，記憶體電晶體之臨限值電壓降低(成為抹除狀態)。此時，為抑制來自半導體基板側之電子(e)之 FN 隧道之注入，較好為將氮化矽膜(5N)之下層之氧化矽膜(5A)之膜厚設為 2 nm 以上 6 nm 以

下，且將 V_{mg} 與 V_b 之電位差設為 $8\sim 16\text{ V}$ 。

再者，在本實施形態之記憶胞部中，藉由設置側壁膜 $5s$ ，可實現電場之集中部位之分散化，在更廣之通道區域(寬度 Db)中注入孔，從而抹除特性提高。

即，如模式性顯示本實施形態及比較例之記憶胞部之抹除工序時之電洞之分佈之圖63所示，在比較例之記憶胞部中，氮化矽膜(5N)之角部(圖中之虛線圓部)為1部位，其角度 θ_a 為 90° 左右。另一方面，在設置有側壁膜 $5s$ 之本實施形態中，氮化矽膜(5N)之角部(圖中之虛線圓部)分散為2部位，其角度 θ_b 大於 90° 。

因此，在比較例之記憶胞部中，電洞分佈區域 hA 較窄，電洞集中注入。將電洞分佈區域 hA 之閘極長度方向(圖之左右方向)之寬度設為 Da 。即，電洞分佈區域 hA 中之每個單位體積之電洞之量(電洞濃度)變大。又，該電洞濃度在角部中較大，隨著自角部遠離而變小。

另一方面，在本實施形態之記憶胞部中，電洞分佈區域 hA 較上述比較例之情形更廣($Db > Da$)。換言之，在更廣之通道區域中產生抹除(FN抹除)。又，電洞濃度雖變小，但氮化矽膜(5N)之角部(圖中之虛線圓部)分散為2部位，藉此，通道區域中電洞濃度之濃度差得到緩和，較比較例之情形，電洞濃度之分佈更均一化。因此，可在更廣之通道區域中實現更均一之電洞之注入，從而可使抹除特性提高。

尤其，隨著記憶胞部之微細化，有記憶體閘極電極MG

之閘極長度縮小之傾向。如此，在記憶體閘極電極MG之閘極長度微細化之情形下，藉由在更廣之通道區域中更均一之電洞之注入，亦可使記憶胞部之抹除特性提高。

如此，在本實施形態中，在採用上述第2隧道抹除方式之情形下，藉由設為具有上述側壁膜5s之構造，可使其抹除特性提高。

當然，在本實施形態之構成中，藉由設置側壁膜5s，在記憶體閘極電極MG之角部與半導體基板(PW1)間，可增大絕緣膜5之角部之上表面與下表面之距離D1(參照圖59)。因此，在使用上述第1隧道抹除方式之情形下，亦如實施形態1及2中詳細說明般，可緩和角部之電場集中，從而可使抹除特性提高。

[製法說明]

接著，一面參照圖64~圖93，一面說明本實施形態之半導體裝置之製造方法，且使該半導體裝置之構成更明確。圖64~圖93為顯示本實施形態之半導體裝置之製造工序之要部剖面圖。其中，圖70~圖77為記憶胞區域之要部剖面圖。另，如上所述，1A表示記憶胞區域，2A及3A表示周邊電路區域，且於2A中形成n通道型MISFETQn，於3A中形成電容元件C。

首先，如圖64及圖65所示，作為半導體基板(半導體晶圓)1，準備包含具有例如1~10 Ωcm 左右之電阻率之p型單晶矽之矽基板。另，可使用矽基板以外之半導體基板1。

接著，在半導體基板1之主表面上形成元件分離區域2。

例如，在半導體基板1中形成元件分離槽，且藉由在該元件分離槽之內部嵌入絕緣膜，形成元件分離區域2(圖65)。如此之元件分離法稱為STI(Shallow Trench Isolation：淺渠溝隔離)法。此外，可使用LOCOS(Local Oxidization of Silicon：矽的局部氧化)法等形成元件分離區域2。另，在記憶體區域1A所示之剖面圖(圖64)中，雖不顯現元件分離區域2，但如上所述般配置元件分離區域2等，於需要電性分離之部位適宜地配置元件分離區域2。

接著，分別在半導體基板1之記憶體區域1A中形成p型井PW1，在半導體基板1之周邊電路區域2A中形成p型井PW2。p型井PW1、PW2係藉由將p型雜質(例如硼(B)等)進行離子佈置而形成。另，此處，如圖65所示，形成於周邊電路區域3A之元件分離區域2之下部中亦較薄地配置有p型井PW2。

接著，利用稀釋氫氟酸洗淨等將半導體基板1(p型井PW1、PW2)之表面清淨化之後，如圖66及圖67所示，在半導體基板1之主表面(p型井PW1、PW2之表面)上，作為絕緣膜(閘極絕緣膜)3，例如利用熱氧化法，以2~3 nm左右之膜厚形成氧化矽膜。作為絕緣膜3，除氧化矽膜之外，亦可使用氮氧化矽膜等之其他絕緣膜。又，此外，可形成氧化鈣膜、氧化鋁膜(Alumina)或氧化鈮膜等，具有較氮化矽膜更高之介電常數之金屬氧化膜、及氧化膜等與金屬氧化膜之積層膜。又，熱氧化法之外，可使用CVD(Chemical Vapor Deposition：化學氣相沈積)法形成。又，可將記憶

胞區域1A上之絕緣膜(閘極絕緣膜)3與周邊電路區域2A上之絕緣膜(閘極絕緣膜)3設為不同之膜，又，以不同之膜種構成。

接著，在半導體基板1之全面上，形成矽膜4作為導電性膜(導電體膜)。作為該矽膜4，例如使用CVD法等，以100~200 nm左右之膜厚形成多晶矽膜。作為矽膜4，可藉由堆積非晶矽膜且實施熱處理而結晶化。該矽膜4在記憶胞區域1A中成為控制閘極電極CG，在周邊電路區域2A中成為n通道型MISFETQn之閘極電極GE，在周邊電路區域3A中成為電容元件C之下部電極Pb。

接著，在記憶胞區域1A之矽膜4中，注入n型雜質(例如砷(As)或磷(P)等)。

接著，藉由將矽膜4之表面例如6 nm左右熱氧化，形成較薄之氧化矽膜CP1。另，可使用CVD法形成該氧化矽膜CP1。接著，在氧化矽膜CP1之上部，使用CVD法等，形成80~90 nm左右之氮化矽膜(覆蓋絕緣膜)CP2。

接著，在控制閘極電極CG之形成預定區域中，使用光微影法形成光阻膜(未圖示)，且將該光阻膜作為遮罩使用，而蝕刻氮化矽膜CP2、氧化矽膜CP1及矽膜4。此後，藉由利用灰化等除去光阻膜，形成控制閘極電極CG(例如，閘極長度為80 nm左右)。將如此之自光微影至光阻膜之除去之一連串之工序稱為圖案化。另，此處，在控制閘極電極CG之上部，雖形成有氮化矽膜CP2及氧化矽膜CP1，但亦可省略該等膜(參照圖95)。該情形，控制閘極

電極CG之高度可適當調整，且可使控制閘極電極CG之高度與設置有氮化矽膜CP2之情形之氮化矽膜CP2之高度為相同程度。

此處，在記憶胞區域1A中，殘存於控制閘極電極CG之下之絕緣膜3成為控制電晶體之閘極絕緣膜。另，以控制閘極電極CG覆蓋之部分以外之絕緣膜3，可利用以後之圖案化工序等除去。

接著，利用蝕刻除去周邊電路區域3A之氮化矽膜CP2及氧化矽膜CP1(參照圖69)。

接著，如圖68及圖69所示，在包含控制閘極電極CG(4)之表面(上表面及側面)上之半導體基板1上，形成絕緣膜5(5A、5N、5B)。關於該絕緣膜5之形成工序，一面參照記憶胞區域1A之要部剖面圖即圖70~圖77一面詳細說明。另，在圖70~圖77中，為使圖式容易理解，將控制閘極電極CG之寬度(閘極長度)與其他部位相比更短地顯示。

首先，將半導體基板1之主表面清淨化處理後，如圖70所示，在包含控制閘極電極CG之上表面及側面上之半導體基板1(p型井PW1)上，利用CVD法，以例如10 nm~30 nm左右之膜厚堆積氧化矽膜(5s)。接著，自其表面各向異性蝕刻(回蝕)氧化矽膜(5s)。利用該工序，如圖71所示，可使包含氧化矽膜(5s)之側壁膜5s殘存於控制閘極電極CG之兩側之側壁部。具體而言，側壁膜(Side wall film)5s之高度H5s及寬度W5s，較好為10 nm以上20 nm以下。作為上述各向異性之蝕刻，例如，可將CF₄及CHF₃之混合氣體作

為蝕刻氣體，在電漿下乾蝕刻。

接著，如圖 72 所示，在包含控制閘極電極 CG 之上表面及側面上之半導體基板 1(p 型井 PW1)及側壁膜 5s 上，利用 CVD 法，以例如 4 nm 左右之膜厚形成氧化矽膜(沈積膜)5d。利用該側壁膜 5s 及氧化矽膜 5d，可構成構成絕緣膜(ONO 膜)5 之第 1 膜(下層膜)。

可利用熱氧化法(較好為 ISSG(In Situ Steam Generation：臨場蒸氣產生技術)氧化)形成該氧化矽膜(沈積膜)5d(參照圖 94)。另，在圖 72 中，顯示以 CVD 法形成之情形之氧化矽膜 5A(5s、5d)之形狀。

如上所述，為使抹除特性良好，構成絕緣膜(ONO 膜)5 之第 1 膜(下層膜)之氧化矽膜(沈積膜)5d 之膜厚設為 2 nm 以上 6 nm 以下為宜。

接著，如圖 73 所示，在氧化矽膜(沈積膜 5d)5A 上，以 CVD 法且以例如 7 nm 左右之膜厚堆積氮化矽膜 5N。該氮化矽膜 5N 介隔氧化矽膜 5A，位於控制閘極電極 CG 之上表面及側面之上部及半導體基板 1(p 型井 PW1)之上部。如上所述，該氮化矽膜 5N 為記憶胞之電荷累積部，且為構成絕緣膜(ONO 膜)5 之第 2 膜(中層膜)。

接著，如圖 74 所示，在氮化矽膜 5N 上，利用 CVD 法以例如 5 nm~15 nm 左右之膜厚堆積氮氧化矽膜作為第 3 膜 5B。該第 3 膜(氮氧化矽膜)5B 介隔氧化矽膜 5A 及氮化矽膜 5N，位於控制閘極電極 CG 之上表面及側面之上部及半導體基板 1(p 型井 PW1)之上部。如上所述，為自記憶體閘極電極

MG經由該第3膜(隧道膜)5B利用FN隧道現象將孔(電洞)有效地注入第2膜(電荷累積部)5N，第3膜之障壁高度更小為宜。因此，作為第3膜5B，藉由使用氮氧化膜，可使抹除特性提高。

利用以上之工序，可形成包含第1膜(側壁膜5s及氧化矽膜5d、氧化矽膜5A)、第2膜(氮化矽膜5N)及第3膜(氧化矽膜5B)之絕緣膜(ONO膜)5。

另，在上述工序中，形成側壁膜5s後，雖形成氧化矽膜5d，但，形成氧化矽膜5d後，亦可在其上部形成側壁膜5s。然而，形成側壁膜5s後形成氧化矽膜5d，側壁膜5s之形成時之蝕刻之控制性良好。

又，在本實施形態中，作為絕緣膜5之內部之電荷累積部(具有電荷累積層、陷阱能級之絕緣膜)，雖形成有氮化矽膜5N，但亦可使用例如氧化鋁膜、氧化鈐膜或氧化鉬膜等之其他絕緣膜。該等膜為具有較氮化矽膜更高之介電常數之高介電常數膜。又，可使用具有矽奈米點之絕緣膜形成電荷累積層。

又，形成於記憶胞區域1A之絕緣膜5作為記憶體閘極電極MG之閘極絕緣膜發揮功能，且具有電荷保持(電荷累積)功能。因此，以至少具有3層之積層構造，且與外側之層(氧化矽膜5A、5B)之電勢障壁高度相比較，內側之層(氮化矽膜5N)之電勢障壁高度更低之方式構成。

接著，如圖75所示，形成矽膜6作為導電性膜(導電體膜)。作為該矽膜6，例如使用CVD法等，以50~200 nm左

右之膜厚形成無摻雜之多晶矽膜。作為矽膜6，可藉由堆積非晶矽膜且實施熱處理而結晶化。

接著，回蝕記憶胞區域1A之矽膜6(圖76)。其後，利用蝕刻除去控制閘極電極CG之上部等之絕緣膜5(圖77)，關於上述矽膜6之形成工序以後之工序，一面參照圖78~圖93一面進一步詳細說明。

如圖78及圖79所示，在絕緣膜5之上部，作為矽膜6，例如，使用CVD法等以50~200 nm左右之膜厚形成多晶矽膜。作為矽膜6，可藉由堆積非晶矽膜且實施熱處理而結晶化。又，如後所述，該矽膜6在記憶胞區域1A中成為記憶體閘極電極MG(例如，閘極長度為50 nm左右)，在周邊電路區域3A中成為電容元件C之上部電極Pa。

接著，如圖80及圖81所示，回蝕(選擇性地除去)記憶胞區域1A之矽膜6。在該回蝕工序中，藉由自其表面以特定之膜厚大小進行各向異性之乾蝕刻除去矽膜6。利用該工序，在控制閘極電極CG之兩側之側壁部中，可介隔絕緣膜5使矽膜6以側壁間隔物狀殘存(參照圖80、圖76)。此時，在周邊電路區域2A中，矽膜6被蝕刻，從而矽膜4之上部之氮化矽膜CP2露出(圖81)。另，周邊電路區域3A係以光阻膜(未圖示)等覆蓋，不進行矽膜6之蝕刻。當然，以期望之形狀將上部電極Pa圖案化之情形時，可利用該工序進行圖案化。

利用殘存於上述控制閘極電極CG之雙方之側壁部中一方之側壁部之矽膜6，形成記憶體閘極電極MG。又，利用

殘存於另一方之側壁部之矽膜6，形成矽間隔物SP1(圖80)。記憶體閘極電極MG與矽間隔物SP1，形成於控制閘極電極CG之相互為相反側之側壁部，且為包夾控制閘極電極CG而大致對稱之構造。

上述記憶體閘極電極MG之下之絕緣膜5為記憶體電晶體之閘極絕緣膜。對應矽膜6之沈積膜厚而決定記憶體閘極長度(記憶體閘極電極MG之閘極長度)。

接著，如圖82及圖83所示，利用蝕刻除去控制閘極電極CG之上部之絕緣膜5。藉此，控制閘極電極CG之上部之氮化矽膜CP2露出，p型井PW1露出(參照圖82、圖77)。此時，在周邊電路區域2A中，絕緣膜5被蝕刻，從而矽膜4露出。

接著，在周邊電路區域2A中，在矽膜4中導入雜質。例如，在n通道型MISFETQn之形成預定區域之矽膜4中，注入磷等之n型雜質。另，雖未圖示，但在p通道型MISFET之形成預定區域中注入逆導電型(p型)之雜質。

接著，在矽膜4之n通道型MISFETQn之閘極電極GE之形成預定區域中，使用光微影法形成光阻膜(未圖示)，且將該光阻膜用作遮罩，而蝕刻矽膜4。此後，藉由利用灰化等除去光阻膜，形成閘極電極GE(圖83)。殘存於閘極電極GE之下之絕緣膜3為n通道型MISFETQn之閘極絕緣膜。另，以閘極電極GE覆蓋之部分以外之絕緣膜3，可在上述閘極電極GE之形成時除去，又，亦可利用以後之圖案化工序等除去。

接著，如圖84及圖85所示，在記憶胞區域1A中，藉由在控制閘極電極CG側之半導體基板1(p型井PW1)中，注入砷(As)或磷(P)等之n型雜質，形成n⁻型半導體區域7a及n⁻型半導體區域7b。此時，n⁻型半導體區域7a在記憶體閘極電極MG之側壁(與介隔絕緣膜5而與控制閘極電極CG鄰接之側相反之側之側壁)自動對準形成。又，n⁻型半導體區域7b在控制閘極電極CG之側壁(與介隔絕緣膜5而與記憶體閘極電極MG鄰接之側相反之側之側壁)自動對準形成。又，在周邊電路區域2A中，藉由在閘極電極GE之兩側之半導體基板1(p型井PW2)中，注入砷(As)或磷(P)等之n型雜質，形成n⁻型半導體區域7。此時，n⁻型半導體區域7在閘極電極GE之側壁自動對準形成。

n⁻型半導體區域7a與n⁻型半導體區域7b與n⁻型半導體區域7，雖可以相同之離子佈值工序形成，但此處，以不同之離子佈值工序形成。如此，藉由以不同之離子佈值工序形成，可以各自期望之雜質濃度及期望之接合深度形成n⁻型半導體區域7a、n⁻型半導體區域7b及n⁻型半導體區域7。

接著，如圖86及圖87所示，在記憶胞區域1A中，在控制閘極電極CG及記憶體閘極電極MG介隔絕緣膜5鄰接之圖案(合成圖案)之側壁部中，形成包含例如氧化矽等之絕緣膜之側壁絕緣膜SW。又，在周邊電路區域2A中，在閘極電極GE之側壁部中，形成側壁絕緣膜SW。例如，在半導體基板1之主表面全面上堆積氧化矽膜等之絕緣膜，並回蝕該絕緣膜，藉此，在上述合成圖案(CG、MG)之側壁部

及閘極電極GE之側壁部中形成側壁絕緣膜SW。作為側壁絕緣膜SW，除氧化矽膜之外，亦可使用氮化矽膜或氧化矽膜與氮化矽膜之積層膜等形成。

接著，如圖88及圖89所示，將控制閘極電極CG、記憶體閘極電極MG及側壁絕緣膜SW作為遮罩，將砷(As)或磷(P)等之n型雜質注入半導體基板1(p型井PW1)，藉此形成高雜質濃度之 n^+ 型半導體區域8a及 n^+ 型半導體區域8b。此時， n^+ 型半導體區域8a在記憶體胞區域1A中，於記憶體閘極電極MG側之側壁絕緣膜SW上自動對準形成。又， n^+ 型半導體區域8b在記憶體胞區域1A中，於控制閘極電極CG側之側壁絕緣膜SW上自動對準形成。 n^+ 型半導體區域8a係作為較 n^- 型半導體區域7a雜質濃度更高且接合深度更深之半導體區域而形成。 n^+ 型半導體區域8b係作為較 n^- 型半導體區域7b雜質濃度更高且接合深度更深之半導體區域而形成。

又，此時，由於記憶體閘極電極MG露出，故，於記憶體閘極電極MG之上部亦注入n型雜質。然而，在記憶體閘極電極MG之下部，n型雜質之擴散量較少，較好為本徵半導體(無摻雜之半導體)。如此，藉由減小記憶體閘極電極MG之下部之n型雜質之濃度，在抹除動作時，無需使電洞與自n型雜質產生之電子再結合，而可有效地注入第2膜(電荷累積部)5N，注入電荷累積部。

又，在周邊電路區域2A中，在閘極電極GE之兩側之半導體基板1(p型井PW2)中，注入砷(As)或磷(P)等之n型雜

質，藉此形成 n^+ 型半導體區域8。此時， n^+ 型半導體區域8在周邊電路區域2A中，於閘極電極GE之側壁部之側壁絕緣膜SW上自動對準形成。藉此，在周邊電路區域2A中，於閘極電極GE之兩側形成LDD構造之源極、汲極區域(7、8)。

藉由上述工序，利用 n^- 型半導體區域7b與較其更高雜質濃度之 n^+ 型半導體區域8b，構成作為記憶體電晶體之汲極區域發揮功能之 n 型之汲極區域MD，利用 n^- 型半導體區域7a與較其更高雜質濃度之 n^+ 型半導體區域8a，構成作為記憶體電晶體之源極區域發揮功能之 n 型之源極區域MS。

接著，進行用以使導入至源極區域MS(n^- 型半導體區域7a及 n^+ 型半導體區域8a)、汲極區域MD(n^- 型半導體區域7b及 n^+ 型半導體區域8b)及源極、汲極區域(7、8)之雜質活性化之熱處理。

藉由以上之工序，於記憶胞區域1A中形成非揮發性記憶體之記憶胞MC，於周邊電路區域2A中形成 n 通道型MISFETQn。又，於周邊電路區域3A中形成電容元件C。

接著，根據需要，進行例如使用稀氫氟酸等之濕蝕刻，將半導體基板1之主表面清淨化。藉此， n^+ 型半導體區域8a之上表面、 n^+ 型半導體區域8b之上表面、控制閘極電極CG之上表面、及記憶體閘極電極MG之上表面清淨化，自然氧化膜等之不要物被除去。又， n^+ 型半導體區域8之上表面與閘極電極GE之上表面清淨化，自然氧化膜等之不要物被除去。

接著，如圖90及圖91所示，使用自對準矽化物技術，在記憶體閘極電極MG、 n^+ 型半導體區域8a及 n^+ 型半導體區域8b之上部，分別形成金屬矽化物層(金屬矽化物膜)11。又，在閘極電極GE及 n^+ 型半導體區域8之上部，分別形成金屬矽化物層11。又，在電容元件C之上部電極Pa之上部，形成金屬矽化物層11。

利用該金屬矽化物層11，可使擴散電阻或接觸電阻等低電阻化。該金屬矽化物層11可如下般形成。

例如，在半導體基板1之主表面全面上，形成金屬膜(未圖示)，並對半導體基板1實施熱處理，藉此，使記憶體閘極電極MG、閘極電極GE、 n^+ 型半導體區域8、8a、8b及上部電極Pa之上層部分與上述金屬膜反應。藉此，於記憶體閘極電極MG、閘極電極GE、 n^+ 型半導體區域8、8a、8b及上部電極Pa之上部，分別形成金屬矽化物層11。上述金屬膜包含例如鈷(Co)膜或鎳(Ni)膜等，且可使用濺鍍法等形成。

接著，除去未反應之金屬膜後，在半導體基板1之主表面全面上，作為絕緣膜(層間絕緣膜)12，例如，使用例如CVD法等，形成氧化矽膜之單體膜、或氮化矽膜與較該氮化矽膜更厚地形成於該氮化矽膜上之氧化矽膜之積層膜。該絕緣膜12之形成後，根據需要使用CMP(Chemical Mechanical Polishing：化學機械研磨)法等使絕緣膜12之上表面平坦化。

接著，藉由乾蝕刻絕緣膜12，在絕緣膜12中形成接觸孔

(開口部、通孔)。接著，在接觸孔內，形成障壁導體膜13a及主導體膜13b之積層膜。接著，利用CMP法或回蝕法等，除去絕緣膜12上之不要之主導體膜13b及障壁導體膜13a，藉此形成插塞PG。該插塞PG係例如形成於 n^+ 型半導體區域8、8a、8b之上部。又，圖90及圖91所示之剖面中雖不顯現，但插塞PG亦形成於例如控制閘極電極CG、記憶體閘極電極MG及閘極電極GE之上部等。另，作為障壁導體膜13a，例如，可使用鈦膜、氮化鈦膜、或該等之積層膜。又，作為主導體膜13b，可使用鎢膜等。

接著，如圖92及圖93所示，在嵌入有插塞PG之絕緣膜12上形成第1層佈線(M1)。第1層佈線係例如使用鑲嵌技術(此處為單鑲嵌)形成。首先，在嵌入有插塞PG之絕緣膜上形成槽用絕緣膜14，在該槽用絕緣膜14上，使用光微影技術及乾蝕刻形成佈線槽。接著，在包含佈線槽之內部之半導體基板1之主表面上形成障壁導體膜(未圖示)，接著，利用CVD法或濺鍍法等，在障壁導體膜上形成銅之屏蔽層(未圖示)。接著，使用電解電鍍法等在屏蔽層上形成鍍銅膜，且利用鍍銅膜嵌入佈線槽之內部。其後，利用CMP法除去佈線槽內以外之區域之鍍銅膜、屏蔽層及障壁金屬膜，形成以銅為主導電材料之第1層佈線。另，作為障壁導體膜，例如，可使用氮化鈦、鈹膜或氮化鈹膜等。

其後，雖利用雙鑲嵌法等形成第2層以後之佈線，但此處省略其說明。另，除上述鑲嵌技術以外，各佈線亦可藉由將佈線用之導電性膜圖案化而形成。該情形，作為導電

性膜，可使用例如鎢或鋁等。

(變化例之說明)

圖 94~圖 96 係顯示本實施形態之半導體裝置之其他記憶胞構成之要部剖面圖。

<第 1 例>

如上所述，構成絕緣膜(ONO 膜)5 之第 1 膜(下層膜)中，氧化矽膜(沈積膜)5d 可以熱氧化法或 CVD 法形成。在圖 72 等中，顯示有以 CVD 法形成之情形之氧化矽膜(沈積膜)5d 之形狀，以熱氧化法形成氧化矽膜(沈積膜)5d 之情形時，為圖 94 所示之構成。

該情形，如圖示般，於控制閘極電極 CG 之側面及半導體基板 1(p 型井 PW1)上，形成氧化矽膜(沈積膜)5d。

在該圖 94 所示之構成中，亦可發揮與實施形態 3 中說明之效果相同之效果。

<第 2 例>

如上所述，相對於控制閘極電極 CG 上具有氮化矽膜 CP2 及氧化矽膜 CP1 之圖 59 之構成，如圖 95 所示，可為省略氮化矽膜 CP2 及氧化矽膜 CP1 之構成。

<第 3 例>

在圖 59 等中，雖以曲面狀(在其剖面圖中為圓弧狀)揭示側壁膜 5s，但關於側壁膜 5s 之形狀，並非限定於該形狀者。一面參照圖 96，一面就側壁膜 5s 之形狀例進行說明。

圖 96(A)與圖 59 等相同，為將側壁膜 5s 之剖面形狀設為圓弧狀者，換言之，為將側壁膜 5s 之側面圓形化者。

又，圖 96(B)為將側壁膜 5s 之剖面形狀設為錐狀者(參照圖 63)，換言之，為使側壁膜 5s 之側面傾斜者。

在上述圖 96(A)及(B)之形狀中，如上所述，氮化矽膜(5N)之角部(圖中之虛線圓部)分散成 2 部位，在通道區域中電洞濃度之濃度差得到緩和。因此，可在更廣之通道區域中實現更均一之電洞之注入，從而可使抹除特性提高。

又，如圖 96(C)所示，可將側壁膜 5s 之剖面形狀設為錐狀，使側壁膜 5s 之寬度 W_{5s} 大於高度 H_{5s} 。又，如圖 96(D)所示，可將側壁膜 5s 之剖面形狀設為具有 180° 以上之角度之大致四角形狀。該情形，側壁膜 5s 之側面為凹陷之形狀。

在上述圖 96(C)及(D)之形狀中，氮化矽膜(5N)之角部(圖中之虛線圓部)亦分散成 2 部位以上，通道區域中電洞濃度之濃度差得到緩和。因此，可在更廣之通道區域中實現更均一之電洞之注入，從而可使抹除特性提高。

以上，雖將由本發明者完成之發明基於其實施形態具體說明，但本發明並非限定於上述實施形態者，不言而喻，在不脫離其要旨之範圍中可進行各種更改。

又，對配置上述實施形態所說明之半導體裝置(非揮發性記憶體)之電子機器雖無限制，但，例如非接觸 IC 卡，低消耗電力化之要求較大，從而適合使用上述實施形態之半導體裝置。

[附記 1]

一種半導體裝置之製造方法，其具有：

(a)於半導體基板上介隔第1絕緣膜形成第1閘極電極之工序；

(b)於上述半導體基板上及上述第1閘極電極之表面及側面，形成內部具有電荷累積部之上述第2絕緣膜之工序；及

(c)於上述第1閘極電極之側壁部，介隔上述第2絕緣膜形成第2閘極電極之工序；且

上述(b)工序為形成具有第1膜、第2膜及第3膜之上述第2絕緣膜之工序，且具有：

(b1)於上述半導體基板上及上述第1閘極電極之表面及側面形成第1膜之工序；

(b2)於上述第1膜上形成作為上述電荷累積部之第2膜之工序；

(b3)於上述第2膜上形成第1沈積膜之工序；

(b4)藉由各向異性地蝕刻上述第1沈積膜，於上述第1閘極電極之側壁部，介隔上述第1膜及上述第2膜，形成側壁膜之工序；及

(b5)藉由於上述第2膜及上述側壁膜上形成第2沈積膜，形成具有上述側壁膜與上述第2沈積膜之第3膜之工序。

[附記2]

如附記1之半導體裝置之製造方法，其中上述第1膜之膜厚為2 nm以下。

[附記3]

一種半導體裝置之製造方法，其具有：

(a)於半導體基板上介隔第1絕緣膜形成第1閘極電極之工序；

(b)於上述半導體基板上及上述第1閘極電極之表面及側面，形成內部具有電荷累積部之上述第2絕緣膜之工序；及

(c)於上述第1閘極電極之側壁部，介隔上述第2絕緣膜形成第2閘極電極之工序；且

上述(b)工序為形成具有第1膜、第2膜及第3膜之上述第2絕緣膜之工序，且具有：

(b1)於上述半導體基板上及上述第1閘極電極之表面及側面形成第1沈積膜之工序；

(b2)藉由各向異性地蝕刻上述第1沈積膜，於上述第1閘極電極之側壁部，形成側壁膜之工序；

(b3)藉由於上述半導體基板上、上述第1閘極電極之表面及上述側壁膜上形成第2沈積膜，形成具有上述側壁膜與上述第2沈積膜之第1膜之工序；

(b4)於上述第1膜上形成作為上述電荷累積部之第2膜之工序；及

(b5)於上述第2膜上形成第3膜之工序。

[附記4]

如附記3之半導體裝置之製造方法，其中上述第2沈積膜之膜厚為2 nm以下。

[附記5]

一種半導體裝置，其具有：

半導體基板；

配置於上述半導體基板之上方之第1閘極電極；

於上述半導體基板之上方，以與上述第1閘極電極鄰接之方式配置之第2閘極電極；

形成於上述第1閘極電極與上述半導體基板之間之第1絕緣膜；及

形成於上述第2閘極電極與上述半導體基板之間及上述第1閘極電極與上述第2閘極電極之間之第2絕緣膜且其內部具有電荷累積部之上述第2絕緣膜；且

上述第2絕緣膜具有：

第1膜；

配置於上述第1膜上之作為上述電荷累積部之第2膜；及

配置於上述第2膜上之第3膜；

上述第1膜具有：

位於上述第1閘極電極與上述第2閘極電極之間之側壁膜；及

位於上述第2閘極電極與上述半導體基板之間之沈積膜；

於上述電荷累積部中，累積電子；

累積於上述電荷累積部之電子，藉由利用隧道現象自上述第2閘極電極側將電洞經由上述第3膜注入上述電荷累積部而抹除。

[附記6]

如附記5之半導體裝置，其中上述沈積膜亦在上述側壁膜與上述第2閘極電極之間延伸。

[附記 7]

如附記 5 之半導體裝置，其中上述側壁膜之高度及寬度為 10 nm 以上 20 nm 以下。

[附記 8]

如附記 5 之半導體裝置，其中位於上述第 2 閘極電極與上述半導體基板之間之上述沈積膜之膜厚為 6 nm 以下。

[附記 9]

如附記 8 之半導體裝置，其中位於上述第 2 閘極電極與上述半導體基板之間之上述沈積膜之膜厚為 2 nm 以上。

[附記 10]

如附記 5 之半導體裝置，其中上述第 3 膜為氮氧化矽膜。

[附記 11]

如附記 10 之半導體裝置，其中上述第 1 膜之上述沈積膜為氧化矽膜。

[附記 12]

如附記 5 之半導體裝置，其中上述第 2 閘極電極含有雜質離子，且上述第 2 閘極電極之下部之雜質濃度低於上述第 2 閘極電極之上部之雜質濃度。

[附記 13]

如附記 12 之半導體裝置，其中上述雜質離子為 n 型之雜質離子。

[附記 14]

如附記 13 之半導體裝置，其中上述第 2 閘極電極之下部為本徵半導體。

【圖式簡單說明】

圖 1 係顯示實施形態 1 之半導體裝置之要部剖面圖。

圖 2 係顯示實施形態 1 之半導體裝置之要部剖面圖。

圖 3 係圖 1 之記憶胞部之剖面圖。

圖 4 係記憶胞 MC 之等價電路圖。

圖 5 係顯示實施形態 1 之「寫入」、「抹除」及「讀取」時對選擇記憶胞之各部位之電壓之施加條件之一例之表。

圖 6(A)、(B)係顯示實施形態 1 之比較例之記憶胞及其施加電壓之圖。

圖 7 係顯示實施形態 1 之半導體裝置之其他記憶胞部之構成之要部剖面圖。

圖 8 係顯示實施形態 1 之記憶胞與比較例之記憶胞之抹除特性之圖表。

圖 9 係顯示實施形態 1 之半導體裝置之製造工序之要部剖面圖。

圖 10 係顯示實施形態 1 之半導體裝置之製造工序之要部剖面圖。

圖 11 係顯示實施形態 1 之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖 9 之半導體裝置之製造工序之要部剖面圖。

圖 12 係顯示實施形態 1 之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖 10 之半導體裝置之製造工序之要部剖面圖。

圖 13 係顯示實施形態 1 之半導體裝置之製造工序之要部

剖面圖，且係顯示接著圖11之半導體裝置之製造工序之要部剖面圖。

圖14係顯示實施形態1之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖12之半導體裝置之製造工序之要部剖面圖。

圖15係顯示實施形態1之半導體裝置之製造工序之要部剖面圖。

圖16係顯示實施形態1之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖15之半導體裝置之製造工序之要部剖面圖。

圖17係顯示實施形態1之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖16之半導體裝置之製造工序之要部剖面圖。

圖18係顯示實施形態1之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖17之半導體裝置之製造工序之要部剖面圖。

圖19係顯示實施形態1之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖18之半導體裝置之製造工序之要部剖面圖。

圖20係顯示實施形態1之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖19之半導體裝置之製造工序之要部剖面圖。

圖21係顯示實施形態1之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖20之半導體裝置之製造工序之要

部剖面圖。

圖 22 係顯示實施形態 1 之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖 21 之半導體裝置之製造工序之要部剖面圖。

圖 23 係顯示實施形態 1 之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖 13 之半導體裝置之製造工序之要部剖面圖。

圖 24 係顯示實施形態 1 之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖 14 之半導體裝置之製造工序之要部剖面圖。

圖 25 係顯示實施形態 1 之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖 23 之半導體裝置之製造工序之要部剖面圖。

圖 26 係顯示實施形態 1 之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖 24 之半導體裝置之製造工序之要部剖面圖。

圖 27 係顯示實施形態 1 之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖 25 之半導體裝置之製造工序之要部剖面圖。

圖 28 係顯示實施形態 1 之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖 26 之半導體裝置之製造工序之要部剖面圖。

圖 29 係顯示實施形態 1 之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖 27 之半導體裝置之製造工序之要

部剖面圖。

圖30係顯示實施形態1之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖28之半導體裝置之製造工序之要部剖面圖。

圖31係顯示實施形態1之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖29之半導體裝置之製造工序之要部剖面圖。

圖32係顯示實施形態1之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖30之半導體裝置之製造工序之要部剖面圖。

圖33係顯示實施形態1之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖31之半導體裝置之製造工序之要部剖面圖。

圖34係顯示實施形態1之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖32之半導體裝置之製造工序之要部剖面圖。

圖35係顯示實施形態1之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖33之半導體裝置之製造工序之要部剖面圖。

圖36係顯示實施形態1之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖34之半導體裝置之製造工序之要部剖面圖。

圖37係顯示實施形態1之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖35之半導體裝置之製造工序之要

部剖面圖。

圖 38 係顯示實施形態 1 之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖 36 之半導體裝置之製造工序之要部剖面圖。

圖 39 係顯示實施形態 1 之半導體裝置之其他記憶胞構成之要部剖面圖。

圖 40(A) 及 (B) 係顯示實施形態 1 之變化例 1 之半導體裝置之記憶胞之構成等之要部剖面圖。

圖 41 係顯示實施形態 1 之變化例 2 之半導體裝置之記憶胞之構成之要部剖面圖。

圖 42 係顯示實施形態 1 之半導體裝置之其他構成之要部剖面圖。

圖 43 係顯示實施形態 2 之半導體裝置之要部剖面圖。

圖 44 係顯示實施形態 2 之半導體裝置之要部剖面圖。

圖 45 係圖 43 之記憶胞部之剖面圖。

圖 46 係顯示實施形態 2 之半導體裝置之製造工序之要部剖面圖。

圖 47 係顯示實施形態 2 之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖 46 之半導體裝置之製造工序之要部剖面圖。

圖 48 係顯示實施形態 2 之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖 47 之半導體裝置之製造工序之要部剖面圖。

圖 49 係顯示實施形態 2 之半導體裝置之製造工序之要部

剖面圖，且係顯示接著圖48之半導體裝置之製造工序之要部剖面圖。

圖50係顯示實施形態2之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖49之半導體裝置之製造工序之要部剖面圖。

圖51係顯示實施形態2之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖50之半導體裝置之製造工序之要部剖面圖。

圖52係顯示實施形態2之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖51之半導體裝置之製造工序之要部剖面圖。

圖53係顯示實施形態2之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖52之半導體裝置之製造工序之要部剖面圖。

圖54係顯示實施形態2之半導體裝置之其他記憶胞構成之要部剖面圖。

圖55係顯示實施形態2之半導體裝置之變化例A之記憶胞之構成之要部剖面圖。

圖56係顯示實施形態2之半導體裝置之變化例B之記憶胞之構成之要部剖面圖。

圖57係顯示實施形態3之半導體裝置之要部剖面圖。

圖58係顯示實施形態3之半導體裝置之要部剖面圖。

圖59係圖57之記憶胞部之剖面圖

圖60係記憶胞MC之等價電路圖。

圖 61 係顯示實施形態 3 之「寫入」、「抹除」及「讀取」時對選擇記憶胞之各部位之電壓之施加條件之一例之表。

圖 62(A)及(B)係顯示實施形態 3 及比較例之記憶胞部之抹除狀態之要部剖面圖。

圖 63(A)及(B)係模式性顯示實施形態 3 及比較例之記憶胞部之抹除工序時之電洞分佈之剖面圖。

圖 64 係顯示實施形態 3 之半導體裝置之製造工序之要部剖面圖。

圖 65 係顯示實施形態 3 之半導體裝置之製造工序之要部剖面圖。

圖 66 係顯示實施形態 3 之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖 64 之半導體裝置之製造工序之要部剖面圖。

圖 67 係顯示實施形態 3 之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖 65 之半導體裝置之製造工序之要部剖面圖。

圖 68 係顯示實施形態 3 之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖 66 之半導體裝置之製造工序之要部剖面圖。

圖 69 係顯示實施形態 3 之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖 67 之半導體裝置之製造工序之要部剖面圖。

圖 70 係顯示實施形態 3 之半導體裝置之製造工序之要部剖面圖。

圖 71 係顯示實施形態 3 之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖 70 之半導體裝置之製造工序之要部剖面圖。

圖 72 係顯示實施形態 3 之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖 71 之半導體裝置之製造工序之要部剖面圖。

圖 73 係顯示實施形態 3 之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖 72 之半導體裝置之製造工序之要部剖面圖。

圖 74 係顯示實施形態 3 之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖 73 之半導體裝置之製造工序之要部剖面圖。

圖 75 係顯示實施形態 3 之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖 74 之半導體裝置之製造工序之要部剖面圖。

圖 76 係顯示實施形態 3 之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖 75 之半導體裝置之製造工序之要部剖面圖。

圖 77 係顯示實施形態 3 之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖 76 之半導體裝置之製造工序之要部剖面圖。

圖 78 係顯示實施形態 3 之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖 68 之半導體裝置之製造工序之要部剖面圖。

圖 79 係顯示實施形態 3 之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖 69 之半導體裝置之製造工序之要部剖面圖。

圖 80 係顯示實施形態 3 之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖 78 之半導體裝置之製造工序之要部剖面圖。

圖 81 係顯示實施形態 3 之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖 79 之半導體裝置之製造工序之要部剖面圖。

圖 82 係顯示實施形態 3 之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖 80 之半導體裝置之製造工序之要部剖面圖。

圖 83 係顯示實施形態 3 之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖 81 之半導體裝置之製造工序之要部剖面圖。

圖 84 係顯示實施形態 3 之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖 82 之半導體裝置之製造工序之要部剖面圖。

圖 85 係顯示實施形態 3 之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖 83 之半導體裝置之製造工序之要部剖面圖。

圖 86 係顯示實施形態 3 之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖 84 之半導體裝置之製造工序之要部剖面圖。

圖 87 係顯示實施形態 3 之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖 85 之半導體裝置之製造工序之要部剖面圖。

圖 88 係顯示實施形態 3 之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖 86 之半導體裝置之製造工序之要部剖面圖。

圖 89 係顯示實施形態 3 之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖 87 之半導體裝置之製造工序之要部剖面圖。

圖 90 係顯示實施形態 3 之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖 88 之半導體裝置之製造工序之要部剖面圖。

圖 91 係顯示實施形態 3 之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖 89 之半導體裝置之製造工序之要部剖面圖。

圖 92 係顯示實施形態 3 之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖 90 之半導體裝置之製造工序之要部剖面圖。

圖 93 係顯示實施形態 3 之半導體裝置之製造工序之要部剖面圖，且係顯示接著圖 91 之半導體裝置之製造工序之要部剖面圖。

圖 94 係顯示實施形態 3 之半導體裝置之其他記憶胞構成之要部剖面圖。

圖 95 係顯示實施形態 3 之半導體裝置之其他記憶胞構成

1

11	金屬矽化物層
12	絕緣膜
13a	障壁導體膜
13b	主導體膜
14	槽用絕緣膜
C	電容元件
CG	控制閘極電極
CP1	氧化矽膜
CP2	氮化矽膜
D1	距離
GE	閘極電極
hA	電洞分佈區域
M1	第1層佈線
MC	記憶胞
MD	汲極區域
MG	記憶體閘極電極
MS	源極區域
Pa	上部電極
Pb	下部電極
PG	插塞
PW1	p型井
PW2	p型井
Qn	n通道型 MISFET
SP1	矽間隔物

SW	側壁絕緣膜
θa	角度
θb	角度

七、申請專利範圍：

1. 一種半導體裝置，其包含：

半導體基板；

第1閘極電極，其配置於上述半導體基板之上方；

第2閘極電極，其以與上述第1閘極電極相鄰之方式配置於上述半導體基板之上方；

第1絕緣膜，其形成於上述第1閘極電極與上述半導體基板之間；及

第2絕緣膜，其形成於上述第2閘極電極與上述半導體基板之間及上述第1閘極電極與上述第2閘極電極之間，且其內部具有電荷累積部；且

上述第2絕緣膜包括：

第1膜；

配置於上述第1膜上之作為上述電荷累積部之第2膜；及

配置於上述第2膜上之第3膜；

上述第3膜包括：

位於上述第1閘極電極與上述第2閘極電極之間之側壁膜；及

沈積膜，其位於上述第2閘極電極與上述半導體基板之間；

上述沈積膜係自上述第2膜之橫部上以覆蓋上述側壁膜之側壁之方式延伸；

上述第1閘極電極上配置有第3絕緣膜；

上述第2閘極電極之高度高於上述第1閘極電極之高度；

上述側壁膜之高度係高於上述第1閘極電極之高度；

位在上述第1閘極電極與上述第2閘極電極之間之上述第3膜之閘極長度方向之膜厚係大於位在上述第2閘極電極與上述半導體基板之間之上述第3膜之膜厚。

2. 如請求項1之半導體裝置，其中上述側壁膜具有其膜厚自其上方至下方而變大之錐形狀。

3. 如請求項1之半導體裝置，其中上述側壁膜之上部係配置於較上述第2閘極電極之上部低之位置。

4. 如請求項1之半導體裝置，其中

於上述第1閘極電極上配置第3絕緣膜；

上述側壁膜之上部係配置於較上述第3絕緣膜之上部低之位置。

5. 如請求項2之半導體裝置，其中上述側壁膜之側面、與位於上述第2閘極電極與上述半導體基板之間之上述沈積膜之表面所成之角為 90° 以上。

6. 如請求項1之半導體裝置，其中位於上述第1閘極電極與上述第2閘極電極之間之上述第1膜之膜厚為2 nm以下。

7. 如請求項1之半導體裝置，其中

於上述電荷累積部中累積電子；

累積於上述電荷累積部之電子係藉由將利用隧道現象而於上述半導體基板中產生之電洞經由位於上述第1閘

極電極與上述第2閘極電極之間之上述第1膜注入上述電荷累積部而被抹除。

8. 一種半導體裝置之製造方法，其包含如下之步驟：

(a)於半導體基板上介隔第1絕緣膜而形成第1閘極電極；

(b)於上述半導體基板上及上述第1閘極電極之表面及側面，形成內部具有電荷累積部之第2絕緣膜；及

(c)於上述第1閘極電極之側壁部介隔上述第2絕緣膜而形成第2閘極電極；且

上述(b)步驟為形成具有第1膜、第2膜及第3膜之上述第2絕緣膜之步驟，且包含如下之步驟：

(b1)於上述半導體基板上及上述第1閘極電極之表面及側面形成第1膜；

(b2)於上述第1膜上形成作為上述電荷累積部之第2膜；

(b3)於上述第2膜上形成第1沈積膜；

(b4)藉由各向異性地蝕刻上述第1沈積膜，於上述第1閘極電極之側壁部介隔上述第1膜及上述第2膜而形成側壁膜；及

(b5)藉由於上述第2膜及上述側壁膜上形成第2沈積膜，而形成具有上述側壁膜與上述第2沈積膜之第3膜；且

上述(a)步驟包括將第1導電性膜與第3絕緣膜之沈積膜蝕刻之步驟，且第3絕緣膜係配置於上述第1閘極電

極上；

於上述(b4)步驟中，上述側壁膜之高度係形成為高於上述第1閘極電極之高度；

於上述(c)步驟中，上述第2閘極電極之高度係形成為高於上述第1閘極電極之高度；

上述第2沈積膜係自上述第2膜之橫部上以覆蓋上述側壁膜之側壁之方式延伸；且

位在上述第1閘極電極與上述第2閘極電極之間之上述第3膜之閘極長度方向之膜厚係大於位在上述第2閘極電極與上述半導體基板之間的上述第3膜之膜厚。

9. 如請求項8之半導體裝置之製造方法，其中上述(c)步驟包含如下之步驟：

(c1)於上述第2絕緣膜上形成第2導電性膜；及

(c2)藉由各向異性地蝕刻上述第2導電性膜，且使上述第2導電性膜介隔上述第2絕緣膜而殘存於上述第1閘極電極之側壁部，從而形成上述第2閘極電極。

八、圖式：

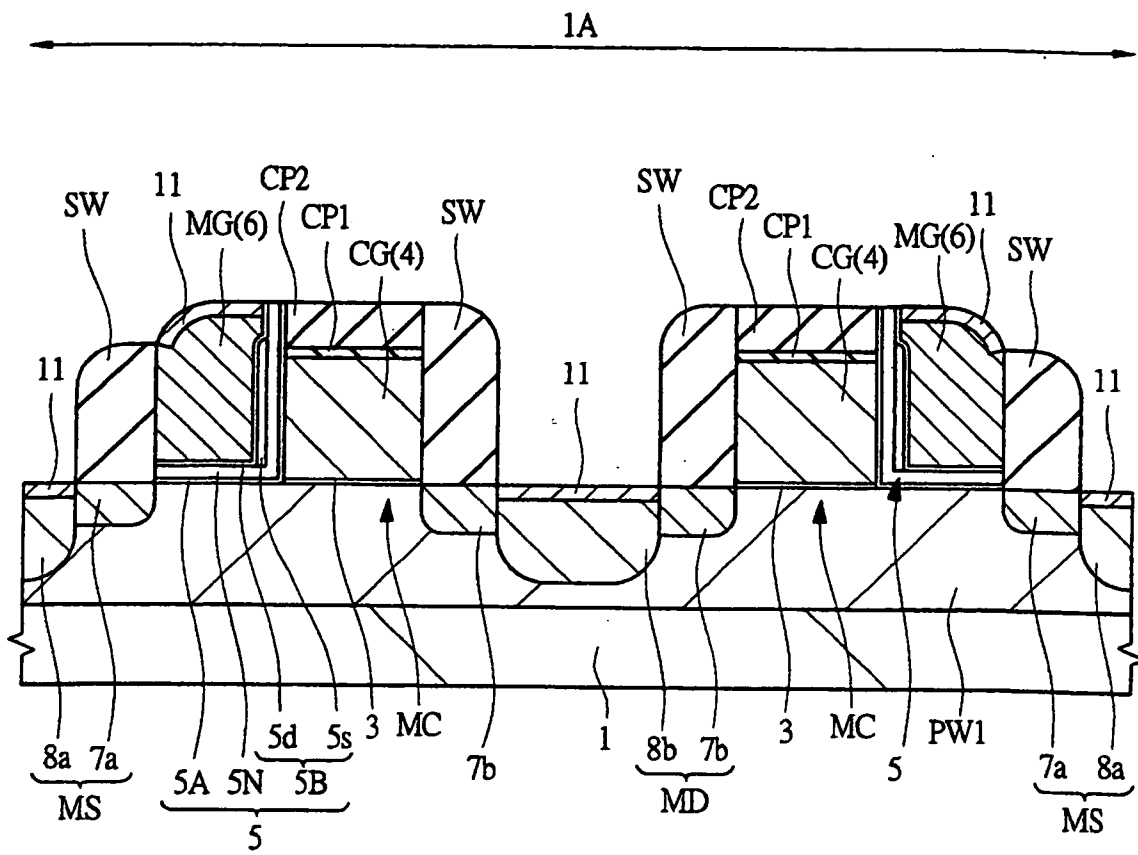
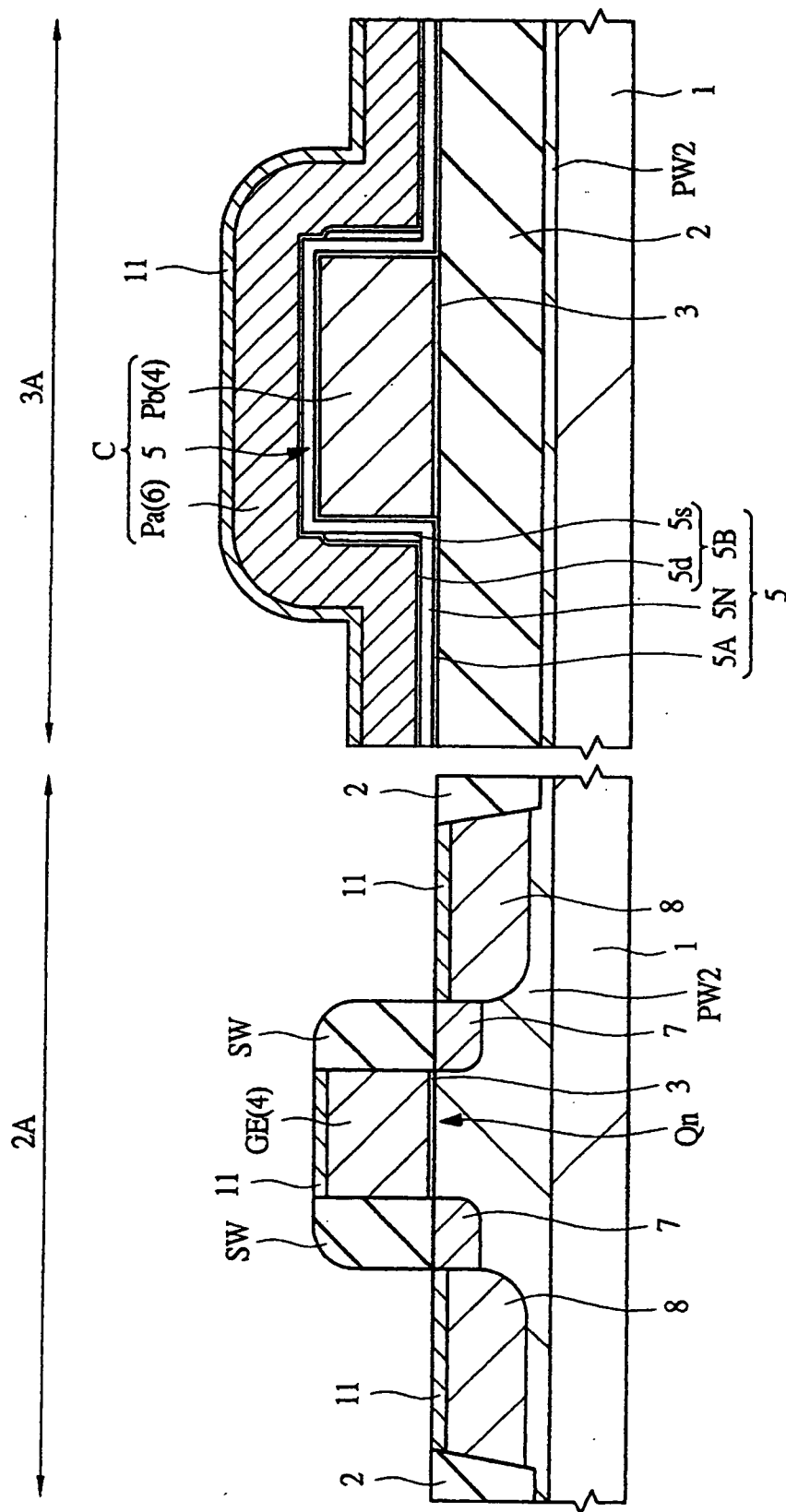


圖 1



2
回

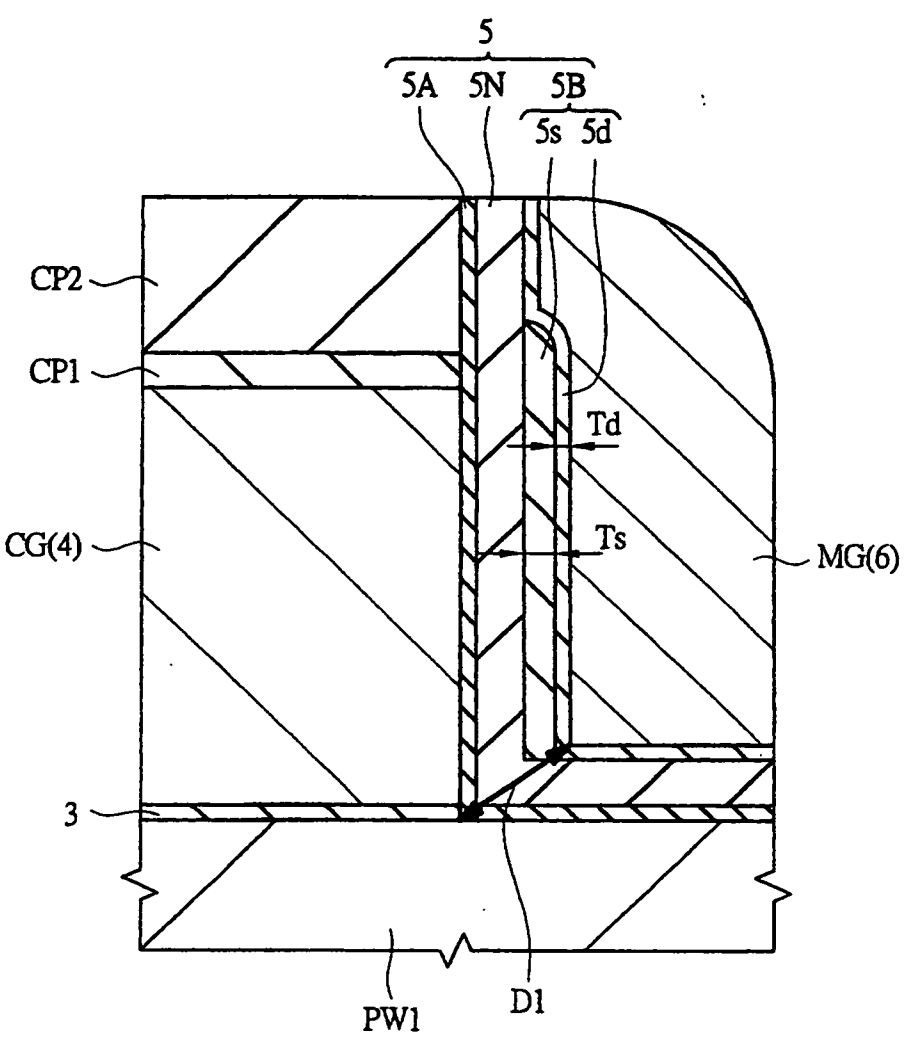


圖 3

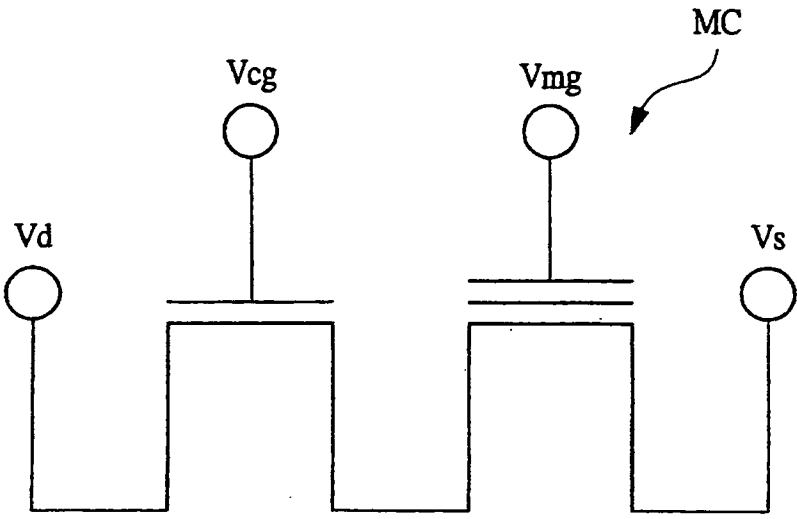
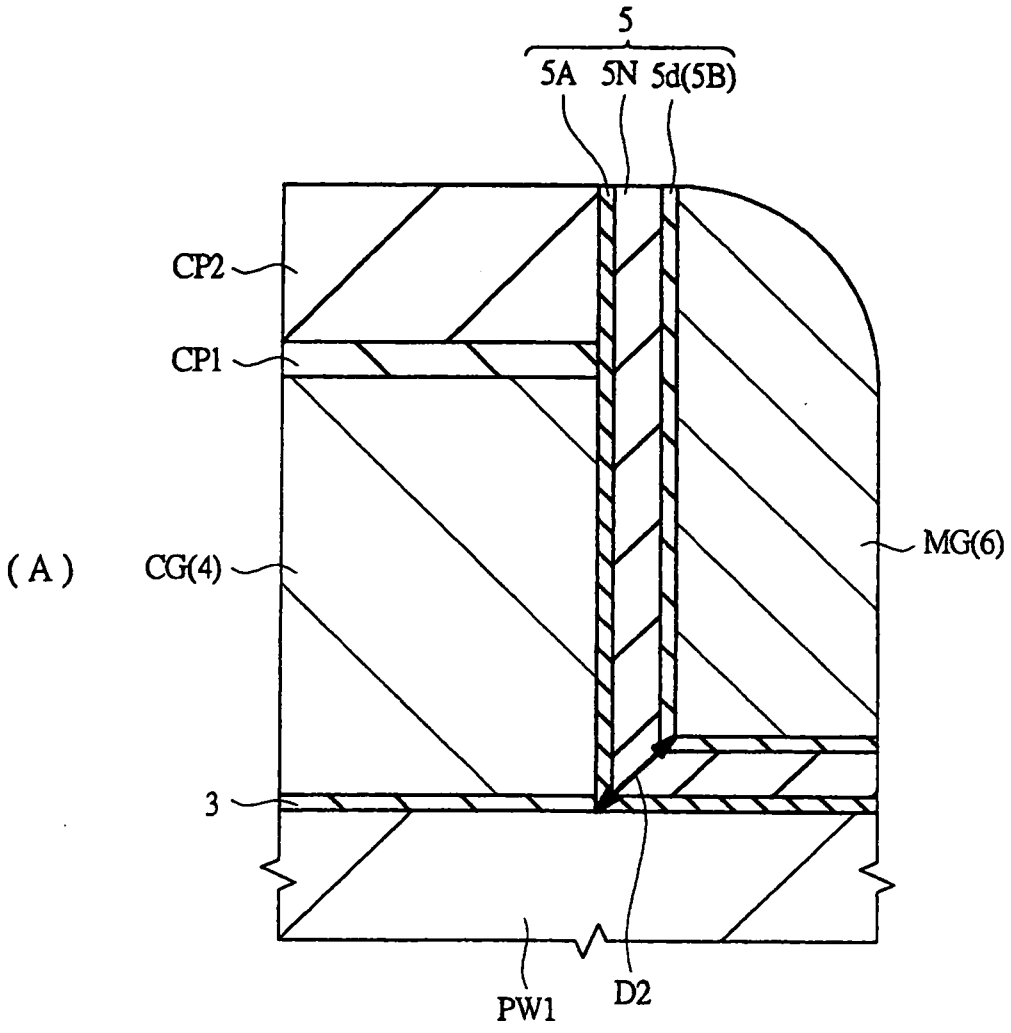


圖 4

動作 \ 施加電壓	Vd	Vcg	Vmg	Vs	Vb
寫入	0.3V	1V	8V	6V	0
抹除	0	0	-11V	0	0
讀取	Vdd	Vdd	0	0	0

Vdd = 1.5V

圖 5



(B)

動作 \ 施加電壓	Vd	Vcg	Vmg	Vs	Vb
抹除	0	0	-6V	6V	0

圖 6

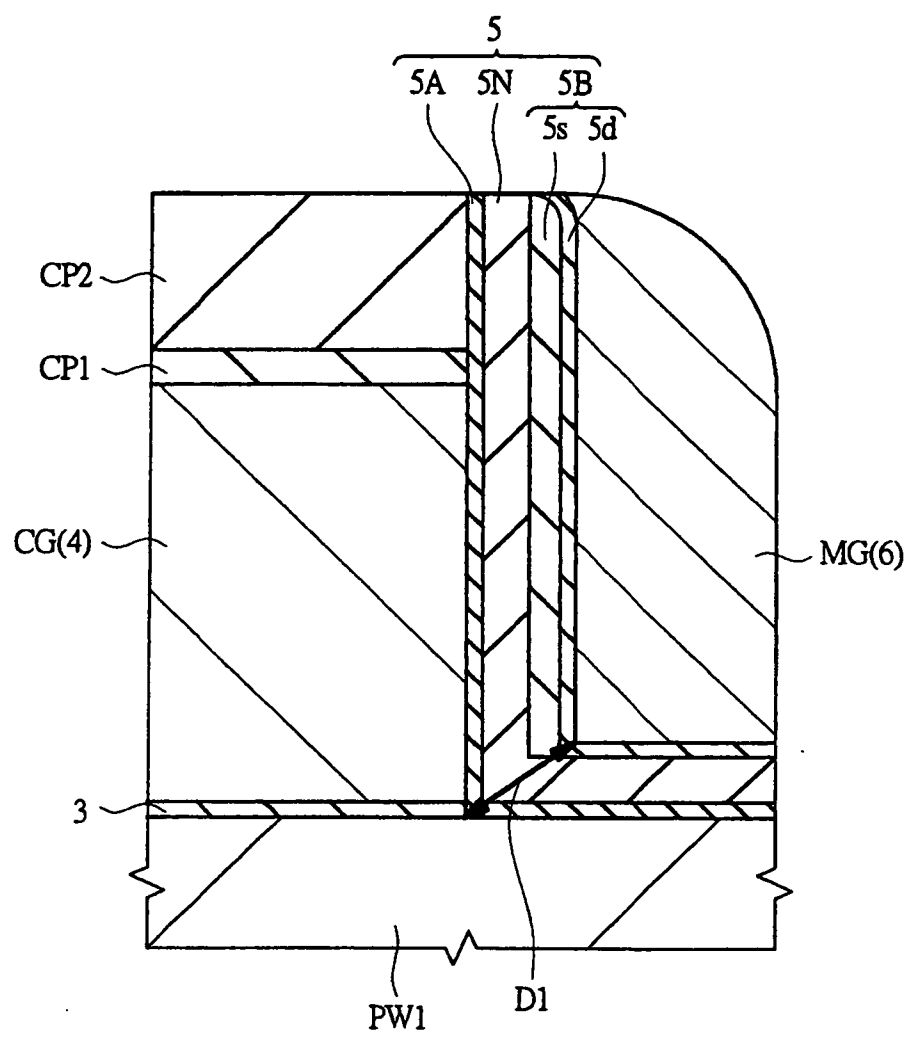


圖 7

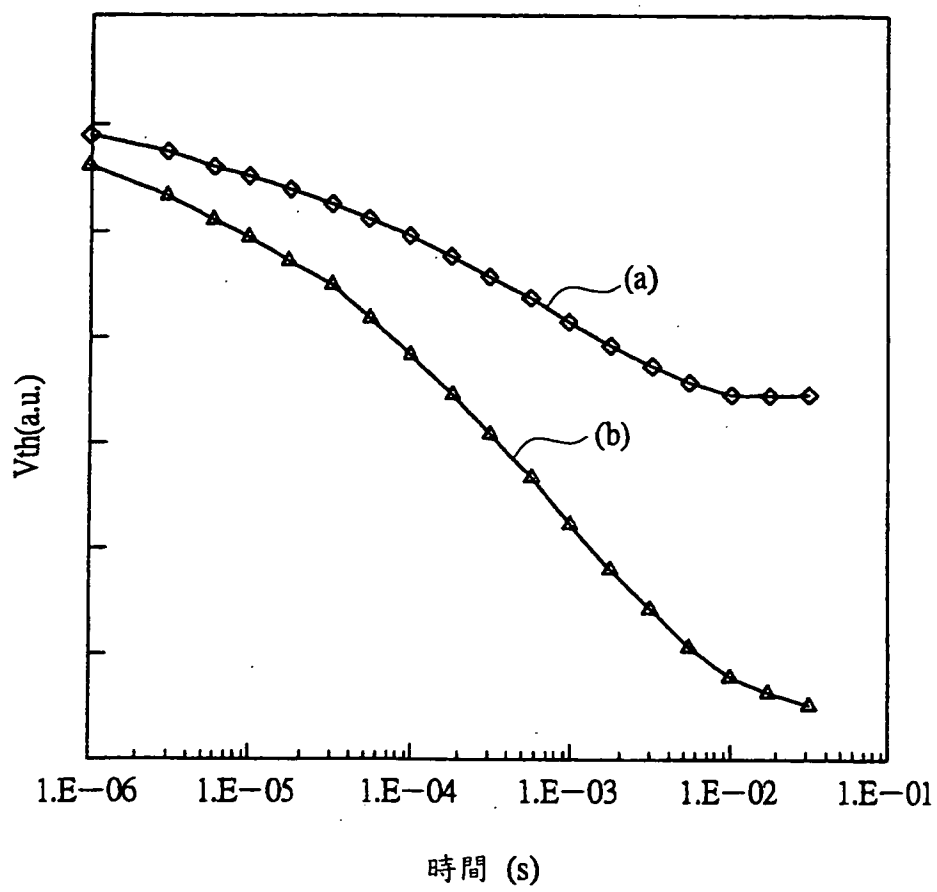


圖 8

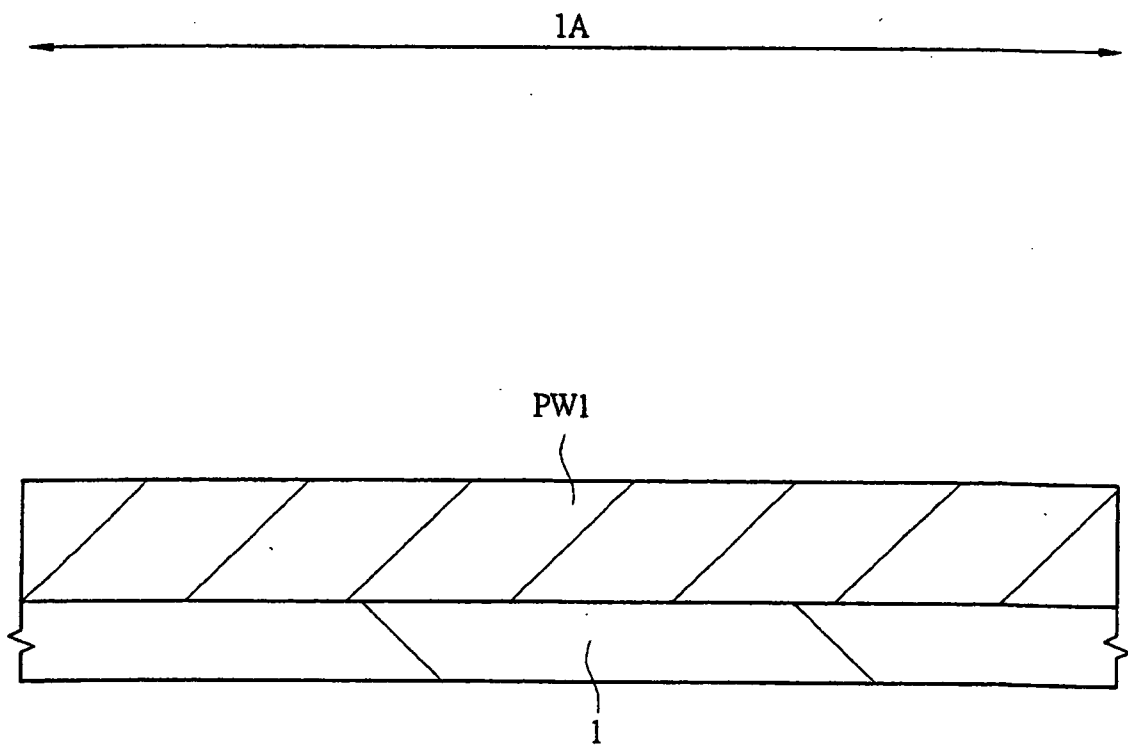


圖 9

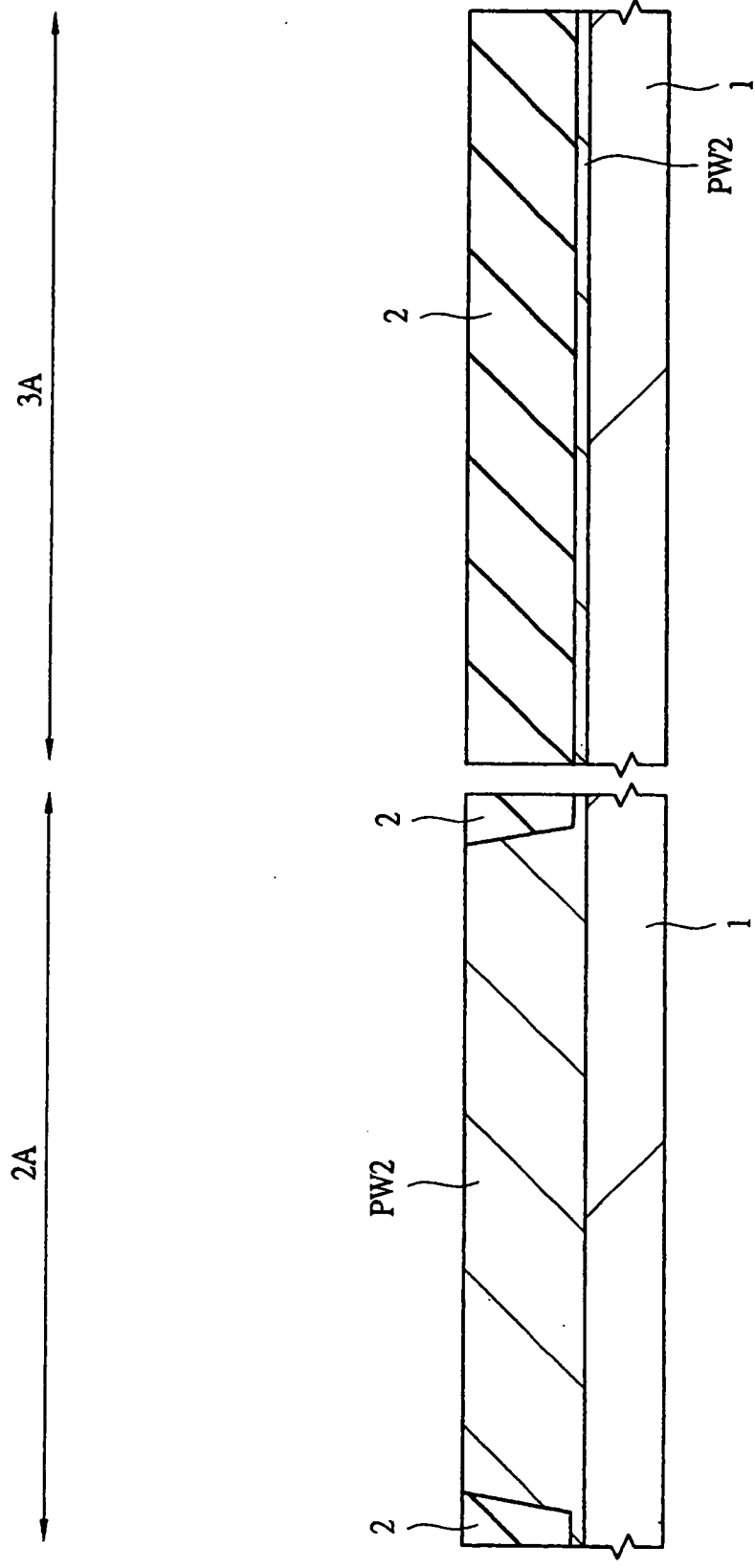


圖 10

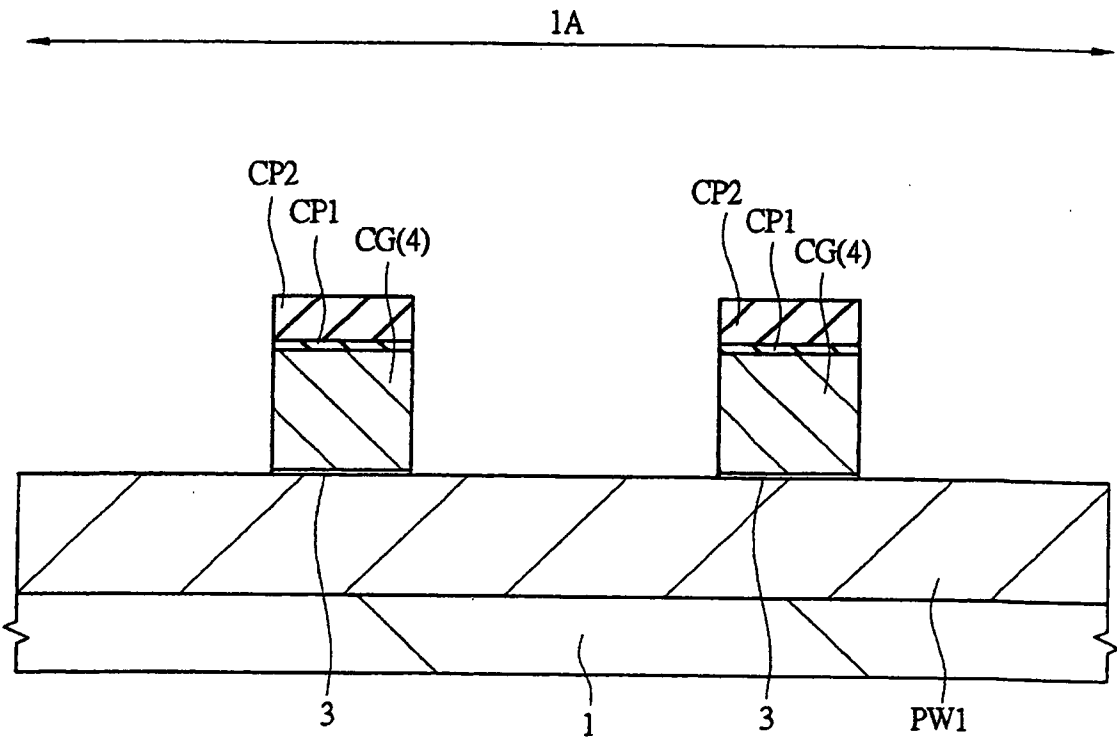


圖 11

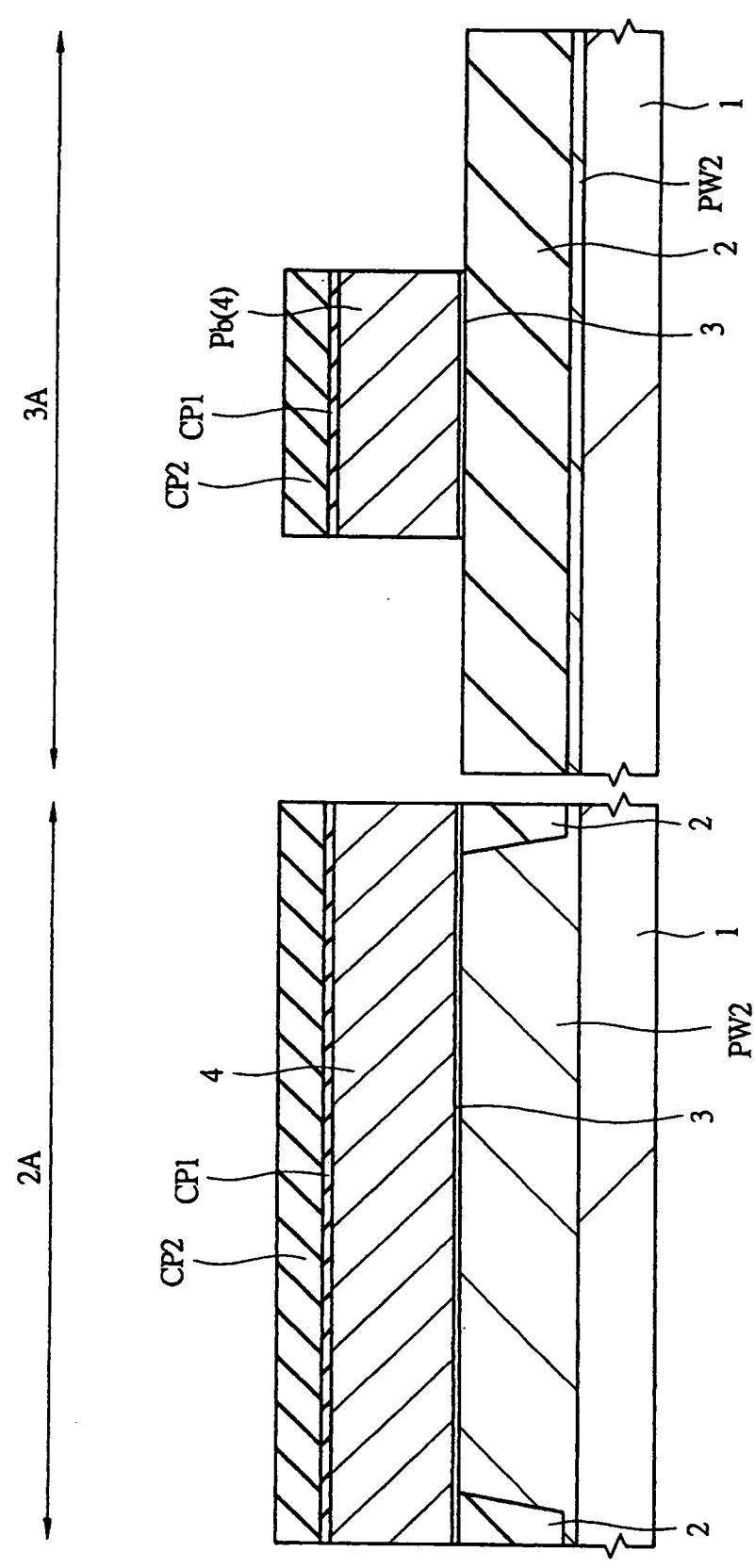
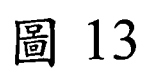


圖 12



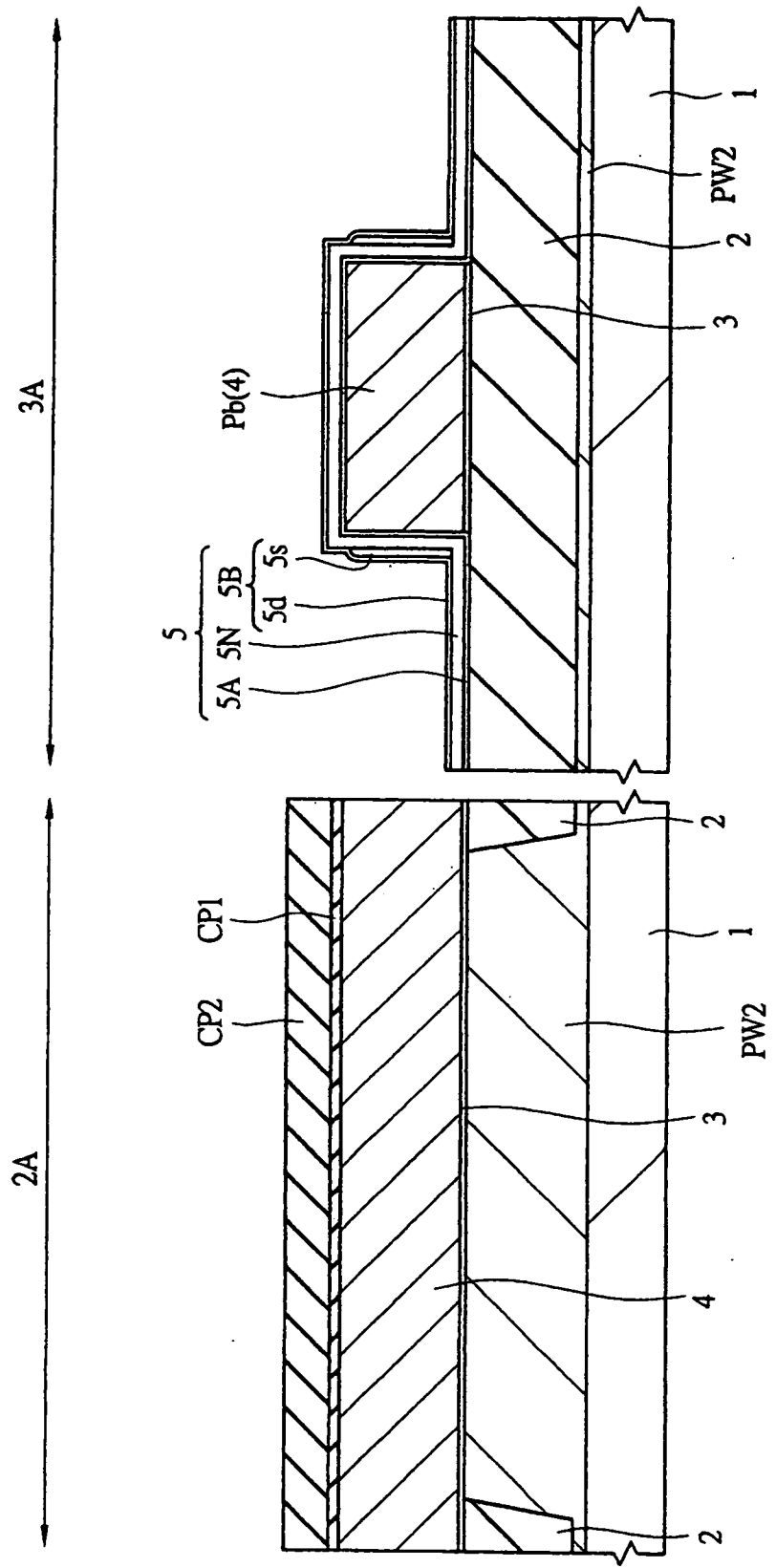


圖 14

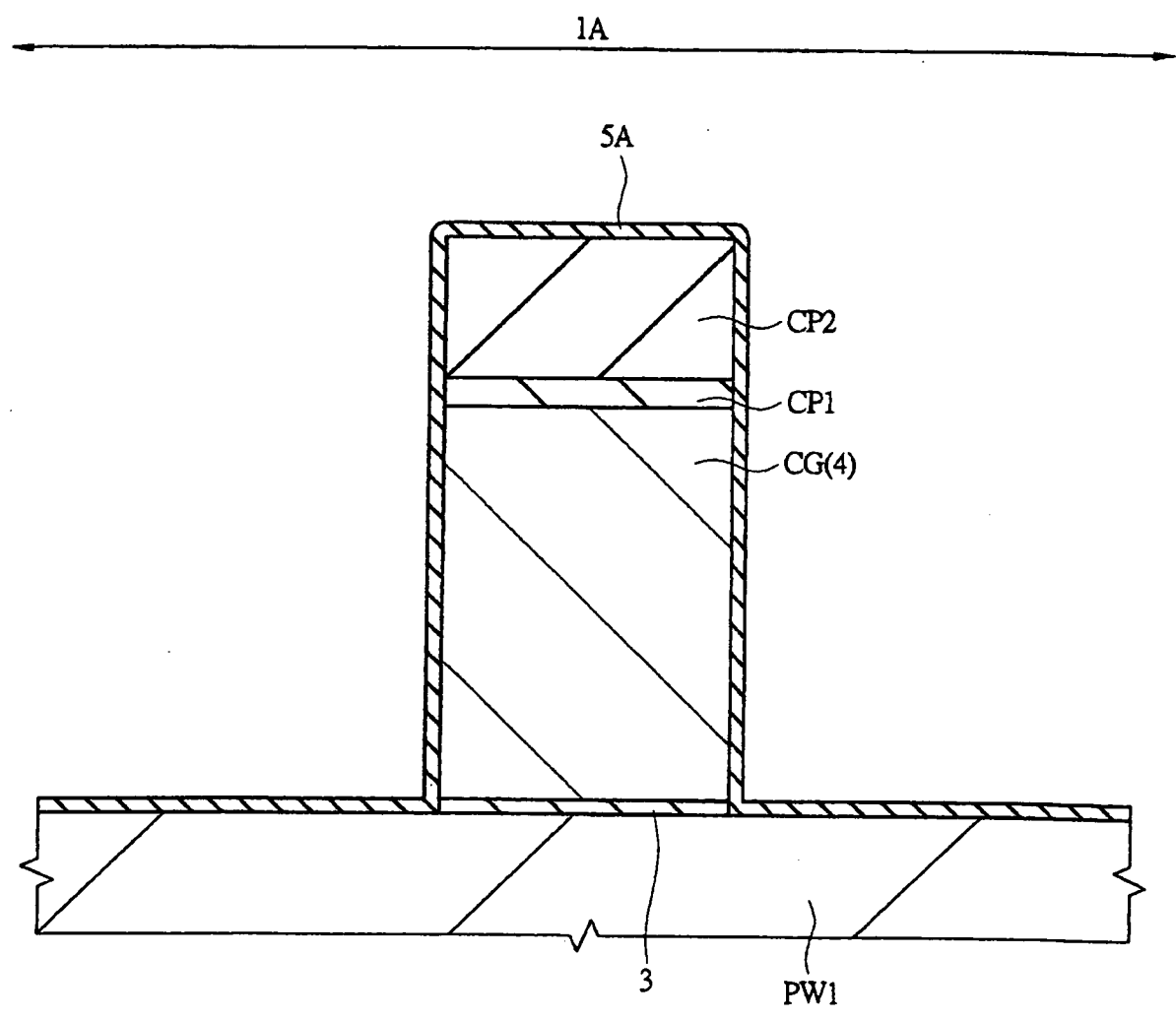


圖 15

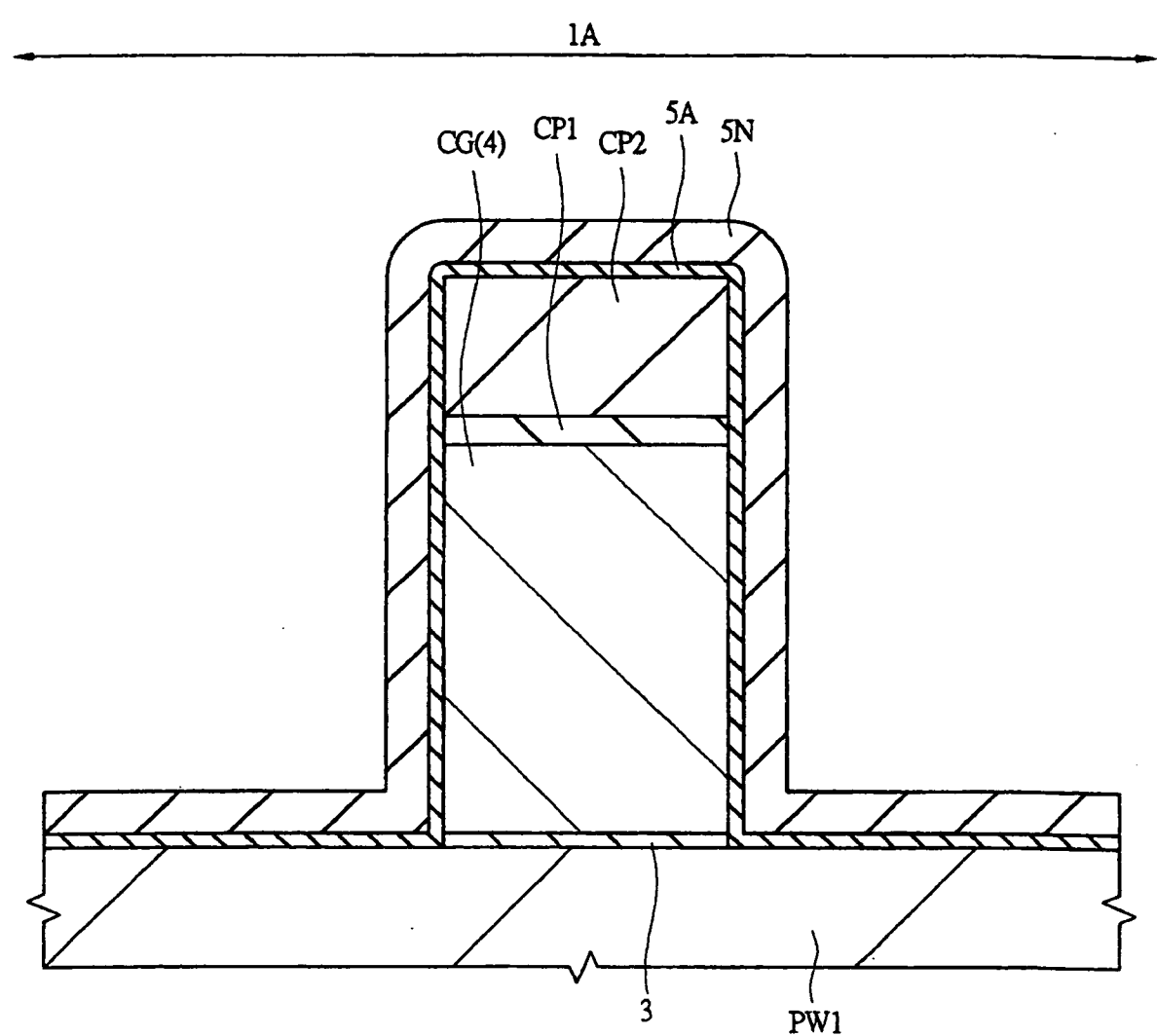


圖 16

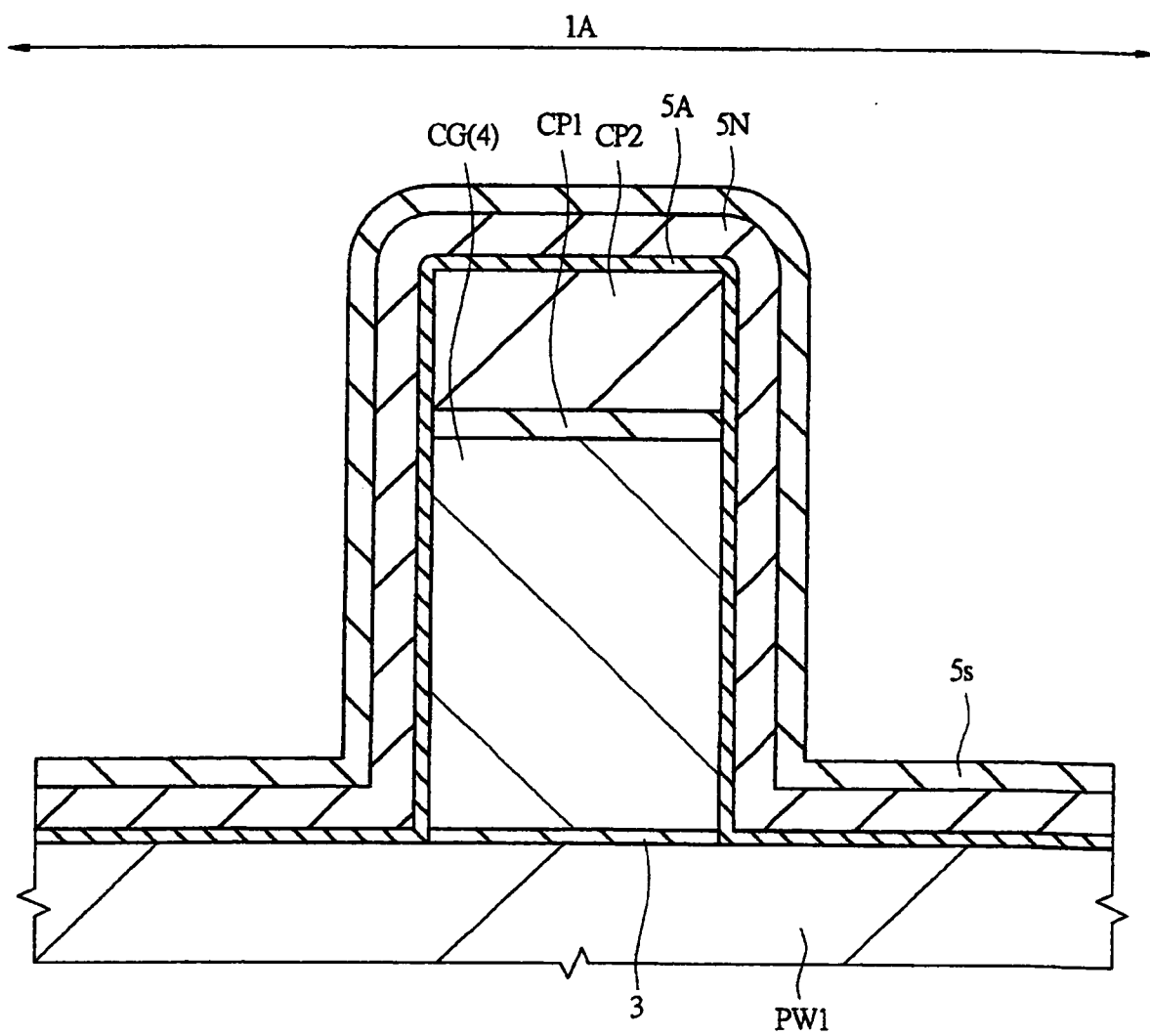


圖 17

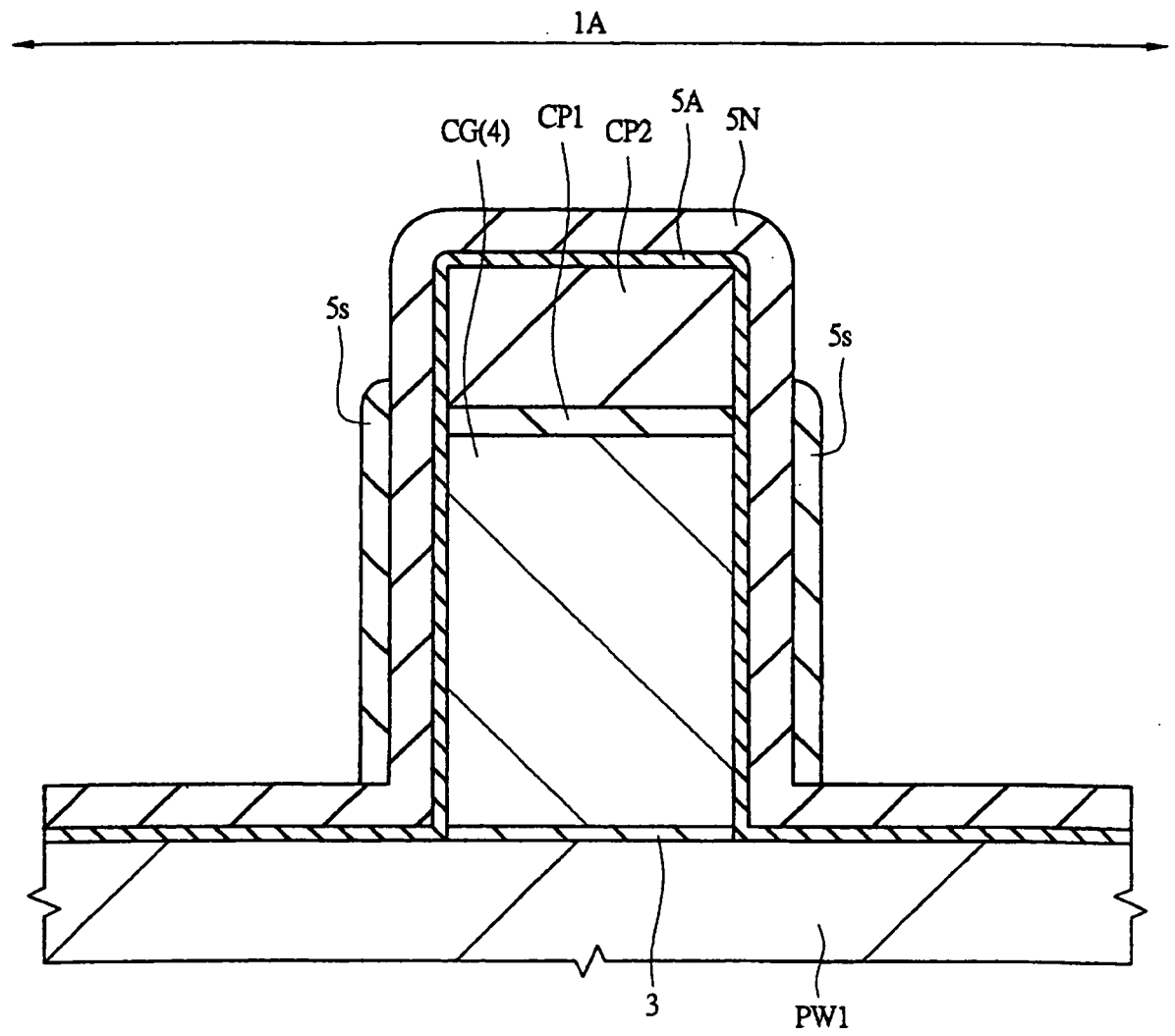


圖 18

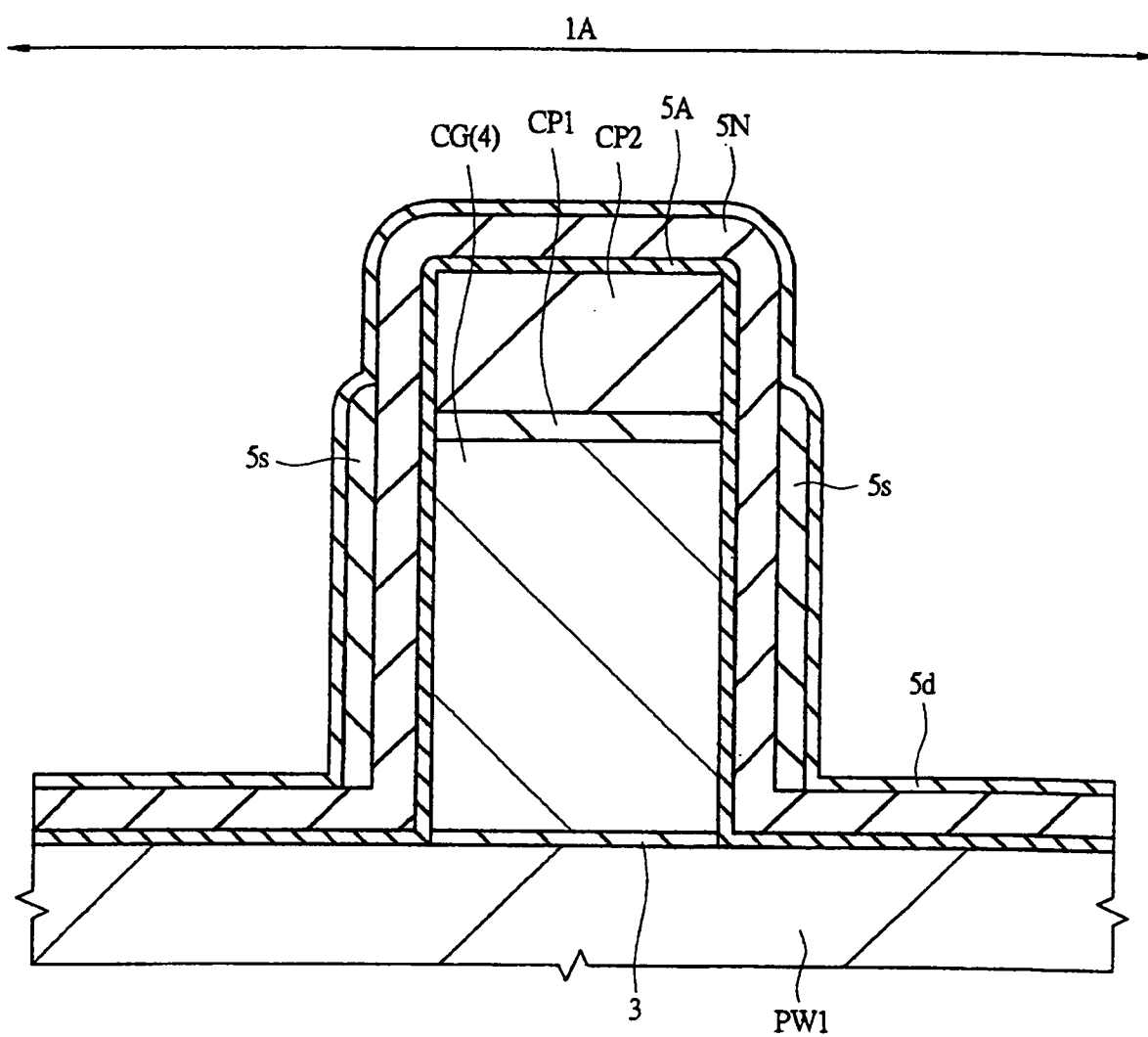


圖 19

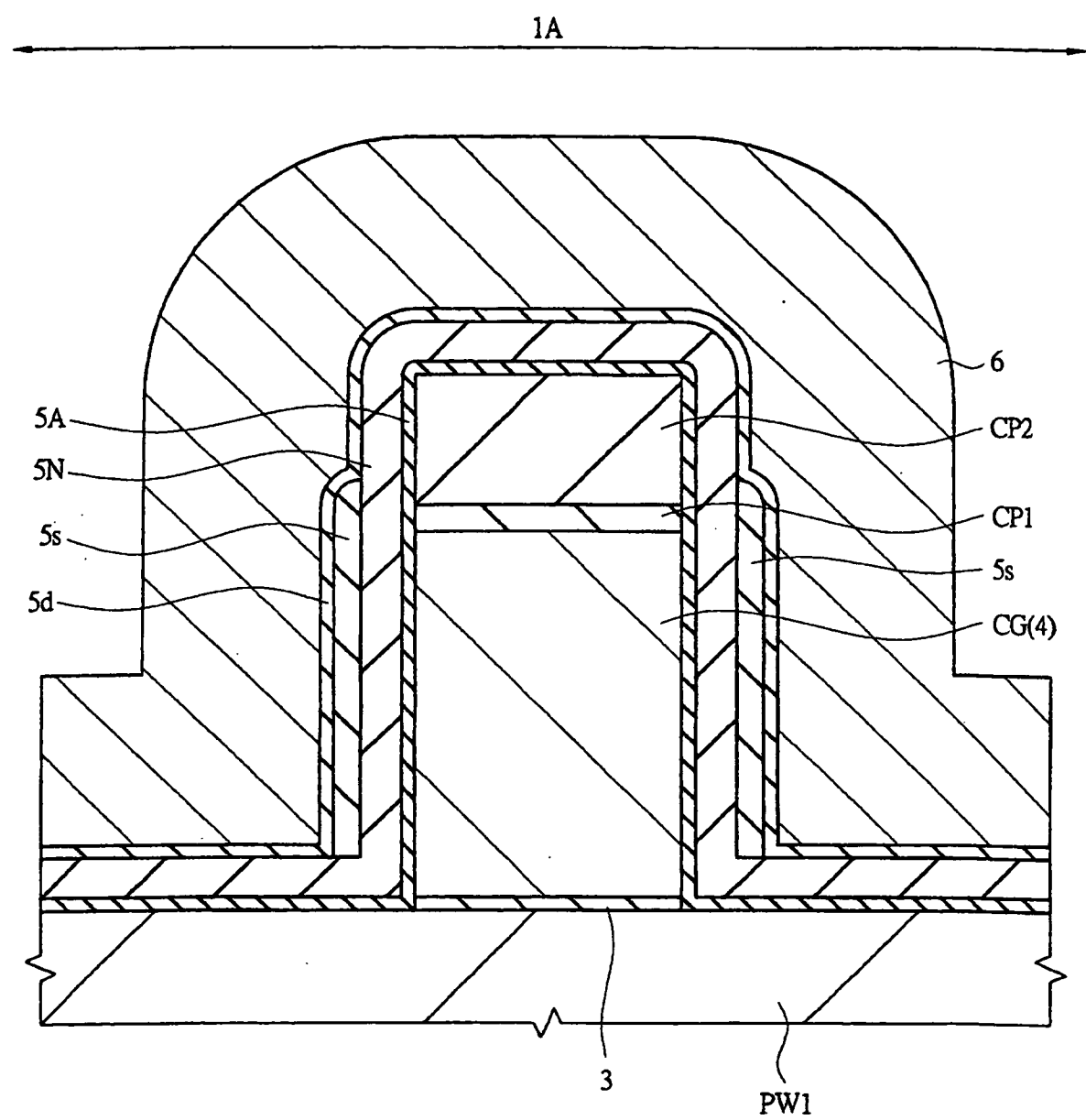


圖 20

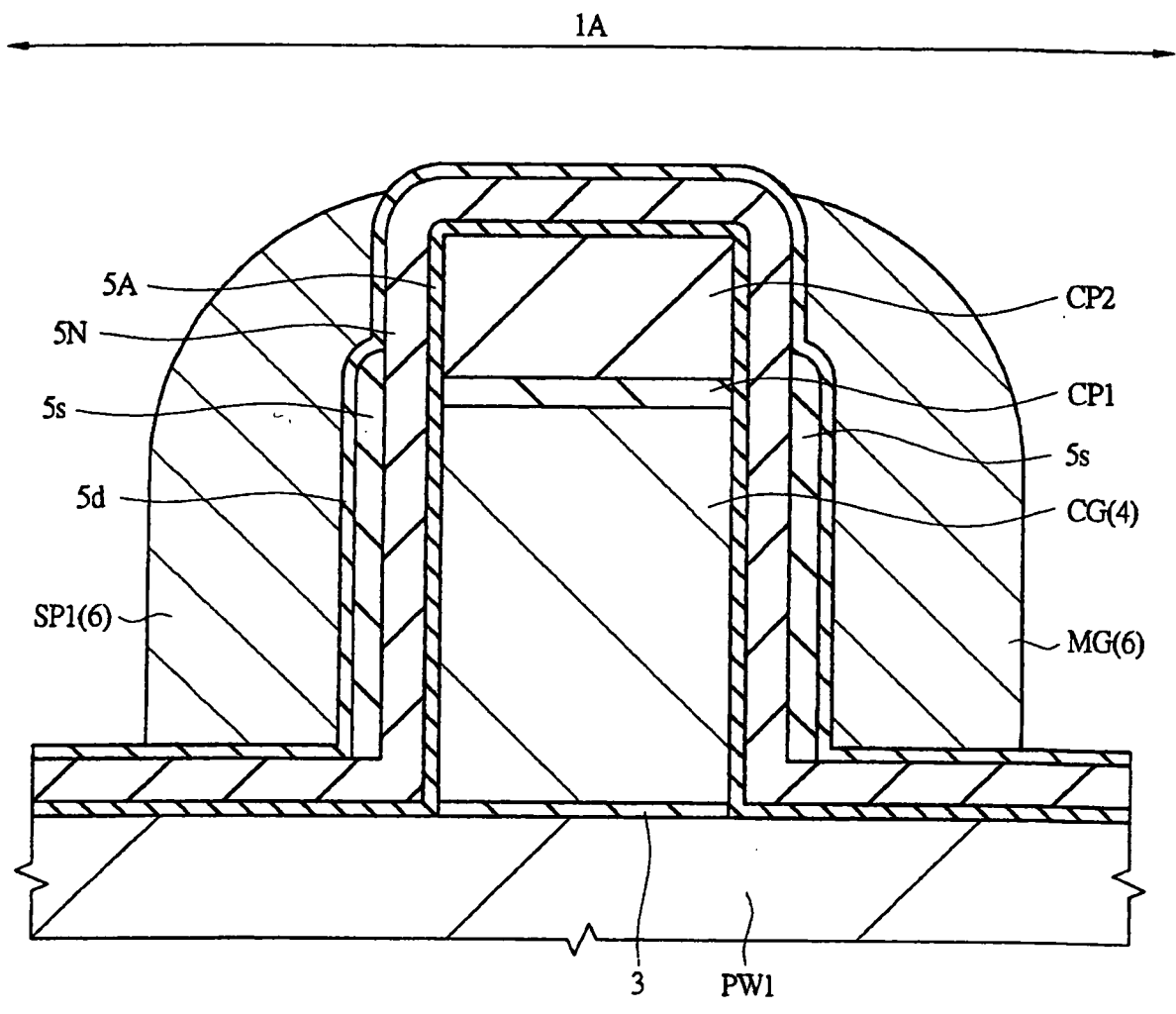


圖 21

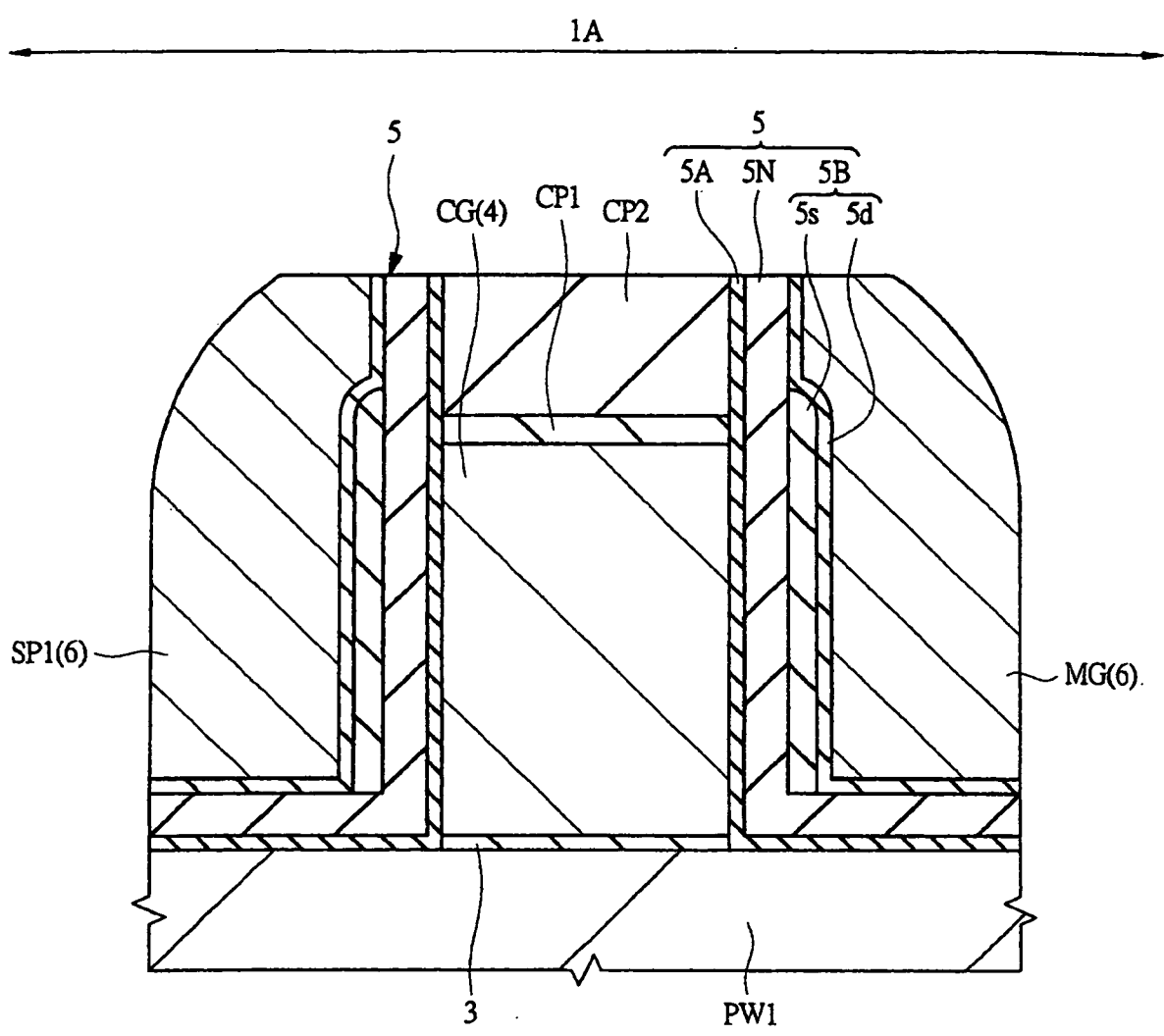
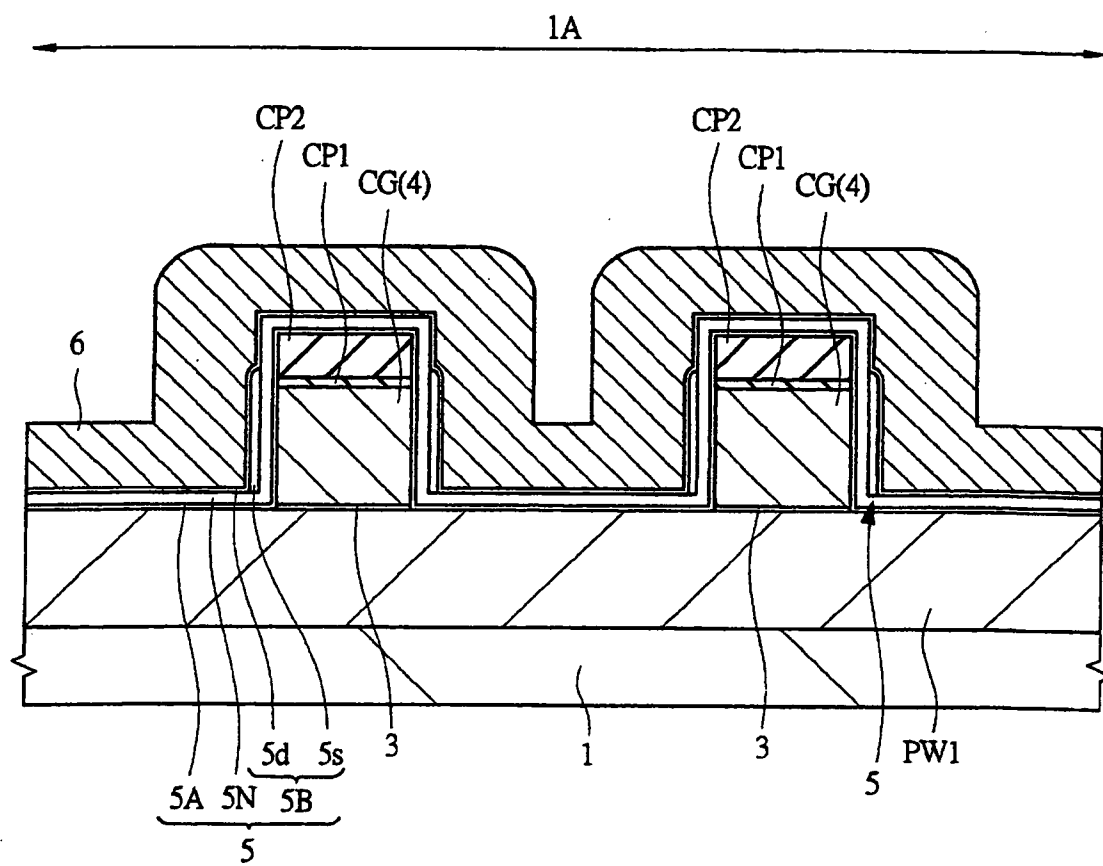


圖 22



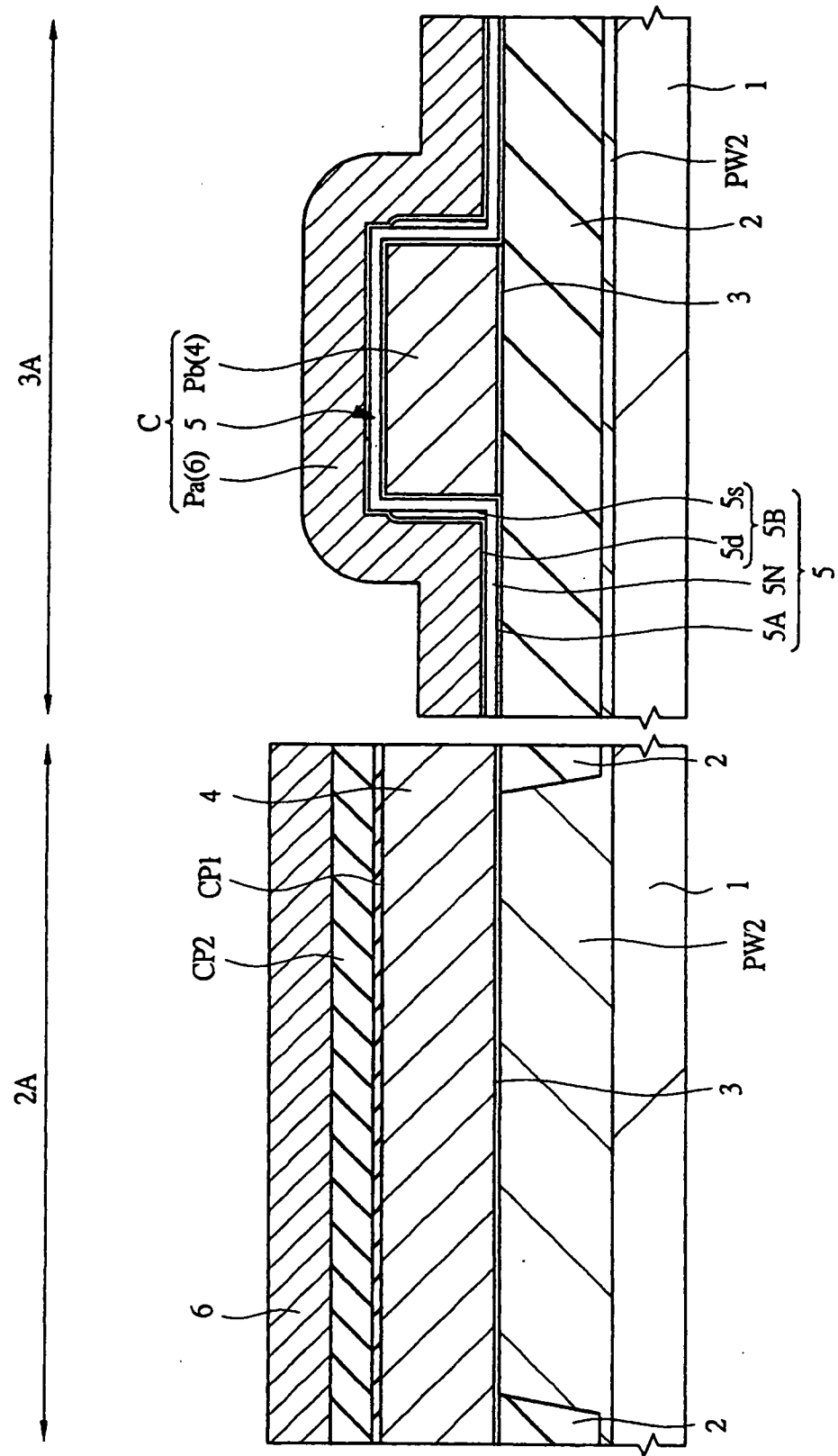


圖 24

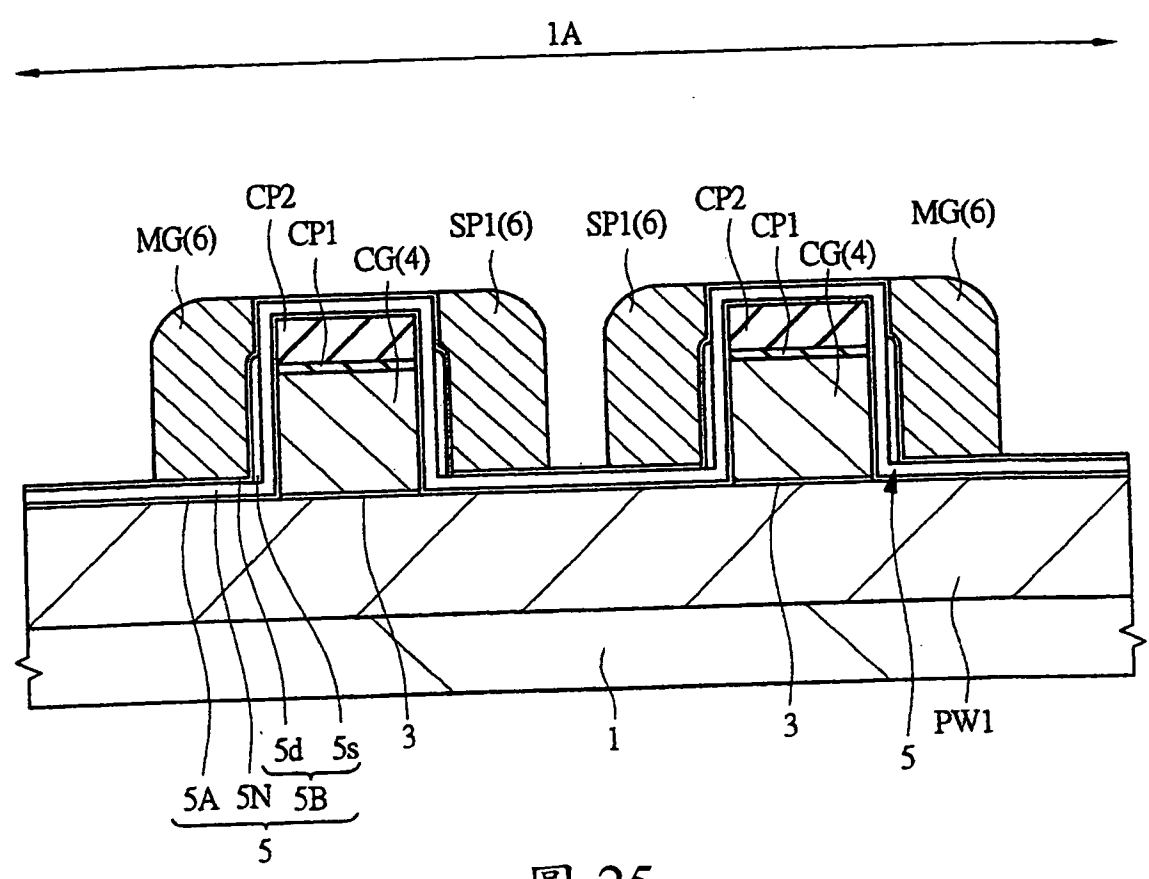


圖 25

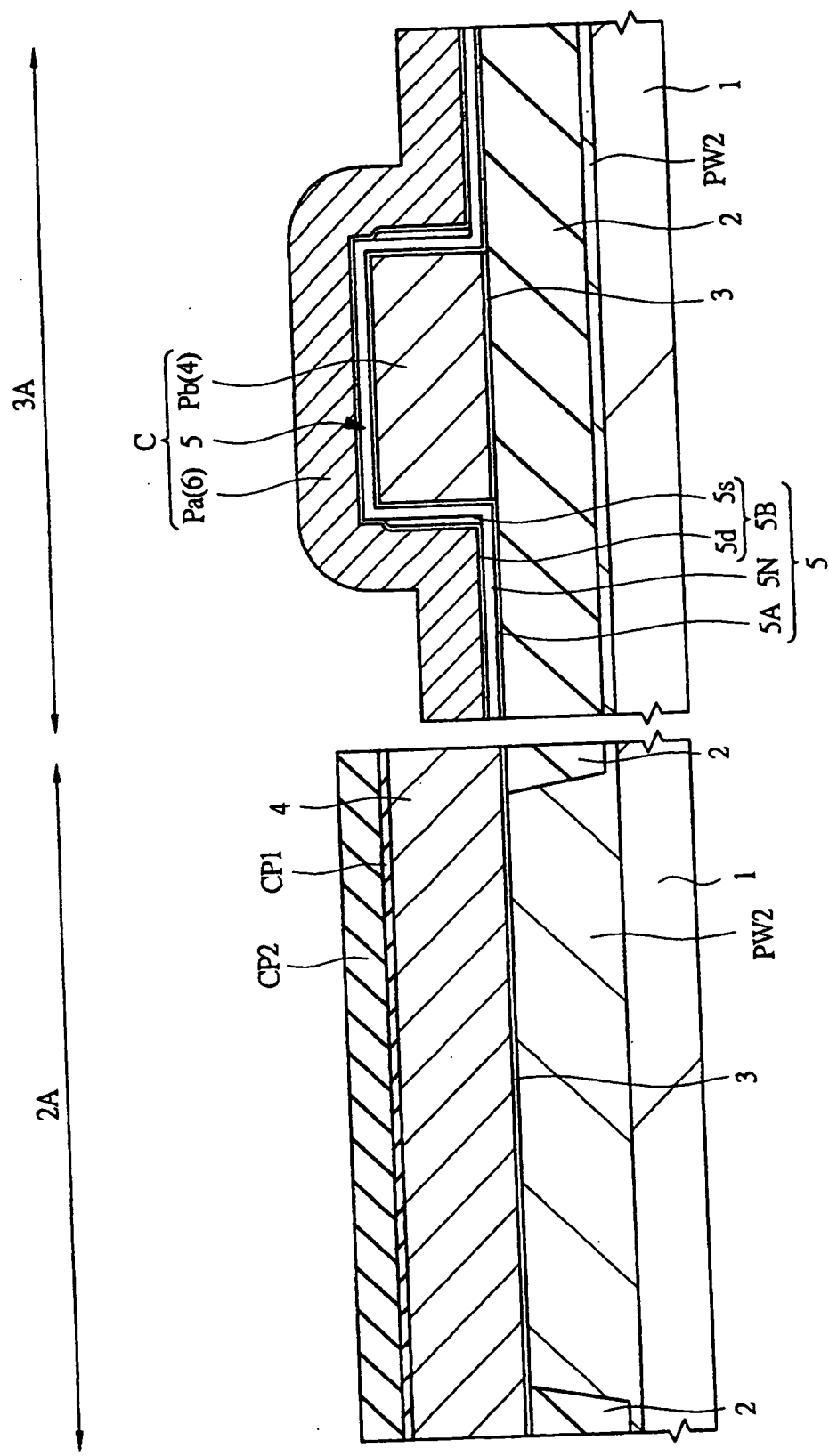


圖 26

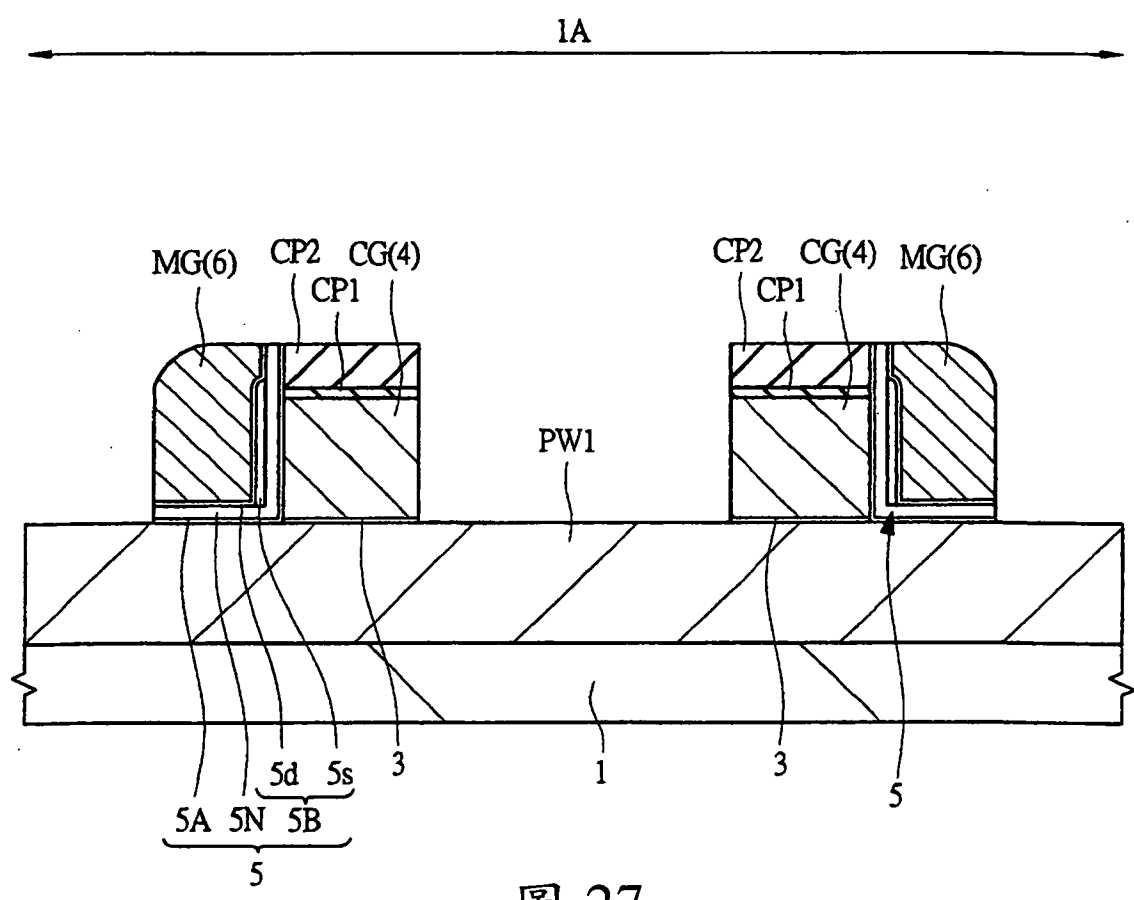


圖 27

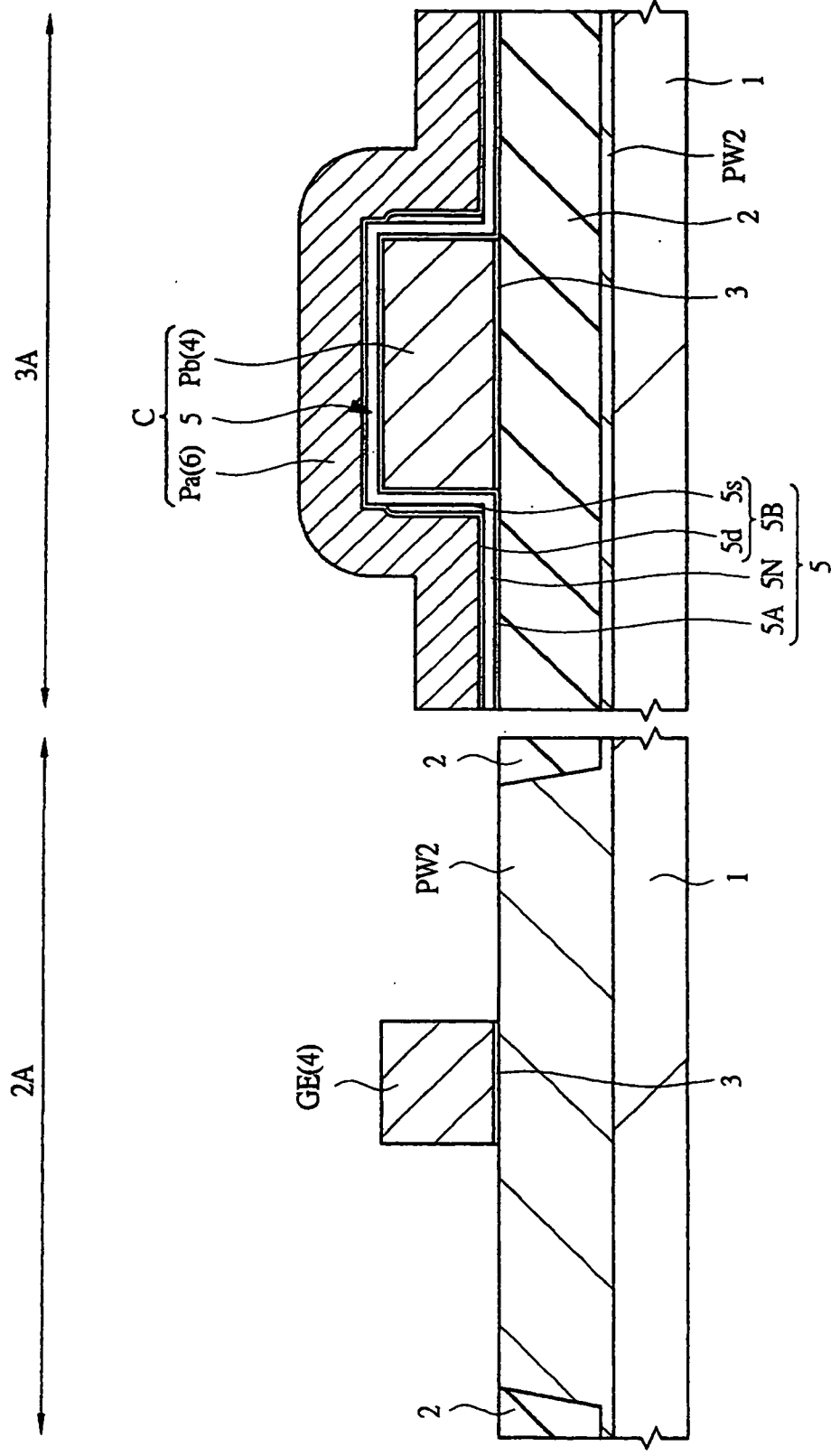


圖 28

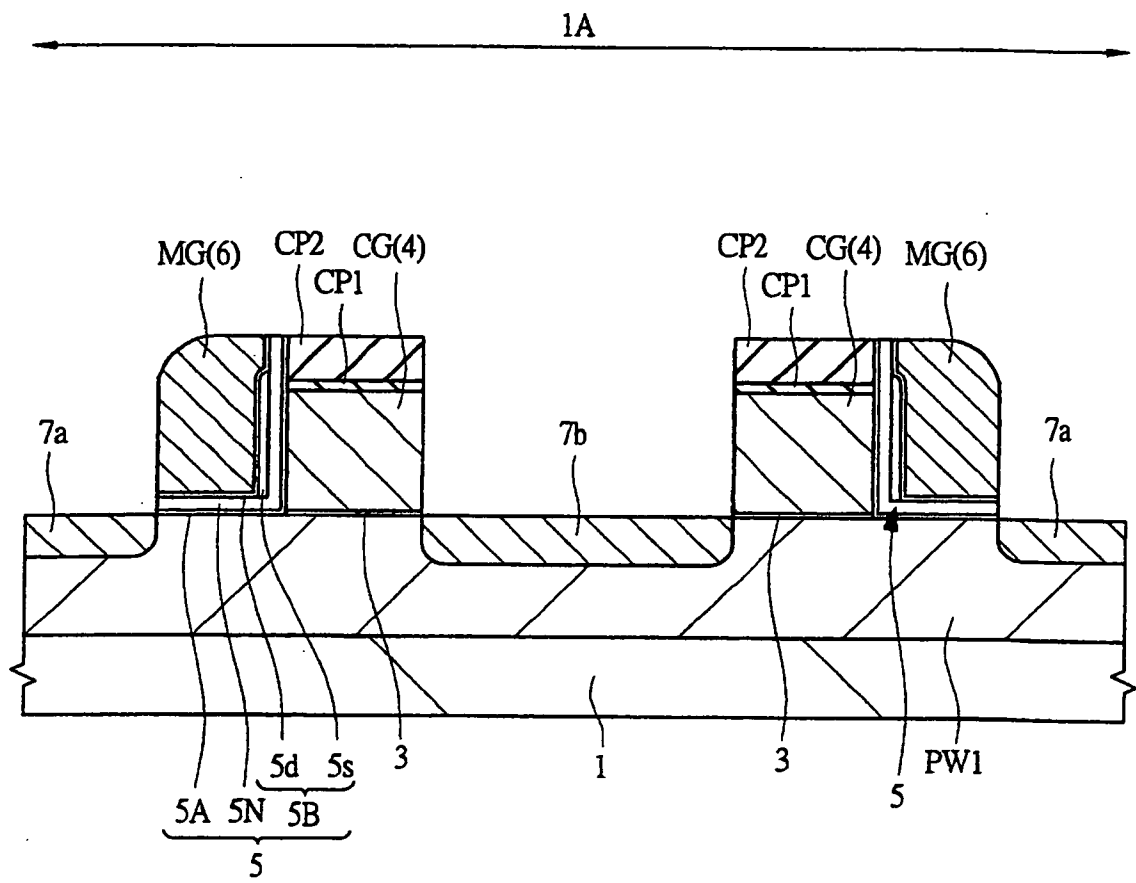


圖 29

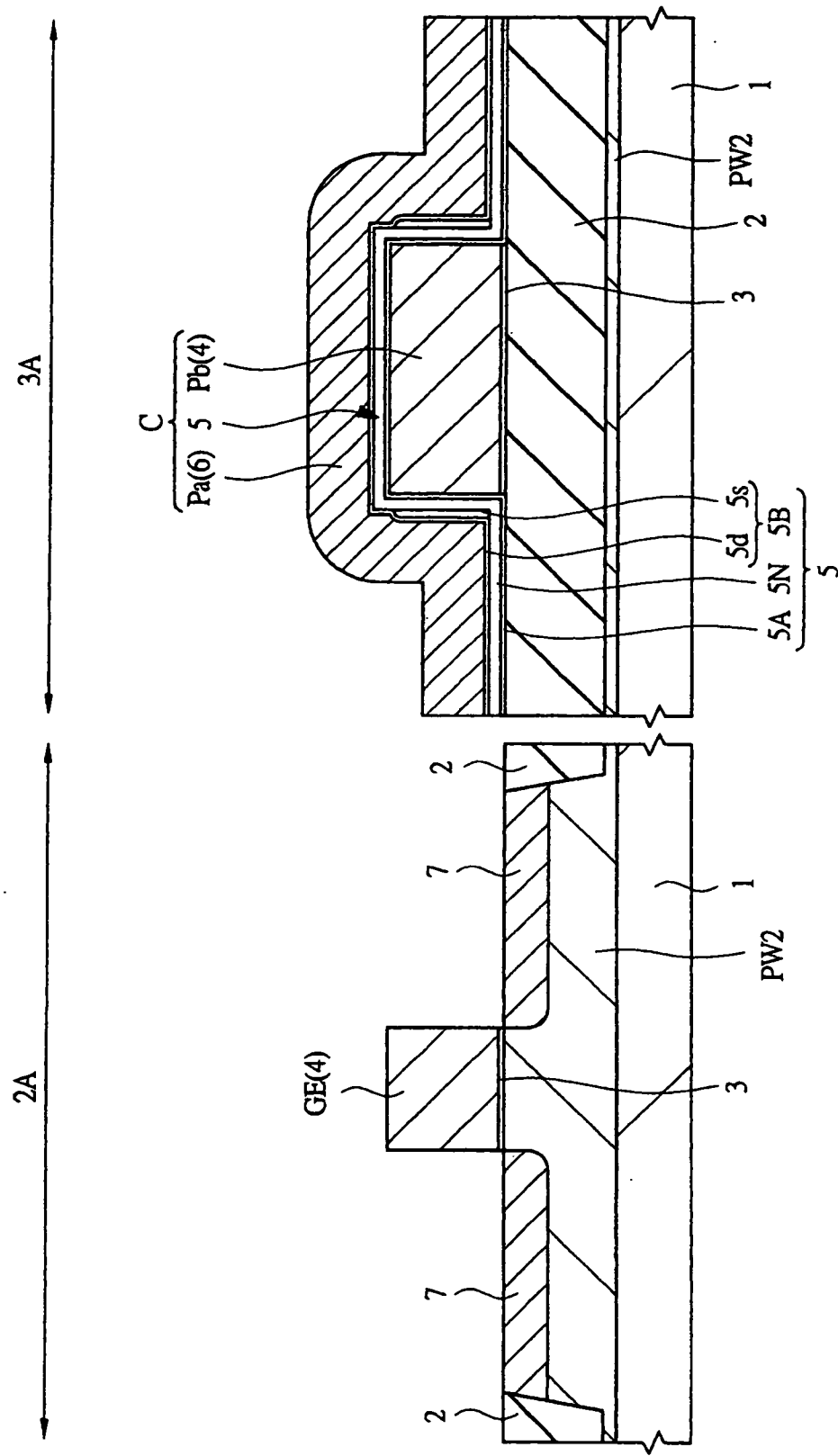


圖 30

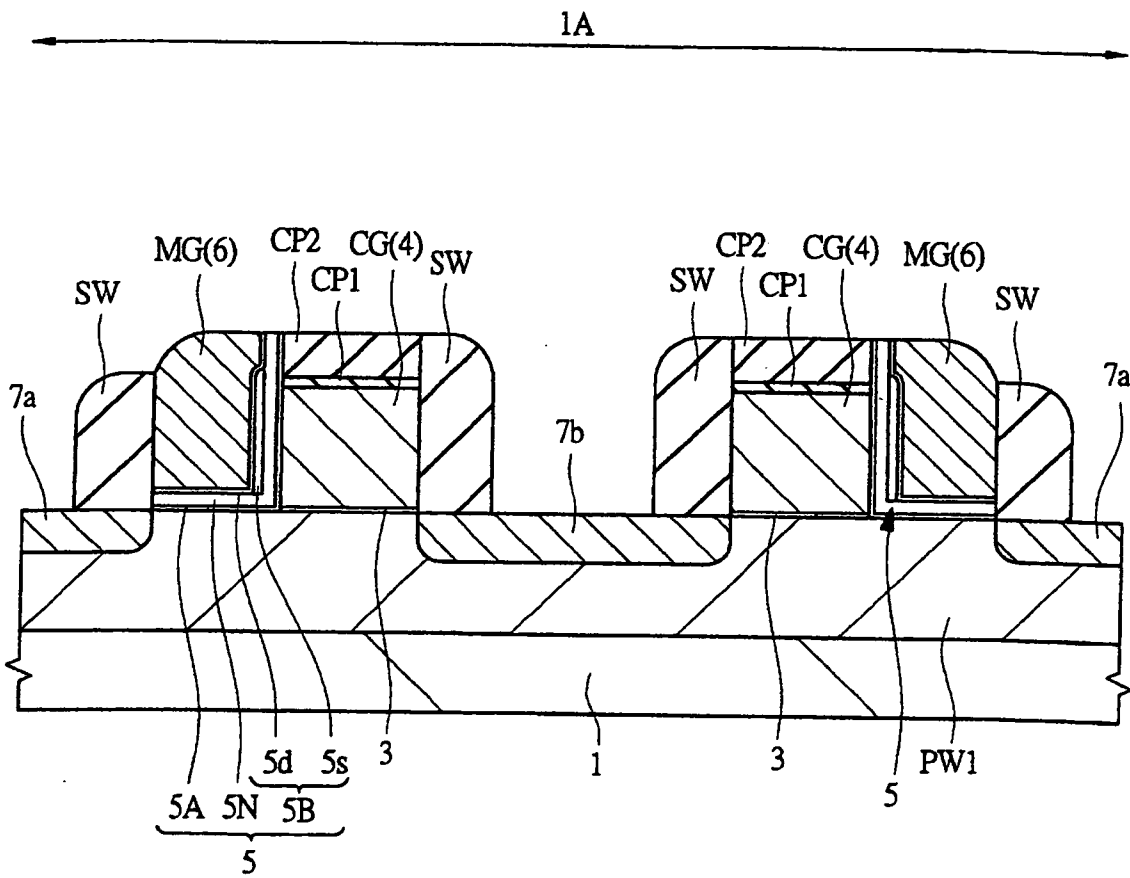


圖 31

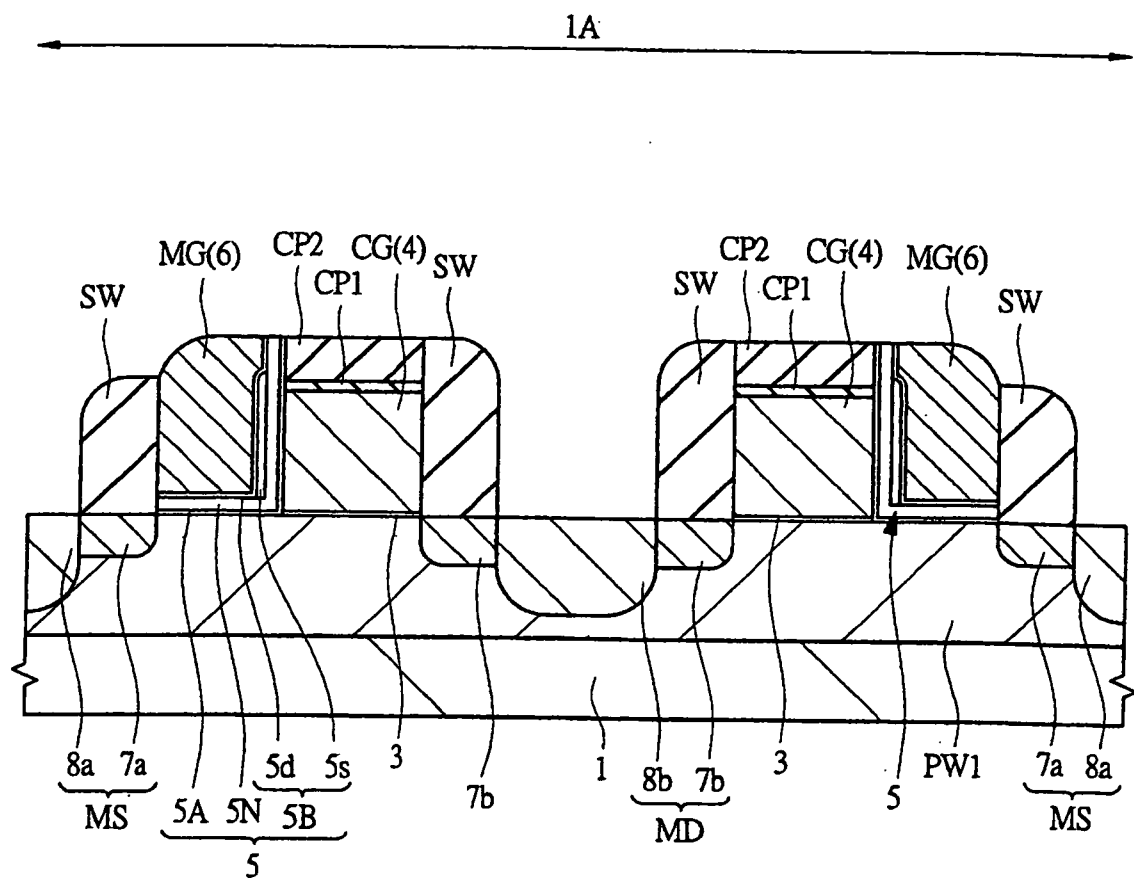


圖 33

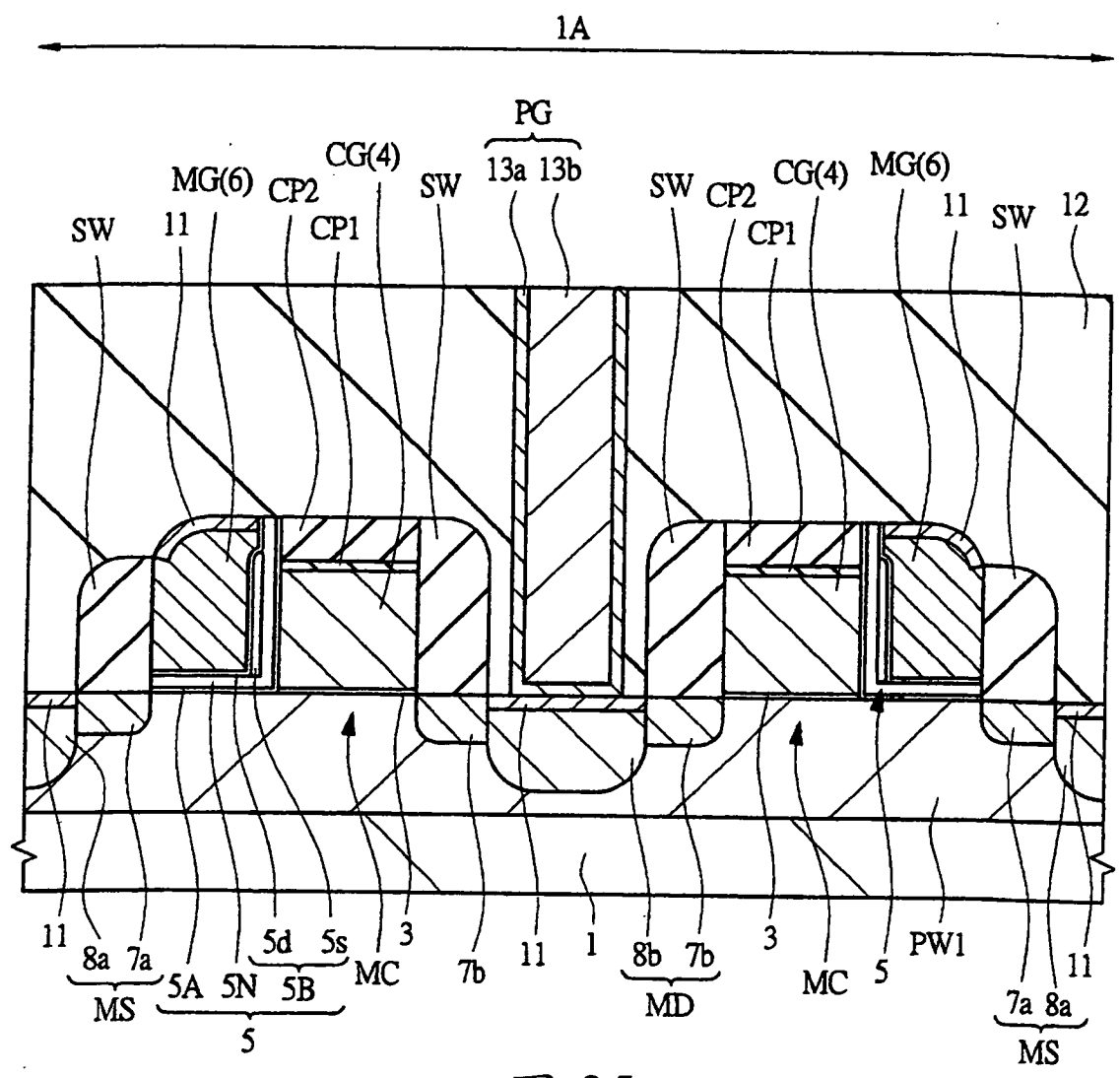


圖 35

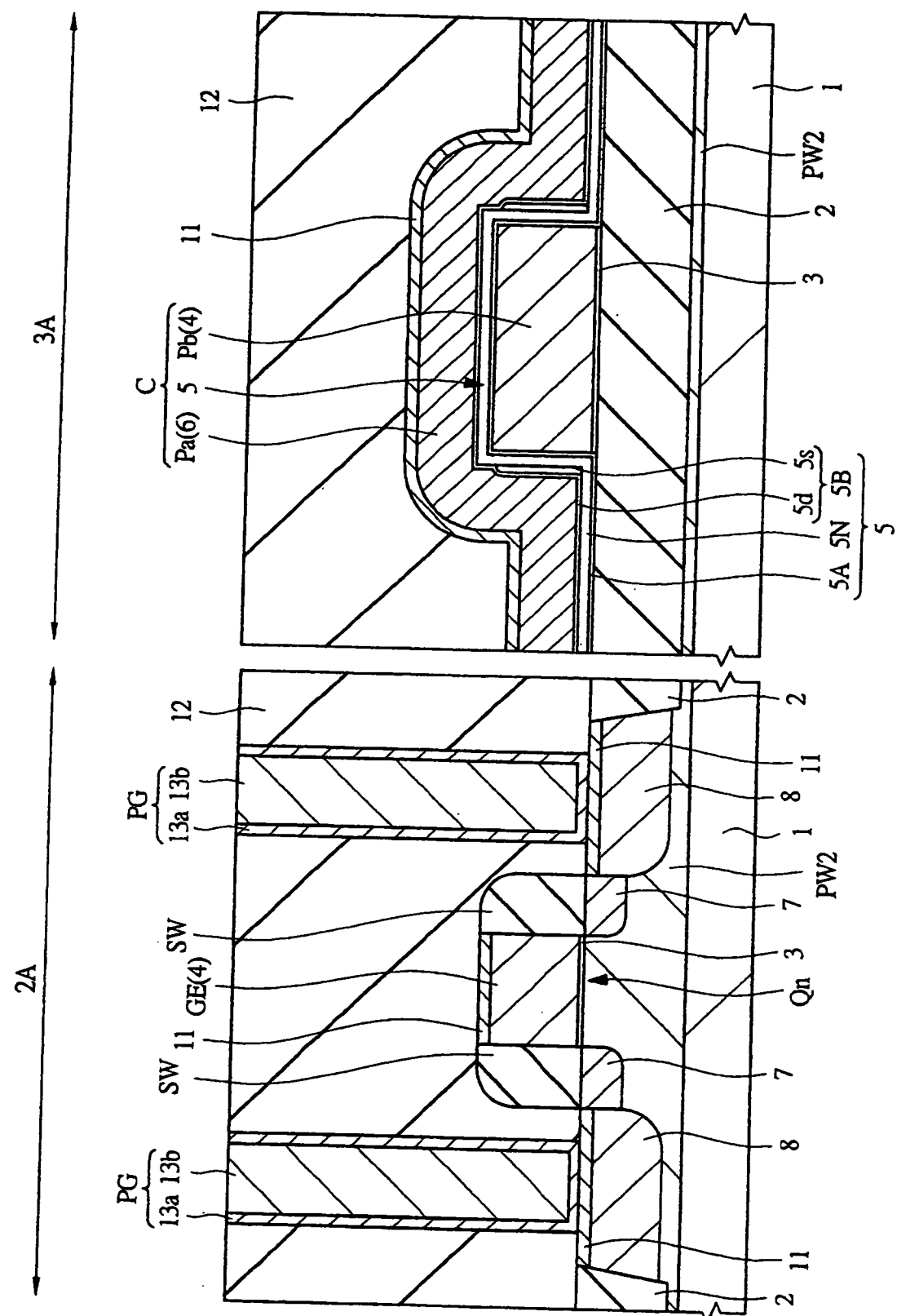


圖 36

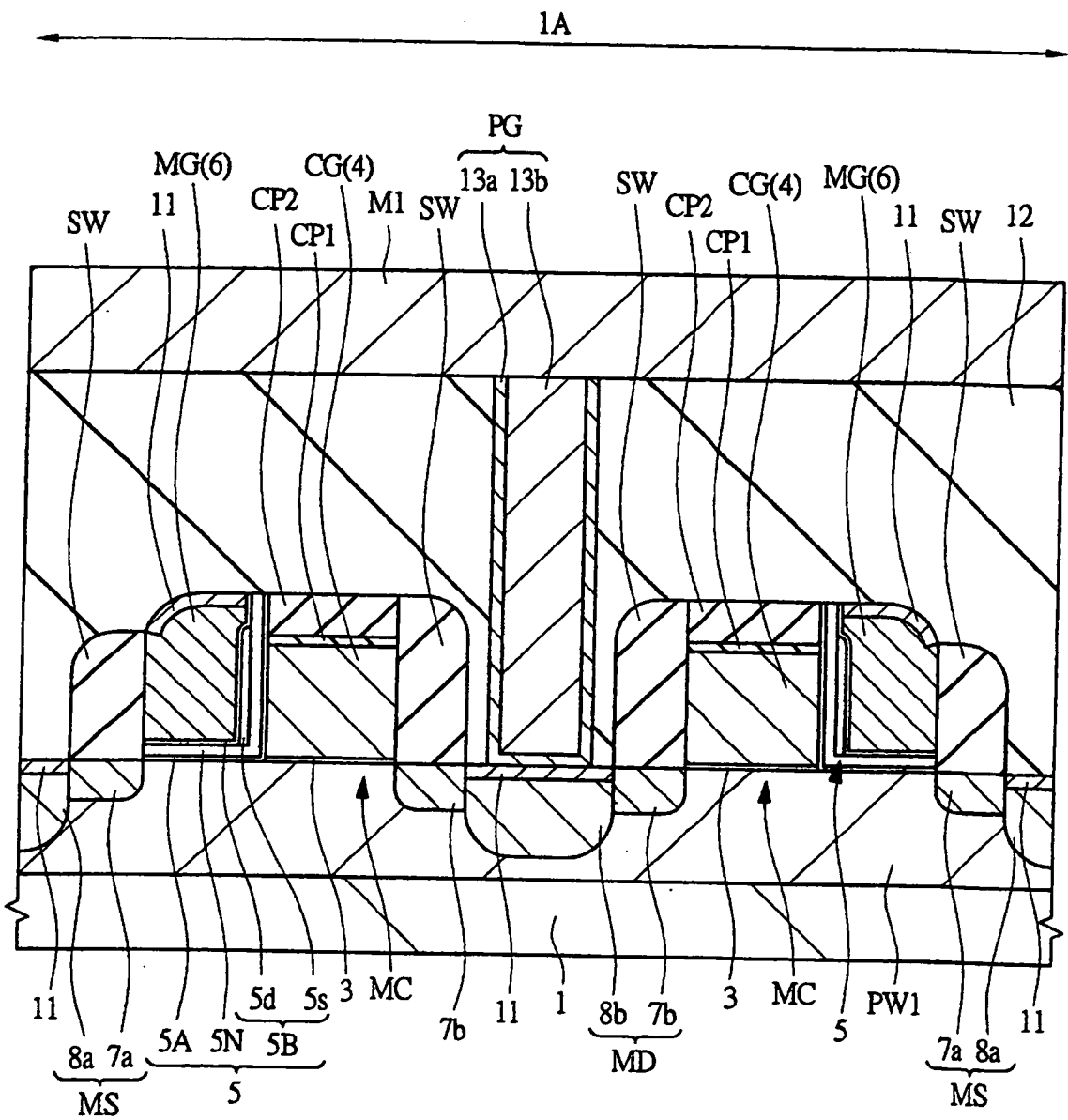


圖 37

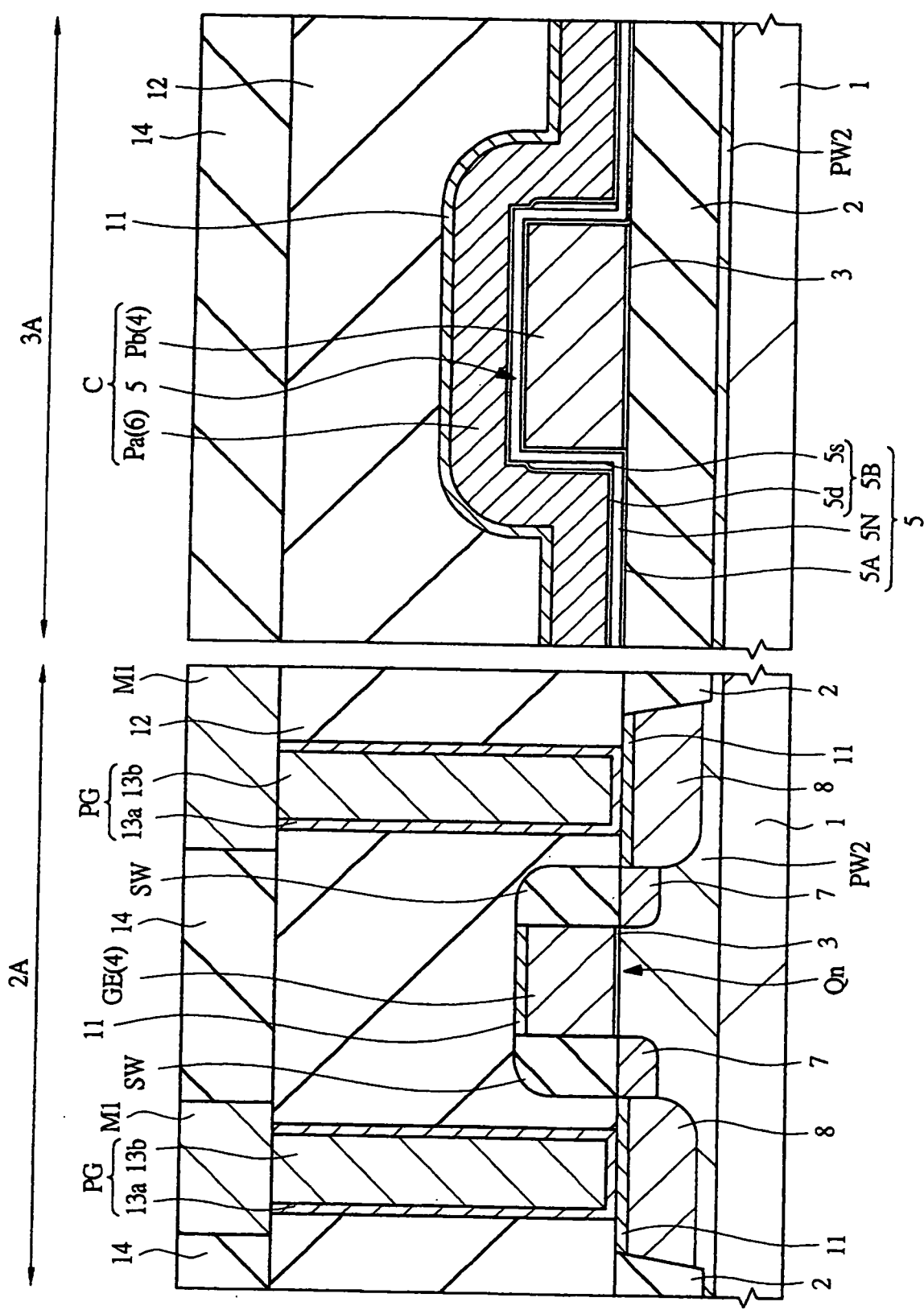


圖 38

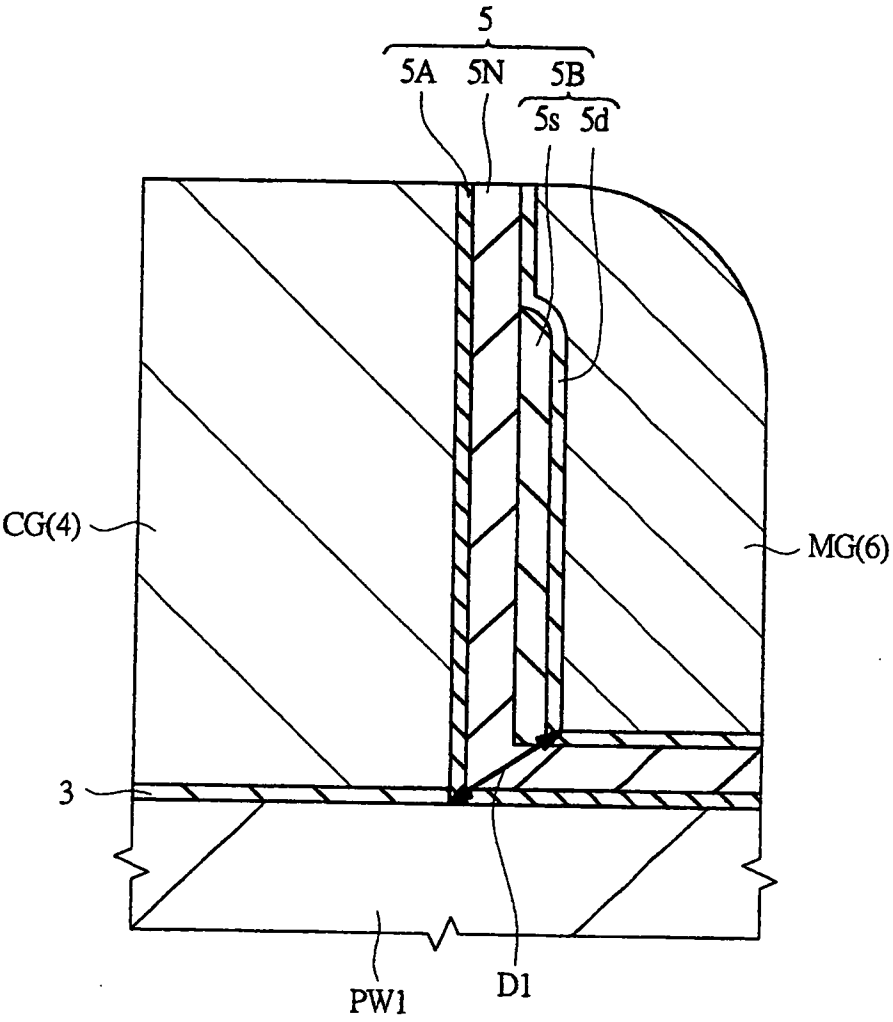


圖 39

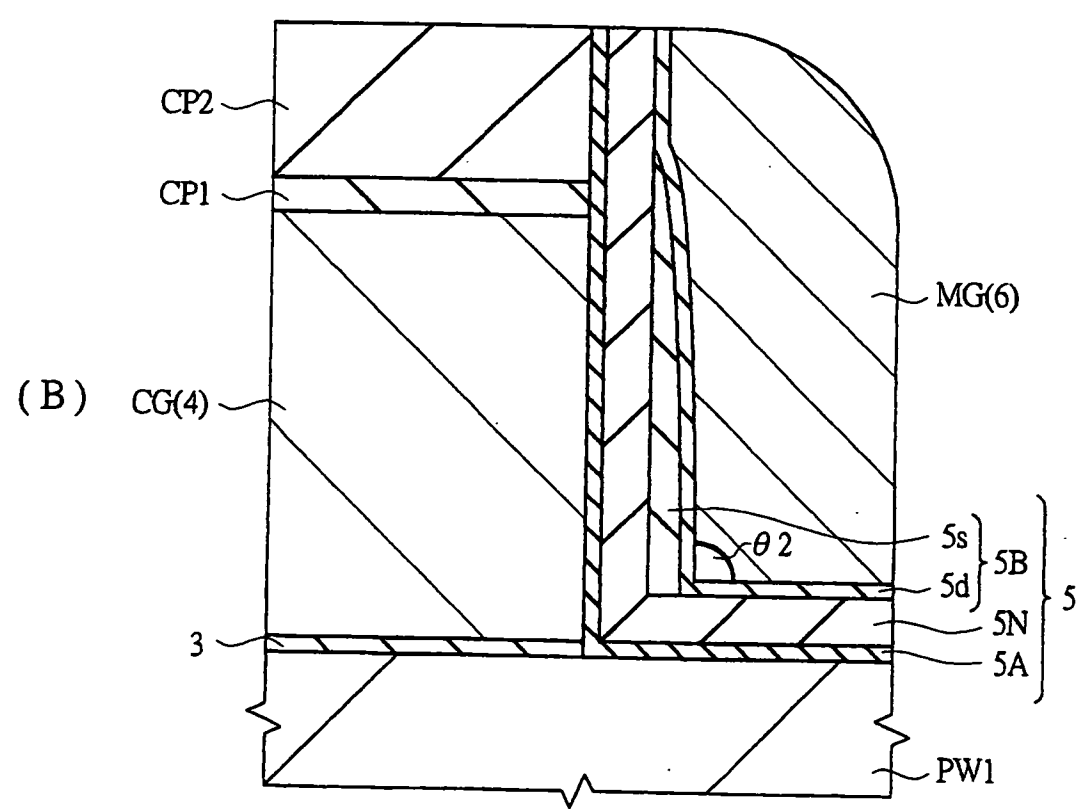
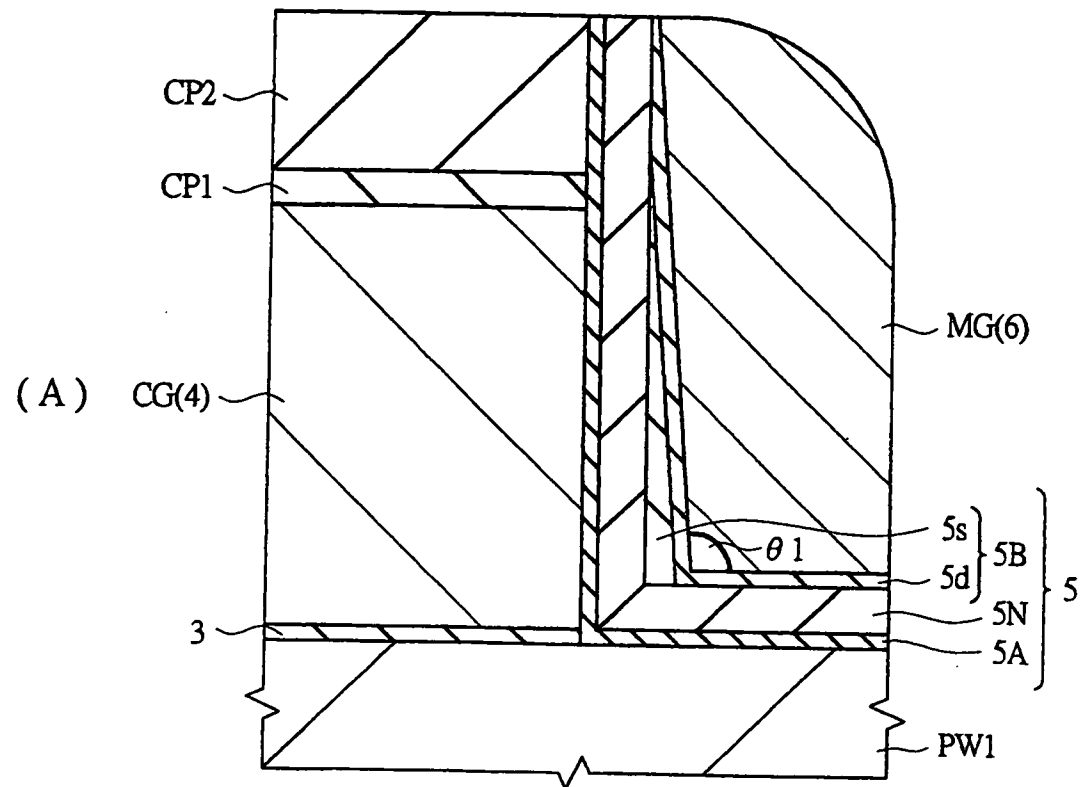


圖 40

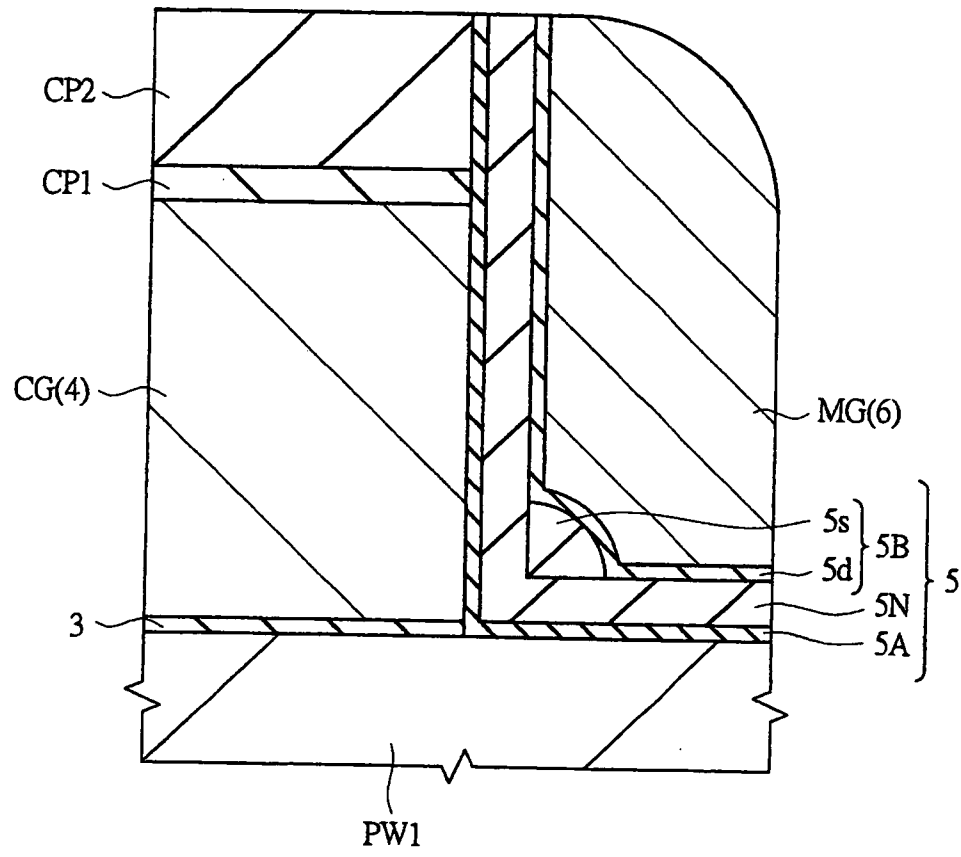


圖 41

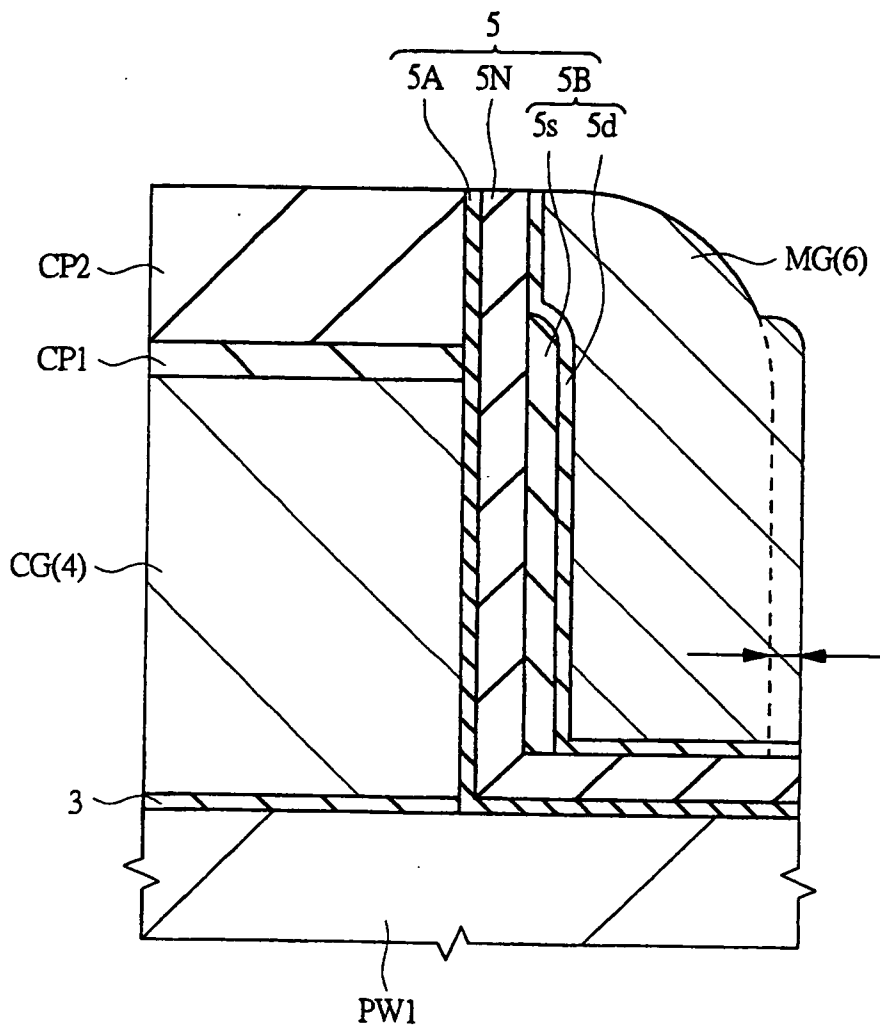


圖 42

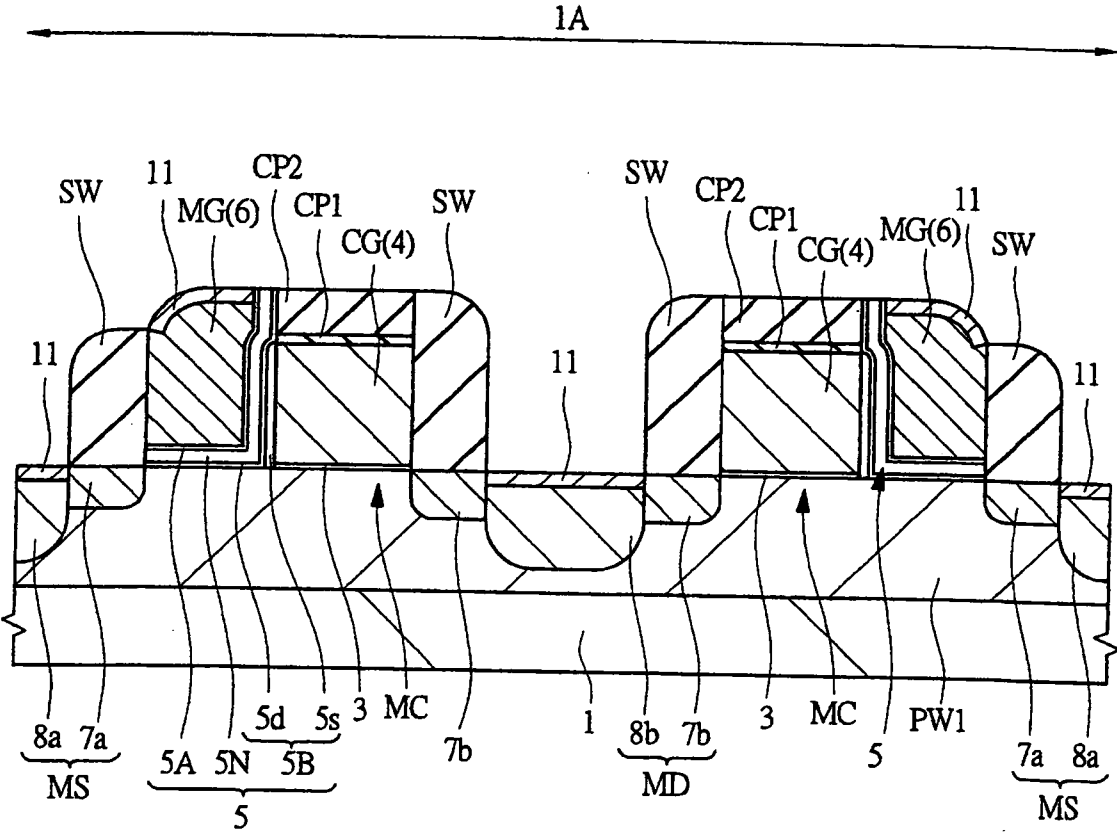


圖 43

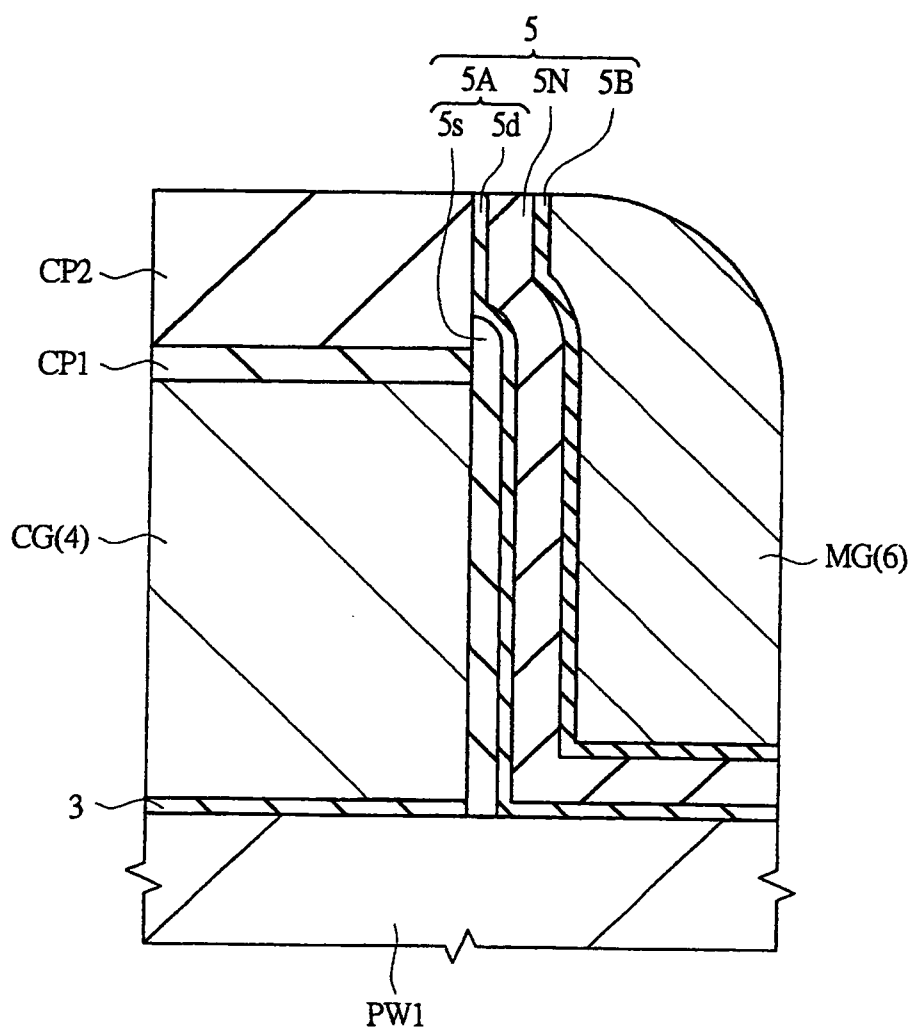


圖 45

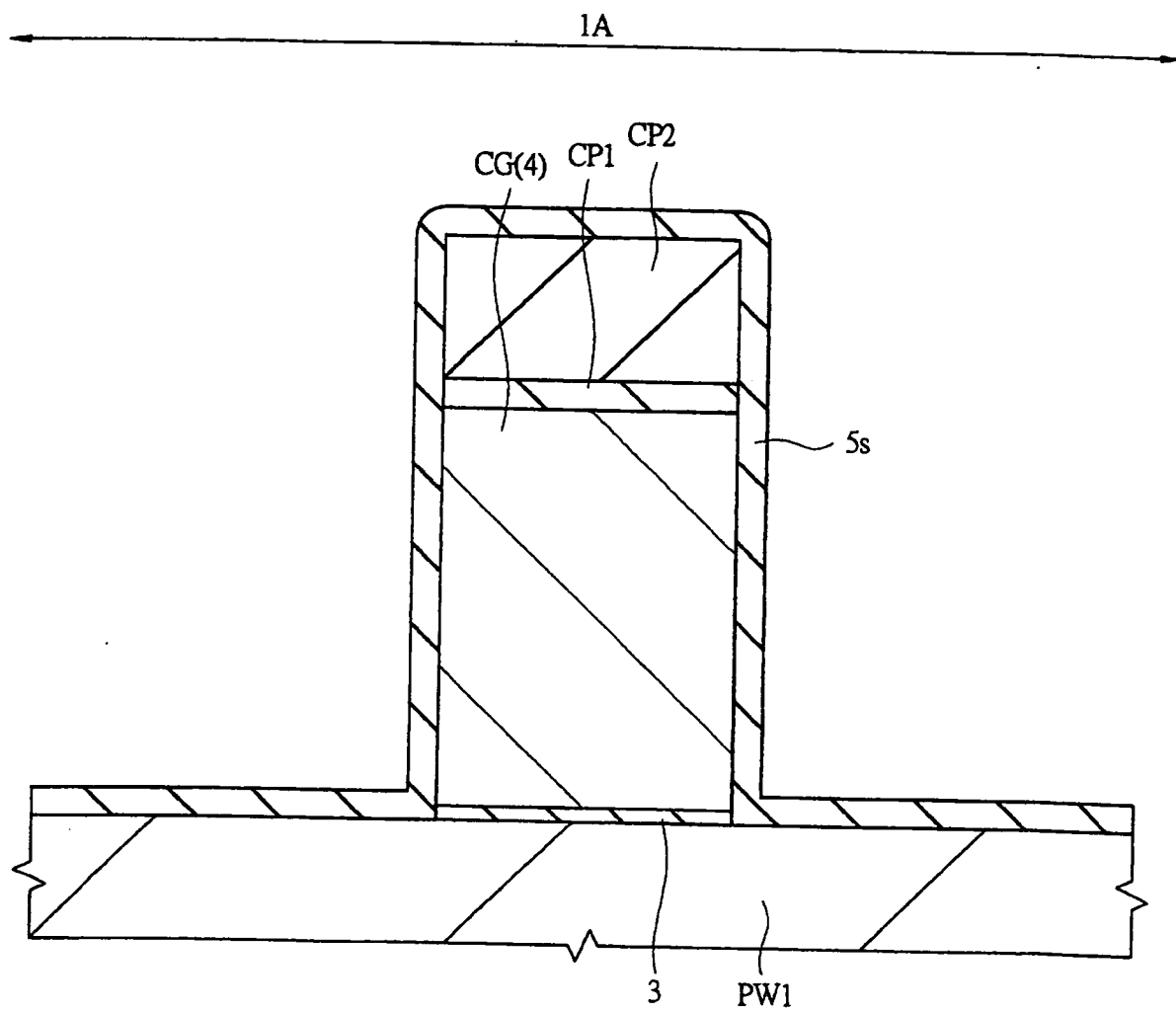


圖 46

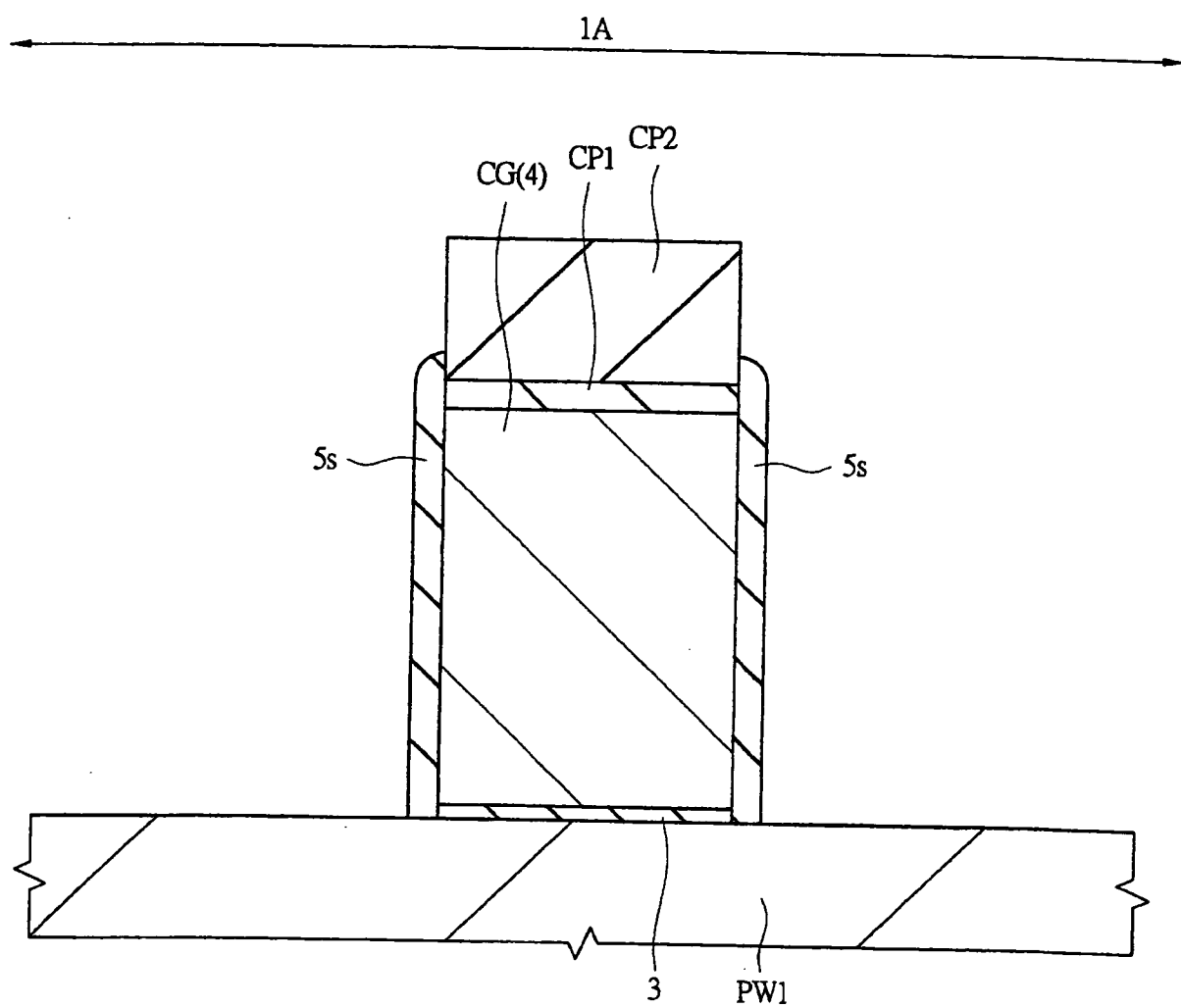


圖 47

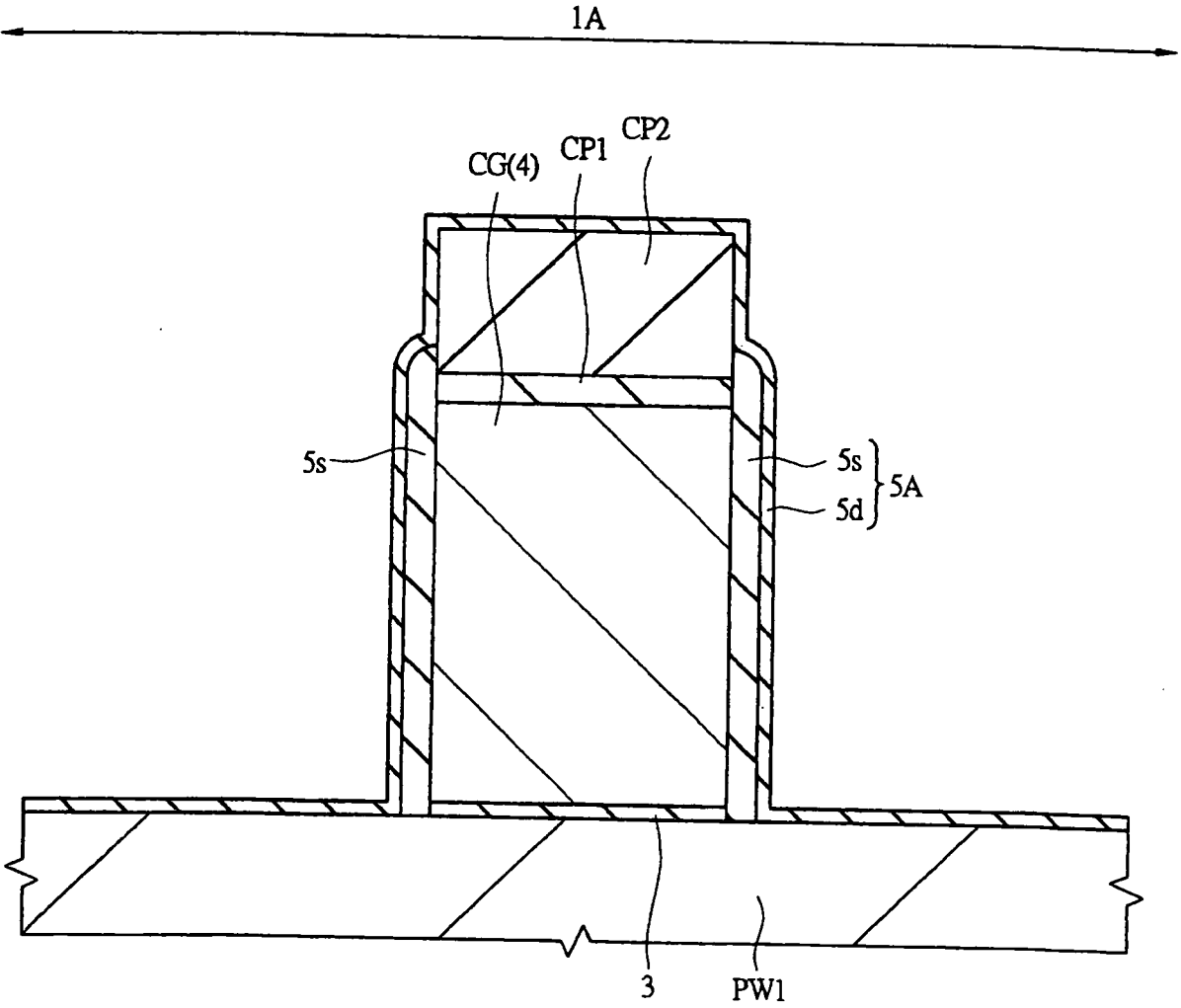


圖 48

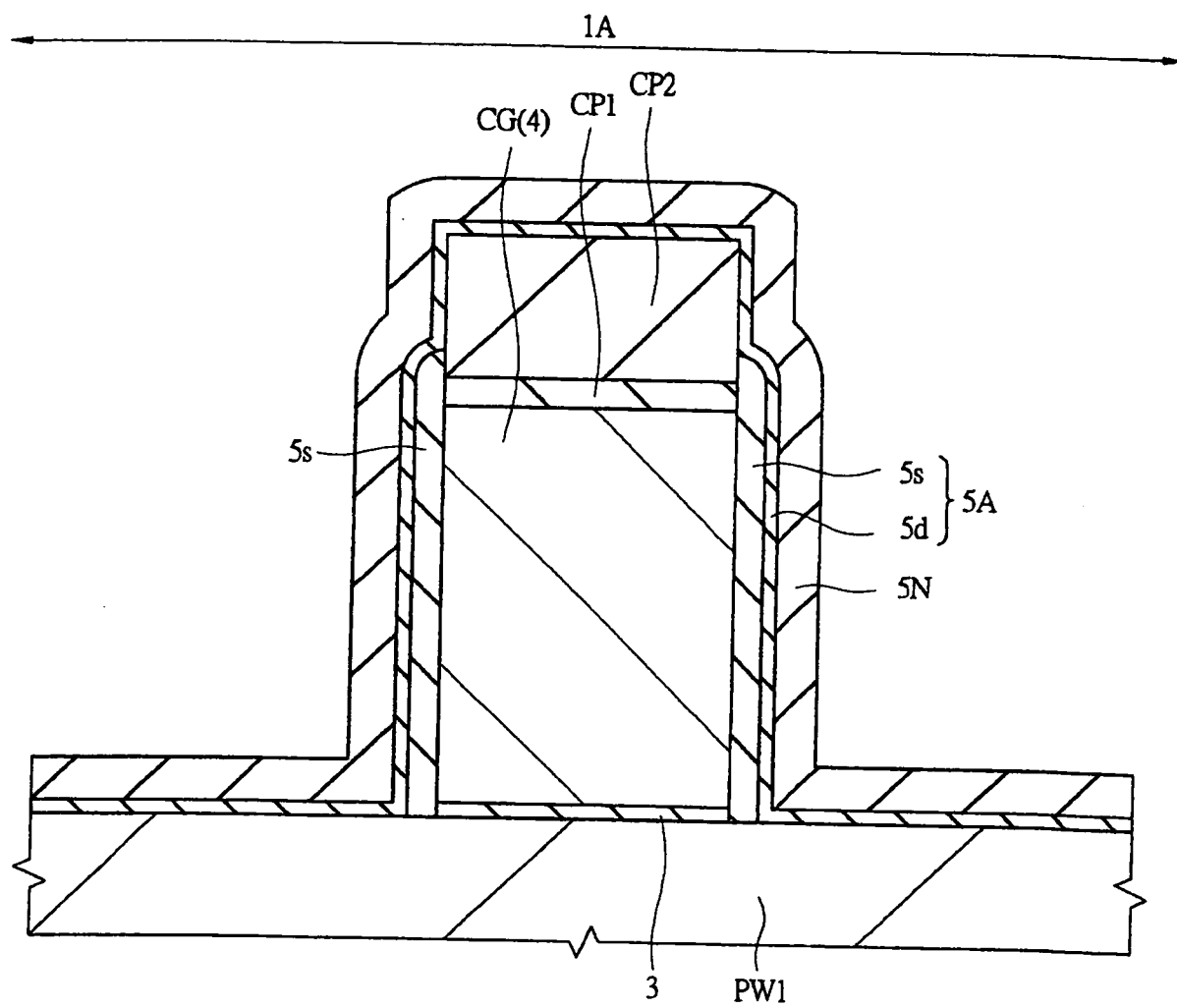


圖 49

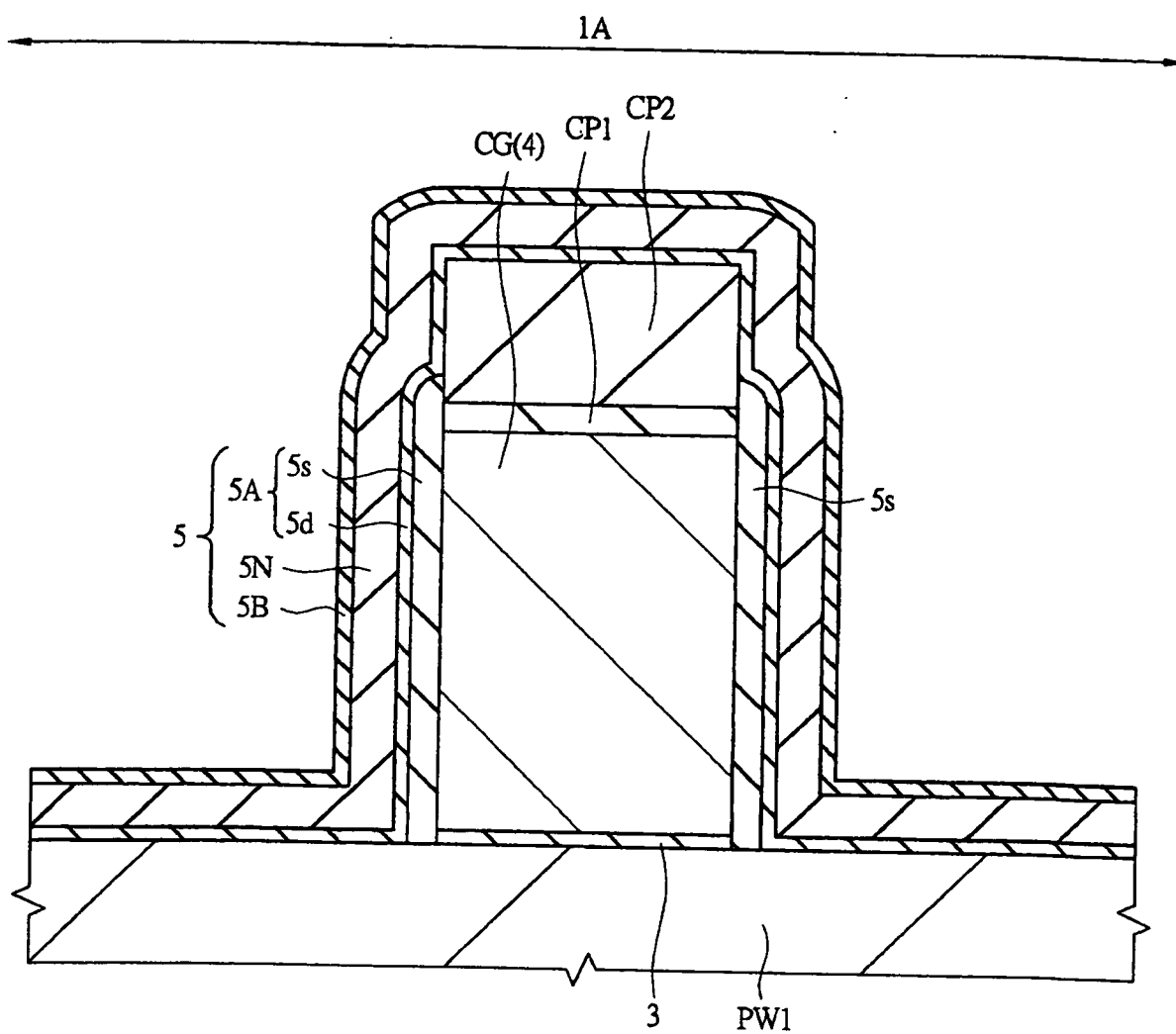


圖 50

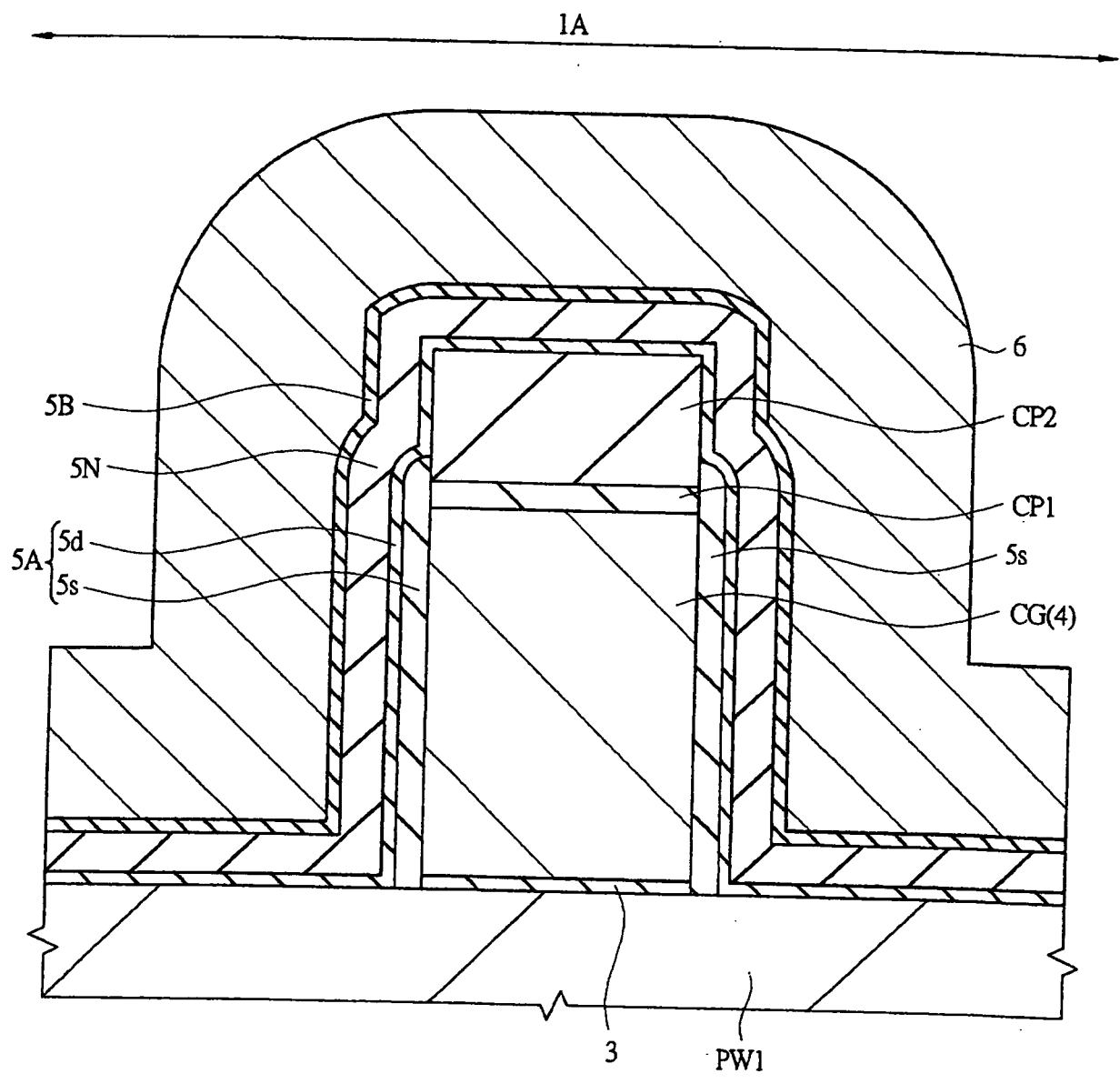


圖 51

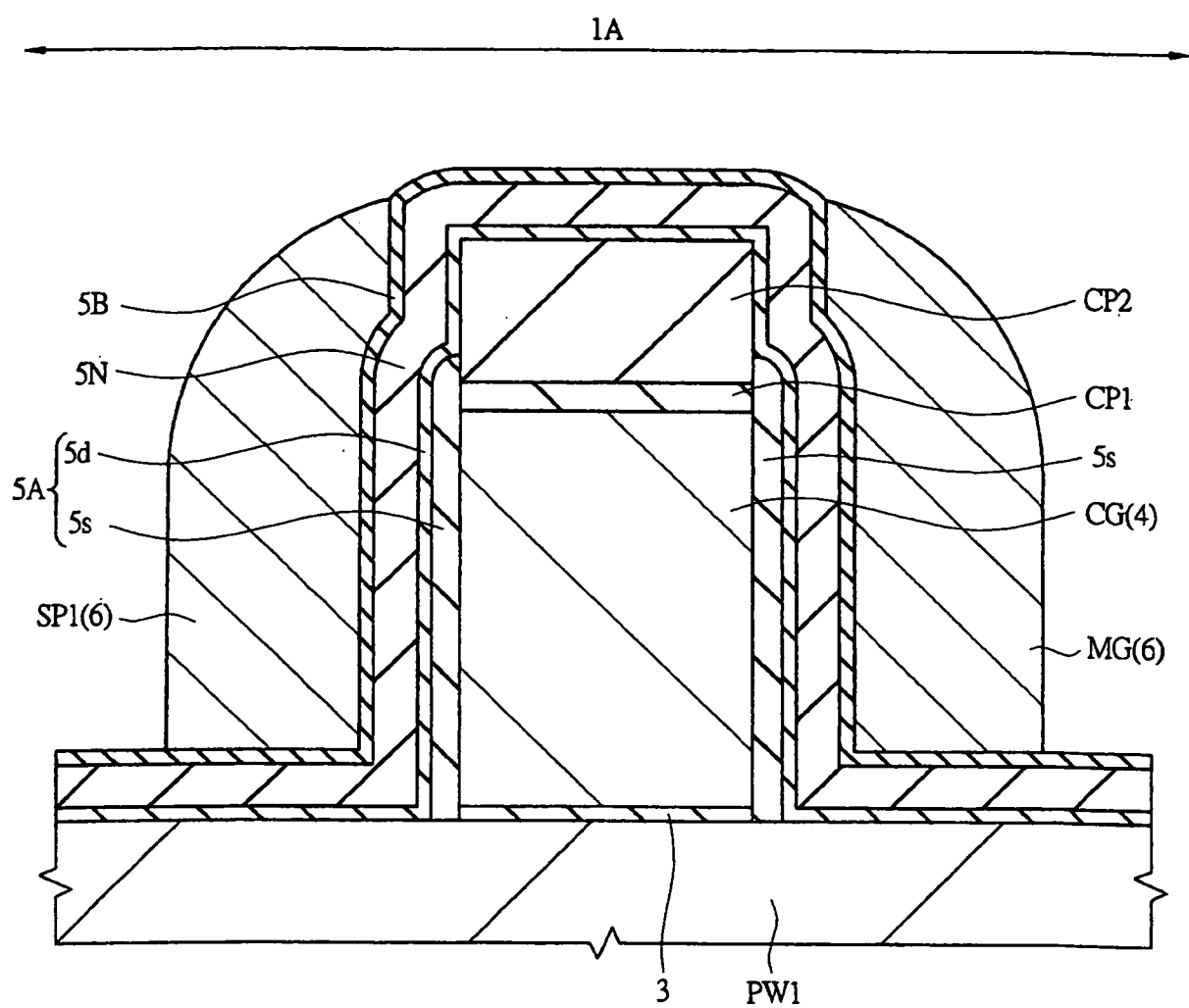


圖 52

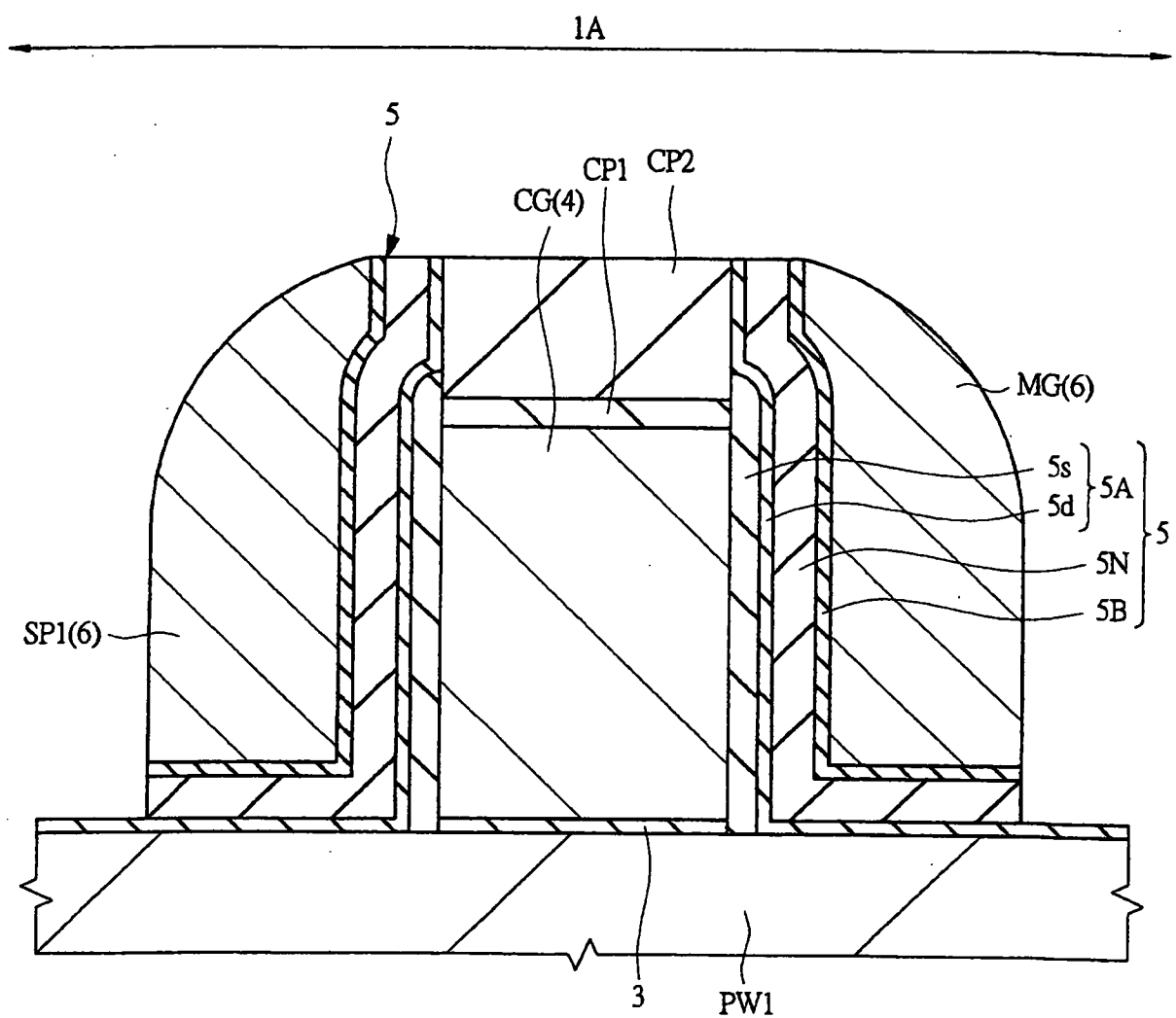


圖 53

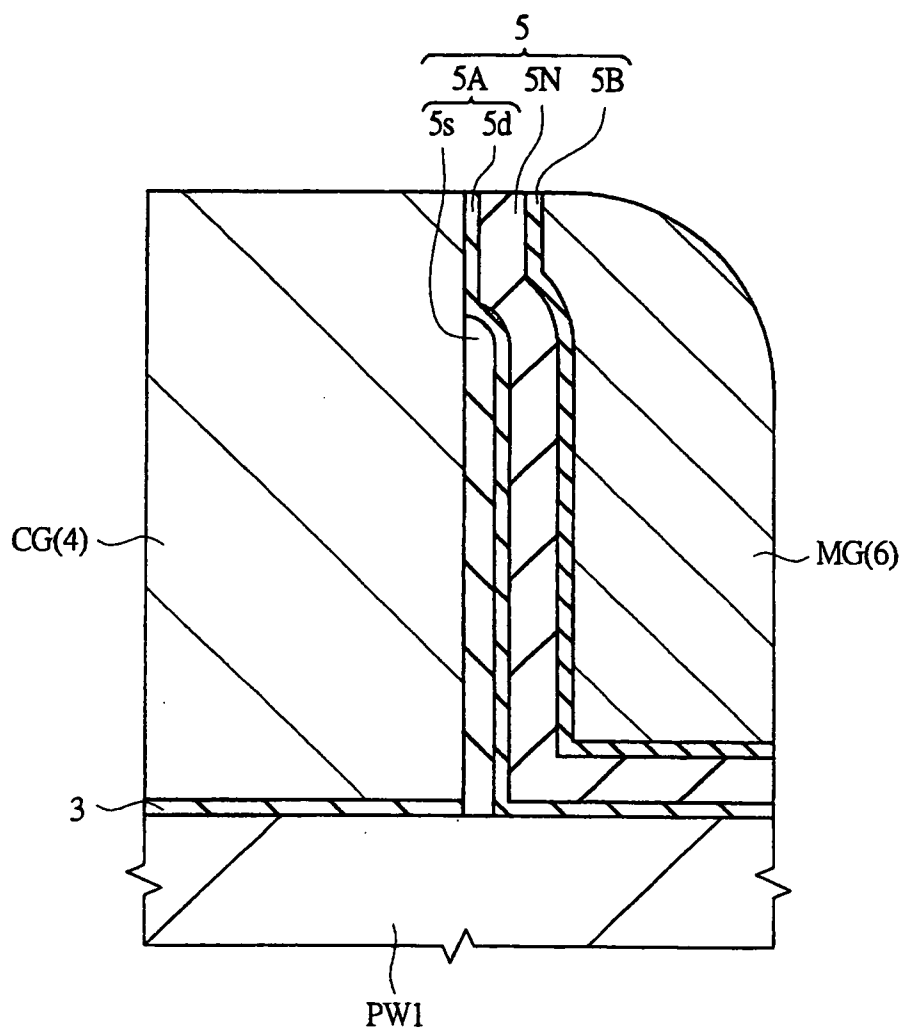


圖 54

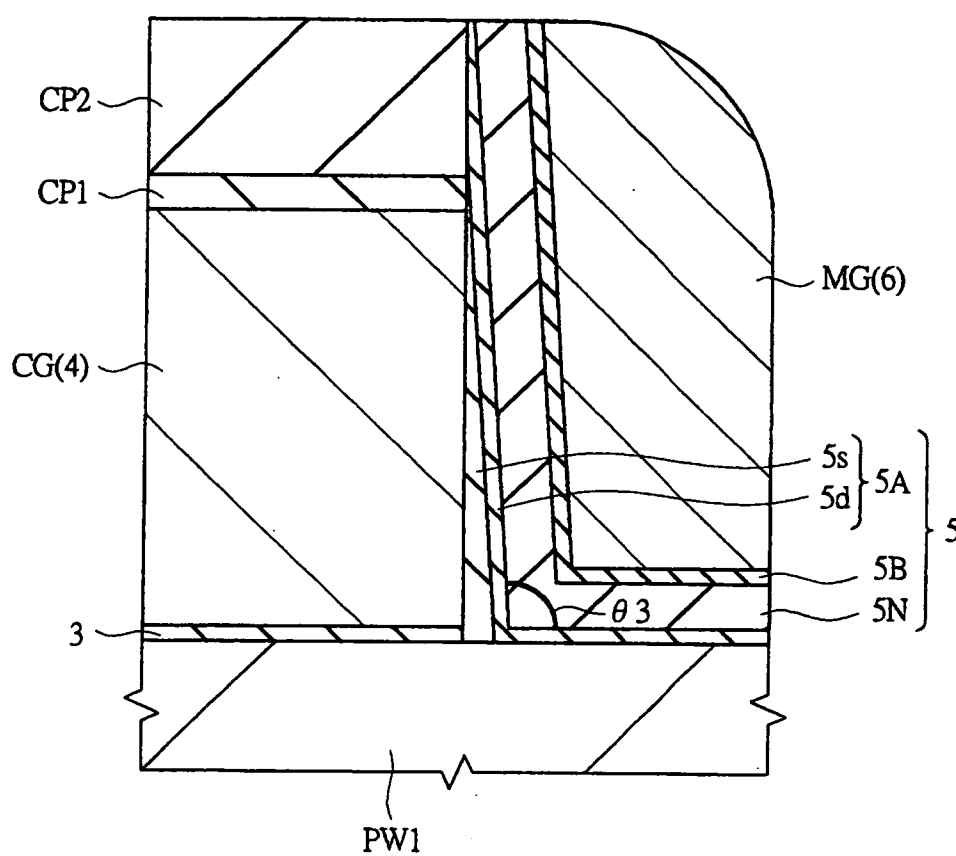


圖 55

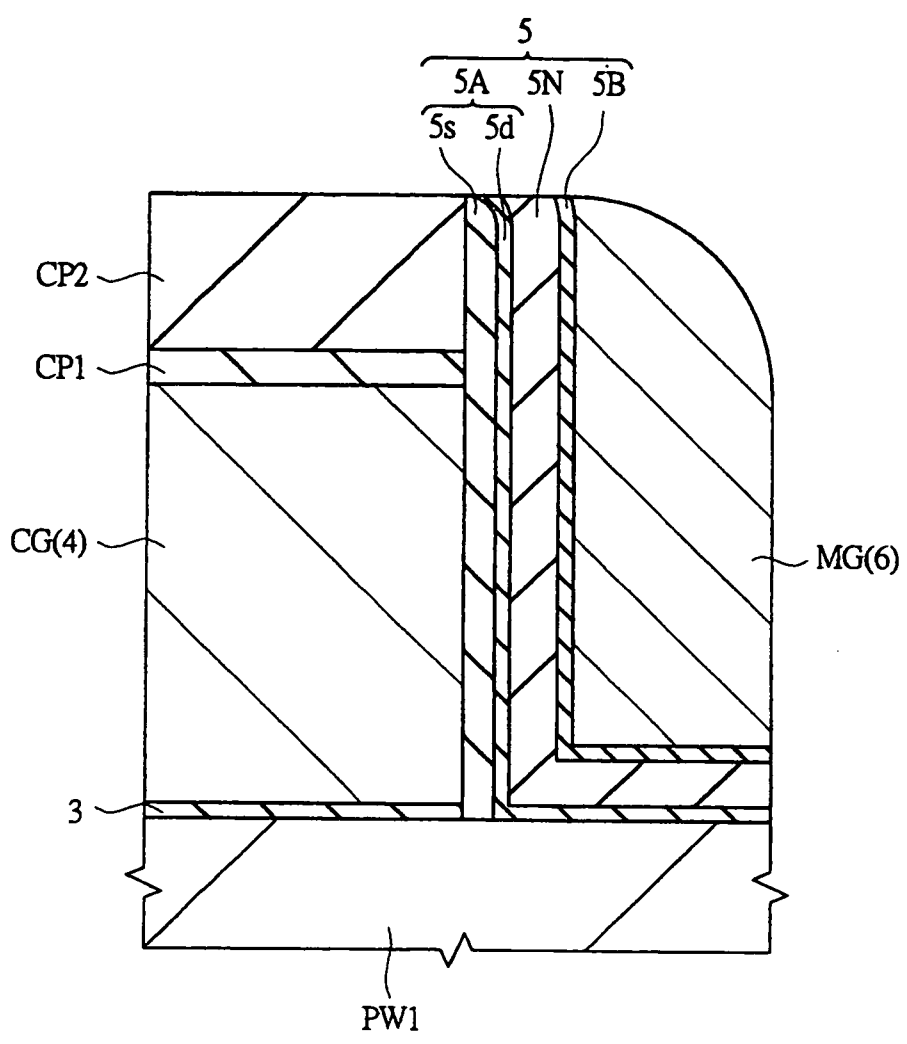


圖 56

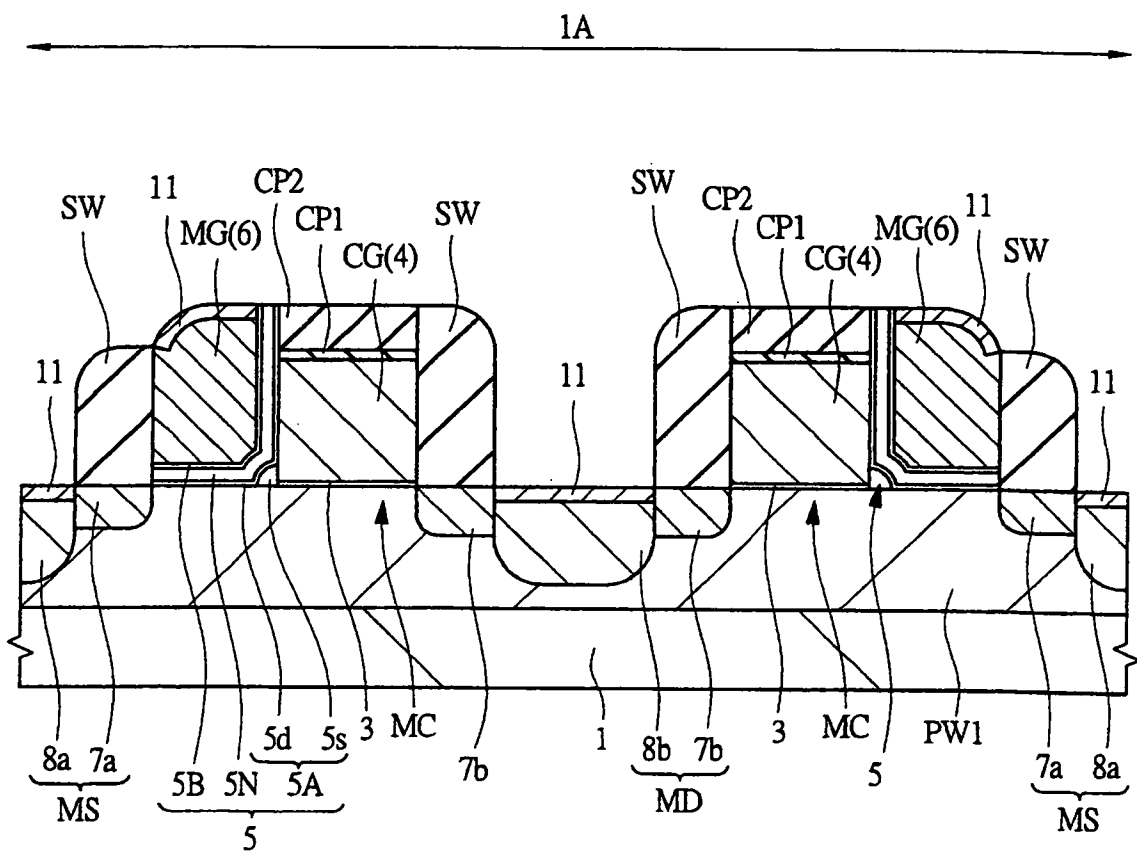


圖 57

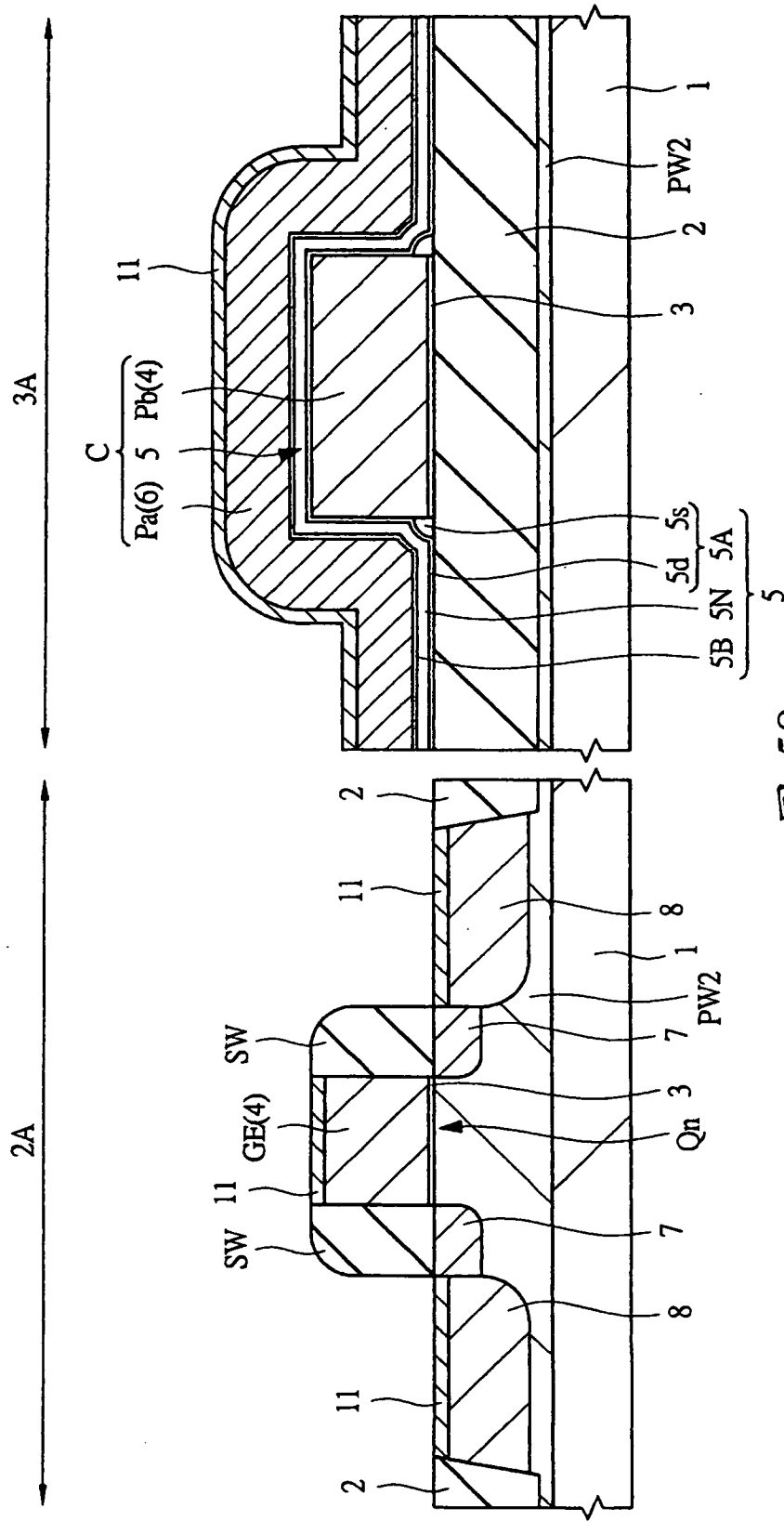


圖 58

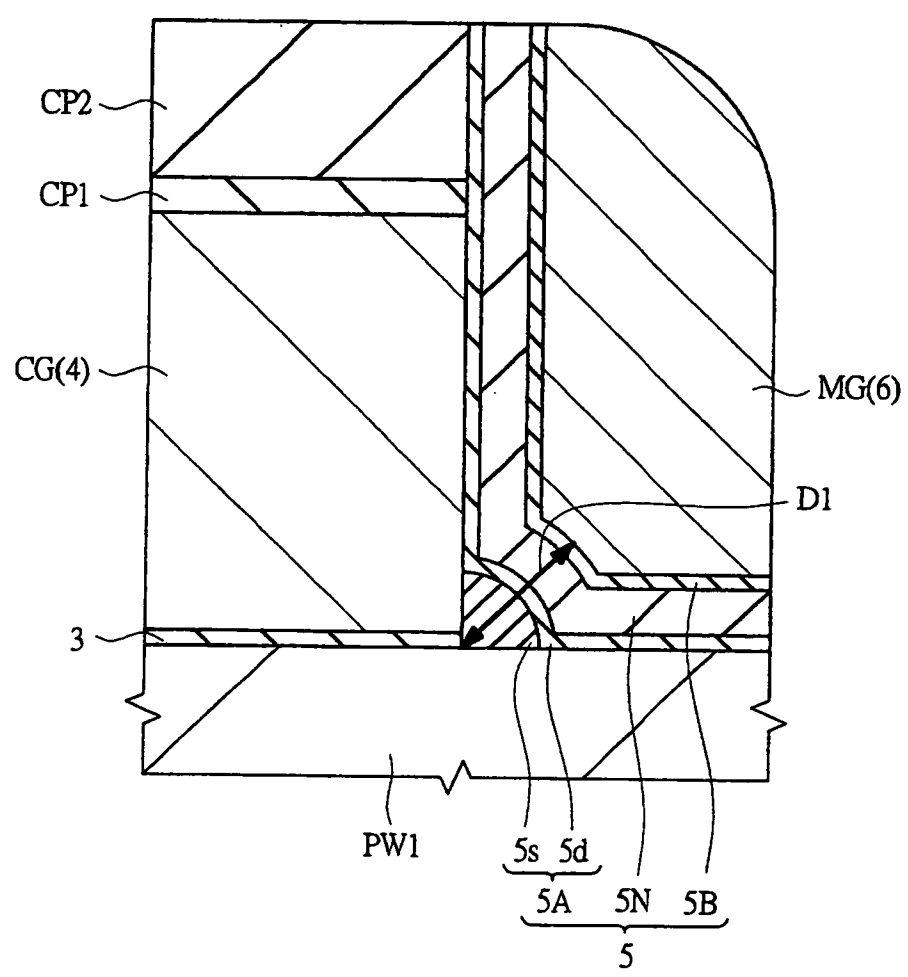


圖 59

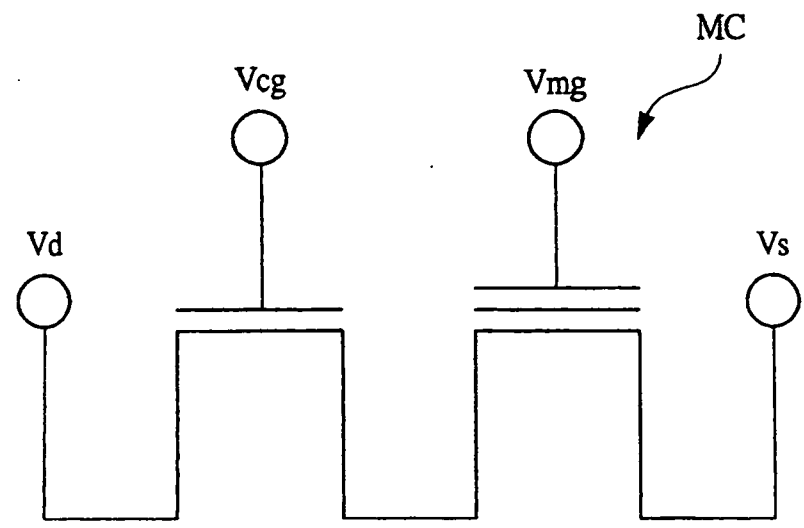


圖 60

動作 \ 施加電壓	V_d	V_{cg}	V_{mg}	V_s	V_b
寫入	0.3V	1V	8V	6V	0
抹除	0	0	+12V	0	0
讀取	Vdd	Vdd	0	0	0

$V_{dd} = 1.5V$

圖 61

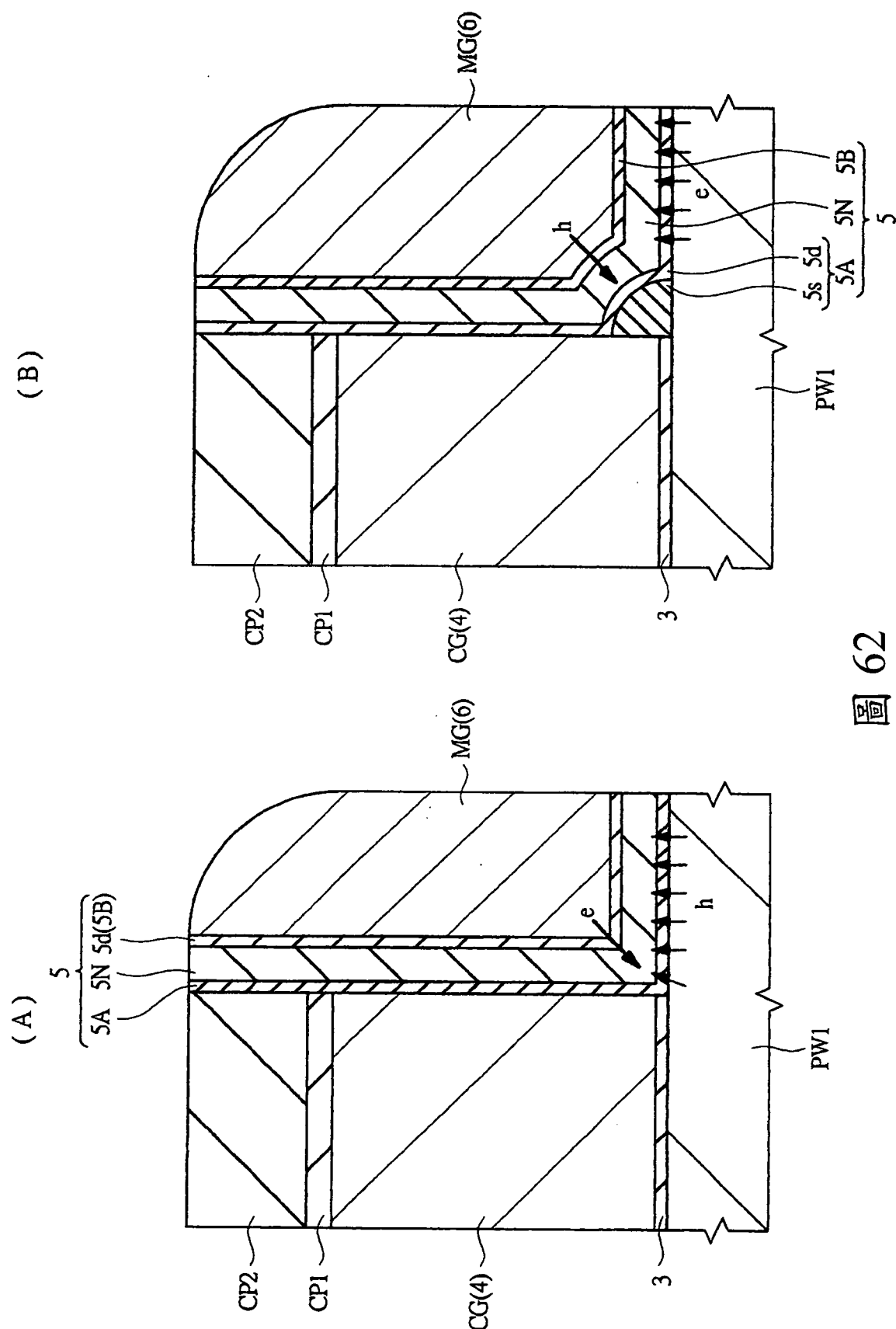


圖 62

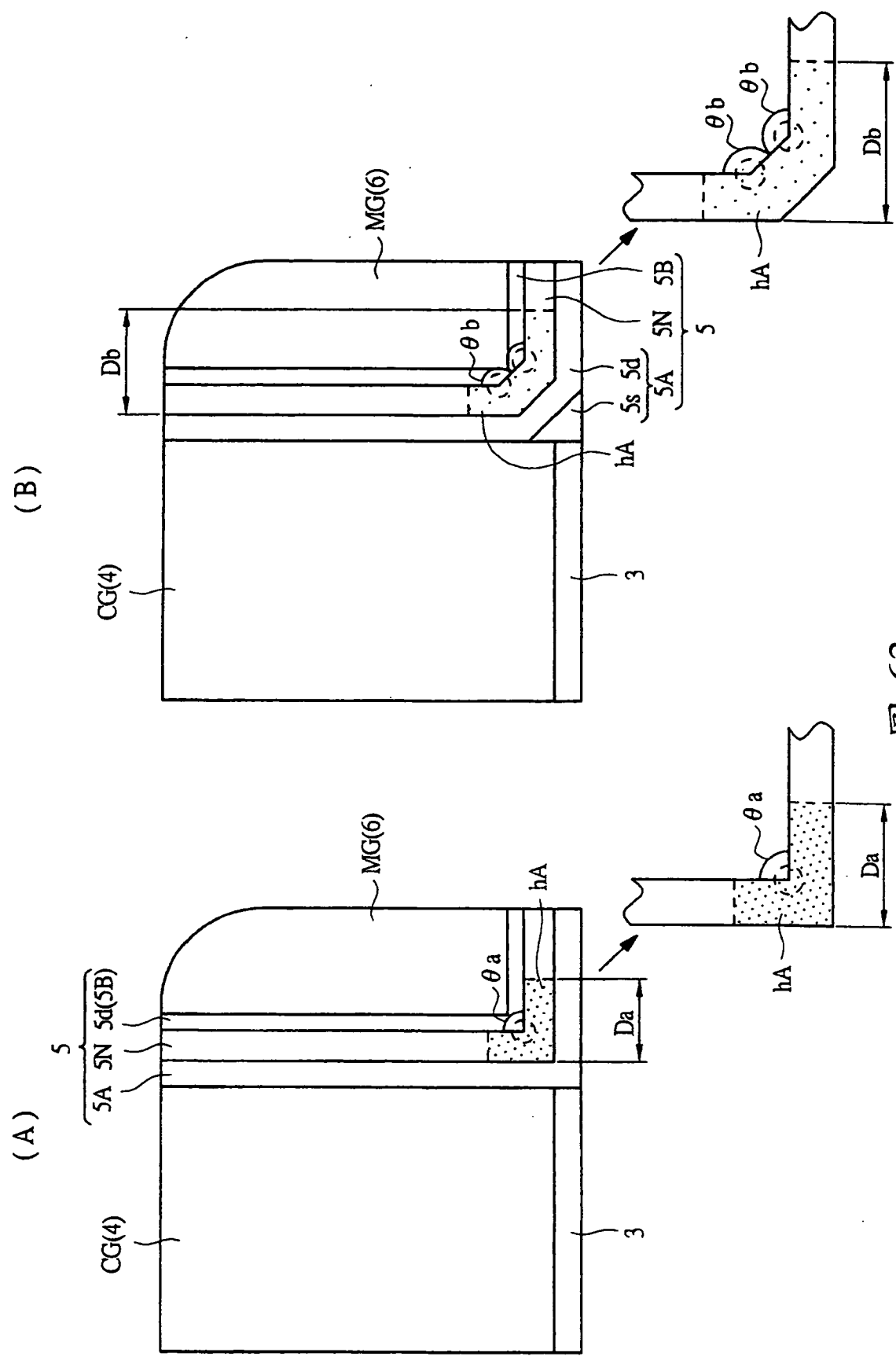


圖 63

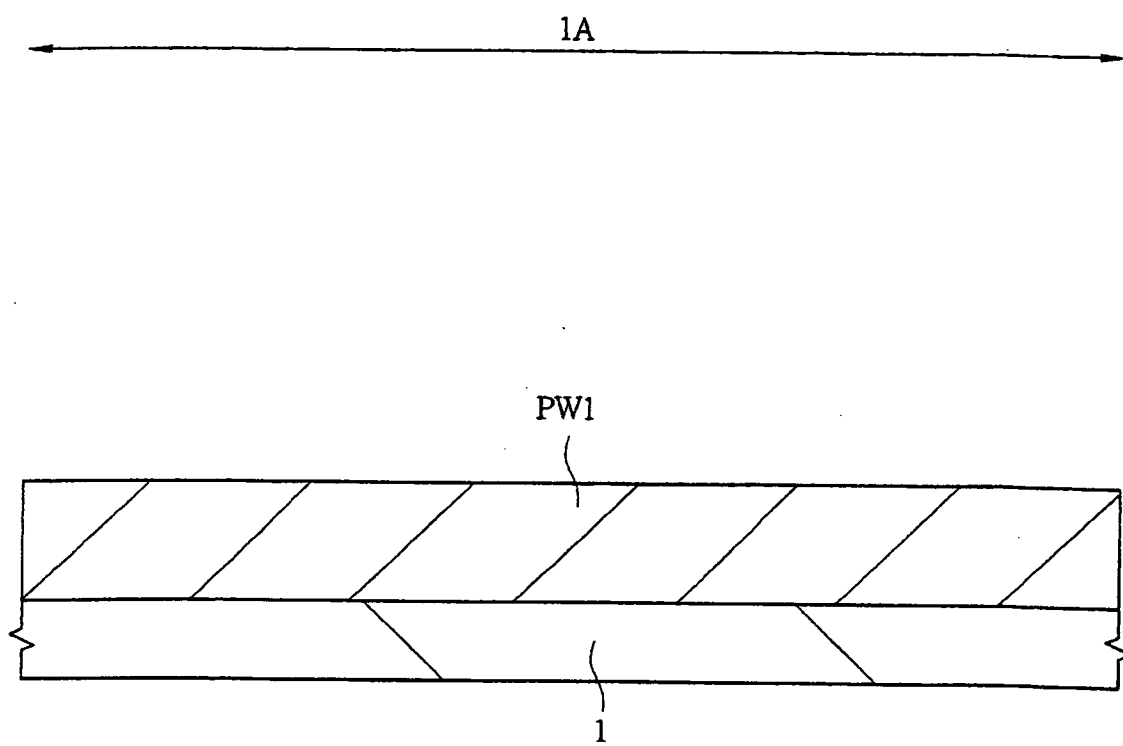


圖 64

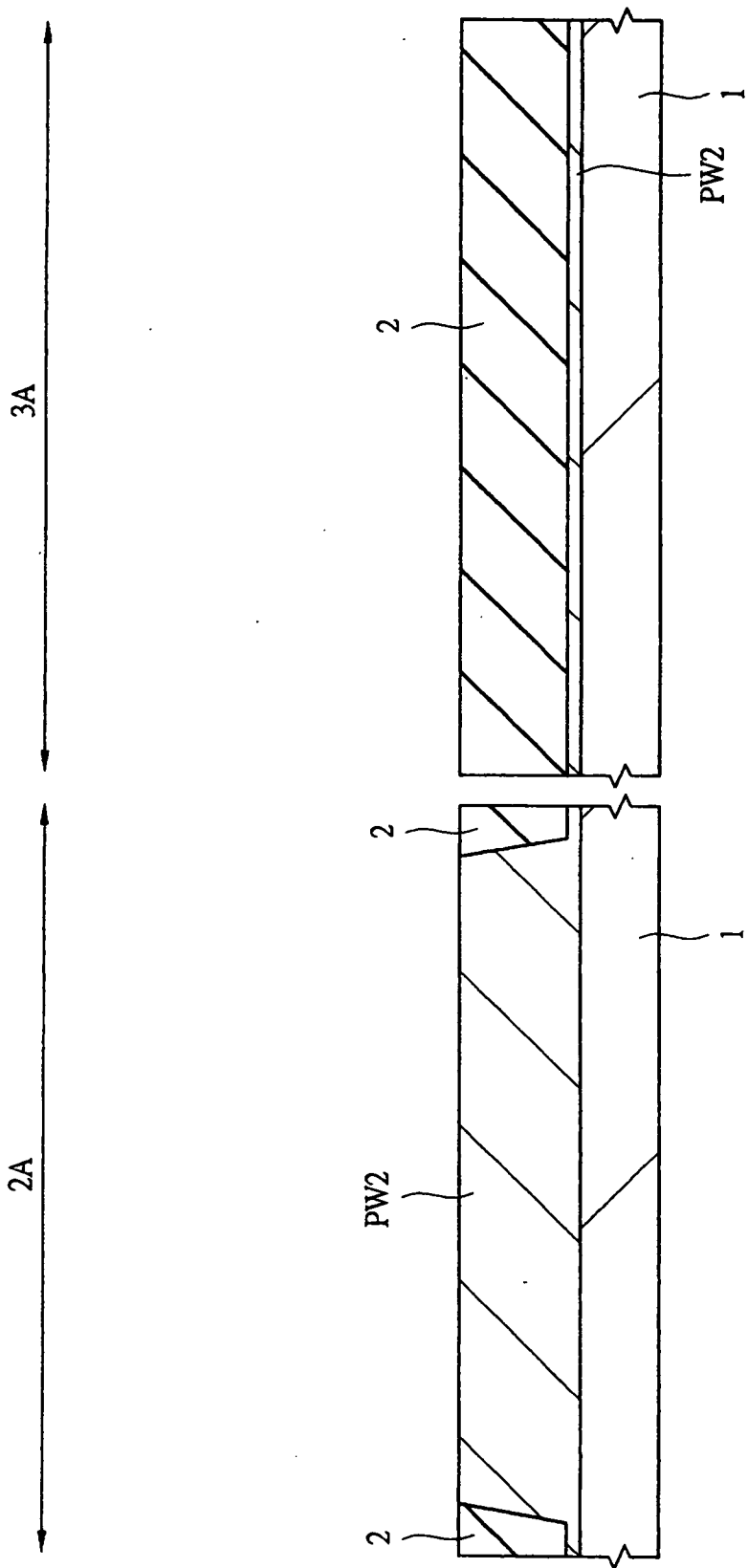


圖 65

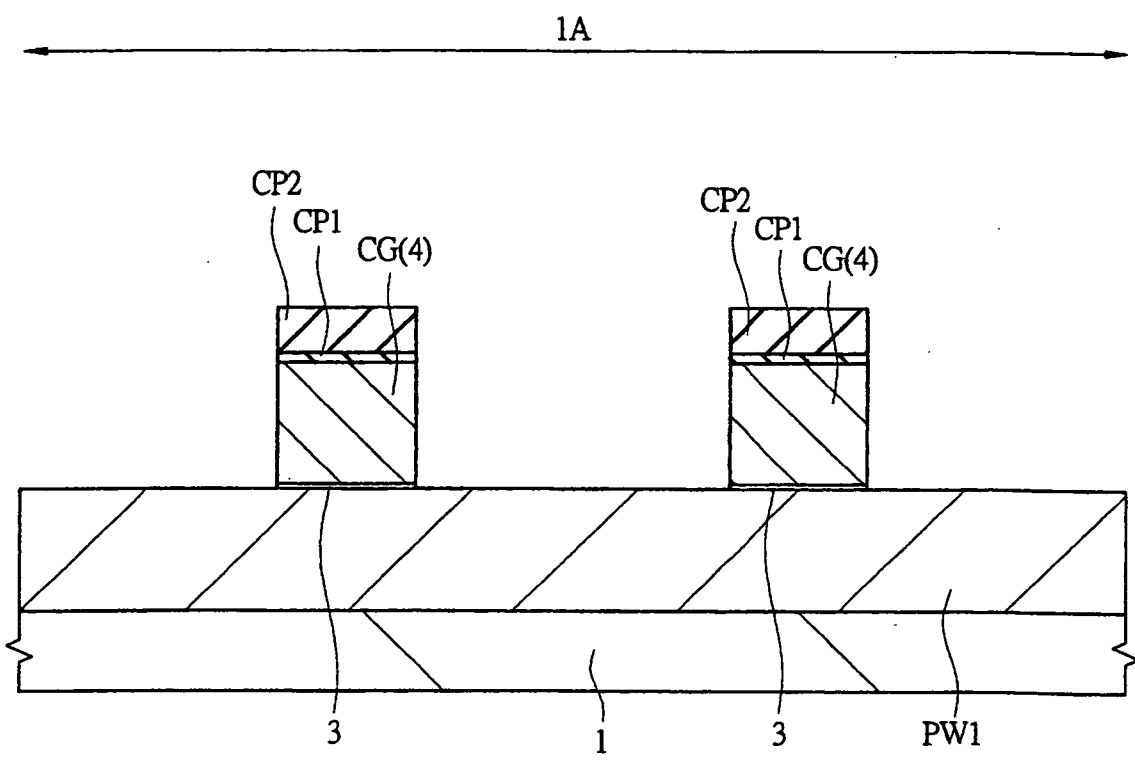


圖 66

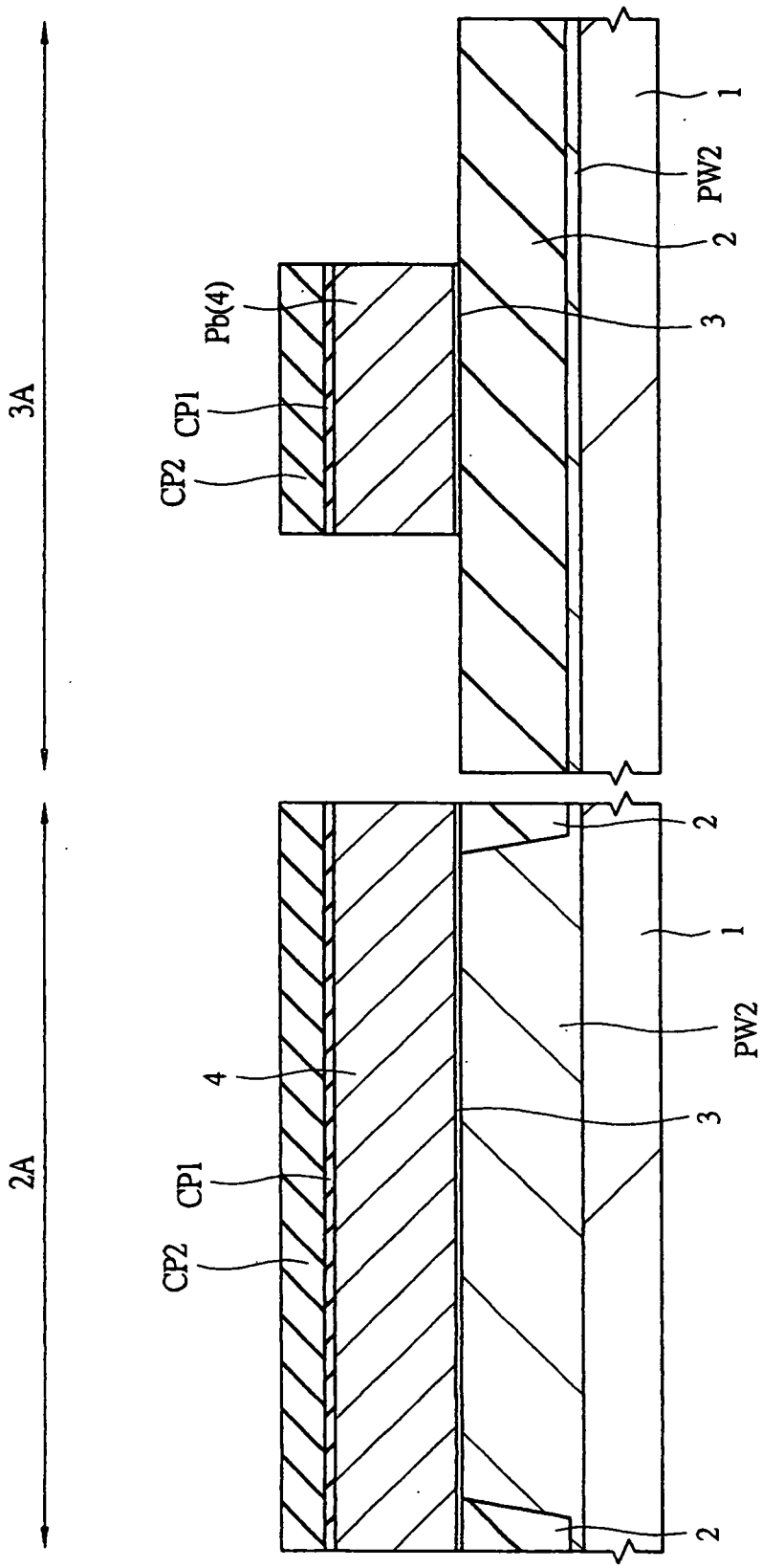


圖 67

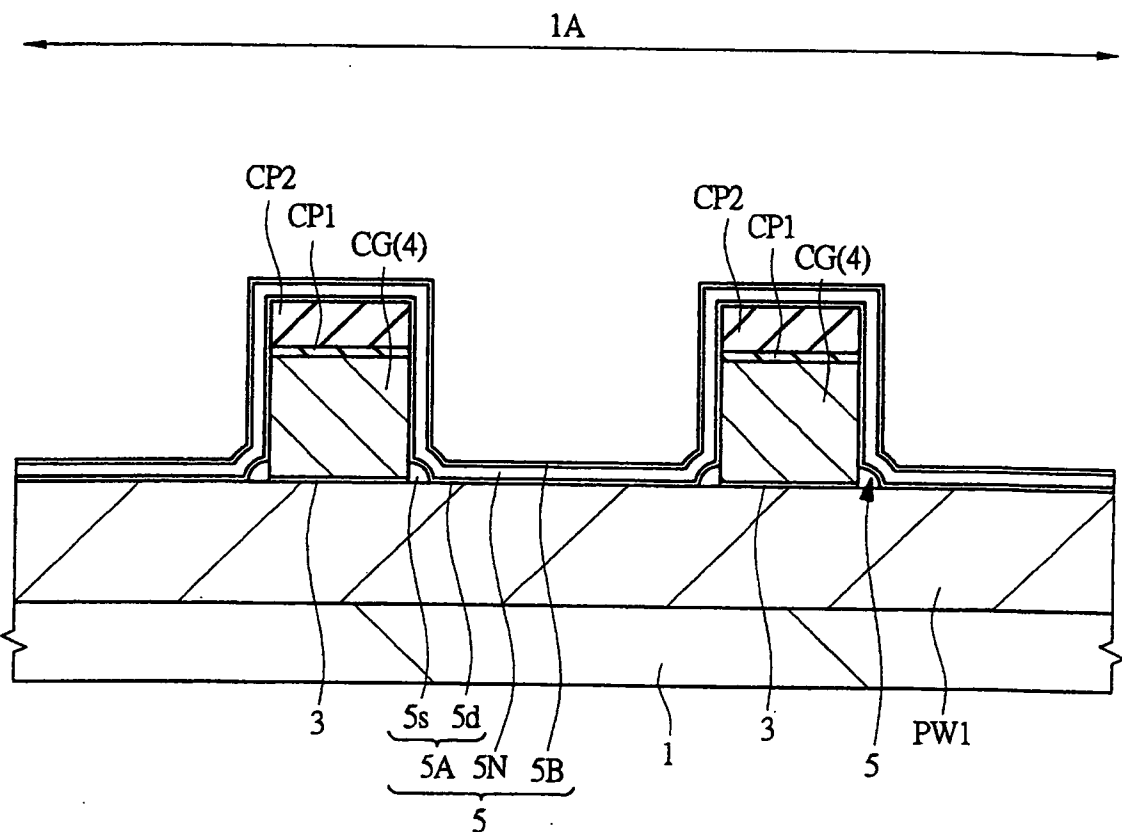


圖 68

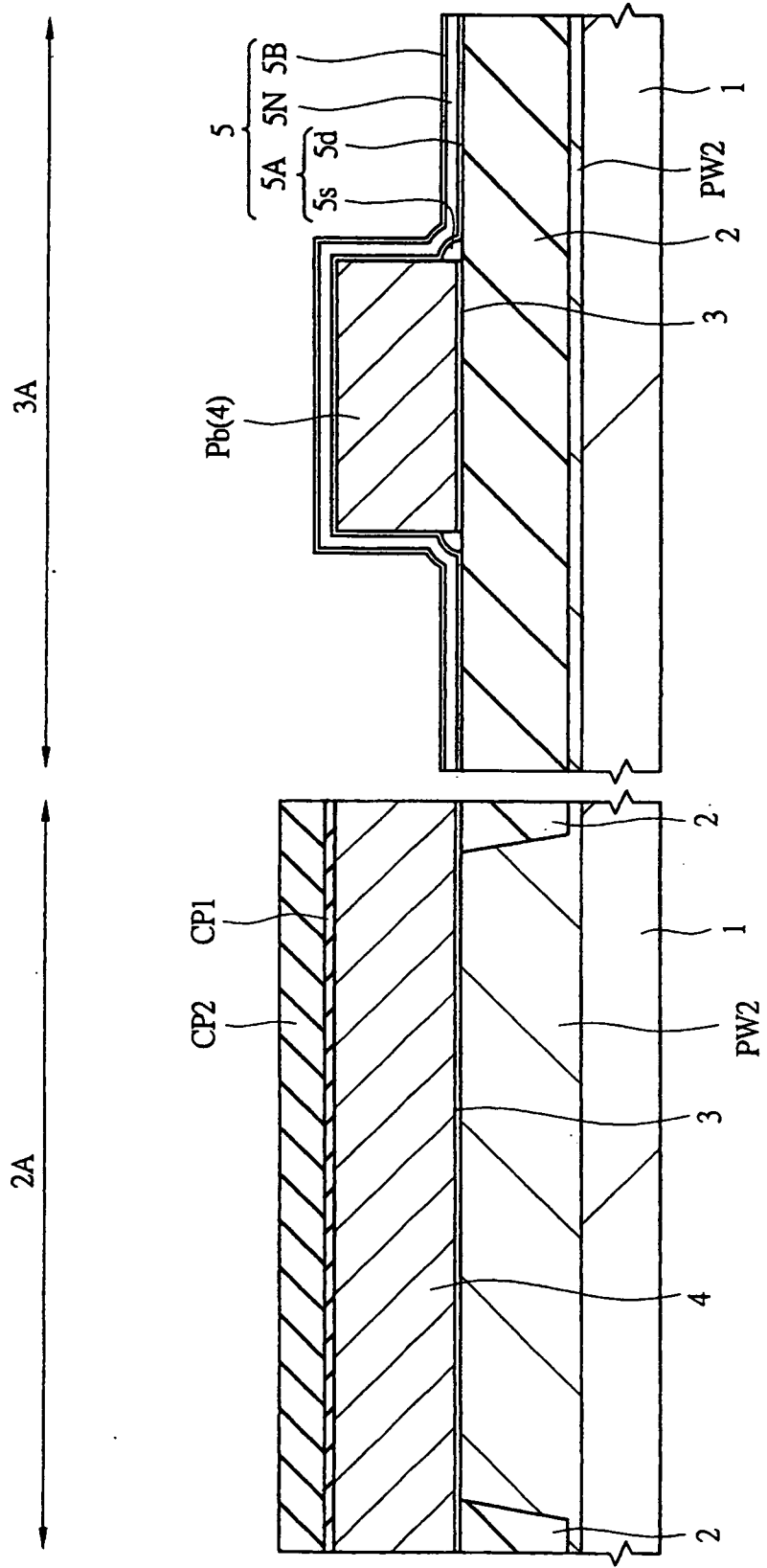


圖 69

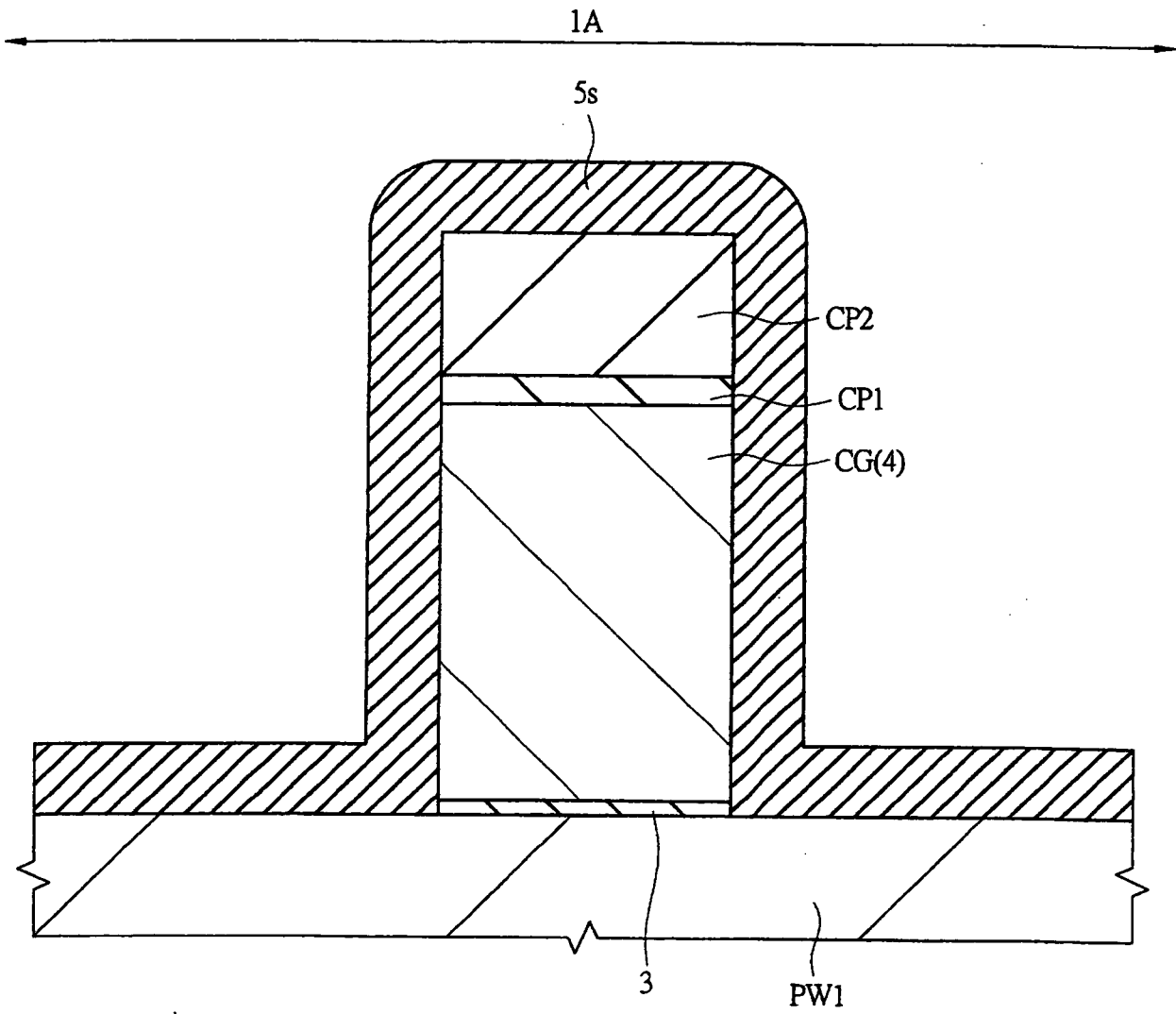


圖 70

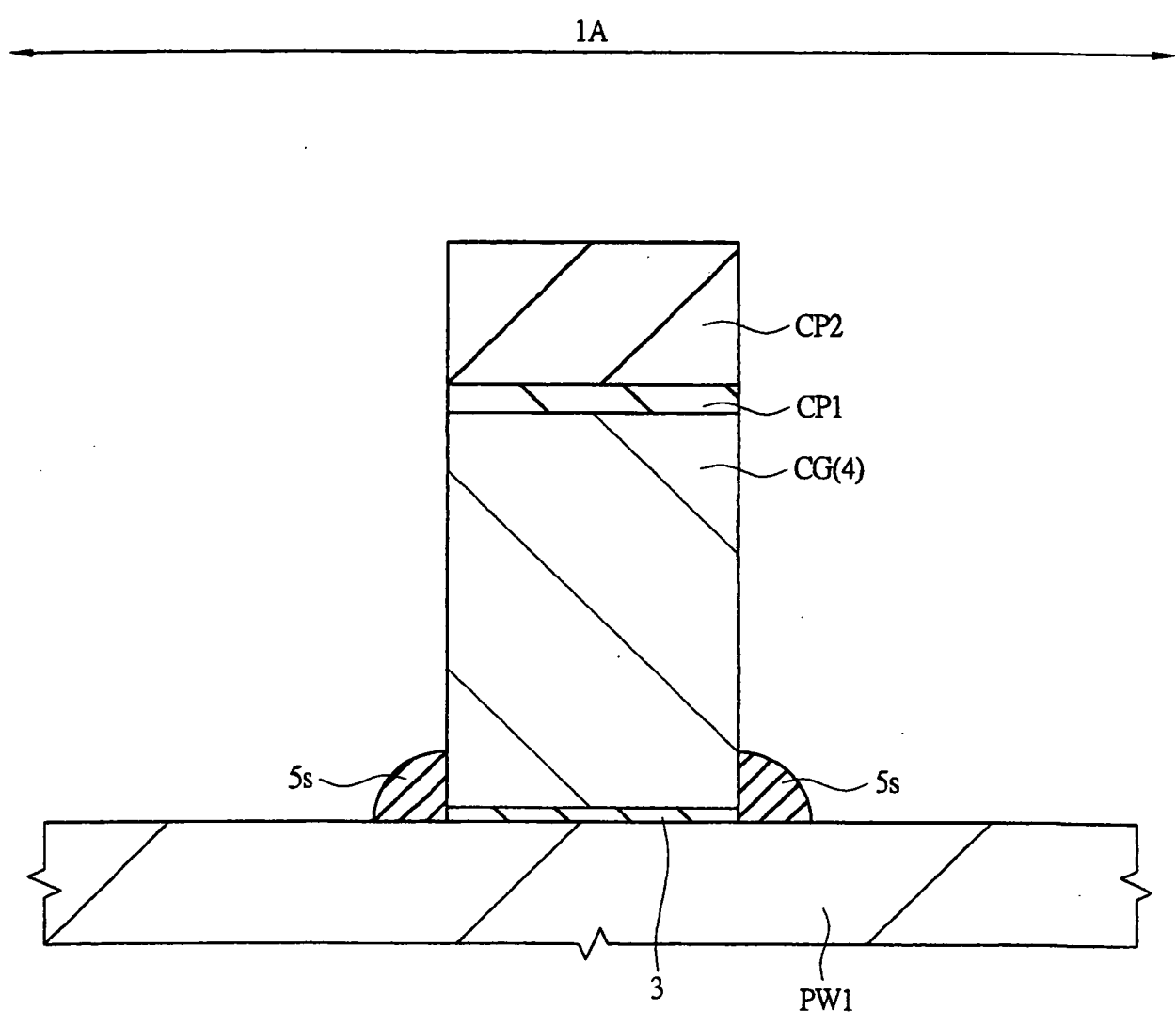


圖 71

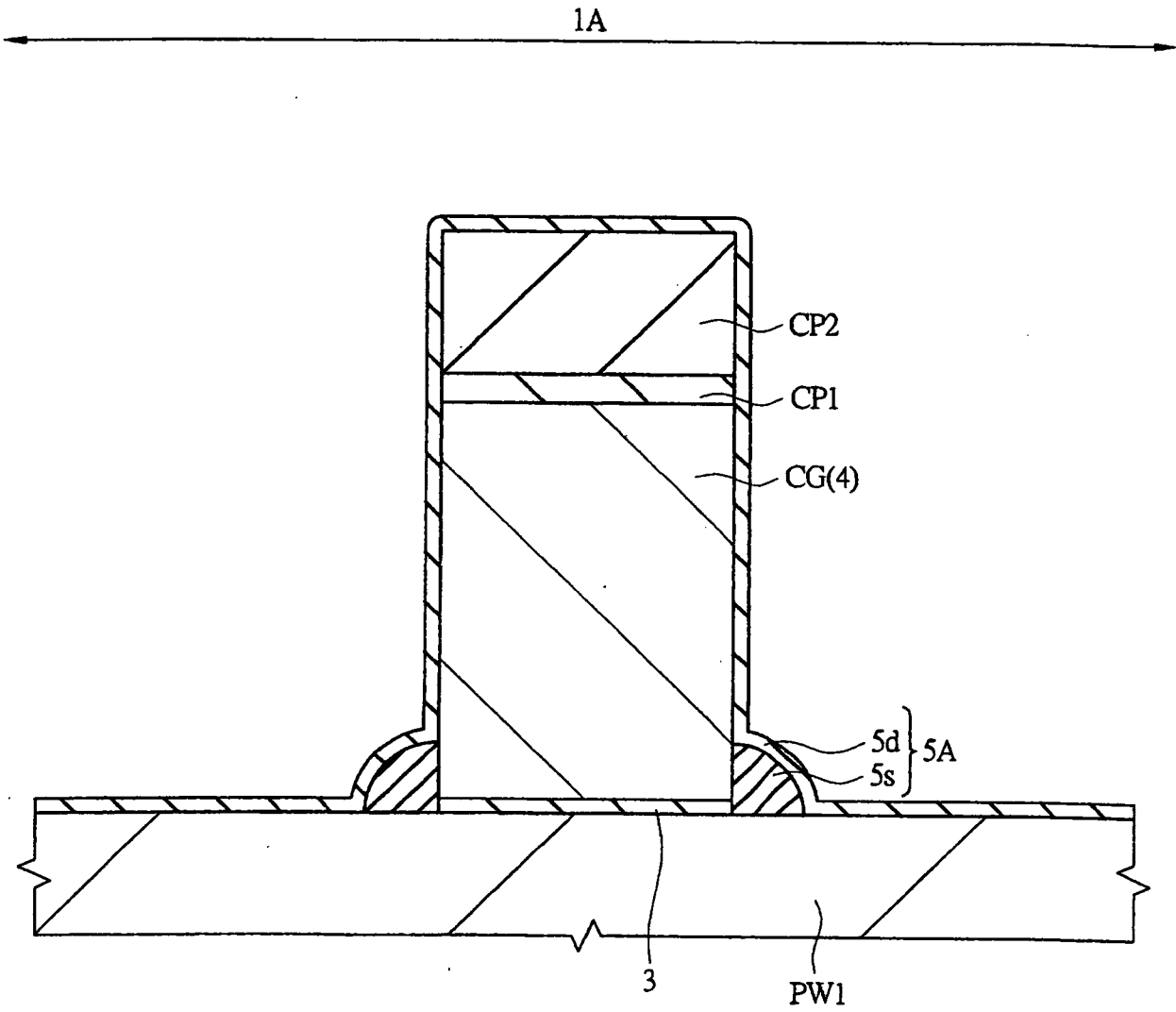


圖 72

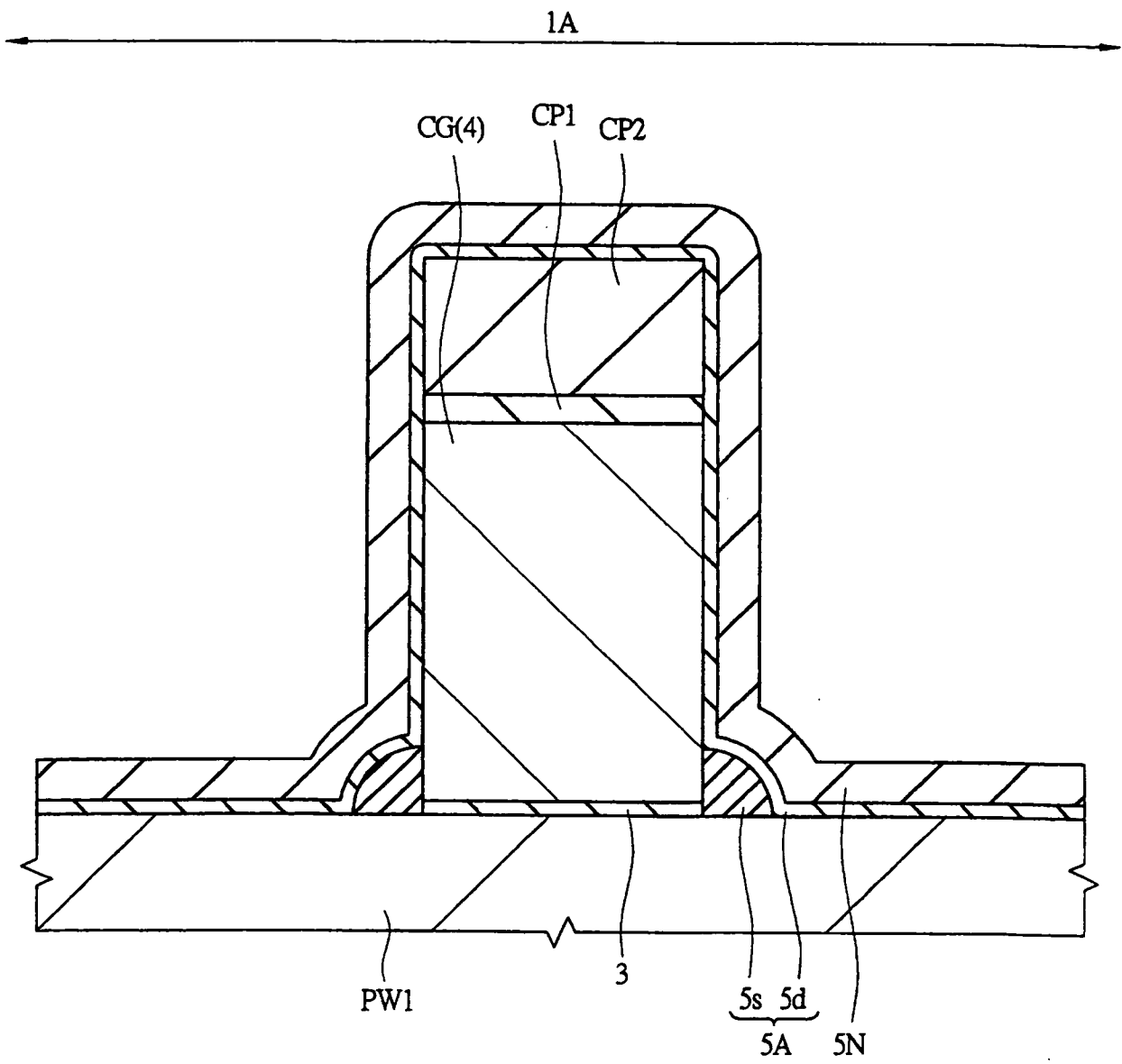


圖 73

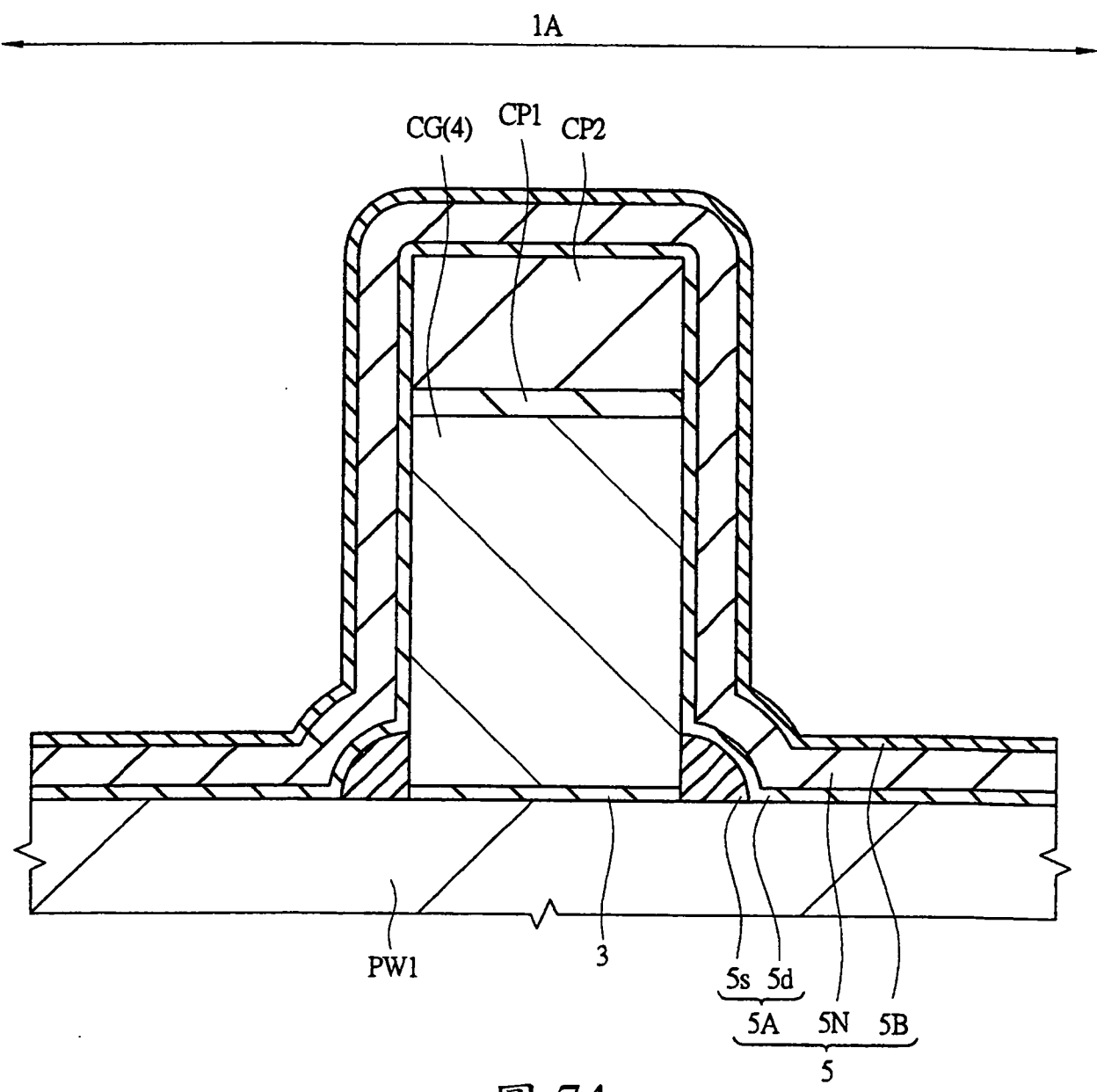


圖 74

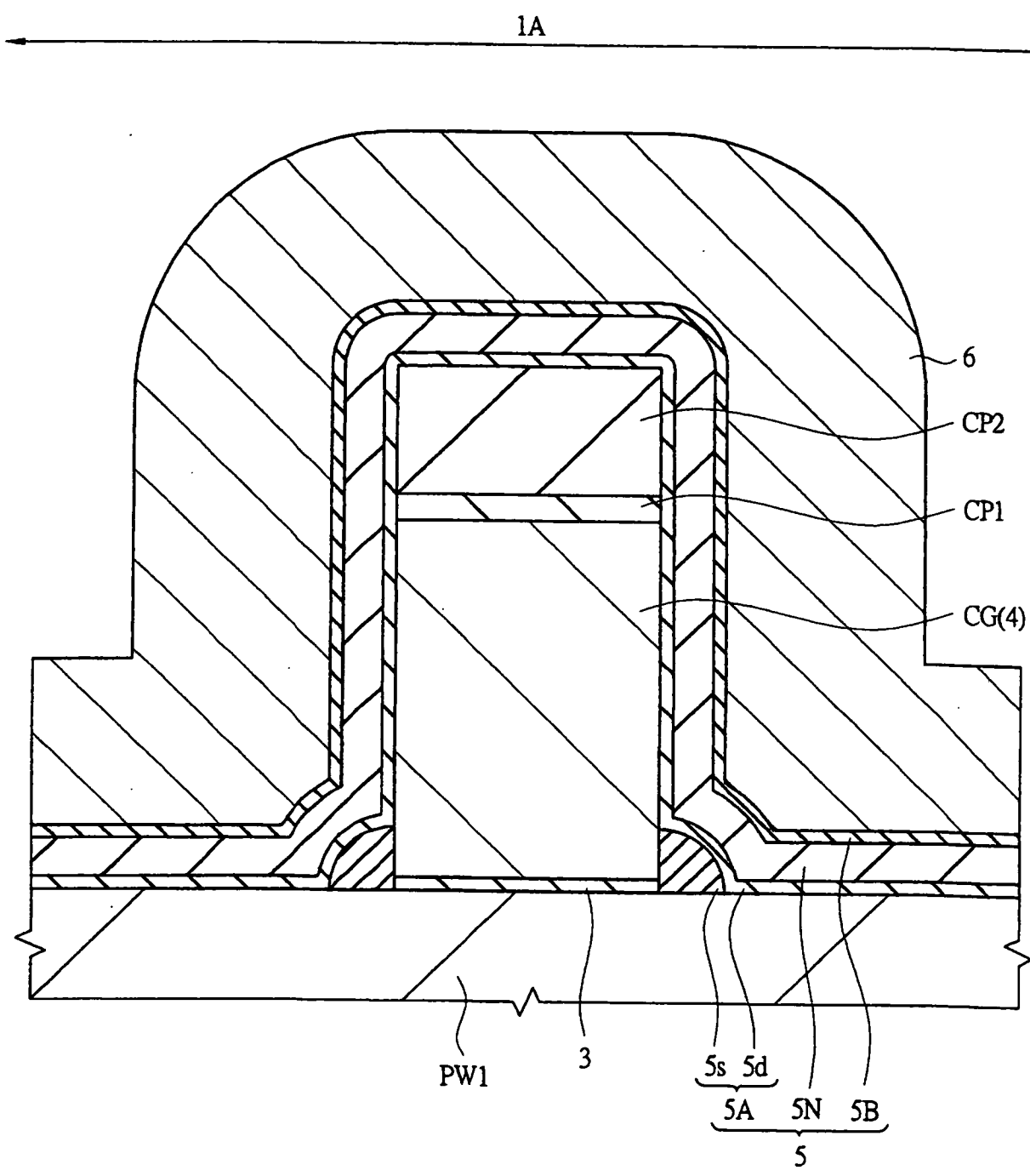


圖 75

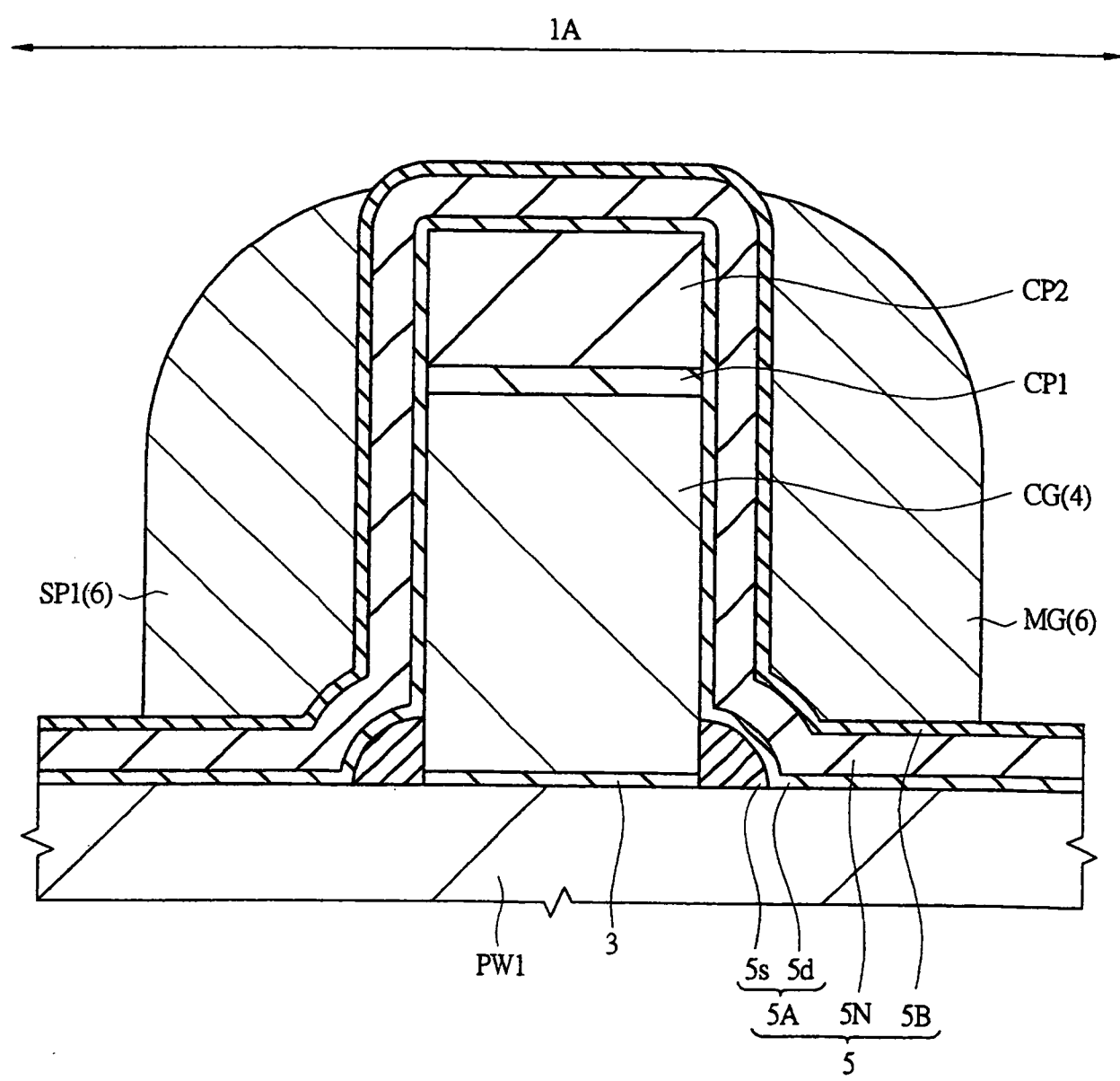


圖 76

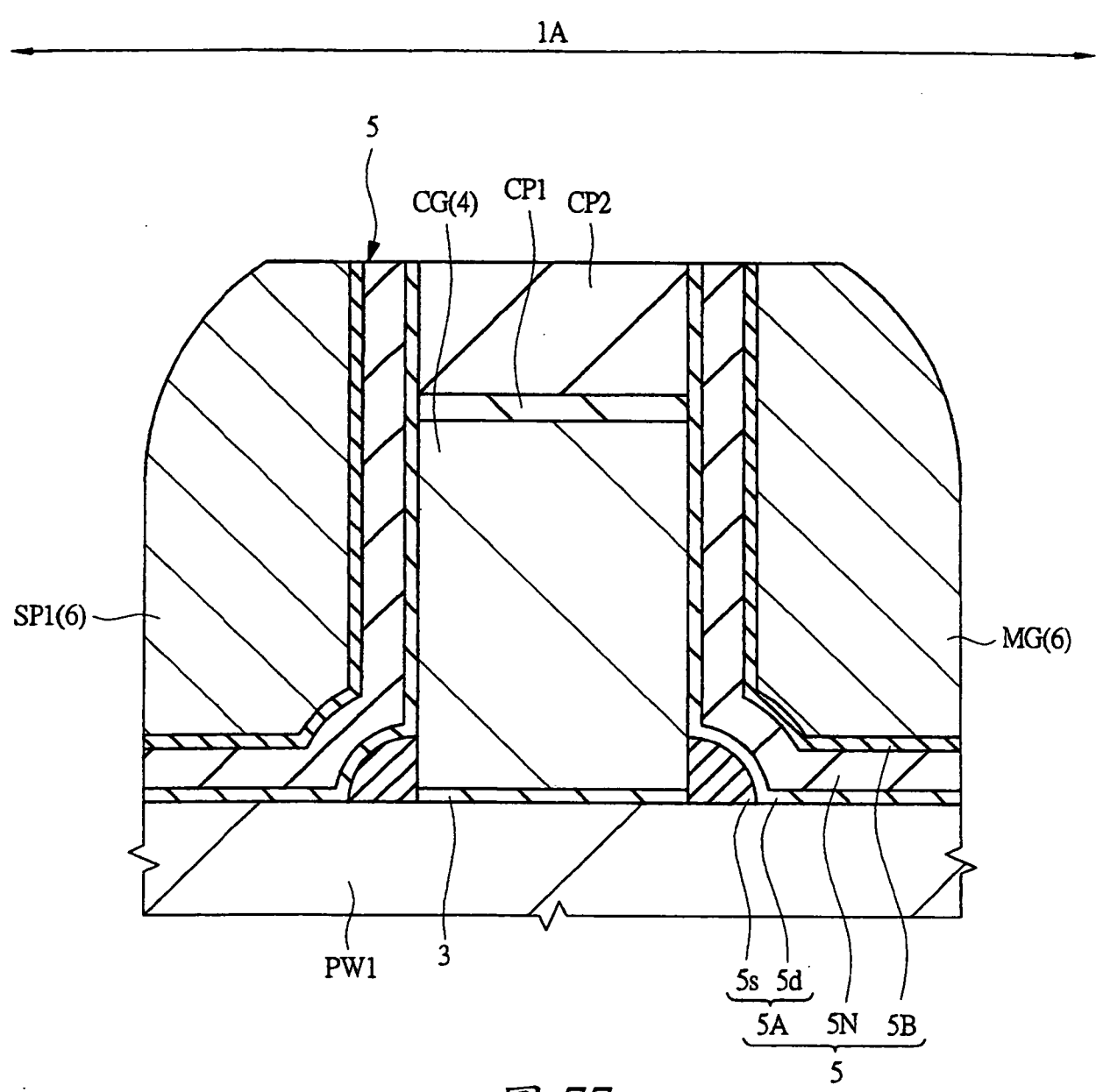


圖 77

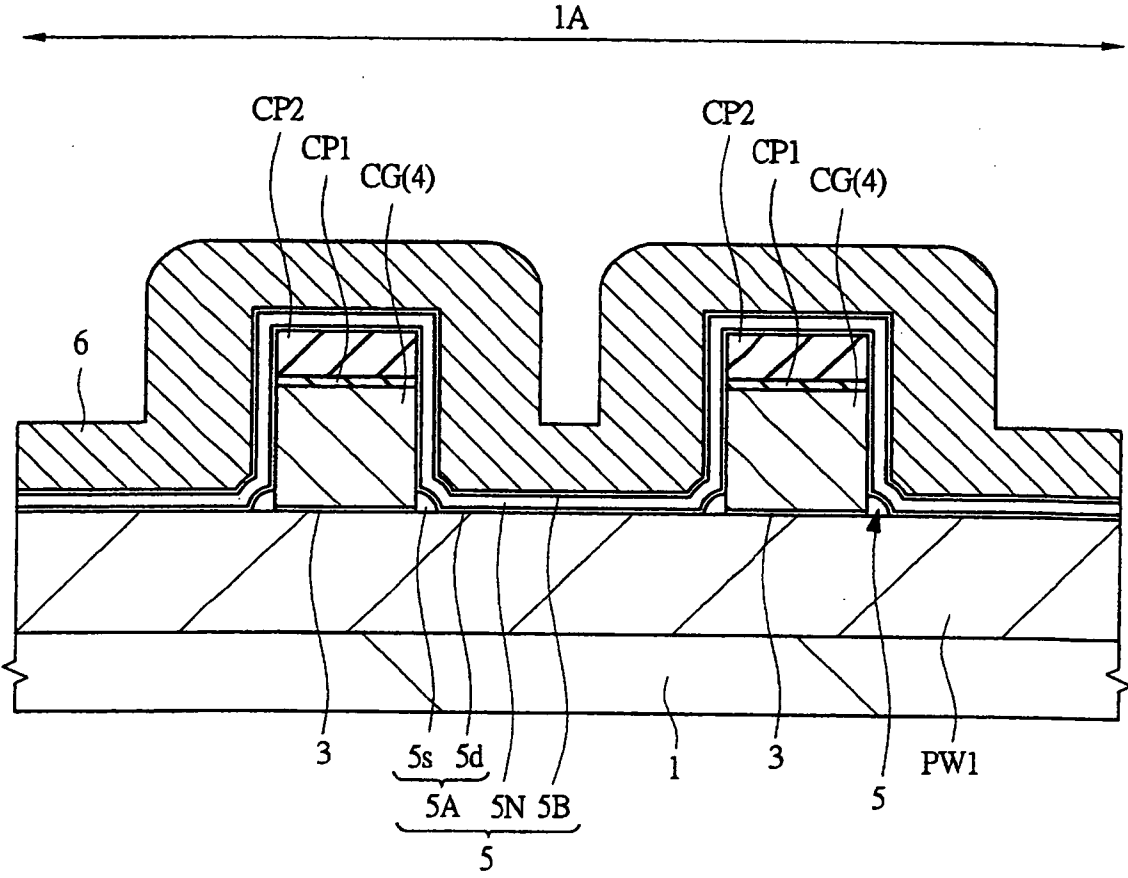


圖 78

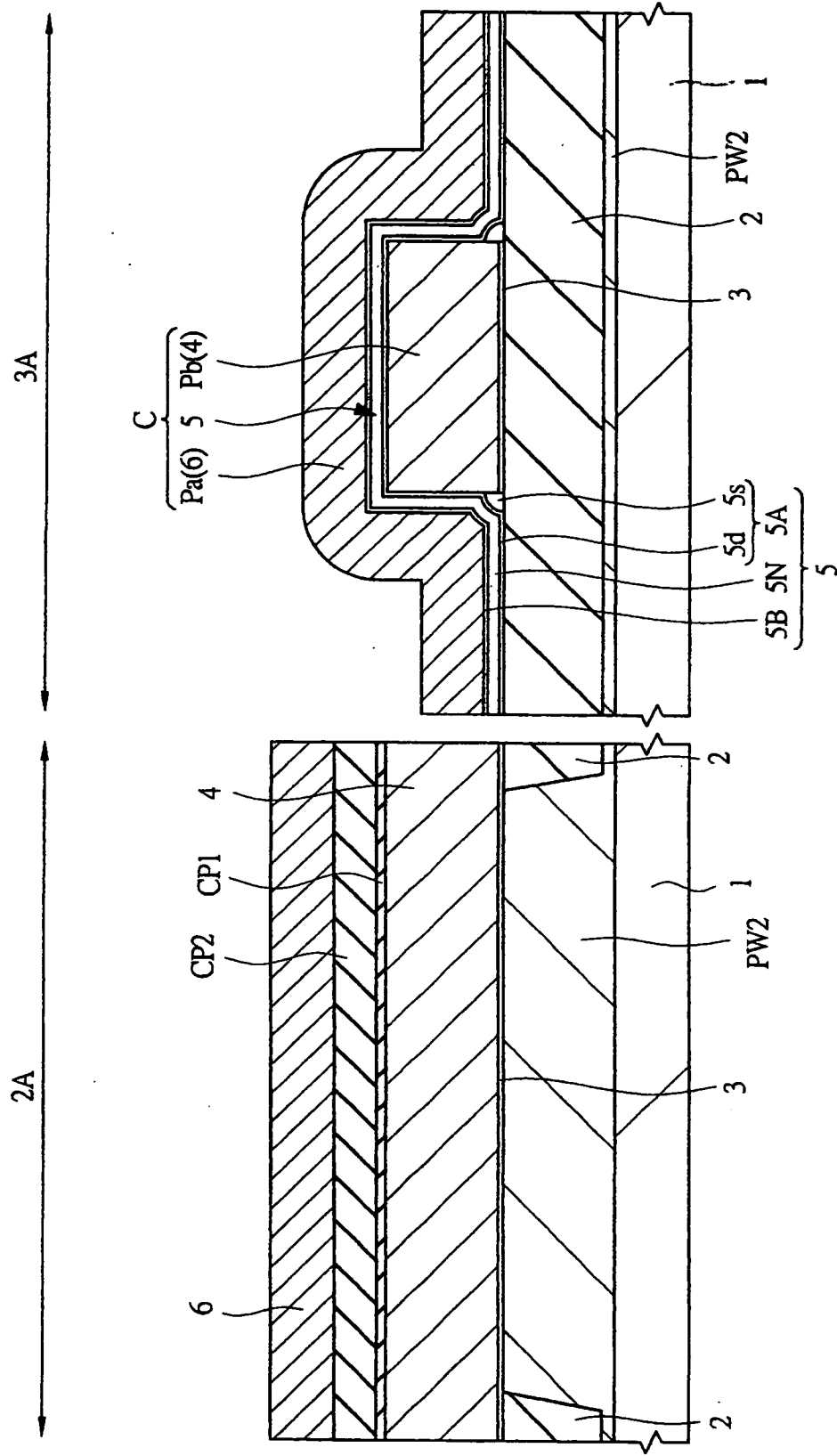


圖 79

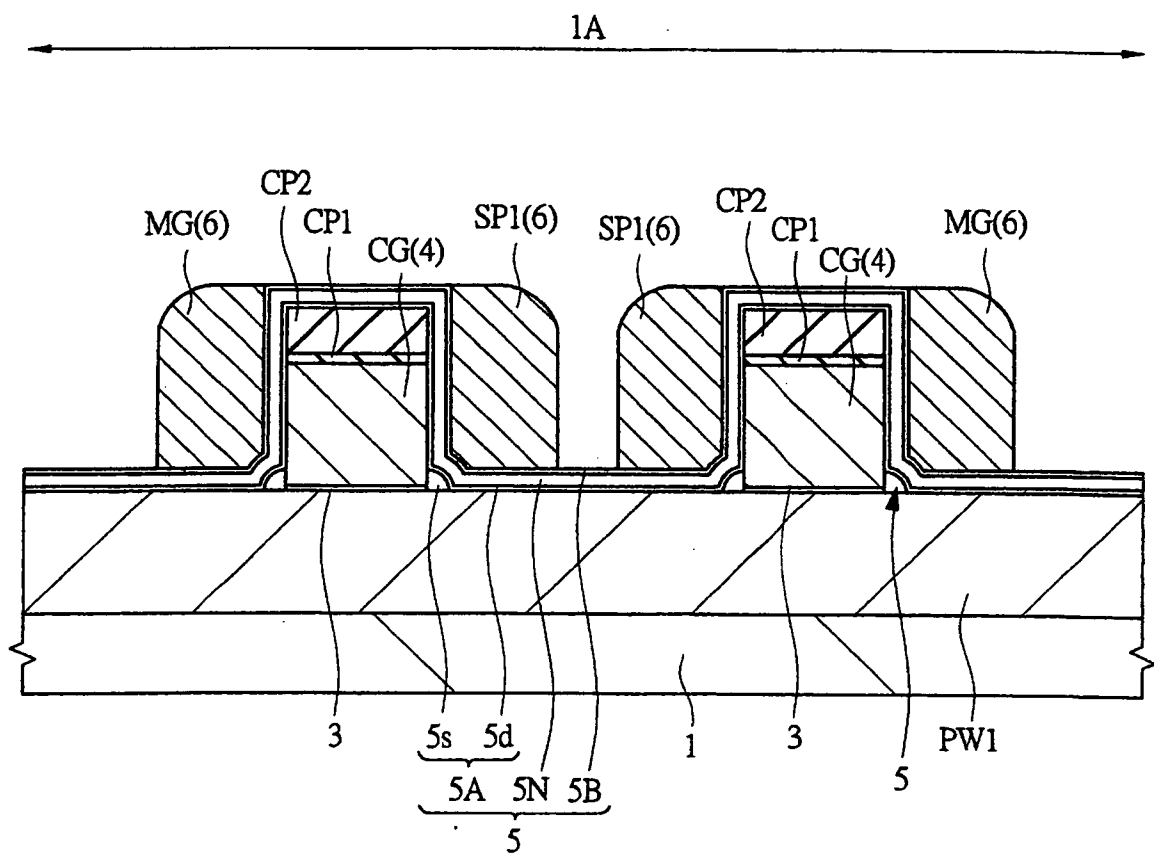


圖 80

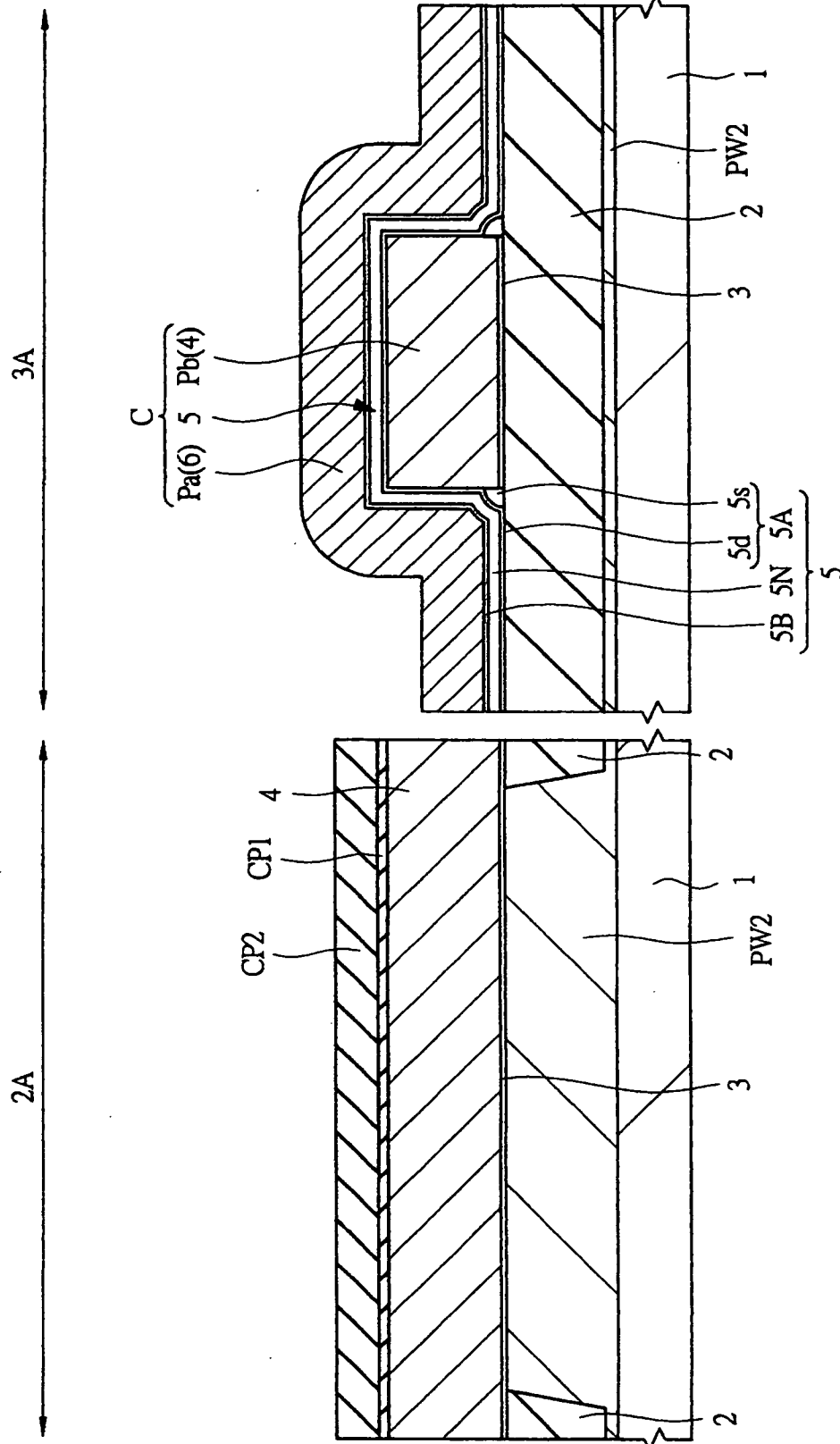


圖 81

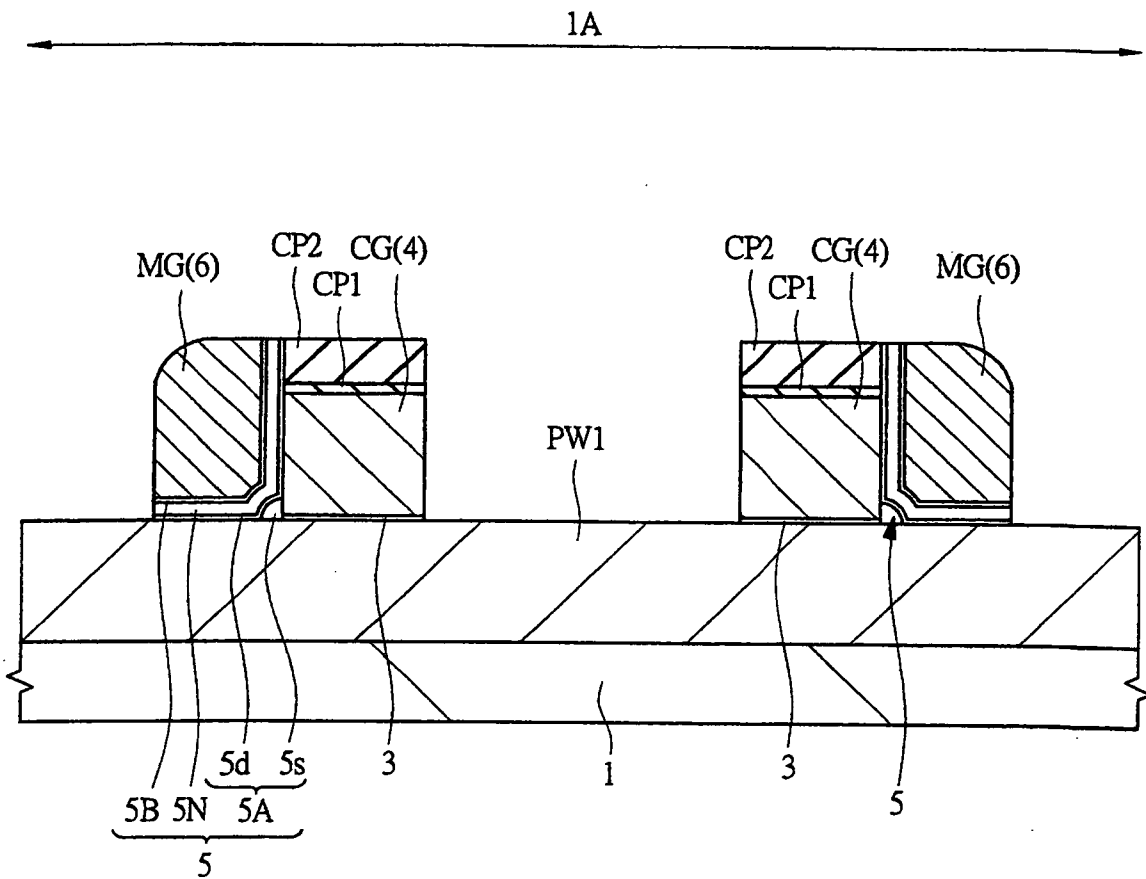


圖 82

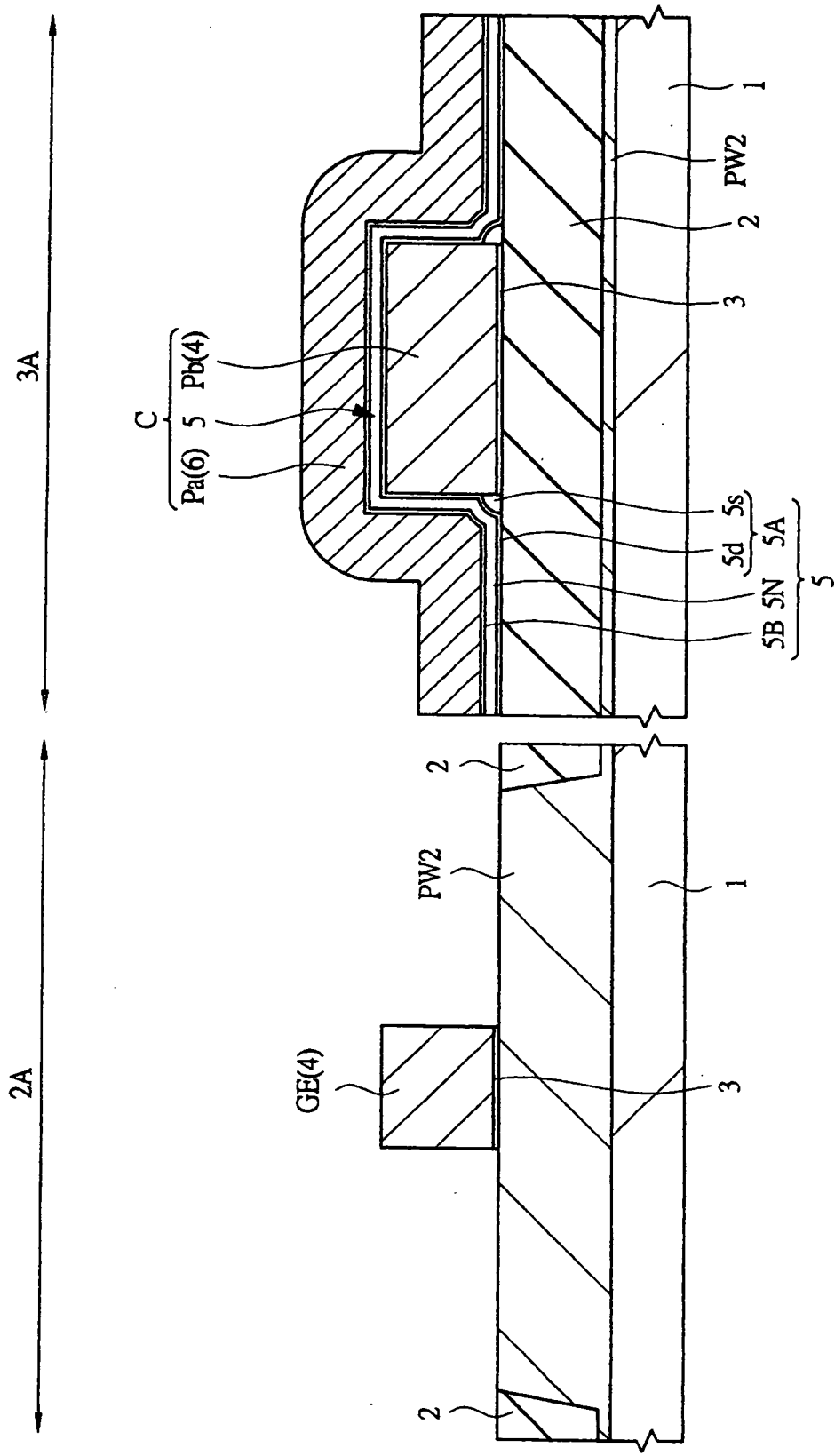


圖 83

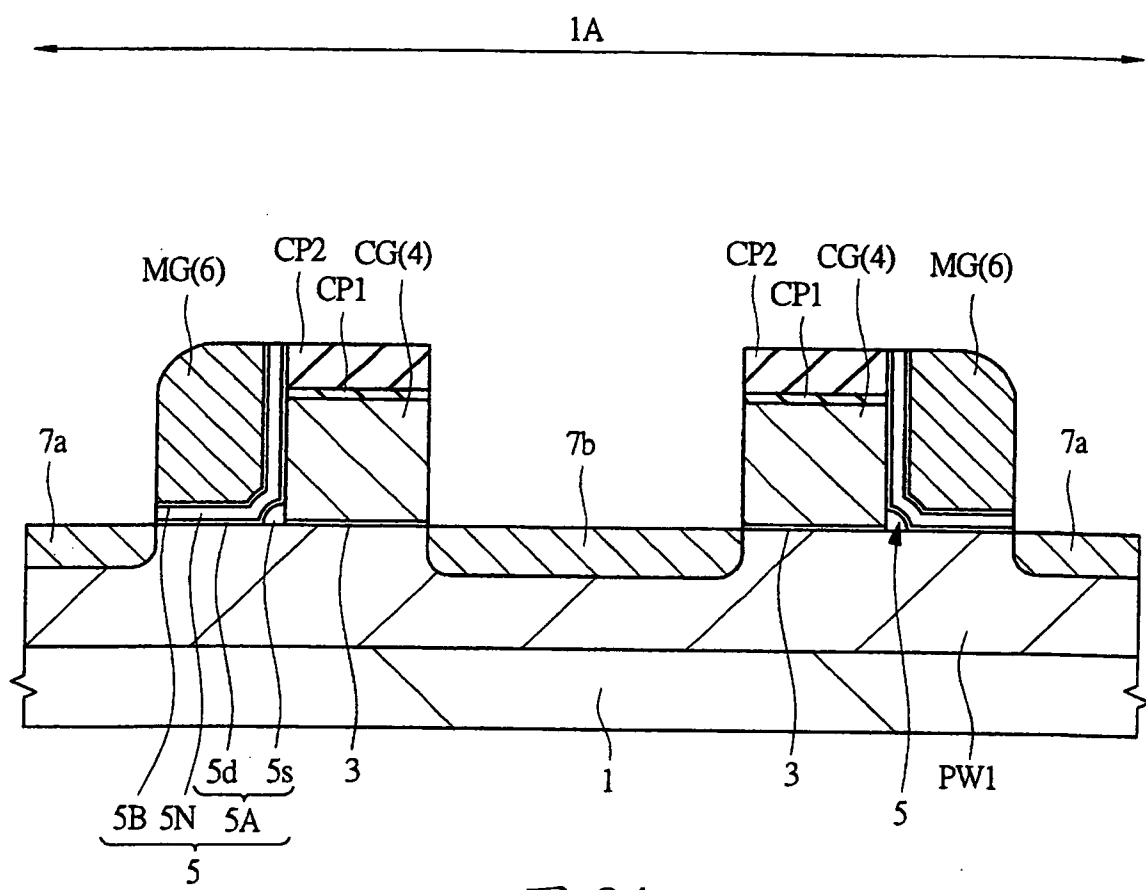


圖 84

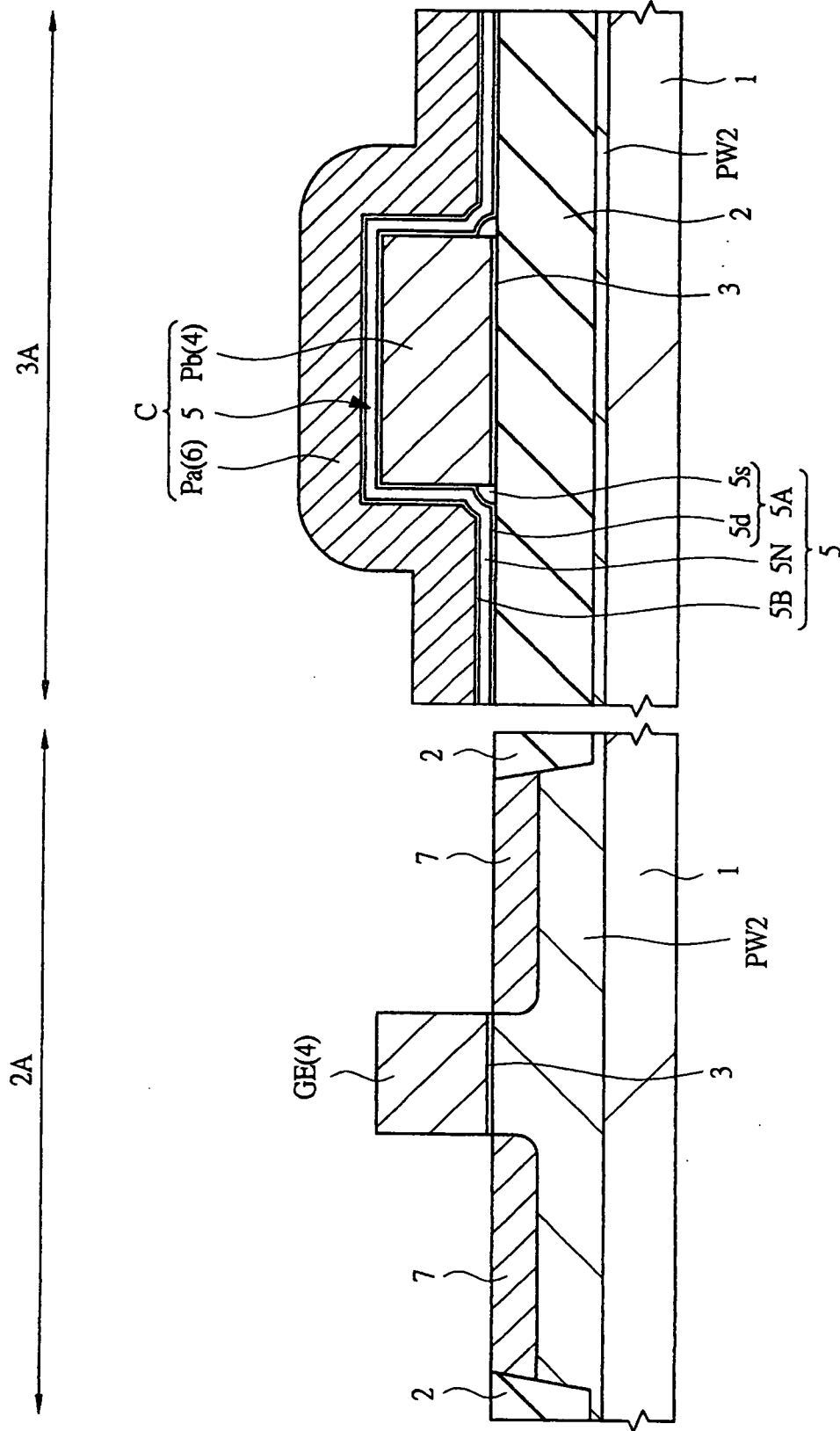


圖 85

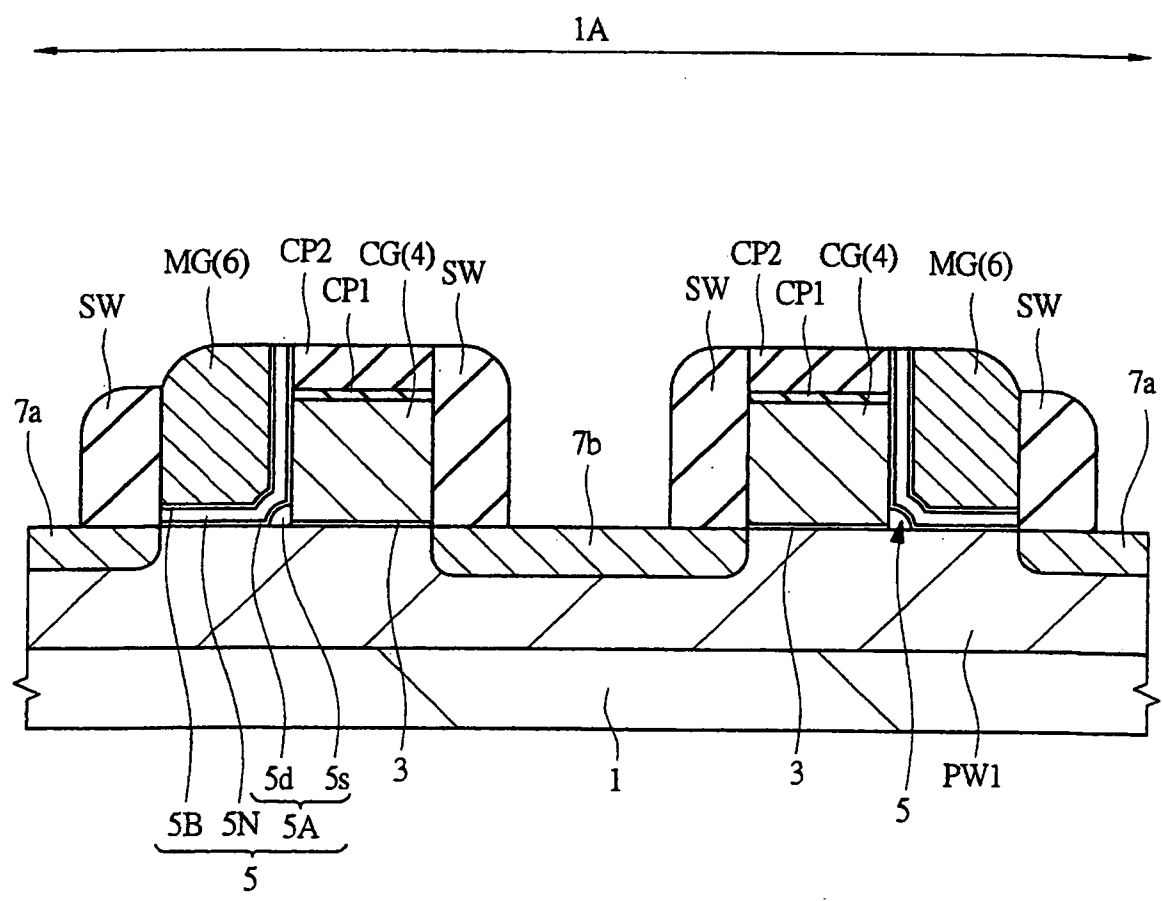


圖 86

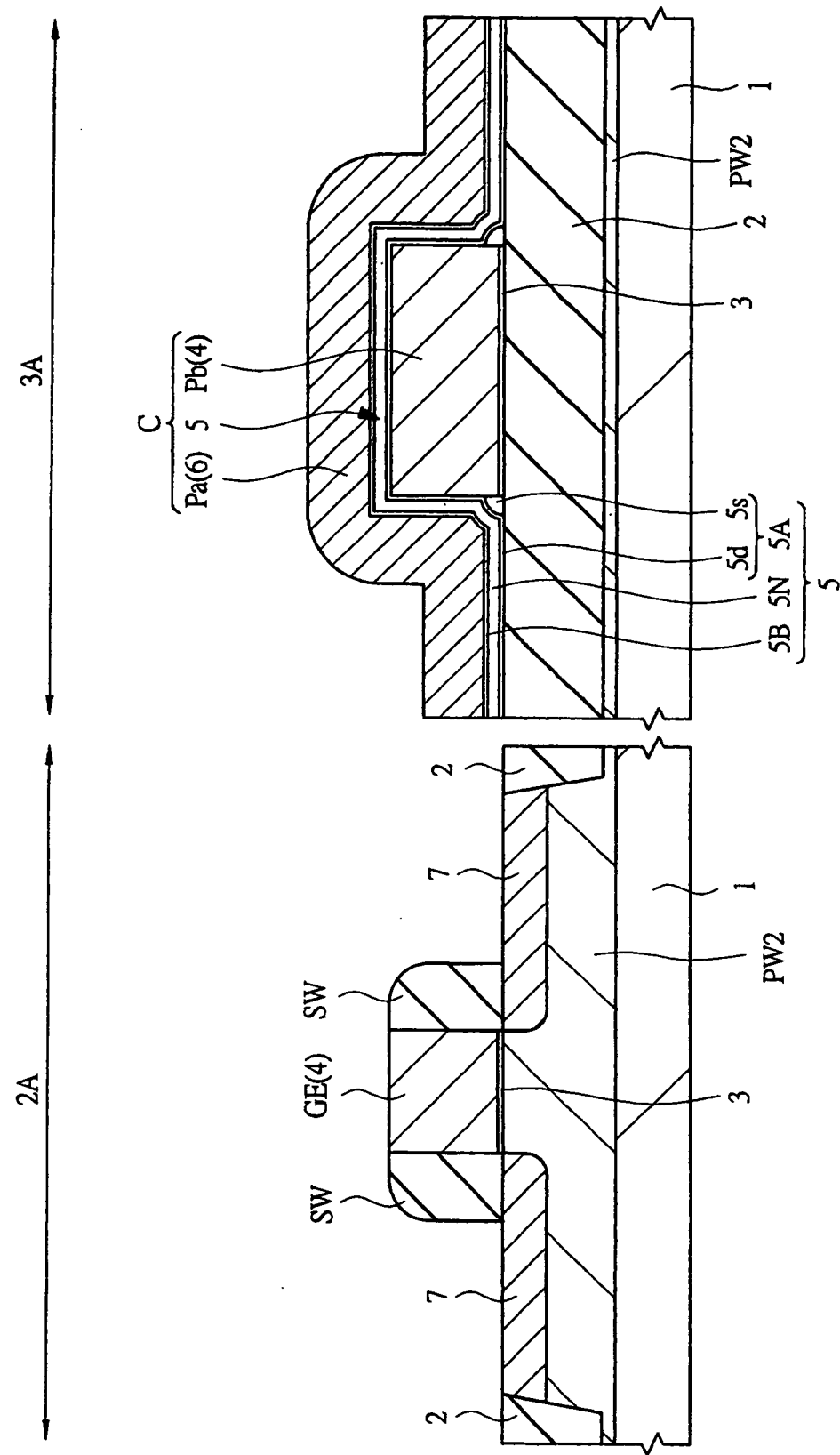


圖 87

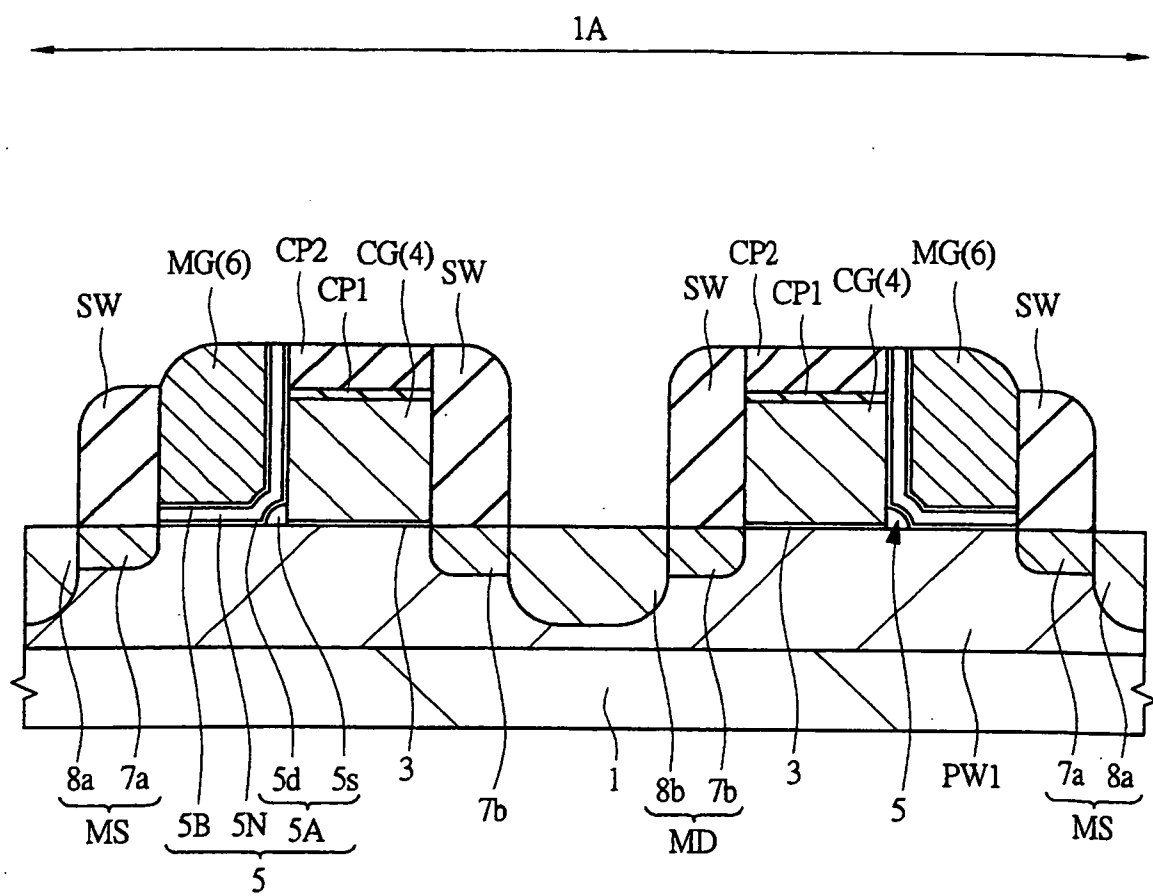


圖 88

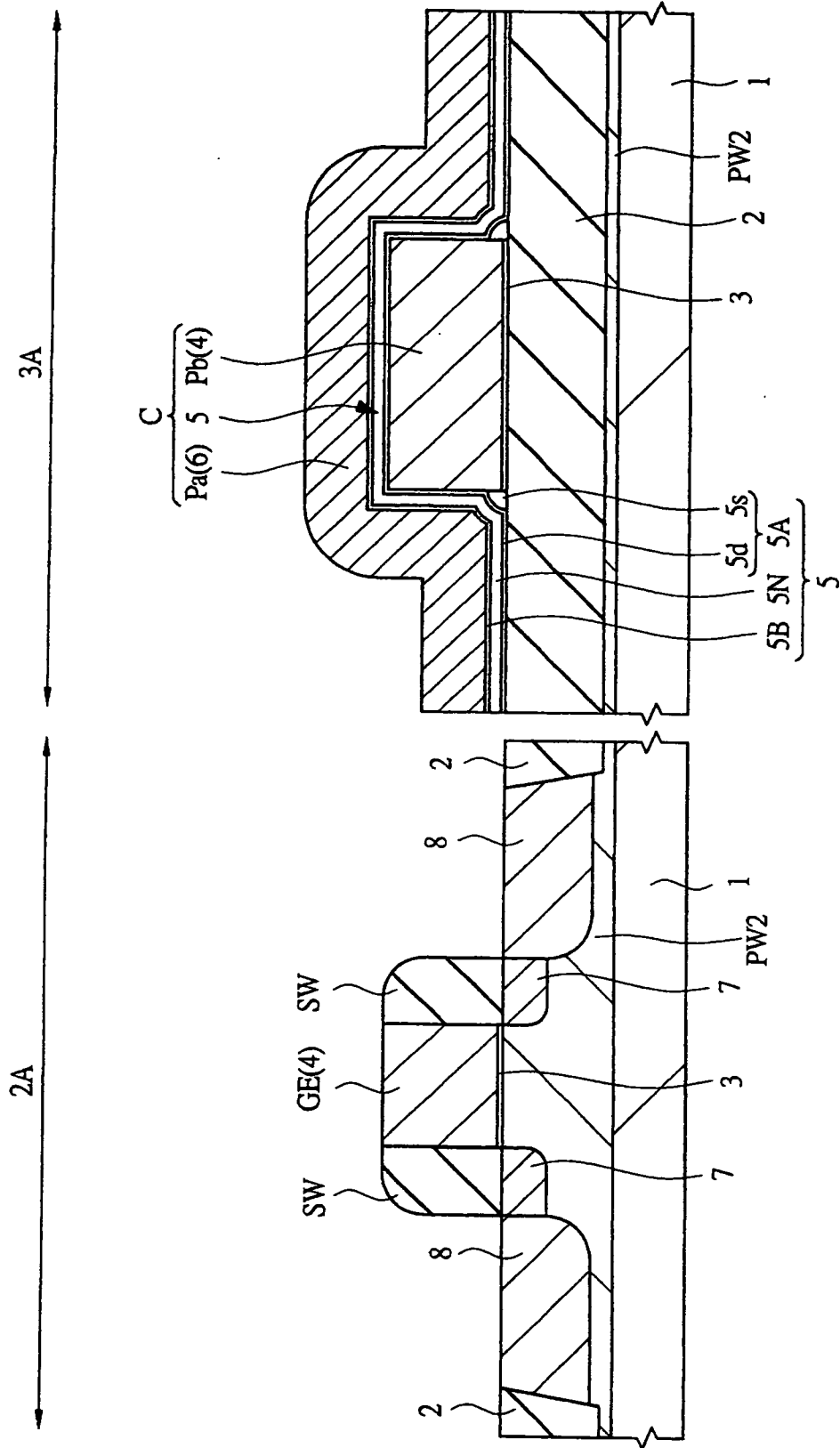


圖 89

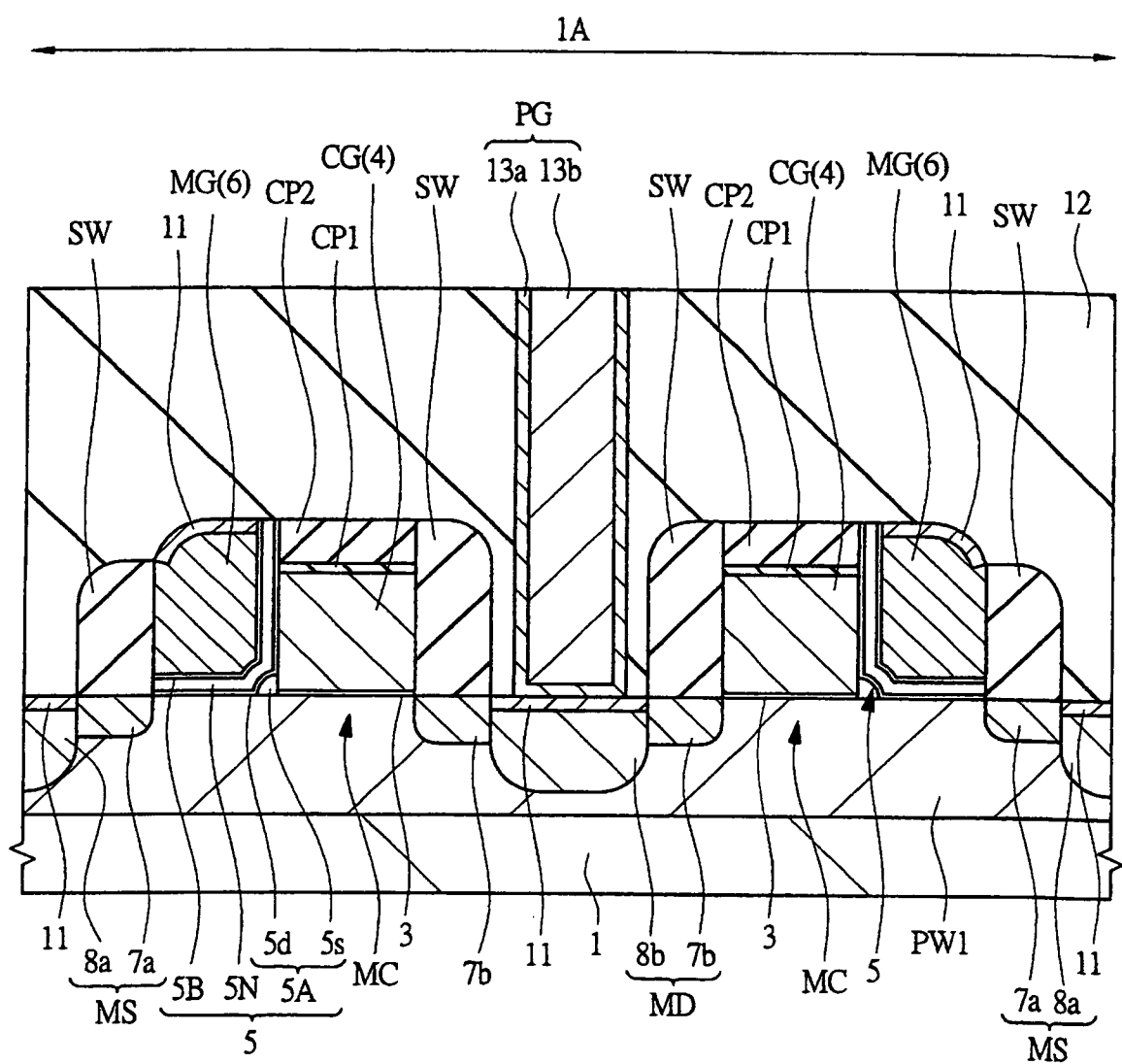


圖 90

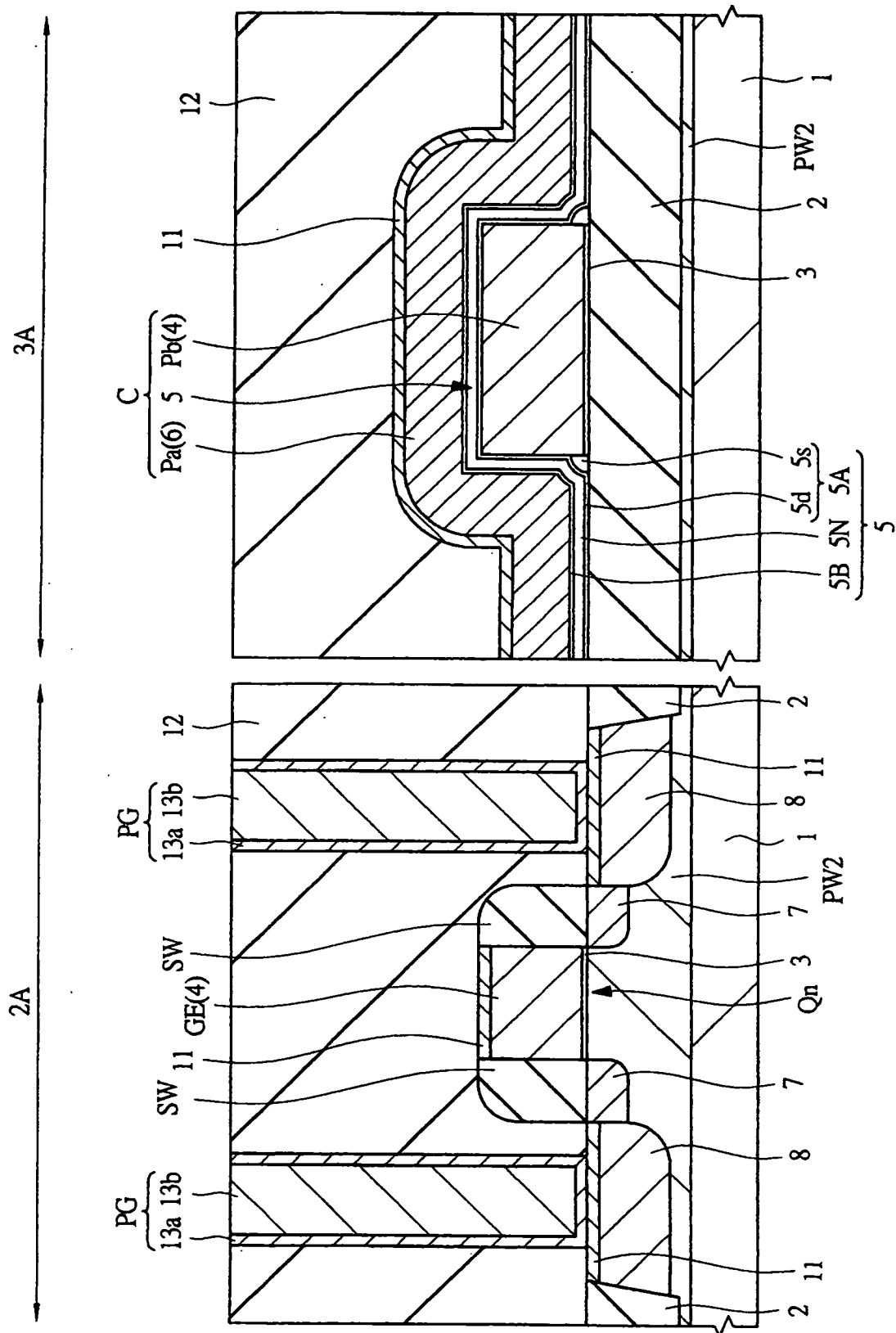


圖 91

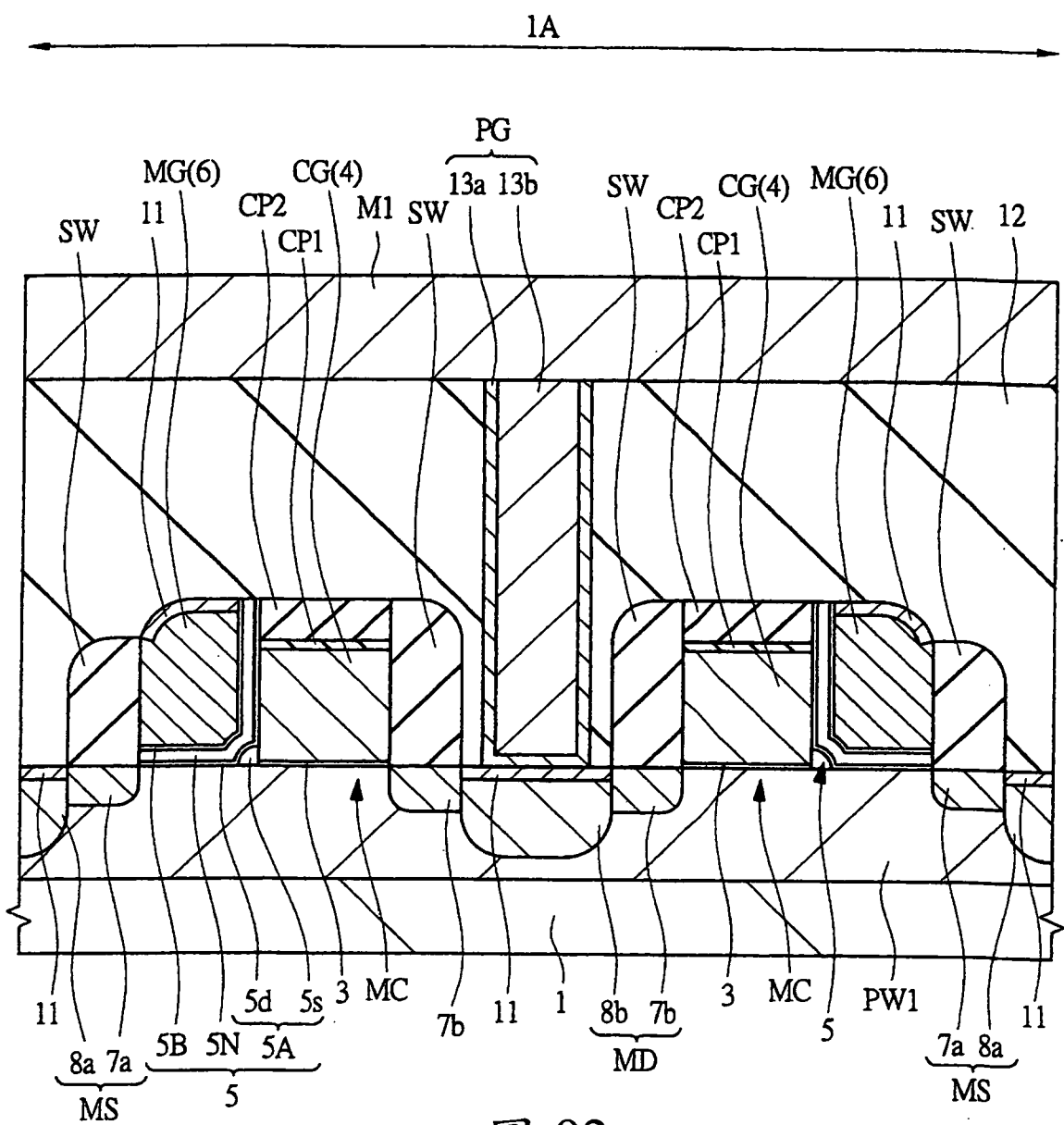
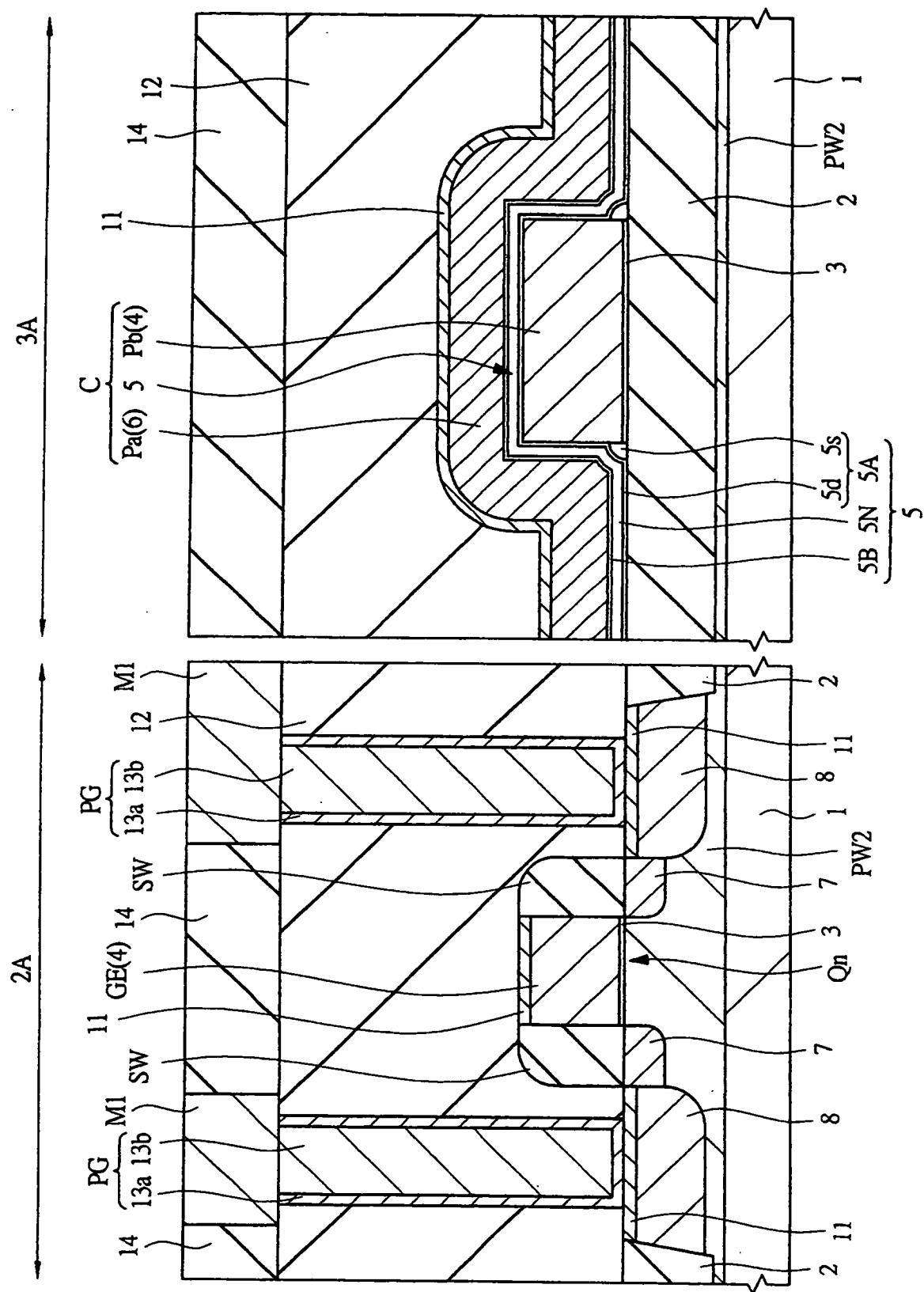


圖 92



93

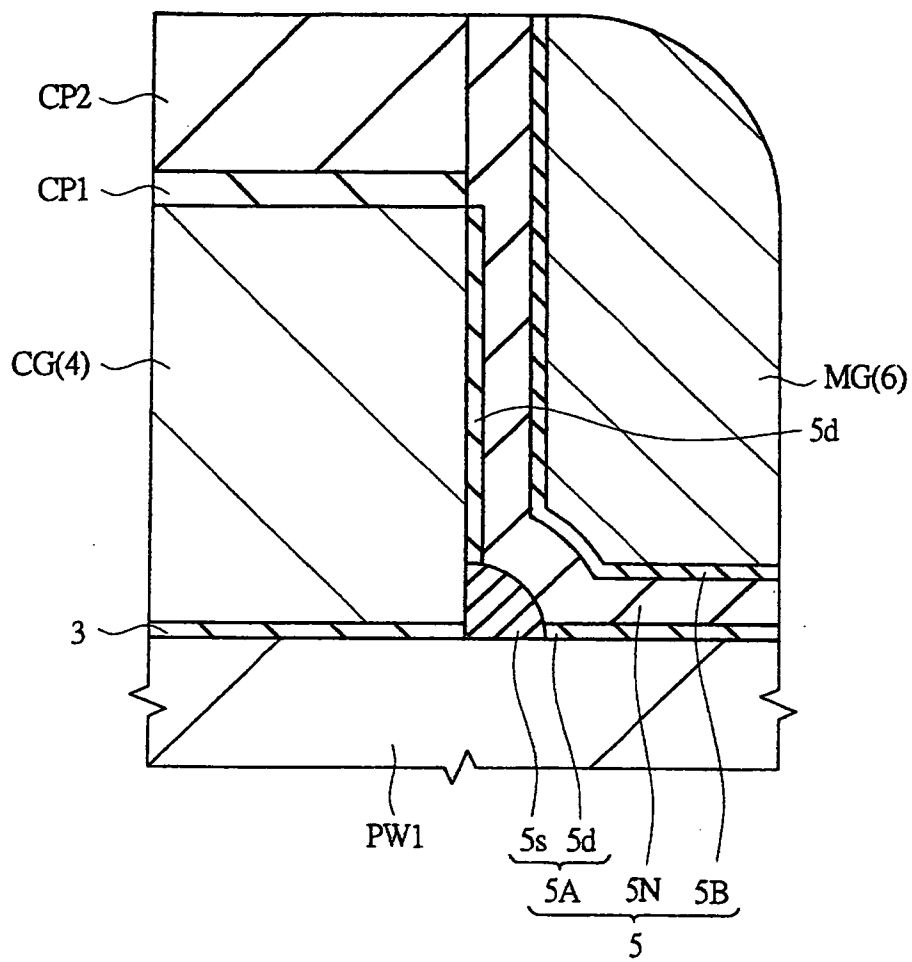


圖 94

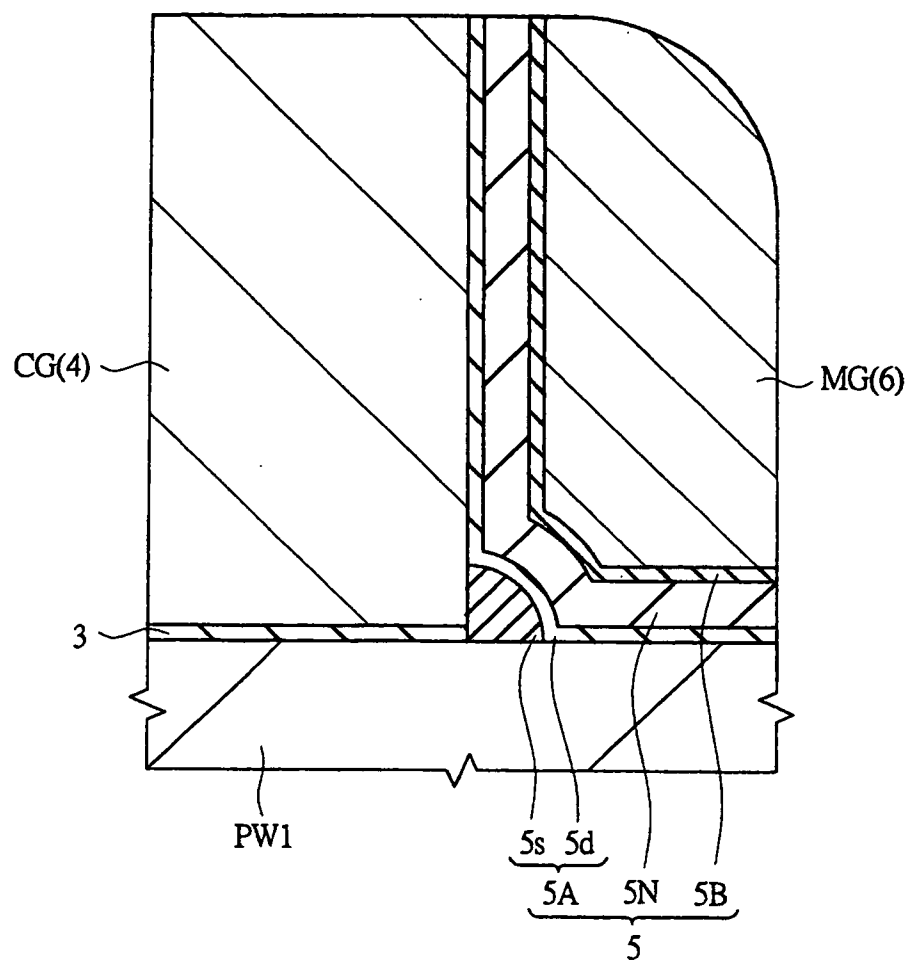


圖 95

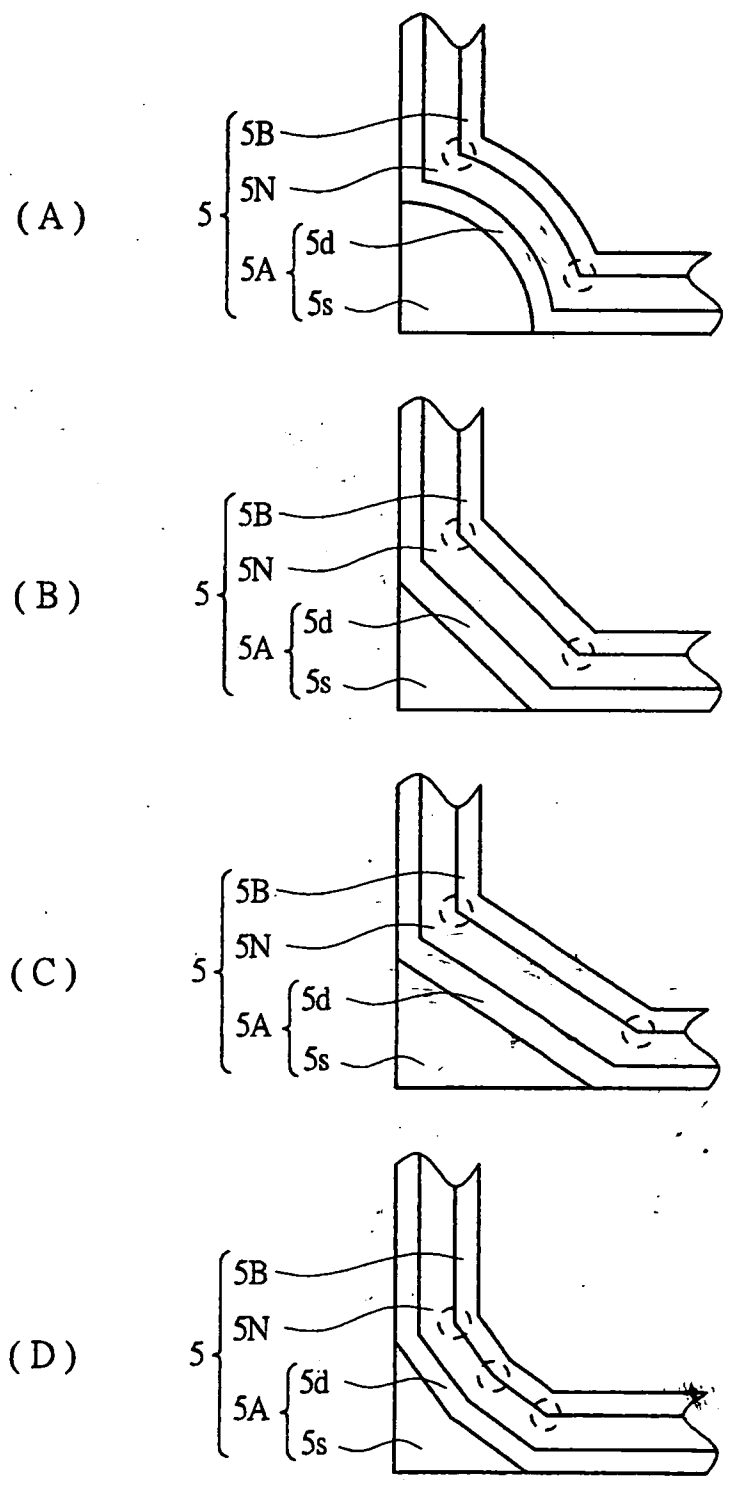


圖 96