

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成17年12月8日(2005.12.8)

【公表番号】特表2002-501646(P2002-501646A)

【公表日】平成14年1月15日(2002.1.15)

【出願番号】特願平11-500760

【国際特許分類第7版】

G 0 6 F 11/22

G 0 1 R 31/28

【F I】

G 0 6 F 11/22 3 2 0 B

G 0 6 F 11/22 3 4 0 A

G 0 1 R 31/28 G

【手続補正書】

【提出日】平成17年5月13日(2005.5.13)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】補正の内容のとおり

【補正方法】変更

【補正の内容】

手続補正書

平成17年 5月13日

特許庁長官殿

1. 事件の表示

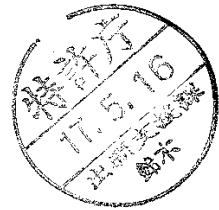
平成11年特許願第500760号

2. 補正をする者

住所 アメリカ合衆国 95131 カリフォルニア州, サン・ジョゼ,
ウエスト・トリンブル・ロード 55
名称 クイックターン・デザイン・システムズ・インコーポレイテッド

3. 代理人

住所 名古屋市中区栄二丁目10番19号
名古屋商工会議所ビル内
電話 (052)221-6141
氏名 (6434) 弁理士 岡田 英彦



4. 補正の対象

「請求の範囲」。

5. 補正の内容

「請求の範囲」を別紙のとおり補正する。

請求の範囲

1. ロジック設計をエミュレートするハードウェア・ロジック・エミュレーション・システムに組み込まれるロジック・アナライザであり、ロジック・エミュレーション・システムは複数のロジック・チップ(10)により構成され、複数のロジック・チップ(10)は複数の相互接続チップ(12)によって互いに接続され、ロジック設計は組み合わせロジック・エレメント及びシーケンシャル・ロジック・エレメントにより構成されるロジック・アナライザであって、

前記複数のロジック・チップ(10)の各々にプログラムされる少なくとも1つのスキャン・チェーンを備え、前記少なくとも1つのスキャン・チェーンは、フリップ・フロップにより構成され、少なくとも1つのスキャン・チェーンの各々は、ロジック設計のシーケンシャル・ロジック・エレメントの選択されたサブセットの出力にプログラム可能に接続可能であり、

少なくとも1つのメモリ装置(210)を備え、前記少なくとも1つのメモリ装置(210)は、前記少なくとも1つのスキャン・チェーンと通信を行い、ロジック設計のシーケンシャル・ロジック・エレメントからのデータを格納し、

コントロール回路(600)を備え、前記コントロール回路(600)は、前記複数のロジック・チップ(10)と通信を行い、前記コントロール回路(600)は、ロジック・アナライザ・クロック信号及びトリガ信号を生成し、前記ロジック・アナライザ・クロックは前記少なくとも1つのスキャン・チェーンにクロック信号を供給し、前記トリガ信号は前記複数のロジック・チップ(10)に予め定められた信号の組み合わせが生じたときに生成される、ことを特徴とするロジック・アナライザ。

2. 請求項1に記載のロジック・アナライザであって、更に、前記少なくとも1つのメモリ装置に格納されたデータからロジック設計内の組み合わせロジック・エレメントの状態を計算する手段を有することを特徴とするロジック・アナライザ。

3. 請求項1に記載のロジック・アナライザであって、前記複数のロジック・チップ(10)の各々はフィールド・プログラマブル・ゲート・アレイにより構成されていることを特徴とするロジック・アナライザ。

4. 請求項3に記載のロジック・アナライザであって、前記少なくとも1つのスキャン・チェーンは前記フィールド・プログラマブル・ゲート・アレイ内の構成可能なロジック・セルにプログラムされていることを特徴とするロジック・アナライザ。

5. 請求項4に記載のロジック・アナライザであって、前記少なくとも1つのスキャン・チェーンは、前記フィールド・プログラマブル・ゲート・アレイ内の構成可能なルーティング・リソースを用いるロジック設計のシーケンシャル・ロジック・エレメントの前記選択されたサブセットの出力にプログラム可能に接続されていることを特徴とするロジック・アナライザ。

6. 請求項1に記載のロジック・アナライザであって、前記少なくとも1つのメモリ装置(210)は、複数のプログラム可能な相互接続チップ(12)を通じて前記少なくとも1つのスキャン・チェーンと通信を行うことを特徴とするロジック・アナライザ。

7. 請求項1に記載のロジック・アナライザであって、前記ロジック・チップ(10)は、前記予め定められた信号の組み合わせを計算するイベント・ロジックを有していることを特徴とするロジック・アナライザ。

8. 請求項3に記載のロジック・アナライザであって、複数のフィールド・プログラマブル・ゲート・アレイは、前記予め定められた信号の組み合わせを計算するイベント・ロジックがプログラムされていることを特徴とするロジック・アナライザ。

9. ロジック設計をエミュレートするハードウェア・ロジック・エミュレーション・システムに組み込まれるロジック・アナライザであり、ロジック・エミュレーション・システムは複数のロジック・チップにより構成され、複数のロジック・チップは互いにプログラム可能に相互接続され、ロジック設計は組み合わせロジック・エレメント及びシーケンシャル・ロジック・エレメントにより構成されているロジック・アナライザであって、

前記複数のロジック・チップの各々にプログラムされる少なくとも1つのスキャン・チェーンを備え、前記少なくとも1つのスキャン・チェーンは、フリップ・フロップにより構成され、前記少なくとも1つのスキャン・チェーンは、ロジッ

ク設計のシーケンシャル・ロジック・エレメントの選択されたサブセットの出力にプログラム可能に接続可能であり、

少なくとも1つのメモリ装置を備え、前記少なくとも1つのメモリ装置は、前記少なくとも1つのスキャン・チェーンと通信を行い、ロジック設計のシーケンシャル・ロジック・エレメントからのデータを格納し、

コントロール回路を備え、前記コントロール回路は、前記複数のロジック・チップと通信を行い、前記コントロール回路は、ロジック・アナライザ・クロック信号及びトリガ信号を生成し、前記ロジック・アナライザ・クロック信号は前記少なくとも1つのスキャン・チェーンにクロック信号を供給し、前記トリガ信号は前記複数のロジック・チップに予め定められた信号の組み合わせが生じたときに生成される、

ことを特徴とするロジック・アナライザ。

10. 請求項9に記載のロジック・アナライザであって、更に、前記少なくとも1つのメモリ装置に格納されたデータからロジック設計内の組み合わせロジック・エレメントの状態を計算する手段を有していることを特徴とするロジック・アナライザ。

11. 請求項9に記載のロジック・アナライザであって、前記複数のロジック・チップの各々はフィールド・プログラマブル・ゲート・アレイにより構成されていることを特徴とするロジック・アナライザ。

12. 請求項11に記載のロジック・アナライザであって、前記少なくとも1つのスキャン・チェーンは前記フィールド・プログラマブル・ゲート・アレイ内の構成可能なロジック・セルにプログラムされていることを特徴とするロジック・アナライザ。

13. 請求項12に記載のロジック・アナライザであって、前記少なくとも1つのスキャン・チェーンは、前記フィールド・プログラマブル・ゲート・アレイ内の構成可能なルーティング・リソースを用いるロジック設計のシーケンシャル・ロジック・エレメントの前記選択されたサブセットの出力にプログラム可能に接続されていることを特徴とするロジック・アナライザ。

14. 請求項9に記載のロジック・アナライザであって、前記ロジック・チップ

は、前記予め定められた信号の組み合わせを計算するイベント・ロジックを有していることを特徴とするロジック・アナライザ。

15. 請求11に記載のロジック・アナライザであって、複数のフィールド・プログラマブル・ゲート・アレイは、前記予め定められた信号の組み合わせを計算するイベント・ロジックがプログラムされていることを特徴とするロジック・アナライザ。