(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [7]
H04B 1/69

(45) 공고일자 2002년05월31일
(11) 등록번호 10-0339126
(24) 등록일자 2002년05월21일

(21) 출원번호 10-1999-0045029
(22) 출원일자 1999년10월18일

(65) 공개번호 특2000-0035037
(43) 공개일자 2000년06월26일

(30) 우선권주장 10-296976 1998년10월19일 일본(JP)

(73) 특허권자 알프스 덴키 가부시키가이샤
가타오카 마사타카
일본국 도쿄도 오타구 유키가야 오츠카쵸 1반 7고

(72) 발명자 아즈마도시유키
일본국가나가와켄요코하마시고호쿠구닛바쵸2986

(74) 대리인 송재련
한규환

심사관 : 정재우

(54) 베이스밴드 신호 처리 회로

요약

본 발명은 제 1 베이스밴드신호인 아날로그 I 신호(A/I)와, 제 2 베이스밴드신호인 아날로그 Q 신호(A/Q)와의 위상차를 정확히 90도가 되도록 설정가능하게 하는 것이다.

이를 위하여 본 발명에서는 디지털신호를 아날로그신호화하는 제 1 클락신호의 상승시각 또는 하강시간과 디지털신호를 아날로그신호화하는 제 2 클락신호의 상승시간 또는 하강시간과의 사이의 시간간격을 바꾸도록 하였다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 베이스밴드 신호처리회로를 설명하는 회로도,

도 2는 샘플링을 설명하는 클락신호의 타이밍차트,

도 3은 본 발명의 베이스밴드 신호처리회로에 사용하는 듀티조정회로의 회로도,

도 4는 종래의 베이스밴드 신호처리회로를 설명하는 회로도이다.

※도면의 간단한 부호의 설명

1 : 디지털처리회로 2 : 제 1 D/A변환기

3 : 제 2 D/A변환기 4 : 듀티조정회로

5 : 제 1 저대역통과필터 6 : 제 2 저대역통과필터

7 : 제 1 베이스밴드 신호증폭기 8 : 제 2 베이스밴드 신호증폭기

9 : 제 1 변조기 10 : 제 2 변조기

11 : 반송파 발진기 12 : 이상기

13 : 가산기

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반송파를 디지털변조하기 위한 베이스밴드 신호를 처리하는 베이스밴드 신호처리회로에 관한 것이다.

CDMA 방식의 휴대전화에 있어서의 송신에서는 음성신호나 각종 제어신호를 확산신호에 의하여 디지털신호화하고, 이 디지털신호를 아날로그신호로 변환처리하여 반송파를 디지털변조(QPSK변조)하고 있다.

도 4에 의거하여 종래의 베이스밴드 신호처리회로를 설명한다.

먼저, 음성신호 등은 디지털처리회로(31)에 있어서 디지털신호(D)로 변환되어 출력되고, 제 1 D/A 변환기(32)와 제 2 D/A 변환기(33)에 입력된다. 디지털신호(D)는 8비트로 구성되어 있다.

또 디지털처리회로(31)는 제 1 클락신호(C/I)와 제 2 클락신호(C/Q)를 출력하고, 제 1 클락신호(C/I)는 제 1 D/A 변환기(32)에 입력되고, 제 2 클락신호(C/Q)는 제 2 D/A 변환기(33)에 입력된다. 제 1 클락신호(C/I)와 제 2 클락신호는 디지털신호(D)를 아날로그신호로 변환하기 위한 것으로, 듀티비가 모두 50%로 되어 있어 서로 동기함과 동시에 역위상의 관계로 되어 있다.

제 1 D/A 변환기(32)에 있어서는 디지털신호(D)가 제 1 클락신호(C/I)의 상승으로 아날로그신호화된다. 또 제 2 D/A 변환기(33)에 있어서는 디지털신호(D)가 제 2 클락신호(C/Q)의 상승으로 아날로그신호화된다. 이 결과 제 1 D/A 변환기 (32)는 제 1 베이스밴드 신호가 되는 아날로그 I 신호(A/I)를 출력하고, 제2 D/A 변환기(33)는 제2베이스밴드신호가 되는 아날로그 Q 신호(A/Q)를 출력한다. 그리고, 아날로그 I 신호(A/I)의 위상과 아날로그 Q 신호(A/Q)의 위상은 서로 90도 다르게 된다.

아날로그 I 신호(A/I)와 아날로그 Q 신호(A/Q)는 대략 630 KHz의 주파수 대역을 가지고 있고, 그 이상의 주파수의 노이즈를 커트하기 위하여 각각 제 1 저대역통과필터(34)와 제 2 저대역통과필터(35)에 입력된다. 제 1 저대역통과필터(34)및 제 2 저대역통과필터(35)는 휴대전화기의 소형화를 위하여 IC 화가 가능한 능동 저대역통과필터로 구성되어 있다. 630 KHz 이상의 노이즈가 커트된 아날로그 I 신호(A/I)는 제 1 베이스밴드 신호증폭기(36)에 의하여 증폭된 후, 제 1 변조기 (38)에 입력되고, 마찬가지로 630 KHz 이상의 노이즈가 커트된 아날로그 Q 신호 (A/Q)는 제 2 베이스밴드 신호증폭기(37)에 의하여 증폭된 후, 제 2 변조기(39)에 입력된다. 제 1 및 제 2 베이스밴드 신호증폭기(36, 37)는 오피앰프로 구성된다.

또한 제 1 변조기(38)에 입력되는 아날로그 I 신호(A/I)의 레벨과 제 2 변조기(39)에 입력되는 아날로그 Q 신호(A/Q)의 레벨을 소정의 레벨(예를 들어 1볼트)로 설정하기 위하여 제 1 베이스밴드 신호증폭기(36)와 제 2 베이스밴드 신호증폭기(37)의 각각의 증폭도가 바뀌도록 되어 있다.

제 1 변조기(38)에는 제 1 반송파(Φ/I)가 입력되고, 제 2 변조기(39)에는 제 2 반송파(Φ/Q)가 입력된다. 제 1 반송파(Φ/I)와 제 2 반송파(Φ/Q)는 위상이 서로 90도 달라 있고, 반송파 발진기(40)로부터 출력된 원반송파(주파수는 약 130 MHz)을 기초로 하여 위상기(41)에 의하여 얻어진다.

그리고 제1 반송파(Φ/I)가 아날로그 I 신호(A/I)에 의하여 PSK 변조되고, 제 2 반송파(Φ/Q)가 아날로그 Q 신호(A/Q)에 의하여 PSK 변조된다.

PSK 변조된 두 개의 신호는 가산기(42)에 의하여 가산되고, 전체로서 QPSK 변조된다. 그리고 도시 생략한 주파수 변환기에 의하여 약 700 MHz의 송신신호로 주파수변환되고, 그 후 다시 소정의 처리가 이루어져 도시 생략한 안테나로부터 기지국으로 송신된다.

발명이 이루고자 하는 기술적 과제

이상과 같이 설명한 종래 베이스밴드 신호처리회로에서는, 제 1 D/A 변환기 (32)로부터 출력되는 아날로그 I 신호와 제 2 D/A 변환기(33)로부터 출력되는 아날로그 Q 신호와의 위상차가 90도로 되도록 되어 있으나, 제 1 클락신호(C/I) 또는 제 2 클락신호(C/Q)의 위상이 어긋나거나 또는 저대역통과필터(34, 35)로부터 가산기(42)까지의 전송경로에 있어서의 위상오차(예를 들어, 저대역통과필터 34, 35의 위상특성의 차)에 의하여 아날로그 I 신호(A/I)와 아날로그 Q 신호(A/Q)의 위상차가 90도로부터 어긋나는 일이 있다.

따라서 아날로그 I 신호(A/I)와 아날로그 Q 신호(A/Q)와의 위상차가 90도로부터 어긋난 상태로 제 1 반송파(Φ1), 제 2 반송파(Φ2)를 PSK 변조하게 된다. 이 결과, 수신측에서의 수신감도가 저하하여 수신측에서 원상회복하는 경우에 비트오류가 발생하여 정상적인 송수신을 할 수 없게 된다는 문제가 발생한다.

따라서 본 발명의 베이스밴드 신호처리회로는, 제 1 베이스밴드신호인 아날로그 I 신호(A/I)와 제 2 베이스밴드신호인 아날로그 Q 신호(A/Q)와의 위상차를 정확히 90도가 되도록 설정가능하게 하는 것을 목적으로 한다.

발명의 구성 및 작용

이상의 과제를 해결하기 위하여, 본 발명의 베이스밴드 신호처리회로는 디지털신호와 상기 디지털신호를 아날로그신호로 변환하기 위한 제 1 클락신호가 입력되어 제 1 베이스밴드신호를 출력하는 제 1 D/A 변환기와, 상기 디지털신호와 상기 디지털신호를 아날로그신호로 변환하기 위한 제 2 클락신호가 입력되어 제 2 베이스밴드신호를 출력하는 제 2 D/A 변환기를 구비하고, 상기 제 1 클락신호와 상기 제 2 클락신호를 동기시킴과 동시에, 상기 제 1 클락신호의 상승시간 또는 하강시간과 상기 제 2 클락신호의 상승시간 또는 하강시간과의 사이의 시간간격을 바꿔도록 하였다.

또 본 발명의 베이스밴드 신호처리회로는, 상기 제 1 클락신호 또는 상기 제 2 클락신호의 어느 한쪽의 듀티비를 바꿔도록 하였다.

또 본 발명의 베이스밴드 신호처리회로는, 상기 디지털신호, 상기 제 1 클락신호 및 상기 제 2 클락신호는 디지털처리회로로부터 출력되고, 상기 디지털처리회로와 상기 제 1 D/A 변환기와의 사이 또는 상기 디지털처리회로와 상기 제 2 D/A 변환기와의 사이에 듀티조정회로를 설치하고, 상기 제 1 클락신호 또는 상기 제 2 클락신호를 상기 듀티조정회로를 거쳐 상기 제 1 D/A 변환기 또는 상기 제 2 D/A 변환기에 입력하였다.

또 본 발명의 베이스밴드 신호처리회로는, 디지털신호와 상기 디지털신호를 아날로그신호로 변환하기 위한 제 1 클락신호가 입력되어 제 1 베이스밴드신호를 출력하는 제 1 D/A 변환기와, 상기 디지털신호와 상기 디지털신호를 아날로그신호에 변환하기 위한 제 2 클락신호가 입력되어 제 2 베이스밴드신호를 출력하는 제 2 D/A 변환기를 구비하고, 상기 제 1 클락신호와 상기 제 2 클락신호를 동기시킴과 동시에, 상호간의 위상을 바꿔도록 하였다.

본 발명의 베이스밴드 신호처리회로를 도 1 내지 도 3에 의거하여 설명한다. 도 1은 본 발명의 베이스밴드 신호처리회로를 설명하는 회로도, 도 2는 샘플링을 설명하는 클락신호의 타이밍차트, 도 3은 본 발명의 베이스밴드 신호처리회로에 사용하는 듀티조정회로의 회로도이다.

먼저, 도 1에 있어서 음성신호 등은 디지털처리회로(1)에 있어서 확산신호에 의하여 디지털신호(D)로 변환되어, 제 1 D/A 변환기(2)에 입력됨과 동시에, 제 2 D/A 변환기(3)에 입력된다. 디지털신호(D)는 8비트로 구성되어 있다.

또 디지털처리회로(1)는 제 1 클락신호(C/I)와 제 2 클락신호(C/Q)를 출력한다. 제 1 클락신호(C/I)와 제 2 클락신호는 디지털신호(D)를 아날로그신호화하기 위한 것으로, 도 2의 A, B로 나타난 바와 같이, 듀티비가 모두 50%로 되어 있고, 또한 서로 동기함과 동시에 역위상의 관계로 되어 있다. 그리고 제 1 클락신호(C/I)는 제 1 D/A 변환기(2)에 입력되고, 제 2 클락신호(C/Q)는 듀티조정회로(4)를 거쳐 제 2 D/A 변환기(33)에 입력된다.

제 1 D/A 변환기(2)에 있어서는 디지털신호(D)가 제 1 클락신호(C/I)의 상승tra에서 아날로그신호화된다. 또 제 2 D/A 변환기(33)에 있어서는 듀티조정회로(4)를 경유한 제 2 클락신호(C/Q')의 상승trb에서 디지털신호(D)가 아날로그신호화된다.

이 결과, 제 1 D/A 변환기(32)는 제 1 베이스밴드 신호가 되는 아날로그 I 신호(A/I)를 출력하고, 제 2 D/A 변환기(33)는 제 2 베이스밴드 신호가 되는 아날로그 Q 신호(A/Q)를 출력한다. 그리고 아날로그 I 신호(A/I)와 아날로그 Q 신호는 서로 90의 위상차를 가지게 된다.

듀티조정회로(4)는 예를 들어 도 3에 나타내는 바와 같이 오피앰프(4a)를 사용하여 구성되고, 비반전 입력단(+)에 입력된 제 2 클락신호(C/Q)의 하강에 의하여 출력레벨이 하강하고, 제 2 클락신호(C/Q)의 상승에는 관계없이 준안정기간(T0)경과후에 출력레벨이 상승한다. 이 준안정기간(T0)은 귀환저항(4b)과 충전콘덴서(4c)와의 시정수에 비례한다. 따라서 듀티조정회로(4)로부터 출력되는 제 2 클락신호 (C/Q')의 상승시간(trb)(도 2의 B 참조)은 귀환저항(4b) 또는 충전콘덴서(4c)에 의하여 조정할 수 있다.

그래서 만일 아날로그 I 신호(A/I)와 아날로그 Q 신호(A/Q)와의 위상차가 90도로 되어 있지 않을 때에는, 듀티조정회로(4)의 귀환저항(4b)의 저항치 등을 조정함으로써, 두개의 아날로그신호(A/I, A/Q)사이의 위상차를 정확하게 90도로 조정할 수 있다.

아날로그 I 신호(A/I)와 아날로그 Q 신호(A/Q)는 대략 630 KHz의 주파수 대역을 가지고 있으며, 그 이상의 주파수의 노이즈를 커트하기 위하여 각각 제 1 저대역통과필터(5)와 제 2 저대역통과필터(6)에 입력된다. 제 1 저대역통과필터

(5) 및 제 2 저대역통과필터(6)는 휴대전화기의 소형화를 위하여 IC 화가 가능한 능동저대력통과필터로 구성되어 있다. 630 KHz 이상의 노이즈가 커트된 아날로그 I 신호(A/I)는 제 1 베이스밴드 신호증폭기(7)에 의하여 증폭된 후, 제 1 변조기(9)로 입력되고, 마찬가지로 630 KHz 이상의 노이즈가 커트된 아날로그 Q 신호(A/Q)는 제 2 베이스밴드 신호증폭기(8)에 의하여 증폭된 후, 제 2 변조기(10)에 입력된다. 제 1 및 제 2 베이스밴드 신호증폭기(9, l0)는 오피앰프로 구성된다.

또한 제 1 변조기(9)에 입력되는 아날로그 I 신호(A/I)의 레벨과 제 2 변조기(10)에 입력되는 아날로그 Q 신호(A/Q)의 레벨을 소정의 레벨(예를 들어 1볼트)로 설정하기 위하여 제 1 베이스밴드 신호증폭기(7)와 제 2 베이스밴드 신호증폭기 (8)의 각각의 증폭도가 바뀌게 되어 있다.

제1 변조기(9)에는 제 1 반송파(Φ/I)가 입력되고, 제 2 변조기(10)에는 제 2 반송파(Φ/Q)가 입력된다. 제 1 반송파(Φ/I)와 제 2 반송파(Φ/Q)는 위상이 서로 90도 다르고, 반송파 발진기(11)로부터 출력되는 원반송파(주파수는 약 130 MHz)을 기초로 하여 위상기(12)에 의하여 얻어진다.

그리고 제 1 반송파(Φ/I)가 아날로그 I 신호(A/I)에 의하여 PSK 변조되고, 제 2 반송파(Φ/Q)가 아날로그 Q 신호(A/Q)에 의하여 PSK 변조된다.

PSK 변조된 두개의 신호는 가산기(13)에 의하여 가산되고, 전체로서 QPSK 변조된다. 그리고 도시 생략한 주파수 변환기에 의하여 약 800 MHz 내지 900 MHz의 송신신호로 주파수변환되고, 그 후 다시 소정의 처리가 이루어져 도시 생략한 안테나로부터 기지국에 송신된다.

또한 이상의 설명으로서는 제 1 클락신호(C/I)와 제 2 클락신호(C/Q)의 두개의 클락신호를 사용하여 한쪽의 클락신호의 듀티비를 바꾸도록 하였으나, 듀티비를 바꾸는 일없이 서로의 위상관계를 바꾸도록 하여도 좋다. 중요한 것은 디지털신호를 제 1 베이스밴드신호에 아날로그신호화하는 타이밍과 디지털신호를 제 2 베이스밴드신호에 아날로그신호화하는 타이밍의 시간간격을 바꿀 수 있으면 좋다.

또한 이상의 설명에서는 제 1 클락신호(C/I)와 제 2 클락신호(C/Q)에 의거하는 제 2 클락신호(C/Q')의 두개의 클락신호를 사용하여 그들의 상승으로 디지털신호(D/I, D/Q)를 아날로그 신호화하였으나, 공통의 클락신호 예를 들어 상기 제 1 클락신호(C/I)만을 사용하여, 그 상승에 의한 아날로그 신호화로 제 1 베이스밴드신호를 얻고, 하강에 의한 아날로그신호화로 제 2 베이스밴드신호를 얻도록 하여도 좋다. 그리고 상승시간 또는 하강시간의 어느 한쪽을 듀티조정회로(4)에 의하여 조정하면 좋다.

발명의 효과

이상과 같이, 본 발명의 베이스밴드 신호처리회로는, 디지털신호를 아날로그신호화하는 제 1 클락신호의 상승시간 또는 하강시간과, 디지털신호를 아날로그신호화하는 제 2 클락신호의 상승시간 또는 하강시간과의 사이의 시간간격을 바뀌도록 하였기 때문에, 베이스밴드신호가 되는 두개의 아날로그신호사이의 위상을 정확하게 90도로 설정할 수 있다.

또 본 발명의 베이스밴드 신호처리회로는, 제 1 클락신호 또는 제 2 클락신호의 어느 한쪽의 듀티비를 바뀌도록 하였기 때문에, 제 1 클락신호의 상승시간 또는 하강시간과, 제 2 클락신호의 상승시간 또는 하강시간과의 시간간격을 용이하게 바꿀 수 있다.

또 본 발명의 베이스밴드 신호처리회로는, 디지털처리회로와 제 1 D/A 변환기와의 사이 또는 디지털처리회로와 제 2 D/A 변환기와의 사이에 듀티조정회로를 설치하여, 제 1 클락신호 또는 제 2 클락신호를 듀티조정회로를 거쳐 제 1 D/A 변환기 또는 제 2 D/A 변환기에 입력하였기 때문에, 한쪽의 클락신호의 듀티비가 변하여 상승시간 또는 하강시간이 바뀐다.

또 본 발명의 베이스밴드 신호처리회로는, 디지털신호를 아날로그신호화하는 제 1 클락신호와, 디지털신호를 아날로그신호화하는 제 2 클락신호와의 위상차를 바꿔도록 하였기 때문에, 아날로그신호화하는 시간의 간격을 조정할 수 있다.

(57) 청구의 범위

청구항 1.

디지털신호와 상기 디지털신호를 아날로그신호로 변환하기 위한 제 1 클락신호가 입력되어 제 1 베이스밴드신호를 출력하는 제 1 D/A 변환기와,

상기 디지털신호와 상기 디지털신호를 아날로그신호로 변환하기 위한 제 2 클락신호가 입력되어 제 2 베이스밴드신호를 출력하는 제 2 D/A 변환기를 구비하고,

상기 디지털신호, 상기 제 1 클락신호 및 상기 제 2 클락신호는 디지털처리회로로부터 출력되고, 상기 디지털처리회로와 상기 제 1 D/A 변환기 사이 또는 상기 디지털처리회로와 상기 제 2 D/A 변환기 사이에 듀티조정회로를 설치하며,

상기 제 1 클락신호와 상기 제 2 클락신호를 동기시킴과 동시에,

상기 제 1 클락신호 또는 상기 제 2 클락신호를 상기 듀티조정회로를 거쳐 상기 제 1 D/A 변환기 또는 상기 제 2 D/A 변환기에 입력하고,

상기 제 1 클락신호 또는 상기 제 2 클락신호 중 어느 한쪽의 듀티비를 바꿔도록 한 것을 특징으로 하는 CDMA 방식의 휴대전화에 있어서의 베이스밴드신호 처리회로.

청구항 2.

삭제

청구항 3.

삭제

청구항 4.

디지털신호와 상기 디지털신호를 아날로그신호로 변환하기 위한 제 1 클락신호가 입력되어 제 1 베이스밴드신호를 출력하는 제 1 D/A 변환기와,

상기 디지털신호와 상기 디지털신호를 아날로그신호로 변환하기 위한 제 2 클락신호가 입력되어 제 2 베이스밴드신호를 출력하는 제 2 D/A 변환기를 구비하고,

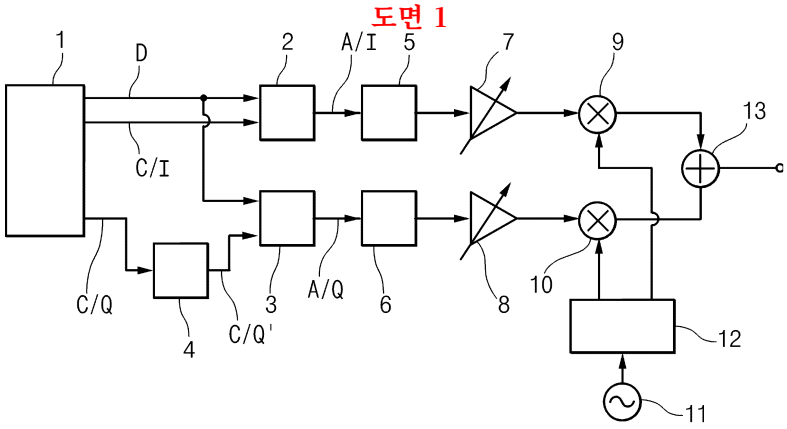
상기 디지털신호, 상기 제 1 클락신호 및 상기 제 2 클락신호는 디지털처리회로로부터 출력되고, 상기 디지털처리회로와 상기 제 1 D/A 변환기 사이 또는 상기 디지털처리회로와 상기 제 2 D/A 변환기 사이에 듀티조정회로를 설치하며,

상기 제 1 클락신호와 상기 제 2 클락신호를 동기시킴과 동시에,

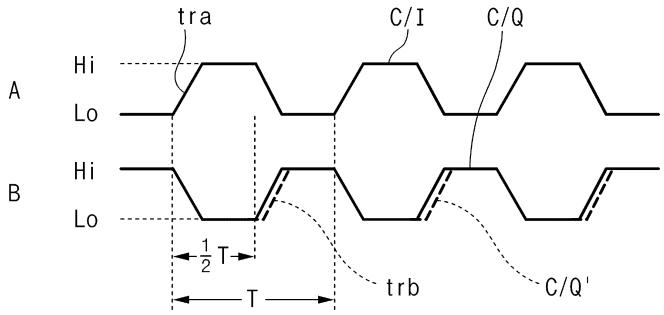
상호간의 위상을 바꿔도록 한 것을 특징으로 하는 CDMA 방식의 휴대전화에 있어서의 베이스밴드신호 처리회로

도면

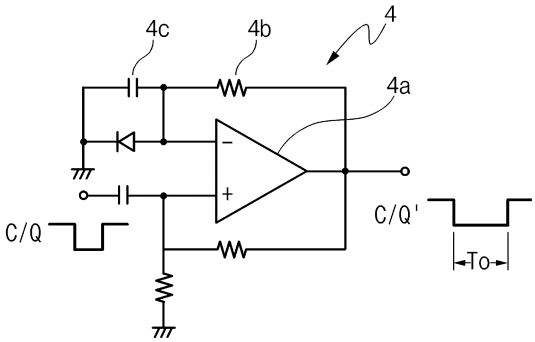
도면 1



도면 2



도면 3



도면 4

