



(10)申请公布号 CN 105938795 A

(43)申请公布日 2016.09.14

(22)申请日 2016.03.04

(30) 优先权数据

2015-044212 2015.03.06 JP

(71)申请人 丰田合成株式会社

地址 日本爱知县

(72)发明人 岡 徹 伊奈务

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 舒艳君 李洋

(51) Int.Cl.

H01L 21/28(2006.01)

H01L 29/423(2006.01)

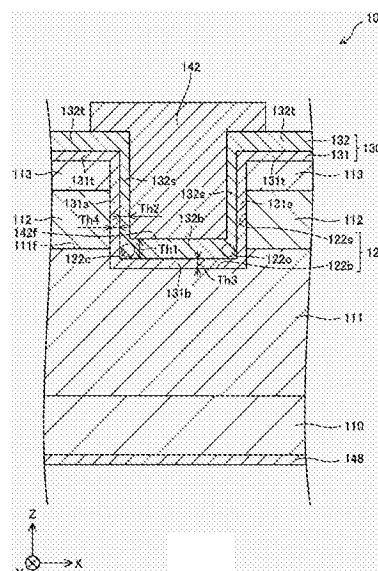
权利要求书2页 说明书13页 附图10页

(54)发明名称

半导体装置及其制造方法以及电力转换装置

(57)摘要

本发明提供一种半导体装置及其制造方法以及电力转换装置。在半导体装置中有效缓和沟槽MIS构造的电场集中。半导体装置具备第一半导体层;第二半导体层;第三半导体层;具有侧面和底面的沟部;主要由第一绝缘材料形成,是从侧面起遍及底面而形成的膜,具有侧面膜部和底面膜部的第一绝缘体;主要由具有比第一绝缘材料高的相对介电常数的第二绝缘材料形成,至少在被侧面膜部和底面膜部围起的区域的角部形成的第二绝缘体;以及隔着第一绝缘体和第二绝缘体而形成于沟部的内侧的电极,第二绝缘体的部位中位于角部的部位的以底面膜部的表面为基准的厚度比第二绝缘体的部位中在与第二半导体层之间夹有侧面膜部的部位的以侧面膜部的表面为基准的厚度大。



1. 一种半导体装置,其中,具备:

第一半导体层,其具有n型及p型中的一方的特性;

第二半导体层,其具有n型及p型中的与上述一方的特性不同的另一方的特性且层叠于上述第一半导体层;

第三半导体层,其具有上述一方的特性且层叠于上述第二半导体层;

沟部,其从上述第三半导体层起贯通上述第二半导体层并下陷到上述第一半导体层,且具有侧面和底面;

第一绝缘体,其主要由第一绝缘材料形成,是从上述侧面起遍及上述底面而形成的膜,该第一绝缘体具有形成于上述侧面的侧面膜部和形成于上述底面的底面膜部;

第二绝缘体,其主要由具有比上述第一绝缘材料高的相对介电常数的第二绝缘材料形成,至少在被上述侧面膜部和上述底面膜部围起的区域的角部形成;以及

电极,其隔着上述第一绝缘体和上述第二绝缘体而形成于上述沟部的内侧,

上述第二绝缘体的部位中位于上述角部的部位的以上述底面膜部的表面为基准的厚度Th1,比上述第二绝缘体的部位中在与上述第二半导体层之间夹有上述侧面膜部的部位的以上述侧面膜部的表面为基准的厚度Th2大。

2. 根据权利要求1所述的半导体装置,其中,

上述厚度Th1比上述第一绝缘体的厚度大。

3. 根据权利要求1或2所述的半导体装置,其中,

上述底面膜部的厚度为上述侧面膜部的厚度以上。

4. 根据权利要求1~3中任一项所述的半导体装置,其中,

上述厚度Th1为上述底面膜部的厚度的2倍以上。

5. 根据权利要求1~4中任一项所述的半导体装置,其中,

上述第二绝缘体与上述电极的界面位于比上述第一半导体层与上述第二半导体层的界面靠上述第三半导体层侧。

6. 根据权利要求1~5中任一项所述的半导体装置,其中,

上述第二绝缘体是从上述侧面膜部起遍及上述底面膜部而形成的膜。

7. 根据权利要求1~6中任一项所述的半导体装置,其中,

上述第二绝缘体具有:

形成于上述侧面膜部上且具有上述厚度Th2的膜部、和

形成于上述底面膜部上且具有上述厚度Th1的膜部。

8. 根据权利要求1~6中任一项所述的半导体装置,其中,

上述第二绝缘体在上述角部局部较厚。

9. 根据权利要求1~5中任一项所述的半导体装置,其中,

上述第二绝缘体在上述角部局部形成。

10. 根据权利要求1~9中任一项所述的半导体装置,其中,

上述第一绝缘材料包含二氧化硅(SiO₂)、氮化硅(Si₃N₄)、氧化铝(Al₂O₃)、氮化铝(AlN)以及氧化镓(Ga₂O₃)的至少一种。

11. 根据权利要求1~10中任一项所述的半导体装置,其中,

上述第二绝缘材料包含含有铝(Al)、铪(Hf)、钛(Ti)、锆(Zr)、钽(Ta)以及镧(La)的至

少一种元素的氧化物以及氧氮化物的至少一方。

12. 根据权利要求1~11中任一项所述的半导体装置, 其中,

上述第一半导体层、上述第二半导体层以及上述第三半导体层中的至少一个半导体层主要由具有比硅(Si)大的带隙的半导体形成。

13. 根据权利要求1~12中任一项所述的半导体装置, 其中,

上述第一半导体层、上述第二半导体层以及上述第三半导体层中的至少一个半导体层主要由碳化硅(SiC)、氮化物半导体、金刚石、氧化镓(Ga_2O_3)的至少一种形成。

14. 一种电力转换装置, 其中,

具备权利要求1~13中任一项所述的半导体装置。

15. 一种半导体装置的制造方法, 其中,

在基板上形成具有n型及p型中的一方的特性的第一半导体层,

在上述第一半导体层上层叠具有n型及p型中与上述一方的特性不同的另一方的特性的第二半导体层,

在上述第二半导体层上层叠具有上述一方的特性的第三半导体层,

从上述第三半导体层起贯通上述第二半导体层直到上述第一半导体层为止进行蚀刻, 从而形成具有侧面和底面的沟部,

使用第一绝缘材料, 形成具有形成于上述侧面的侧面膜部和形成于上述底面的底面膜部作为从上述侧面起遍及上述底面而形成的膜的第一绝缘体,

使用具有比上述第一绝缘材料高的相对介电常数的第二绝缘材料, 至少在被上述侧面膜部和上述底面膜部围起的区域的角部形成第二绝缘体,

在形成有上述第一绝缘体以及上述第二绝缘体的上述沟部的内侧形成电极,

在形成上述第二绝缘体时, 使上述第二绝缘体的部位中位于上述角部的部位的以上述底面膜部的表面为基准的厚度 Th_1 , 比上述第二绝缘体的部位中在与上述第二半导体层之间夹有上述侧面膜部的部位的以上述侧面膜部的表面为基准的厚度 Th_2 大。

16. 根据权利要求15所述的半导体装置的制造方法, 其中,

通过溅射法形成上述第二绝缘体。

17. 根据权利要求16所述的半导体装置的制造方法, 其中,

上述溅射法是电子回旋共振溅射法。

18. 根据权利要求17所述的半导体装置的制造方法, 其中,

通过控制靶粒子的辐射方向与上述基板的角度, 从而调整上述第二绝缘体的厚度。

半导体装置及其制造方法以及电力转换装置

[0001] 本申请主张于2015年3月6日提出的日本专利申请2015-44212号的优先权,并在此引用将其全部公开内容。

技术领域

[0002] 本发明涉及半导体装置及其制造方法以及电力转换装置。

背景技术

[0003] 作为半导体装置(半导体设备、半导体元件)的构造,公知有在形成于半导体层的沟槽(沟部)隔着绝缘体设置有电极的沟槽MIS构造(MIS: Metal-Insulator-Semiconductor: 金属-绝缘层-半导体)。专利文献1~3公开了为了在沟槽MIS构造中缓和在沟槽的底面的半导体与绝缘体的界面的端部产生的电场集中的技术。

[0004] 专利文献1公开了在沟槽MIS构造中使形成于沟槽的底面的绝缘体的厚度比形成于沟槽的侧面的绝缘体的厚度大。

[0005] 专利文献2公开了在沟槽MIS构造中至少在沟槽的侧面形成氧化膜(绝缘体),并且在沟槽的底面形成具有比氧化膜高的相对介电常数的膜(绝缘体)。

[0006] 专利文献3公开了在沟槽MIS构造中在沟槽的底面形成第一绝缘膜,在第一绝缘膜上以及沟槽的侧面形成第二绝缘膜,并且在第二绝缘膜上形成具有更高的相对介电常数的第三绝缘膜。

[0007] 专利文献1:日本特开2012-216675号公报

[0008] 专利文献2:日本特开平4-188877号公报

[0009] 专利文献3:日本特开2013-122953号公报

[0010] 发明者确认了在沟槽MIS构造中,比起沟槽的底面的半导体与绝缘体的界面的端部,在电极与绝缘体的界面的角部更容易产生电场集中。由此,在专利文献1~3的技术中存在无法有效缓和沟槽MIS构造的电场集中的问题。另外,在专利文献2的技术中,在仅将具有高相对介电常数的绝缘体形成于沟槽的底面的情况下,存在即使避免了绝缘体中的绝缘破坏,在半导体层中也容易产生绝缘破坏问题。

[0011] 由于上述情况,期望在半导体装置中能够有效缓和沟槽MIS构造的电场集中的技术。另外,在半导体装置中期望低成本化、微型化、制造的容易化、省资源化、使用的便利性的提高、耐久性的提高等。

发明内容

[0012] 本发明是为了解决上述课题的至少一部分而完成的,能够通过以下方式实现。

[0013] (1)根据本发明的一方式,提供一种半导体装置。该半导体装置具备:第一半导体层,其具有n型及p型中的一方的特性;第二半导体层,其具有n型及p型中的与上述一方的特性不同的另一方的特性且层叠于上述第一半导体层;第三半导体层,其具有上述一方的特性且层叠于上述第二半导体层;沟部,其从上述第三半导体层起贯通上述第二半导体层并

下陷到上述第一半导体层,且具有侧面和底面;第一绝缘体,其主要由第一绝缘材料形成,是从上述侧面起遍及上述底面而形成的膜,且具有形成于上述侧面的侧面膜部和形成于上述底面的底面膜部;第二绝缘体,其主要由具有比上述第一绝缘材料高的相对介电常数的第二绝缘材料形成,至少在被上述侧面膜部和上述底面膜部围起的区域的角部形成;以及电极,其隔着上述第一绝缘体和上述第二绝缘体而形成于上述沟部的内侧,上述第二绝缘体的部位中位于上述角部的部位的以上述底面膜部的表面为基准的厚度 Th_1 ,比上述第二绝缘体的部位中在与上述第二半导体层之间夹有上述侧面膜部的部位的以上述侧面膜部的表面为基准的厚度 Th_2 大。根据该方式,能够利用位于角部的第二绝缘体有效地抑制在电极的界面产生的电场集中。因此,能够有效缓和沟槽MIS构造的电场集中。

[0014] (2)在上述方式的半导体装置中,上述厚度 Th_1 可以比上述第一绝缘体的厚度大。根据该方式,能够更有效地抑制在与电极的界面产生的电场集中。

[0015] (3)在上述方式的半导体装置中,上述底面膜部的厚度可以为上述侧面膜部的厚度以上。根据该方式,能够利用第一绝缘体的底面膜部有效地缓和在沟部的底面的第一半导体层的界面产生的电场集中。

[0016] (4)在上述方式的半导体装置中,上述厚度 Th_1 可以为上述底面膜部的厚度的2倍以上。根据该方式,能够更有效地抑制在与电极的界面产生的电场集中。

[0017] (5)在上述方式的半导体装置中,上述第二绝缘体与上述电极的界面可以位于比上述第一半导体层与上述第二半导体层的界面靠上述第三半导体层侧。根据该方式,能够抑制沟部的深度,所以能够获得第一半导体层的厚度。其结果是,能够提高半导体装置的耐电压。

[0018] (6)在上述方式的半导体装置中,上述第二绝缘体可以是上述侧面膜部起遍及上述底面膜部而形成的膜。根据该方式,使用具有各向异性的成膜方法,能够容易实现第二绝缘体。

[0019] (7)在上述方式的半导体装置中,上述第二绝缘体可以具有形成于上述侧面膜部上且具有上述厚度 Th_2 的膜部;和形成于上述底面膜部上且具有上述厚度 Th_1 的膜部。根据该方式,使用具有各向异性的成膜方法,能够容易实现第二绝缘体。

[0020] (8)在上述方式的半导体装置中,上述第二绝缘体可以在上述角部局部较厚。根据该方式,能够抑制使用第二绝缘材料的量。

[0021] (9)在上述方式的半导体装置中,上述第二绝缘体可以在上述角部局部形成。根据该方式,能够抑制使用第二绝缘材料的量。

[0022] (10)在上述方式的半导体装置中,上述第一绝缘材料可以包含二氧化硅(SiO_2)、氮化硅(Si_3N_4)、氧化铝(Al_2O_3)、氮化铝(AlN)以及氧化镓(Ga_2O_3)的至少一种。根据该方式,能够容易实现第一绝缘体。

[0023] (11)在上述方式的半导体装置中,上述第二绝缘材料可以包含含有铝(Al)、铪(Hf)、钛(Ti)、锆(Zr)、钽(Ta)以及镧(La)的至少一种元素的氧化物以及氮化物的至少一方。根据该方式,能够容易实现第二绝缘体。

[0024] (12)在上述方式的半导体装置中,上述第一半导体层、上述第二半导体层以及上述第三半导体层中的至少一个半导体层可以主要由具有比硅(Si)大的带隙的半导体形成。根据该方式,在要求比使用硅(Si)的半导体装置高的耐电压的半导体装置中,能够有效缓

和沟槽MIS构造的电场集中。

[0025] (13)在上述方式的半导体装置中,上述第一半导体层、上述第二半导体层以及上述第三半导体层中的至少一个半导体层可以主要由碳化硅(SiC)、氮化物半导体、金刚石、氧化镓(Ga_2O_3)的至少一种形成。根据该方式,在要求比使用硅(Si)的半导体装置高的耐电压的半导体装置中,能够有效缓和沟槽MIS构造的电场集中。

[0026] (14)根据本发明的一方式,提供具备上述方式的半导体装置的电力转换装置。根据该方式,能够提高转换电力的效率。

[0027] (15)根据本发明的一方式,提供半导体装置的制造方法。在该制造方法中,在基板上形成具有n型及p型中的一方的特性的第一半导体层;在上述第一半导体层上层叠具有n型及p型中的与上述一方的特性不同的另一方的特性的第二半导体层;在上述第二半导体层上层叠具有上述一方的特性的第三半导体层;从上述第三半导体层起贯通上述第二半导体层直到上述第一半导体层为止进行蚀刻,从而形成具有侧面和底面的沟部;使用第一绝缘材料,形成具有形成于上述侧面的侧面膜部、和形成于上述底面的底面膜部作为从上述侧面起遍及上述底面而形成的膜的第一绝缘体;使用具有比上述第一绝缘材料高的相对介电常数的第二绝缘材料,至少在被上述侧面膜部和上述底面膜部围起的区域的角部形成第二绝缘体;在形成有上述第一绝缘体以及上述第二绝缘体的上述沟部的内侧形成电极;在形成上述第二绝缘体时,使上述第二绝缘体的部位中位于上述角部的部位的以上述底面膜部的表面为基准的厚度 Th_1 ,比上述第二绝缘体的部位中在与上述第二半导体层之间夹有上述侧面膜部的部位的以上述侧面膜部的表面为基准的厚度 Th_2 大。根据该方式,能够利用位于角部的第二绝缘体有效抑制在电极的界面产生的电场集中。因此,能够有效缓和沟槽MIS构造的电场集中。

[0028] (16)在上述方式的制造方法中,可以通过溅射法形成上述第二绝缘体。根据该方式,能够容易制作第二绝缘体。

[0029] (17)在上述方式的制造方法中,上述溅射法可以是电子回旋共振溅射法。根据该方式,能够容易制作第二绝缘体。

[0030] (18)在上述方式的制造方法中,可以通过控制靶粒子的辐射方向与上述基板的角度,从而调整上述第二绝缘体的厚度。根据该方式,能够容易制作第二绝缘体。

[0031] 本发明能够以半导体装置及其该制造方法以及电力转换装置以外的各种方式实现,例如,能够以组装有上述方式的半导体装置的电气设备以及制造该半导体装置的制造装置等方式实现。

[0032] 根据本申请发明,能够利用位于角部的第二绝缘体有效抑制在电极的界面产生的电场集中。因此,能够有效缓和沟槽MIS构造的电场集中。

附图说明

[0033] 图1是表示电力转换装置的结构说明图。

[0034] 图2是示意性表示第一实施方式的半导体装置的结构剖视图。

[0035] 图3是示意性表示第一实施方式的半导体装置的详细构成的剖视图。

[0036] 图4是表示第一实施方式的半导体装置的制造方法的工序图。

[0037] 图5是表示与耐电压有关的评价试验的结果的图表。

[0038] 图6是示意性表示第二实施方式的半导体装置的结构剖视图。

[0039] 图7是示意性表示第三实施方式的半导体装置的结构剖视图。

[0040] 图8是示意性表示第四实施方式的半导体装置的结构剖视图。

[0041] 图9是示意性表示第五实施方式的半导体装置的结构剖视图。

[0042] 图10是示意性表示第六实施方式的半导体装置的结构剖视图。

[0043] 附图标记的说明

[0044] 100、100B、100C、100D、100E、100F…半导体装置；110…基板；111…半导体层；111f…pn结界面；112…半导体层；113…半导体层；114…半导体层；122、122C、122D、122E、122F…沟槽；122b…底面；122c…角部；122s…侧面；124…凹槽；126…台阶部；129…终端部；130、130C、130D、130E、130F…绝缘膜；131、131C、131D、131E、131F…绝缘膜；131b…底面膜部；131s…侧面膜部；131t…上面膜部；132、132C、132D、132E…绝缘膜；132F…绝缘体；132b…底面膜部；132s…侧面膜部；132t…上面膜部；142、142B、142C、142D、142E、142F…栅极电极；142f…界面；144…体电极；146…源极电极；148…漏极电极；150…绝缘膜；160…布线电极；200…控制电路；C…电容器；D1、D2…二极管；DB…二极管桥；E…交流电源；L…线圈；R…负载；Tn…负极输出端；Tp…正极输出端。

具体实施方式

[0045] A. 第一实施方式

[0046] A-1. 电力转换装置的结构

[0047] 图1是表示电力转换装置10的结构说明图。电力转换装置10是对从交流电源E供给至负载R的电力进行转换的装置。电力转换装置10具备半导体装置100、控制电路200、4个二极管D1、线圈L、二极管D2、电容器C作为改善交流电源E的功率因数的功率因数改善电路的结构部件。

[0048] 在电力转换装置10中，4个二极管D1构成对交流电源E的交流电压进行整流的二极管桥DB。二极管桥DB具有正极输出端Tp和负极输出端Tn作为直流侧的端子。线圈L与二极管桥DB的正极输出端Tp连接。二极管D2的阳极侧经由线圈L连接于正极输出端Tp。二极管D2的阴极侧经由电容器C连接于负极输出端Tn。负载R与电容器C并联连接。

[0049] 电力转换装置10的半导体装置100为FET(Field-Effect Transistor:场效应晶体管)。半导体装置100的源极侧与负极输出端Tn连接。半导体装置100的漏极侧经由线圈L连接于正极输出端Tp。半导体装置100的栅极侧与控制电路200连接。电力转换装置10的控制电路200为了改善交流电源E的功率因数，根据输出至负载R的电压以及二极管桥DB的电流，控制半导体装置100的源极-漏极间的电流。

[0050] A-2. 半导体装置的结构

[0051] 图2是示意性表示第一实施方式的半导体装置100的结构剖视图。图2图示了相互正交的XYZ轴。在图2的XYZ轴中，X轴是从图2的纸面左边朝向纸面右边的轴。+X轴方向是朝向纸面右边的方向，-X轴方向是朝向纸面左边的方向。在图2的XYZ轴中，Y轴是从图2的纸面近前侧朝向纸面里侧的轴。+Y轴方向是朝向纸面里侧的方向，-Y轴方向是朝向纸面近前侧的方向。在图2的XYZ轴中，Z轴是从图2的纸面下边朝向纸面上边的轴。+Z轴方向是朝向纸面上边的方向，-Z轴方向是朝向纸面下边的方向。图2的XYZ轴与其它图的XYZ轴对应。

[0052] 在本实施方式中,半导体装置100是使用氮化镓(GaN)形成的GaN系的半导体装置。在本实施方式中,半导体装置100是纵向型沟槽MOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor:金属氧化物半导体场效应晶体管)。在本实施方式中,半导体装置100被用于电力控制,也被称为功率设备。

[0053] 半导体装置100具备基板110、半导体层111、半导体层112、半导体层113。半导体装置100具有沟槽122、凹槽124、台阶部126、终端部129,作为形成于上述半导体层的构造。半导体装置100还具备绝缘膜130、栅极电极142、体电极144、源极电极146、漏极电极148。在本实施方式中,半导体装置100还具备绝缘膜150和布线电极160。

[0054] 半导体装置100的基板110是沿X轴以及Y轴扩展的呈板状的半导体。在本实施方式中,基板110主要由氮化镓(GaN)形成。在本说明书的说明中,“主要由氮化镓(GaN)形成”是指在摩尔分数中含有90%以上的氮化镓(GaN)的意思。在本实施方式中,基板110是含有硅(Si)作为施主元素的n型半导体。在本实施方式中,基板110所含的硅(Si)浓度的平均值约为 $1 \times 10^{18} \text{cm}^{-3}$ 。

[0055] 半导体装置100的半导体层111是位于基板110的+Z轴方向侧并沿X轴以及Y轴扩展的第一半导体层。在本实施方式中,半导体层111主要由氮化镓(GaN)形成。在本实施方式中,半导体层111是具有n型的特性的n型半导体。在本实施方式中,半导体层111含有硅(Si)作为施主元素。在本实施方式中,半导体层111所含的硅(Si)浓度的平均值约为 $1 \times 10^{16} \text{cm}^{-3}$ 。在本实施方式中,半导体层111的厚度(Z轴方向的长度)约为 $10 \mu\text{m}$ (微米)。

[0056] 半导体装置100的半导体层112是位于半导体层111的+Z轴方向侧并沿X轴以及Y轴扩展的第二半导体层。在本实施方式中,半导体层112主要由氮化镓(GaN)形成。在本实施方式中,半导体层112是具有p型的特性的p型半导体。在本实施方式中,半导体层112含有镁(Mg)作为受主元素。在本实施方式中,半导体层112所含的镁(Mg)浓度的平均值约为 $4 \times 10^{18} \text{cm}^{-3}$ 。在本实施方式中,半导体层112的厚度(Z轴方向的长度)约为 $1.0 \mu\text{m}$ 。

[0057] 半导体装置100的半导体层113是位于半导体层112的+Z轴方向侧并沿X轴以及Y轴扩展的第三半导体层。在本实施方式中,半导体层113主要由氮化镓(GaN)形成。在本实施方式中,半导体层113是具有n型的特性的n型半导体。在本实施方式中,半导体层113含有硅(Si)作为施主元素。在本实施方式中,半导体层113所含的硅(Si)浓度的平均值约为 $3 \times 10^{18} \text{cm}^{-3}$ 。在本实施方式中,半导体层113的厚度(Z轴方向的长度)约为 $0.2 \mu\text{m}$ 。

[0058] 半导体装置100的沟槽122是从半导体层113的+Z轴方向侧起贯通半导体层112并下陷到半导体层111为止的沟部。在本实施方式中,沟槽122是通过对半导体层111、112、113的干式蚀刻而形成的构造。沟槽122具有侧面122s和底面122b。沟槽122的侧面122s在划分沟槽122的面中是沿Z轴方向扩展的面。沟槽122的底面122b在划分沟槽122的面中是朝向+Z轴方向并且沿X轴以及Y轴方向扩展的面。

[0059] 半导体装置100的凹槽124是从半导体层113的+Z轴方向侧起凹陷到半导体层112的凹部。在本实施方式中,凹槽124是通过对半导体层112、113的干式蚀刻而形成的构造。

[0060] 半导体装置100的台阶部126是从半导体层113的+Z轴方向侧起贯通半导体层112并下陷到半导体层111为止的部位。在本实施方式中,台阶部126是通过对半导体层111、112、113的干式蚀刻而形成的构造。半导体装置100的终端部129是与台阶部126邻接并构成半导体层111、112、113的终端的部位。在本实施方式中,终端部129是通过切割而形成的构

造。

[0061] 半导体装置100的绝缘膜130是具有电绝缘性的膜。在本实施方式中,绝缘膜130从沟槽122的内侧起遍及外侧而形成。在其它实施方式中,绝缘膜130也可以仅形成于沟槽122的内侧。在本实施方式中,绝缘膜130具备绝缘膜131和绝缘膜132。

[0062] 绝缘膜130的绝缘膜131是主要由作为第一绝缘材料的二氧化硅(SiO_2)形成的第一绝缘体。绝缘膜131是在沟槽122的内侧从侧面122s起遍及底面122b而形成的膜。在本实施方式中,绝缘膜131除了形成于沟槽122的内侧之外,还遍及作为沟槽122的外侧的半导体层113的+Z轴方向侧的表面而形成。绝缘膜131之后详述。

[0063] 绝缘膜130的绝缘膜132是主要由具有比第一绝缘材料高的相对介电常数的作为第二绝缘材料的氧氮化锆(ZrO_N)形成的第二绝缘体。在本实施方式中,绝缘膜132是遍及绝缘膜131的整个区域层叠而成的膜。绝缘膜132之后详述。

[0064] 半导体装置100的栅极电极142是隔着绝缘膜130形成于沟槽122的内侧的电极。在本实施方式中,栅极电极142除了形成于沟槽122的内侧之外,还遍及沟槽122的外侧而形成。在本实施方式中,栅极电极142主要由铝(Al)形成。在栅极电极142被外加了电压的情况下,在半导体层112形成反转层,该反转层作为沟道发挥功能,从而在源极电极146与漏极电极148之间形成导通路径。

[0065] 半导体装置100的体电极144是形成于凹槽124,与半导体层112电阻性接触的电极。在本实施方式中,体电极144是将主要由钯(Pd)形成的层层叠后加以热处理而得的电极。

[0066] 半导体装置100的源极电极146是与半导体层113电阻性接触的电极。在本实施方式中,源极电极146从体电极144上起遍及半导体层113的+Z轴方向侧的表面而形成。在其它实施方式中,源极电极146可以形成于远离体电极144的部位。在本实施方式中,源极电极146是在主要由钛(Ti)形成的层上层叠主要由铝(Al)形成的层后加以热处理而得的电极。

[0067] 半导体装置100的漏极电极148是与基板110的-Z轴方向侧的表面电阻性接触的电极。在本实施方式中,漏极电极148是在主要由钛(Ti)形成的层上层叠主要由铝(Al)形成的层后加以热处理而得的电极。

[0068] 在本实施方式中,半导体装置100具备在沟槽122形成有绝缘膜130以及栅极电极142的多个沟槽构造、和在凹槽124形成有体电极144以及源极电极146的多个凹槽构造。在本实施方式中,沟槽构造以及凹槽构造沿X轴方向交替配置。在本实施方式中,沟槽构造以及凹槽构造沿Y轴方向延伸。在本实施方式中,多个栅极电极142在半导体装置100的面内并联连接。在本实施方式中,多个源极电极146通过布线电极160并联连接。

[0069] 半导体装置100的绝缘膜150覆盖台阶部126、绝缘膜130、栅极电极142以及源极电极146。在本实施方式中,绝缘膜150主要由二氧化硅(SiO_2)形成。

[0070] 半导体装置100的布线电极160是形成于绝缘膜150之上的电极。布线电极160具有贯通绝缘膜150并与源极电极146分别连接的连接部。在本实施方式中,布线电极160主要由铝(Al)形成。在本实施方式中,布线电极160在台阶部126与布线电极150一起形成场板构造。由此,能够缓和出现在台阶部126的pn交界面的端部的电场集中。

[0071] 图3是示意性表示第一实施方式的半导体装置100的详细构成的剖视图。图3中以沟槽122为中心图示了半导体装置100的剖面。

[0072] 绝缘膜130的绝缘膜131具有侧面膜部131s、底面膜部131b、上面膜部131t。绝缘膜131的侧面膜部131s是形成于沟槽122的侧面122s的膜部。绝缘膜131的底面膜部131b是形成于沟槽122的底面122b的膜部。绝缘膜131的上面膜部131t是形成于半导体层113的+Z轴方向侧的表面的膜部。

[0073] 绝缘膜130的绝缘膜132至少形成于角部122c。角部122c是被绝缘膜131的侧面膜部131s和底面膜部131b围起的区域的角(拐角)。在本实施方式中,绝缘膜132具有侧面膜部132s、底面膜部132b、上面膜部132t。绝缘膜132的侧面膜部132s是形成于绝缘膜131的侧面膜部131s之上的膜部。绝缘膜132的底面膜部132b是形成于绝缘膜131的底面膜部131b之上的膜部。底面膜部132b的一部分位于角部122c。绝缘膜132的上面膜部132t是形成于绝缘膜131的上面膜部131t之上的膜部。

[0074] 图3的厚度Th1是绝缘膜132的部位中位于角部122c的部位的以底面膜部131b的表面为基准的厚度。图3的厚度Th2是绝缘膜132的部位中在与半导体层112之间夹有底面膜部131s的部位的以底面膜部131s的表面为基准的厚度。厚度Th1比厚度Th2大。换言之,底面膜部132b的膜厚比侧面膜部132s的膜厚厚。在本实施方式中,厚度Th1为100nm(纳米),厚度Th2为30nm。

[0075] 从确保与耐电压有关的可靠性的观点考虑,底面膜部131b的厚度Th3优选等于或大于侧面膜部131s的厚度Th4。在本实施方式中,底面膜部131b的厚度Th3与侧面膜部131s的厚度Th4相等。从栅极驱动能力的观点考虑,侧面膜部131s的厚度Th4越薄越优越,但从确保沟道移动度的观点考虑,优选5nm以上,更优选10nm以上。在本实施方式中,厚度Th3为50nm,厚度Th4为50nm。

[0076] 从缓和绝缘膜132与栅极电极142的界面142f的电场集中的观点考虑,绝缘膜132的厚度Th1优选为绝缘膜131的厚度Th3、Th4以上,更优选为厚度Th3的2倍以上。

[0077] 在本实施方式中,绝缘膜132与栅极电极142的界面142f位于比半导体层111与半导体层112的pn结界面111f靠半导体层113侧(+Z轴方向侧)。从抑制导通电阻的观点考虑,界面142f的位置优选比从pn结界面111f向+Z轴方向0.1 μ m的位置靠-Z轴方向侧。

[0078] 从缓和pn结界面111f的电场集中的观点考虑,绝缘膜131的厚度Th3优选为与pn结界面111f相比落在-Z轴方向侧的厚度。

[0079] A-3. 半导体装置的制造方法

[0080] 图4是表示第一实施方式的半导体装置100的制造方法的工序图。首先,制造者在基板110上通过结晶生长形成半导体层111、112、113(工序P110)。在本实施方式中,制造者使用有机金属气相生长法(MOCVD: Metal Organic Chemical Vapor Deposition)形成半导体层111、112、113。

[0081] 在形成了半导体层111、112、113后,制造者通过干式蚀刻,形成沟槽122(工序P120)。在本实施方式中,制造者通过使用氯类气体的干式蚀刻形成沟槽122。在本实施方式中,除了沟槽122之外,制造者还通过干式蚀刻形成凹槽124以及台阶部126。

[0082] 在形成了沟槽122后,制造者使用第一绝缘材料形成作为第一绝缘体的绝缘膜131(工序P132)。在本实施方式中,制造者使用二氧化硅(SiO_2)作为第一绝缘材料,形成绝缘膜131。在本实施方式中,制造者通过原子层沉积法(ALD: Atomic Layer Deposition)形成绝缘膜131。在其它实施方式中,制造者也可以通过溅射法、等离子体CVD等形成绝缘膜131。在

本实施方式中,制造者将绝缘膜131的膜厚Th3、Th4调整为约50nm。

[0083] 在形成绝缘膜131后(工序P132),制造者使用具有高相对介电常数的第二绝缘材料,形成绝缘膜132(工序P134)。在本实施方式中,制造者使用氧氮化锆(ZrON)作为第二绝缘材料,形成绝缘膜132。在本实施方式中,制造者通过电子回旋共振溅射法(ECR溅射法:Electron Cyclotron Resonance sputter)形成绝缘膜132。在其它实施方式中,制造者也可以通过磁控溅射法形成绝缘膜132,也可以通过原子层沉积法(ALD)形成绝缘膜132。

[0084] 在本实施方式中,在形成绝缘膜132时,制造者在氩中混合了氮气和氧而得到的混合气体中,使用锆(Zr)制的靶,进行ECR溅射法。在其它实施方式中,制造者也可以使用其它惰性气体(例如,氙)代替氩。在本实施方式中,为了控制绝缘膜132的氧组成比以及氮气组成比,制造者将氩气的流量控制在15~30sccm的范围内,将氧气的流量控制在0.1~3.0sccm的范围内,将氮气的流量控制在4.3~17.0sccm的范围内。

[0085] 在本实施方式中,制造者通过控制靶粒子的辐射方向与基板110的角度,从而调整绝缘膜132的厚度Th1、Th2。在本实施方式中,制造者将Z轴方向的绝缘膜132的膜厚Th1调整为约100nm,将X轴以及Y轴方向的绝缘膜132的膜厚Th2调整为约30nm。

[0086] 为了提高成膜的各向异性,靶粒子的辐射方向与基板110所成的角度优选为45°以上、90°以下,混合气体的压力为0.07Pa(帕斯卡)以上、优选为0.2Pa以下、更优选为0.15Pa以下。从提高成膜的各向异性的观点考虑,RF功率以及微波功率越低越优选,但从确保成膜品质的观点考虑,优选为50W(瓦特)以上、500W以下。

[0087] 在本实施方式中,制造者在绝缘膜132的成膜之前,对绝缘膜131施加热处理,并且在将绝缘膜132成膜了之后,对绝缘膜132施加热处理。在其它实施方式中,制造者也可以在绝缘膜131的成膜后不进行热处理,在绝缘膜132的成膜后,统一对绝缘膜131以及绝缘膜132进行热处理。在本实施方式中,对绝缘膜131以及绝缘膜132施加的热处理中,热处理的环境气为氮气,热处理的温度为400℃,热处理的时间为30分钟。热处理的环境气也可以是氩气、氢气、氢气与氮气的混合气体、真空等。热处理的温度为400℃以上、700℃以下即可。热处理的时间为5分钟以上、90分钟以下即可。

[0088] 在形成绝缘膜132后(工序P134),制造者形成各电极(工序P140)。在本实施方式中,制造者按体电极144、源极电极146、栅极电极142、漏极电极148的顺序形成各电极。

[0089] 在本实施方式中,制造者通过蒸镀将主要由钯(Pd)形成的层成膜于凹槽124,从而形成体电极144。在本实施方式中,制造者在体电极144上,通过蒸镀将主要由钛(Ti)形成的层、和主要由铝(Al)形成的层按顺序层叠,从而形成源极电极146。在本实施方式中,制造者通过蒸镀将主要由铝(Al)形成的层成膜于沟槽122,从而形成栅极电极142。在本实施方式中,制造者在基板110的-Z轴方向侧的表面,通过蒸镀将主要由钛(Ti)形成的层、和主要由铝(Al)形成的层按顺序层叠,从而形成漏极电极148。

[0090] 在本实施方式中,制造者每当形成各电极,都对各电极施加热处理。在其它实施方式中,制造者也可以对2个以上的电极统一施加热处理。对各电极施加的热处理中,热处理的环境气为氮气,热处理的温度为400℃,热处理的时间为30分钟。

[0091] 在形成各电极后(工序P140),经过绝缘膜150以及布线电极160的形成,半导体装置100完成。

[0092] A-4.评价试验

[0093] 图5是表示与耐电压有关的评价试验的结果的图表。在图5的评价试验中,试验者准备两个半导体装置作为样品1、2,对各样品评价耐电压。

[0094] 样品1除了没有形成基于场电极构造的终端构造的方面之外,与半导体装置100相同。

[0095] • 沟槽122的侧面122s的绝缘膜130的膜厚

[0096] 绝缘膜131(二氧化硅(SiO_2))的膜厚Th4:50nm

[0097] 绝缘膜132(氧氮化锆(ZrON))的膜厚Th2:30nm

[0098] • 沟槽122的底面122b的绝缘膜130的膜厚

[0099] 绝缘膜131(二氧化硅(SiO_2))的膜厚Th3:50nm

[0100] 绝缘膜132(氧氮化锆(ZrON))的膜厚Th1:100nm

[0101] 样品2除了没有形成基于场电极构造的终端构造的方面以及具备单层的绝缘膜代替绝缘膜130的方面之外,与半导体装置100相同。样品2的沟槽122的绝缘膜通过原子层沉积法(ALD)形成,主要由二氧化硅(SiO_2)形成。样品2的沟槽122的绝缘膜的膜厚在沟槽122的侧面122s以及底面122b都是80nm。

[0102] 样品1、2没有形成终端构造,所以各样品的耐电压成为在栅极电极142中产生绝缘破坏的电压。如图5所示,样品1的耐电压为约1100~约1300V(伏特),样品2的耐电压为约800~约1000V。这样,样品1的耐电压相对于样品2提高了约30%。

[0103] A-5.效果

[0104] 根据以上说明的第一实施方式,形成于绝缘膜131上的绝缘膜132的厚度Th1比厚度Th2大,所以能够利用位于角部122c的绝缘膜132有效地抑制在栅极电极142的界面产生的电场集中。因此,能够有效缓和形成于沟槽122的沟槽MIS构造的电场集中。

[0105] 另外,绝缘膜132的厚度Th1比绝缘膜131的厚度Th3、Th4大,所以能够更加有效地抑制在与栅极电极142的界面产生的电场集中。

[0106] 另外,在底面膜部131b的厚度Th3为侧面膜部131s的厚度Th4以上的情况下,能够利用绝缘膜131的底面膜部131b有效地缓和在沟槽122的底面122b的半导体层111的界面产生的电场集中。

[0107] 另外,绝缘膜132的厚度Th1为底面膜部131b的厚度Th3的2倍以上,所以能够更加有效地抑制在栅极电极142的界面产生的电场集中。

[0108] 另外,绝缘膜132与栅极电极142的界面142f位于比半导体层111与半导体层112的pn结界面111f靠半导体层113侧,所以能够抑制沟槽122的深度,所以能够获得半导体层111的厚度。其结果是,能够提高半导体装置100的耐电压。

[0109] 另外,绝缘膜132是从侧面膜部131s起遍及底面膜部131b形成的膜,所以使用具有各向异性的成膜方法,能够容易实现绝缘膜132。

[0110] B.第二实施方式

[0111] 图6是示意性表示第二实施方式的半导体装置100B的结构剖视图。半导体装置100B除了具备栅极电极142B代替栅极电极142的方面之外,与第一实施方式的半导体装置100相同。半导体装置100B的栅极电极142B除了沿沟槽122的侧面122s以及底面122b形成的方面之外,与第一实施方式的栅极电极142相同。

[0112] 根据第二实施方式,与第一实施方式相同,由于形成于绝缘膜131之上的绝缘膜

132的厚度Th1比厚度Th2大,所以能够利用位于角部122c的绝缘膜132有效地抑制在栅极电极142B的界面产生的电场集中。因此,能够有效缓和形成于沟槽122的沟槽MIS构造的电场集中。

[0113] C.第三实施方式

[0114] 图7是示意性表示第三实施方式的半导体装置100C的结构的剖视图。半导体装置100C除了形成有比第一实施方式的沟槽122深的沟槽122C的方面、具备绝缘膜130C代替绝缘膜130的方面以及具备栅极电极142C代替栅极电极142的方面之外,与第一实施方式的半导体装置100相同。

[0115] 半导体装置100C的沟槽122C除了比沟槽122深地下陷到半导体层111中的方面之外,与第一实施方式的沟槽122相同。

[0116] 半导体装置100C的绝缘膜130C具备与沟槽122C的形状对应的绝缘膜131C以及绝缘膜132C。绝缘膜130C的绝缘膜131C除了根据沟槽122C的形状而形成的方面之外,与第一实施方式的绝缘膜131相同。绝缘膜130C的绝缘膜132C除了根据沟槽122C的形状而形成的方面之外,与第一实施方式的绝缘膜132相同。

[0117] 半导体装置100C的栅极电极142C除了根据沟槽122C的形状而形成的方面之外,与第一实施方式的栅极电极142相同。在本实施方式中,绝缘膜132C与栅极电极142C的界面142f位于比半导体层111与半导体层112的pn结界面111f靠基板110侧(-Z轴方向侧)。由此,有第一实施方式比较,能够抑制导通电阻。

[0118] 根据以上说明的第三实施方式,与第一实施方式相同,由于形成于绝缘膜131C之上的绝缘膜132C的厚度Th1比厚度Th2大,所以能够利用位于角部122c的绝缘膜132C有效地抑制在栅极电极142C的界面产生的电场集中。因此,能够有效缓和形成于沟槽122C的沟槽MIS构造的电场集中。

[0119] D.第四实施方式

[0120] 图8是示意性表示第四实施方式的半导体装置100D的结构的剖视图。半导体装置100D除了形成有比第一实施方式的沟槽122深的沟槽122D的方面、具备绝缘膜130D代替绝缘膜130的方面以及具备栅极电极142D代替栅极电极142的方面之外,与第一实施方式的半导体装置100相同。

[0121] 半导体装置100D的沟槽122D除了比沟槽122深地下陷到半导体层111中的方面之外,与第一实施方式的沟槽122相同。

[0122] 半导体装置100D的绝缘膜130D具备与沟槽122D的形状对应的绝缘膜131D以及绝缘膜132D。绝缘膜130D的绝缘膜131D除了根据沟槽122D的形状而形成的方面之外,与第一实施方式的绝缘膜131相同。绝缘膜130D的绝缘膜132D除了在角部122c局部较厚的方面之外,与第一实施方式的绝缘膜132相同。在本实施方式中,绝缘膜132D的底面膜部132b在角部122c局部较厚。

[0123] 半导体装置100D的栅极电极142D除了根据沟槽122D的形状而形成的方面之外,与第一实施方式的栅极电极142相同。在本实施方式中,绝缘膜132D与栅极电极142D的界面142f位于比半导体层111与半导体层112的pn结界面111f靠基板110侧(-Z轴方向侧)。由此,与第一实施方式比较,能够抑制导通电阻。

[0124] 根据以上说明的第四实施方式,与第一实施方式相同,由于形成于绝缘膜131D之

上的绝缘膜132D的厚度 Th_1 比厚度 Th_2 大,所以能够利用位于角部122c的绝缘膜132D有效地抑制在栅极电极142D的界面产生的电场集中。因此,能够有效缓和形成于沟槽122D的沟槽MIS构造的电场集中。另外,绝缘膜132D在角部122c局部较厚,所以与第一实施方式比较,能够抑制使用绝缘膜132D的绝缘材料的量。

[0125] E. 第五实施方式

[0126] 图9是示意性表示第五实施方式的半导体装置100E的结构的剖视图。半导体装置100E除了形成有比第一实施方式的沟槽122深的沟槽122E的方面、具备绝缘膜130E代替绝缘膜130的方面以及具备栅极电极142E代替栅极电极142的方面之外,与第一实施方式的半导体装置100相同。

[0127] 半导体装置100E的沟槽122E除了比沟槽122深地下陷到半导体层111中的方面之外,与第一实施方式的沟槽122相同。

[0128] 半导体装置100E的绝缘膜130E具备与沟槽122E的形状对应的绝缘膜131E以及绝缘膜132E。绝缘膜130E的绝缘膜131E除了根据沟槽122E的形状而形成的方面之外,与第一实施方式的绝缘膜131相同。绝缘膜130E的绝缘膜132E除了不具有侧面膜部132s以及上面膜部132t的方面、在角部122c局部较厚的方面之外,与第一实施方式的绝缘膜132相同。在本实施方式中,绝缘膜132E遍及绝缘膜131E的底面膜部131b的整个区域而形成,在角部122c局部较厚。

[0129] 半导体装置100E的栅极电极142E除了根据沟槽122E的形状而形成的方面之外,与第一实施方式的栅极电极142相同。

[0130] 根据以上说明的第五实施方式,与第一实施方式相同,由于形成于绝缘膜131E上的绝缘膜132E的厚度 Th_1 比厚度 Th_2 大,所以能够利用位于角部122c的绝缘膜132E有效地抑制在栅极电极142E的界面产生的电场集中。因此,能够有效缓和形成于沟槽122E的沟槽MIS构造的电场集中。另外,绝缘膜132E在角部122c局部较厚,所以与第一实施方式比较,能够抑制使用绝缘膜132E的绝缘材料的量。

[0131] F. 第六实施方式

[0132] 图10是示意性表示第六实施方式的半导体装置100F的结构的剖视图。半导体装置100F除了形成有比第一实施方式的沟槽122深的沟槽122F的方面、具备绝缘膜130F代替绝缘膜130的方面以及具备栅极电极142F代替栅极电极142的方面之外,与第一实施方式的半导体装置100相同。

[0133] 半导体装置100F的沟槽122F除了比沟槽122深地下陷到半导体层111中的方面之外,与第一实施方式的沟槽122相同。

[0134] 半导体装置100F的绝缘膜130F具备与沟槽122F的形状对应的绝缘膜131F以及绝缘膜132F。绝缘膜130F的绝缘膜131F除了根据沟槽122F的形状而形成的方面之外,与第一实施方式的绝缘膜131相同。绝缘膜130F的绝缘膜132F除了在角部122c局部形成的方面之外,与第一实施方式的绝缘膜132相同。

[0135] 半导体装置100F的栅极电极142F除了根据沟槽122F的形状而形成的方面之外,与第一实施方式的栅极电极142相同。

[0136] 根据以上说明的第六实施方式,与第一实施方式相同,由于形成于绝缘膜131F之上的绝缘膜132F的厚度 Th_1 比厚度 Th_2 大,所以能够利用位于角部122c的绝缘膜132F有效地

抑制在栅极电极142F的界面产生的电场集中。因此,能够有效缓和形成于沟槽122F的沟槽MIS构造的电场集中。另外,绝缘体132F在角部122c局部形成,所以与第一实施方式比较,能够抑制使用绝缘体132F的绝缘材料的量。

[0137] G.其它实施方式

[0138] 本发明不限定于上述实施方式、实施例、变形例,在不脱离其宗旨的范围内能够通过各种结构实现。例如,与在发明内容一栏中记载的各方式中的技术的特征对应的实施方式、实施例、变形例中的技术特征可以适当地替换、进行组合,以解决上述课题的一部分或者全部或实现上述效果的一部分或者全部。另外,如果其技术特征在本说明书中不是作为必须的被说明,则可以适当地削除。

[0139] 应用本发明的半导体装置不限于上述实施方式中说明的纵向型沟槽MOSFET,只要是具备沟槽MIS构造的半导体装置即可,例如,也可以是绝缘栅双极型晶体管(IGBT: Insulated Gate Bipolar Transistor)、MESFET(metal-semiconductor field effect transistor:金属半导体场效应晶体管)等。本发明的沟槽MIS构造也能够适用于终端构造。

[0140] 在上述实施方式中,基板的材质并不局限于氮化镓(GaN),也可以是硅(Si)、蓝宝石(Al_2O_3)以及碳化硅(SiC)等的任意一种。在上述实施方式中,各半导体层的材质并不局限于氮化镓(GaN),也可以是硅(Si)、碳化硅(SiC)、氮化物半导体、金刚石、氧化镓(Ga_2O_3)、砷化镓(GaAs)以及磷化铟(InP)等的任意一种。在应用本发明的半导体装置中,基板的材质优选具有比硅(Si)大的带隙的材质,特别优选氮化镓(GaN)、碳化硅(SiC)、金刚石以及氧化镓(Ga_2O_3)。根据该方式,在要求比使用硅(Si)的半导体装置高的耐电压的半导体装置中,能够有效缓和沟槽MIS构造的电场集中。

[0141] 在上述实施方式中,n型半导体层所含的施主元素并不局限于硅(Si),也可以是锗(Ge)、氧(O)等。

[0142] 在上述实施方式中,p型半导体层所含的受主元素并不局限于镁(Mg),也可以是锌(Zn)、碳(C)等。

[0143] 在上述实施方式中,第一绝缘材料只要是在与半导体层111、112、113的界面抑制界面水平密度并且形成良好界面的绝缘材料即可。例如,第一绝缘材料可以是二氧化硅(SiO_2)、氧氮化硅($SiON$)、氧化铝(Al_2O_3)、氧氮化铝($AlON$)、氧化镓(Ga_2O_3)等。

[0144] 在上述实施方式中,第二绝缘材料只要是具有比第一绝缘材料高的相对介电常数的绝缘材料即可。例如,第二绝缘材料可以是含有铝(Al)、铪(Hf)、钛(Ti)、锆(Zr)、钽(Ta)以及镧(La)的至少一种元素的氧化物以及氧氮化物。

[0145] 第一绝缘材料与第二绝缘材料的组合例如可以是如下的组合。

[0146] (第一绝缘材料)/(第二绝缘材料)

[0147] 二氧化硅(SiO_2)/氧化铝(Al_2O_3)

[0148] 二氧化硅(SiO_2)/氧化镓(Ga_2O_3)

[0149] 二氧化硅(SiO_2)/氧化铪(HfO_2)

[0150] 二氧化硅(SiO_2)/氧氮化硅铪($HfSiON$)

[0151] 二氧化硅(SiO_2)/氧化锆(ZrO_2)

[0152] 二氧化硅(SiO_2)/氧氮化锆($ZrON$)

[0153] 氧化镓(Ga_2O_3)/氧化铪(HfO_2)

- [0154] 氧化镓(Ga_2O_3)/氧氮化硅铪(HfSiON)
- [0155] 氧化镓(Ga_2O_3)/氧化锆(ZrO_2)
- [0156] 氧化镓(Ga_2O_3)/氧氮化锆(ZrON)
- [0157] 氧化铝(Al_2O_3)/氧化铪(HfO_2)
- [0158] 氧化铝(Al_2O_3)/氧氮化硅铪(HfSiON)
- [0159] 氧化铝(Al_2O_3)/氧化锆(ZrO_2)
- [0160] 氧化铝(Al_2O_3)/氧氮化锆(ZrON)
- [0161] 在上述实施方式中,主要由第一绝缘材料形成的第一绝缘体也可以是双层以上。主要由第二绝缘材料形成的第二绝缘体也可以是双层以上。各电极的材质并不局限于上述实施方式的材质,也可以是其它材质。

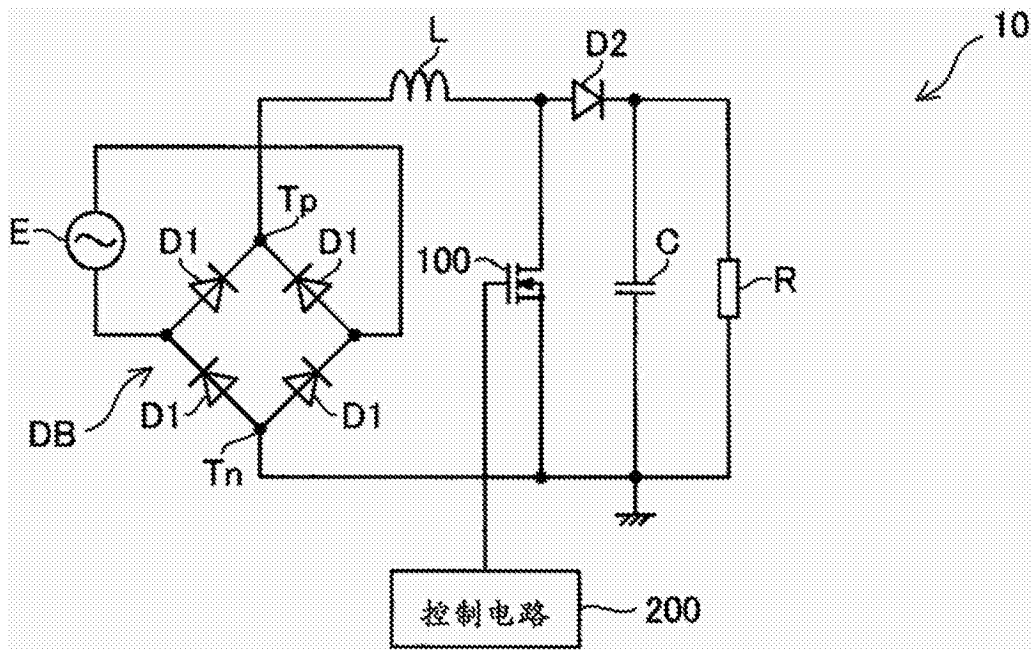


图1

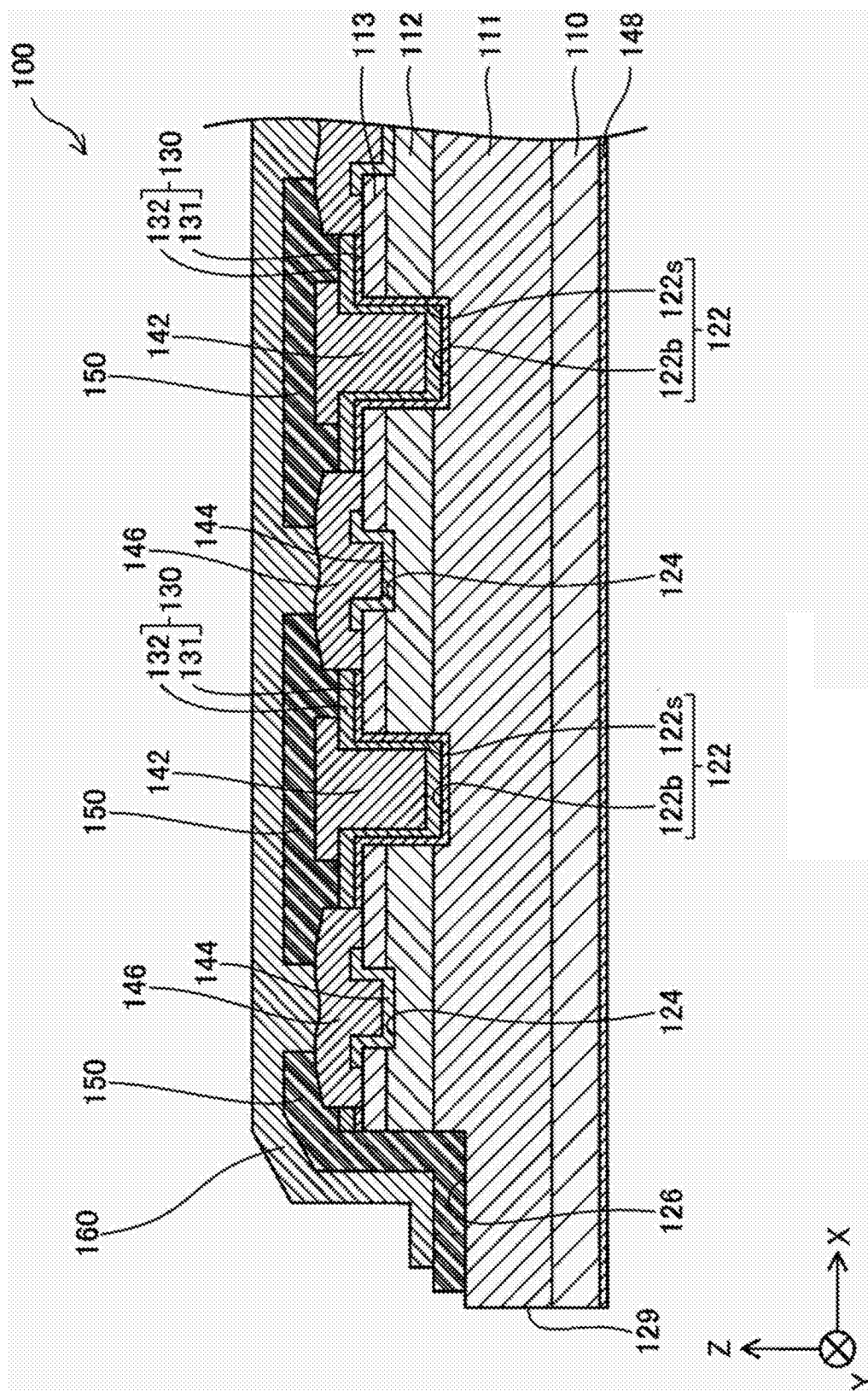


图2

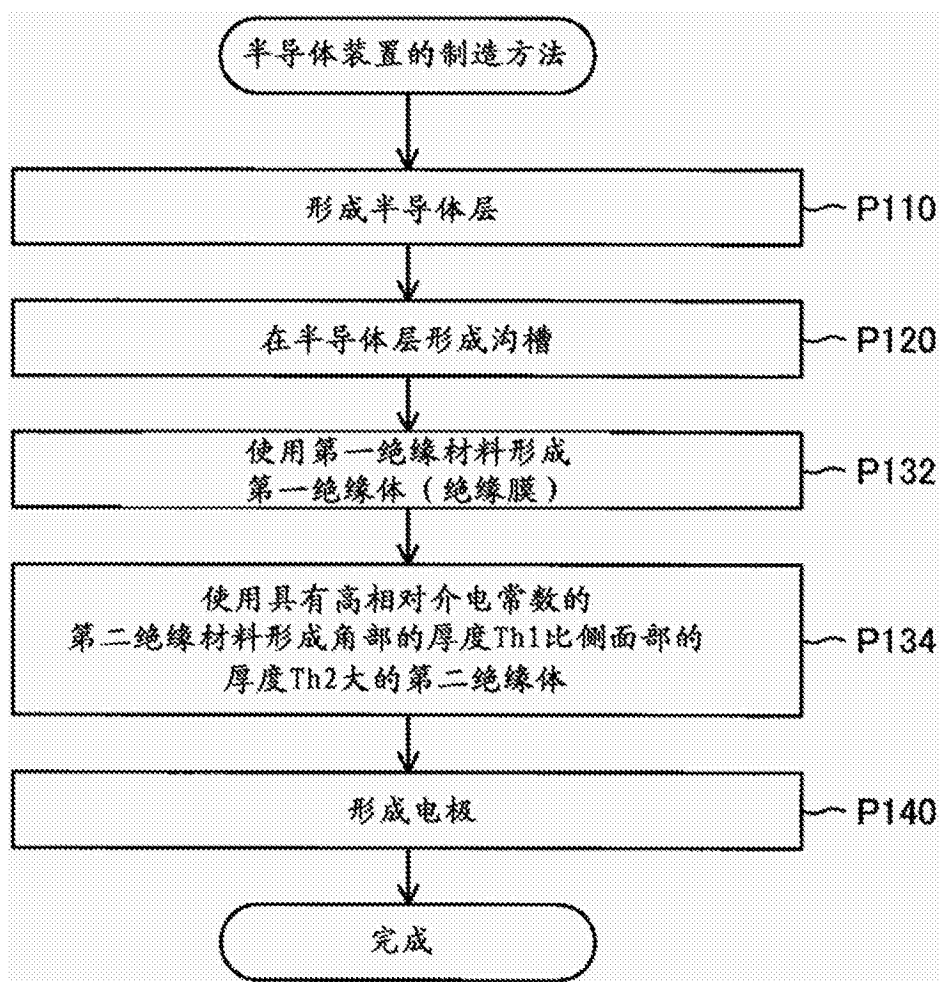


图4

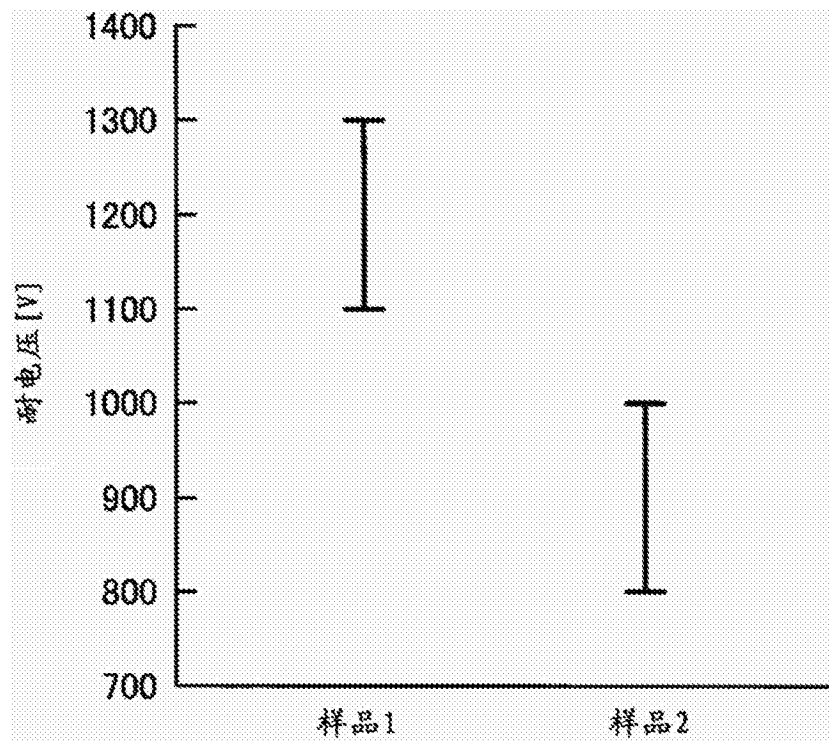


图5

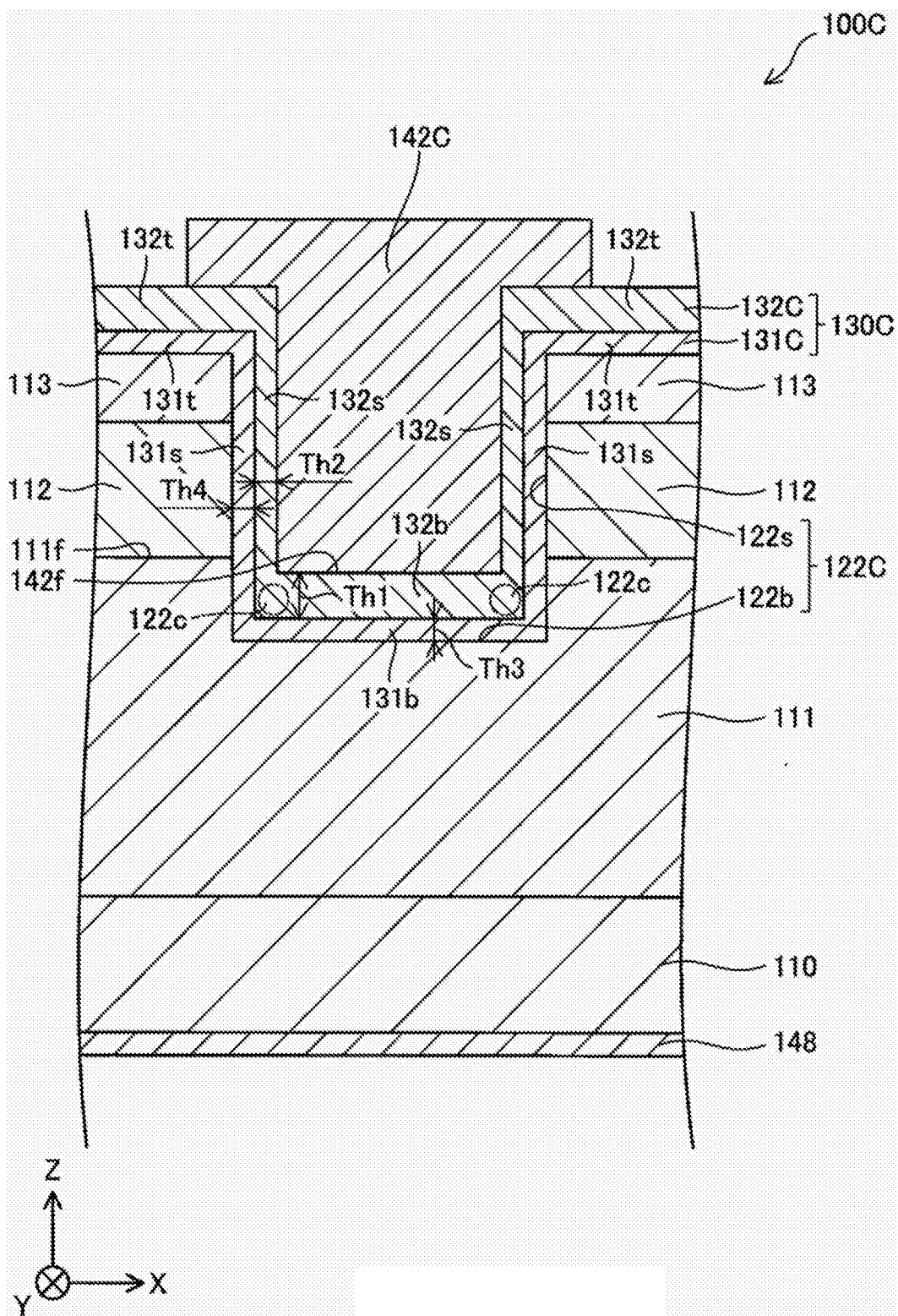


图7

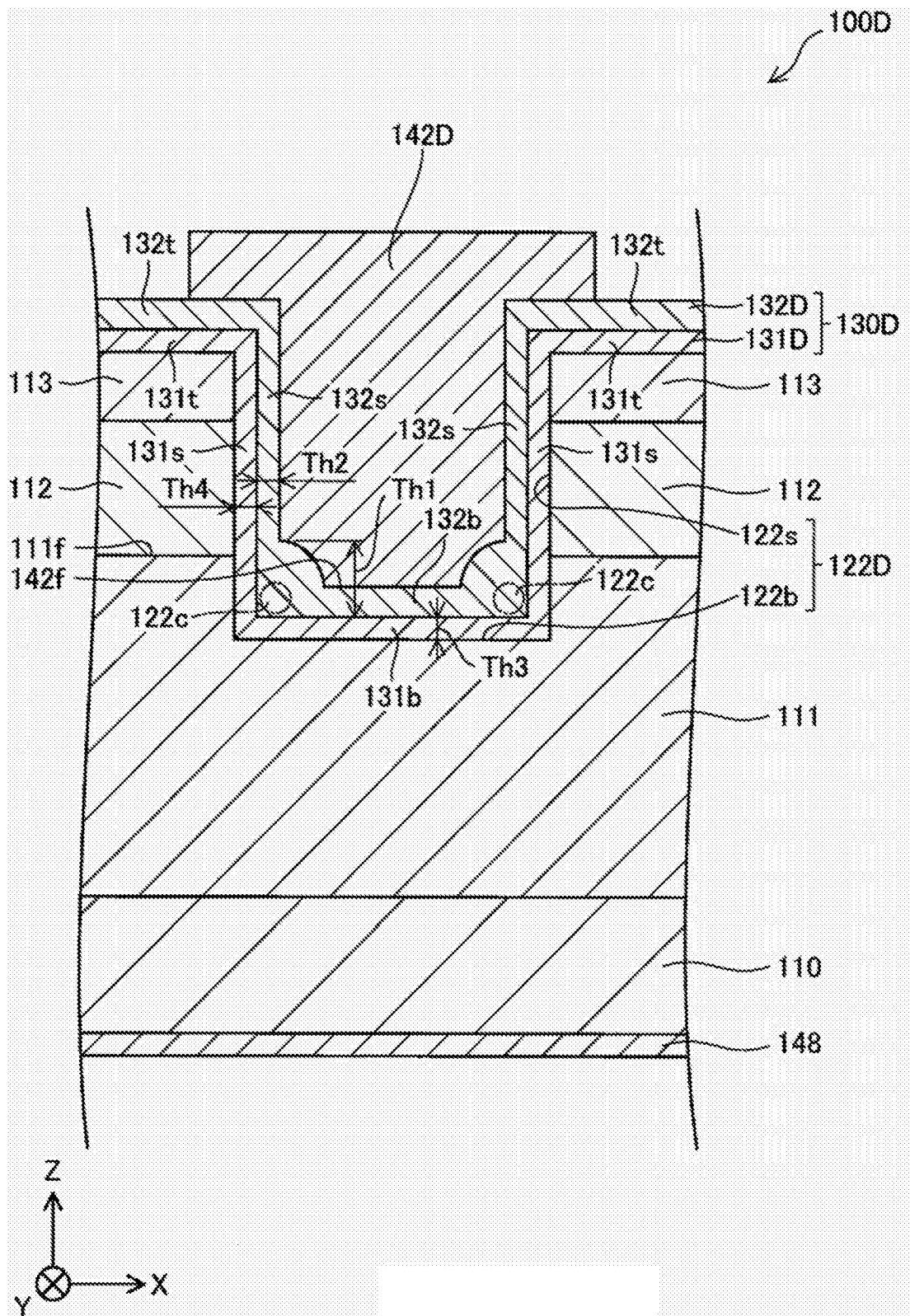


图8

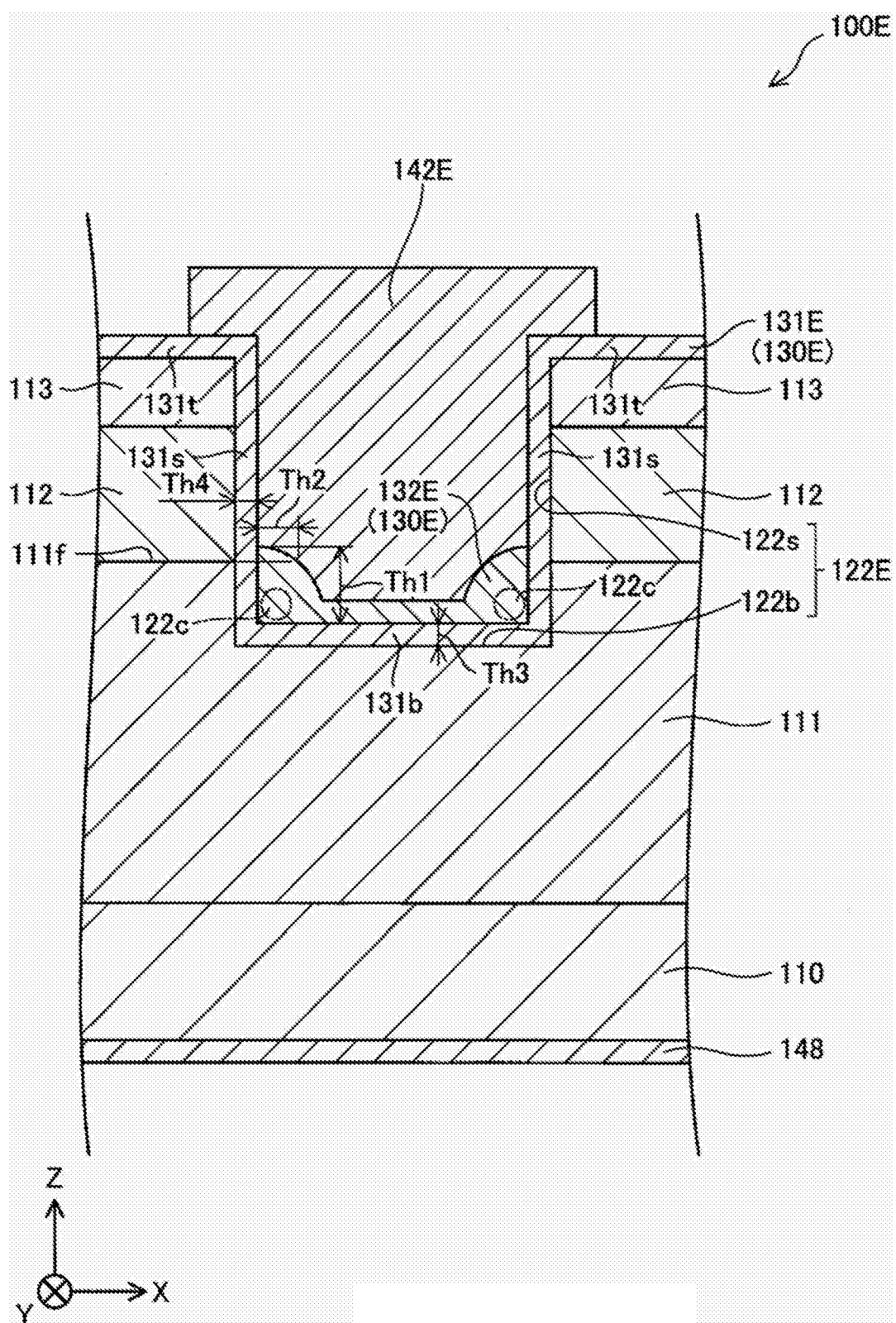


图9

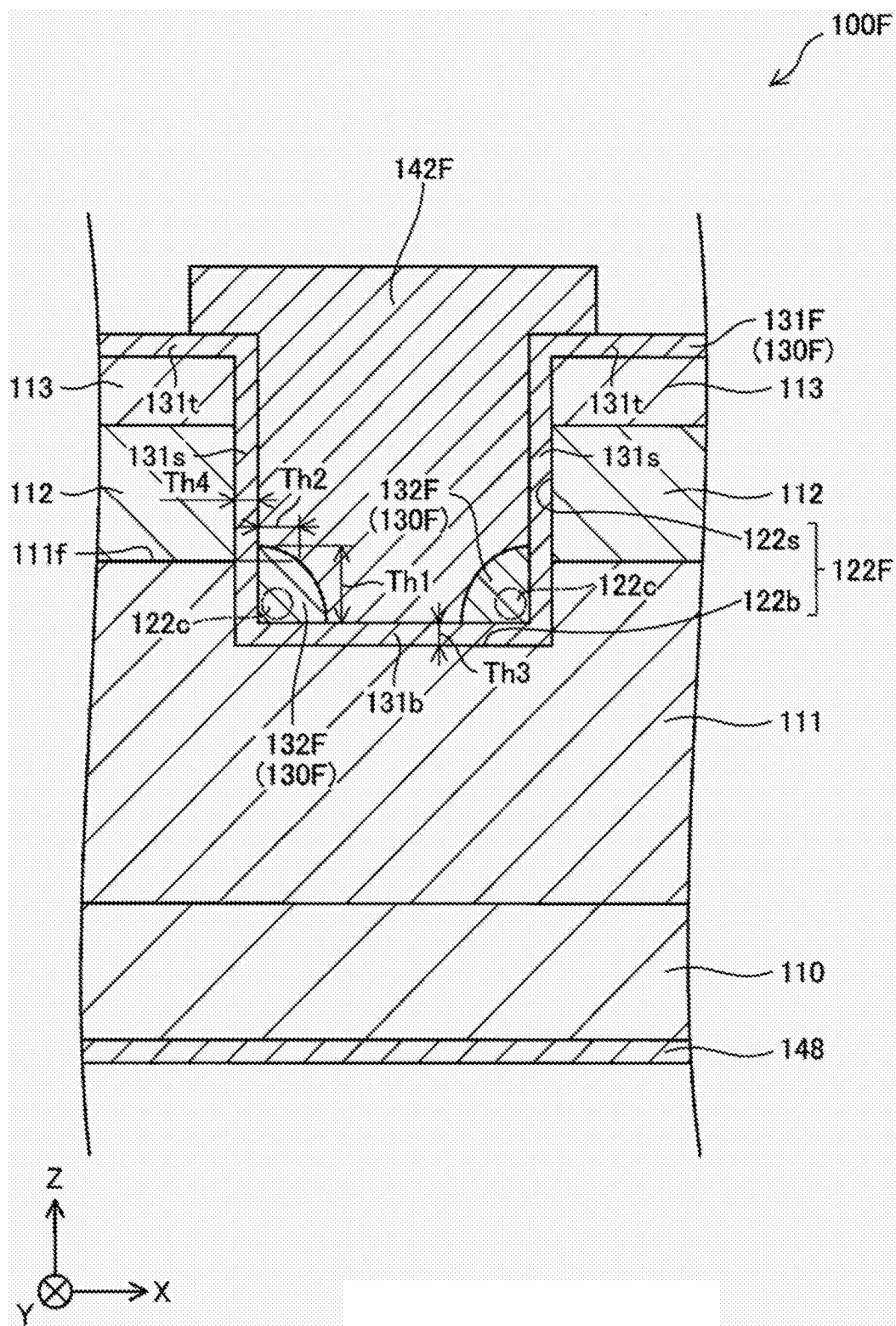


图10