



(12) 发明专利

(10) 授权公告号 CN 102648492 B

(45) 授权公告日 2014. 08. 06

(21) 申请号 201080052213. 9

(51) Int. Cl.

(22) 申请日 2010. 10. 26

G10K 11/178 (2006. 01)

(30) 优先权数据

审查员 康丹丹

12/621, 156 2009. 11. 18 US

(85) PCT国际申请进入国家阶段日

2012. 05. 18

(86) PCT国际申请的申请数据

PCT/US2010/054147 2010. 10. 26

(87) PCT国际申请的公布数据

W02011/062734 EN 2011. 05. 26

(73) 专利权人 高通股份有限公司

地址 美国加利福尼亚州

(72) 发明人 张国亮 李仁 朴贤真

(74) 专利代理机构 北京律盟知识产权代理有限

责任公司 11287

代理人 宋献涛

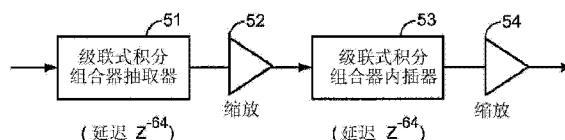
权利要求书2页 说明书18页 附图15页

(54) 发明名称

主动噪声消除电路或执行对被抽取系数的滤波的其它电路中的延迟技术

(57) 摘要

本发明描述可用于数字域中的主动噪声消除的电路配置。具体来说,本发明提出使用下取样单元和上取样单元而不是基于存储器的延迟电路在数字自适应噪声消除电路或使用延迟进行信号处理的其它电路中实现一个或一个以上所要的延迟。由所述下取样单元和所述上取样单元实现的所述延迟可为可调谐的,以便允许在产生用于不同的主动噪声消除电路配置的必要延迟过程中有灵活性。论述了许多不同的自适应噪声消除电路配置,且所述技术对于例如低等待时间均衡电路等其它类型的电路可能也是有用的。



1. 一种执行主动噪声消除的设备,其包括:

下取样单元;以及

上取样单元,其中所述下取样单元和所述上取样单元各自经调谐以使得与经由所述下取样单元和所述上取样单元处理样本相关联的组合延迟对应于针对所述设备而选择的预先界定的延迟,其中所述组合延迟是所述设备的可调谐参数,且其中所述组合延迟可基于所述下取样单元和所述上取样单元的取样比率而调谐。

2. 根据权利要求1所述的设备,其中所述设备包括经配置以执行主动噪声消除的主动噪声消除电路,且其中所述预先界定的延迟经选择以促进所述主动噪声消除。

3. 根据权利要求1所述的设备,其中所述上取样单元紧跟在所述下取样单元之后,以提供用于所述样本的所述预先界定的延迟。

4. 根据权利要求1所述的设备,其中所述下取样单元包括级联式积分组合器CIC抽取器,且所述上取样单元包括CIC内插器。

5. 根据权利要求1所述的设备,其中所述组合延迟还基于所述下取样单元和所述上取样单元的级数N和微分延迟M的固定值。

6. 根据权利要求1所述的设备,其进一步包括一组放大器、加法器和延迟元件,所述组放大器、加法器和延迟元件界定一组滤波器,所述组滤波器对所述下取样单元的输出进行滤波且提供对所述上取样单元的输入,其中对应于所述预先界定的延迟的所述组合延迟匹配于与所述组滤波器相关联的延迟。

7. 根据权利要求1所述的设备,其中所述下取样单元和所述上取样单元各自经调谐以产生所述组合延迟的一半。

8. 根据权利要求1所述的设备,其中所述设备包括主动噪声消除电路,所述主动噪声消除电路包含所述下取样单元和所述上取样单元以产生所述预先界定的延迟,其中所述预先界定的延迟经选择以促进所述主动噪声消除,所述设备进一步包括俘获音频信息的麦克风、将所述所俘获的音频信息转换为样本的数/模转换器,和输出由所述主动噪声消除电路产生的反噪声的扬声器。

9. 一种执行主动噪声消除的方法,所述方法包括:

经由下取样单元和上取样单元来处理样本,其中与经由所述下取样单元和所述上取样单元处理样本相关联的组合延迟对应于预先界定的延迟,所述预先界定的延迟经选择以促进主动噪声消除,其中所述组合延迟是包含所述下取样单元和所述上取样单元的电路的可调谐参数,且其中所述组合延迟可基于所述下取样单元和所述上取样单元的取样比率而调谐。

10. 根据权利要求9所述的方法,其中所述电路包括主动噪声消除电路。

11. 根据权利要求9所述的方法,其中所述上取样单元紧跟在所述下取样单元之后,以产生用于所述样本的所述预先界定的延迟。

12. 根据权利要求9所述的方法,其中所述下取样单元包括级联式积分组合器CIC抽取器,且所述上取样单元包括CIC内插器。

13. 根据权利要求9所述的方法,其中所述组合延迟还基于所述下取样单元和所述上取样单元的级数N和微分延迟M的固定值。

14. 根据权利要求9所述的方法,其进一步包括经由一组放大器、加法器和延迟元件来

处理所述样本,所述组放大器、加法器和延迟元件界定一组滤波器,所述组滤波器对所述下取样单元的输出进行滤波且提供对所述上取样单元的输入,其中对应于所述预先界定的延迟的所述组合延迟匹配于与所述组滤波器相关联的延迟。

15. 根据权利要求 9 所述的方法,其中所述下取样单元和所述上取样单元各自经调谐以产生所述组合延迟的一半。

16. 根据权利要求 9 所述的方法,其中所述下取样单元和所述上取样单元形成产生反噪声的主动噪声消除电路的部分,所述方法进一步包括:

俘获音频信息,

将所述所俘获的音频信息转换为样本,

经由所述主动噪声消除电路来处理所述样本以产生所述反噪声;以及

输出由所述主动噪声消除电路产生的所述反噪声。

主动噪声消除电路或执行对被抽取系数的滤波的其它电路 中的延迟技术

技术领域

[0001] 本发明涉及信号处理技术,尤其是PDM域信号处理,且更特定来说(但不限于),涉及用于音频应用的数字域中的主动噪声消除。

背景技术

[0002] 主动噪声消除电路可用于多种应用中,例如个人通信系统、无线通信装置、数字媒体播放器和例如头戴式耳机等音频输出装置。主动噪声消除系统通过产生所谓的“反噪声”而主动地减少环境的声音噪声,所述“反噪声”可为周围环境中的噪声的相反形式。主动噪声消除系统一般包括俘获环境噪声信号的一个或一个以上麦克风、产生反噪声的电路,和用以播放反噪声以便消除环境噪声的一个或一个以上扬声器。反噪声可与周围环境噪声相消地干扰,且进而减少到达用户耳中的噪声信号。

[0003] 常规的主动噪声消除电路常经由模拟信号处理来实施。这是因为模拟电路相对于数字电路具有非常短的处理延迟。然而,模拟信号处理具有缺点,即难以使模拟信号处理可配置或自适应。

[0004] 主动噪声消除可经由信号滤波在数字域中执行。信号滤波可发生在引入不同水平的滤波的级中。数字主动噪声消除电路中的常规滤波可能需要滤波器级之间的基于存储器的延迟电路。这些基于存储器的延迟电路可在电路中的存储器空间方面变得非常大,尤其在信号被过取样时。

发明内容

[0005] 本发明描述可用于数字域中的主动噪声消除的电路配置。本发明描述下取样单元和上取样单元的使用,而不是基于存储器的延迟电路,以在数字自适应噪声消除电路中实现一个或一个以上所要的延迟。由所述下取样单元和所述上取样单元实现的所述延迟可为可调谐的,以便允许在产生用于不同的主动噪声消除电路配置的必要延迟过程中的灵活度。论述了许多不同的自适应噪声消除电路配置,包含对两个或两个以上不同样本率域内的样本进行滤波的混合电路。所述延迟技术也可用于其它电路中(即,不执行主动噪声消除的电路)。举例来说,使用下取样单元和上取样单元而不是基于存储器的延迟电路的延迟技术也可用于低等待时间均衡电路或其它电路中。

[0006] 在一个实例中,本发明描述一种设备,所述设备包括下取样单元和上取样单元。所述下取样单元和上取样单元各自经调谐以使得与经由所述下取样单元和上取样单元处理样本相关联的组合延迟对应于预先界定的延迟。在一些情况下,所述预先界定的延迟可选择以促进主动噪声消除。

[0007] 在另一实例中,本发明描述一种方法,其包括经由下取样单元和上取样单元处理样本,其中与经由所述下取样单元和上取样单元处理样本相关联的组合延迟对应于预先界定的延迟,例如经选择以促进主动噪声消除的预先界定的延迟。

[0008] 在另一实例中,本发明描述一种装置,其包括用于下取样的装置和用于上取样的装置,其中用于下取样的装置和用于上取样的装置各自经调谐以使得与下取样和上取样相关联的组合延迟对应于预先界定的延迟。在一些情况下,预先界定的延迟可经选择以提高主动噪声消除。

[0009] 本发明中所描述的技术的各方面可以硬件、软件、固件,或其组合来实施。如果以软件来实施,则可在例如微处理器、专用集成电路(ASIC)、现场可编程门阵列(FPGA)或数字信号处理器(DSP)等一个或一个以上处理器中执行软件。可最初将执行所述技术的软件存储于计算机可读媒体中且在处理器中加载并执行。

[0010] 因此,本发明还涵盖计算机可读存储媒体,其包括在处理器中执行后即刻致使所述处理器执行主动噪声消除的指令,其中所述指令致使所述处理器经由下取样单元和上取样单元来处理样本,其中与经由所述下取样单元和上取样单元处理样本相关联的组合延迟对应于预先界定的延迟,所述预先界定的延迟经选择以促进主动噪声消除。所述组合延迟可包括包含所述下取样单元和上取样单元的电路的可调谐参数,其中所述指令致使所述处理器选择所述可调谐参数。

[0011] 本发明的一个或一个以上方面的细节在附图及以下描述中陈述。从描述和图式并从权利要求书将明白本发明中所描述的技术的其它特征、目的和优点。

附图说明

[0012] 图 1A 是展示主动噪声消除系统的的应用的概念图。

[0013] 图 1B 是展示图 1A 的主动噪声消除电路的实例的方框图。

[0014] 图 2 是使用基于存储器的延迟元件的主动噪声消除电路的电路图。

[0015] 图 3 是使用基于存储器的延迟元件的主动噪声消除电路的另一电路图。

[0016] 图 4 是展示图 3 的基于存储器的延迟电路中的一者的方框图。

[0017] 图 5 是说明与本发明一致的对基于存储器的延迟电路的替代物的方框图。

[0018] 图 6 是使用下取样和上取样单元来取代常规的基于存储器的延迟元件的主动噪声消除电路的电路图。

[0019] 图 7 是示范性级联式积分组合器(CIC)于由取器的方框图。

[0020] 图 8 是示范性 CIC 内插器的方框图。

[0021] 图 9A 是示范性二阶 $\Sigma - \Delta$ 调制器的方框图。

[0022] 图 9B 是示范性一阶 $\Sigma - \Delta$ 调制器的方框图。

[0023] 图 10 是说明包含 CIC 抽取器和 CIC 内插器的 CIC 滤波器的量值响应的图表。

[0024] 图 11 是使用常规的基于存储器的延迟元件的主动噪声消除电路的电路图。

[0025] 图 12 是使用下取样和上取样单元来取代常规的基于存储器的延迟元件的主动噪声消除电路的电路图。

[0026] 图 13 是混合式主动噪声消除电路的电路图,所述混合式主动噪声消除电路在两个不同样本率域中执行滤波,且至少部分使用下取样和上取样单元来实现必要的延迟。

[0027] 图 14 是混合式主动噪声消除电路的另一电路图,所述混合式主动噪声消除电路在两个不同样本率域中执行滤波,且至少部分使用下取样和上取样单元来实现必要的延迟。

[0028] 图 15 是混合式主动噪声消除电路的另一电路图,所述混合式主动噪声消除电路在两个不同样本率域中执行滤波,且至少部分使用下取样和上取样单元来实现必要的延迟。

[0029] 图 16 是展示与本发明一致的对 CIC 抽取器的替代物的方框图。

[0030] 图 17、18A 和 18B 是演示与本发明一致的图 16 中所示的电路的 FIR 滤波器的操作的图表。

[0031] 图 19 和 20A 和 20B 是演示与本发明一致的图 16 中所示的电路的另一示范性 FIR 滤波器的操作的图表。

[0032] 图 21 是说明 FIR 滤波器和下取样器的级联的方框图,所述级联可为与本发明一致的对 CIC 抽取器的另一替代物。

[0033] 图 22 说明与本发明的实例一致的串联的三个级联的 CIC 抽取器。

[0034] 图 23 是展示与本发明一致的对 CIC 抽取器的替代物的方框图。

[0035] 图 24 和 25 是演示与本发明一致的图 23 中所示的电路的 FIR 滤波器的操作的图表。

[0036] 图 26 是说明上取样器和 FIR 滤波器的级联的方框图,所述级联可为与本发明一致的对 CIC 内插器的另一替代物。

[0037] 图 27 说明与本发明的实例一致的串联的三个级联的 CIC 内插器。

具体实施方式

[0038] 本发明描述可用于数字域中的主动噪声消除的电路配置。所描述的电路可用于广泛多种主动噪声消除环境或应用中,例如个人通信系统、数字媒体播放器、无线通信装置和例如头戴式耳机等音频输出装置。主动噪声消除通过产生所谓的“反噪声”而主动地减少环境的声音噪声,所述“反噪声”可包括作为周围环境中的噪声的相反形式的音频信号。主动噪声消除系统一般包括拾取外部噪声信号的一个或一个以上麦克风、用以产生反噪声的主动噪声消除电路,和用以播放消除环境噪声的反噪声的一个或一个以上扬声器。由主动噪声消除电路产生的反噪声可与周围背景噪声相消地干扰,且进而减少到达用户耳中的噪声信号。

[0039] 虽然本发明的延迟技术主要描述于主动噪声消除的上下文中,但所述延迟技术还可用于其它电路中(即,不执行主动噪声消除的电路)。举例来说,使用下取样单元和上取样单元而不是基于存储器的延迟电路的延迟技术也可用于低等待时间均衡电路或其它电路中。

[0040] 数字域中的常规的主动噪声消除可在数字主动噪声消除电路的一个或一个以上级之间使用基于存储器的延迟电路。本发明描述下取样单元和上取样单元的使用,而不是基于存储器的延迟电路,以在数字自适应噪声消除电路中实现一个或一个以上所要的延迟。由所述下取样单元和上取样单元实现的延迟可为可调谐的,以便允许在产生用于不同的主动噪声消除电路配置的必要延迟过程中的灵活度。论述了许多不同的自适应噪声消除电路配置,包含对两个或两个以上不同样本率域内的样本进行滤波的混合电路。对于下取样单元和上取样单元自身包含存储器延迟元件来说,下取样单元和上取样单元中的存储器延迟元件可显著小于常规的基于存储器的延迟电路所需的存储器。

[0041] 图 1A 是展示主动噪声消除系统 5 的应用的概念图。主动噪声消除系统 5 可包括俘获背景噪声的一个或一个以上麦克风 10、产生反噪声的主动噪声消除 (ANC) 电路 12, 和输出反噪声的扬声器装置 14。扬声器 14 还可输出额外音频 (例如, 音乐)。为了使由扬声器 14 输出的反噪声大体上以相消的方式与背景噪声干扰, 所述反噪声可为背景噪声的相反形式。周围环境中的背景噪声与由扬声器装置 14 输出的反噪声的组合可界定静寂区, 如在概念上说明为图 1A 中围绕用户 (即, 人类收听者) 的“静寂区”。

[0042] 图 1B 是更详细地说明实例 ANC 电路 12 的方框图。如图 1B 中所示, ANC 电路 12 在数字域中操作且包含模 / 数转换器 (ADC) 16、数字 ANC 电路 17, 和数 / 模转换器 (DAC) 18。本发明的技术可适用于 ANC 电路 12 的数字 ANC 电路 17。ADC 16 可或者形成麦克风 10 的部分, 在这种情况下, 所述麦克风可称作数字麦克风, 其输出脉码调制 (PCM) 样本。而且, DAC 18 可形成扬声器装置 14 的部分, 在这种情况下, ANC 12 的输出将在数字域中。

[0043] 在图 1B 中所示的实例中, ADC 16 的输出可包括 PCM 样本。在音频编码的上下文中, PCM 样本可包括将时域中的音频波形表示为一系列振幅的数字样本。数字 ANC 17 对背景噪声的数字样本进行滤波以产生对于主动噪声消除有用的反噪声。具体来说, 数字 ANC 17 对所接收的背景噪声进行滤波以便产生反噪声。

[0044] 用于 PCM 样本的普通的数字滤波器通常需要连续滤波器级 (有时称为滤波器分接头级) 之间的一个样本延迟 (one-sample delay)。每一滤波器级可执行增量的滤波, 且将此滤波组合到反馈信号。为实现滤波器级之间的一个样本延迟, 可使用存储器延迟电路。图 2 说明在连续的滤波器级之间使用存储器延迟电路的示范性 ANC 电路。输入样本, 在此情况下是 PCM 样本, 是由放大器 22A 到 22H 接收。电路的输出样本被反馈到放大器 24A 到 24G。放大器 22A 到 22H 以及放大器 24A 到 24G 可界定到样本的滤波器分接头的施加。举例来说, 放大器 22A 到 22H 以及放大器 24A 到 24G 可包括将输入信号乘以增益因子的数字乘法器电路。增益因子可经选择以实现主动噪声消除所需的所要的信号放大。

[0045] 加法器 23A 到 23H 将放大器 22A 到 22H 的输出分别与放大器 24A 到 22G 以及基于存储器的延迟电路 25A 到 25G 的输出进行组合, 如所说明。基于存储器的延迟电路 25A 到 25G 在样本被处理时在电路的每一连续级之间提供一个样本延迟。因此, 电路的不同级被基于存储器的延迟电路 25A 到 25G 分离。输入样本被每一滤波器级滤波, 但当给定样本沿着基于存储器的延迟电路 25A 到 25G 移动穿过所述级时, 所述滤波累加以在输出中提供合意的反噪声效应。

[0046] 如本文所述, 从实施观点来看, 此些基于存储器的延迟电路 25A 到 25G 可为不合意的。在一些情况下, PCM 样本可被进一步上取样为脉冲密度调制 (PDM) 样本, 其通常具有比 PCM 样本小的位深度。在典型应用中, 来自模 / 数转换器的 PDM 样本可具有 1 到 4 位的位深度。信号的 PDM 样本表示通常使用比信号带宽高的取样率, 且典型的过取样比率 (例如, 过取样率与基带信号的取样率之间的比率) 的范围可在约 64 与 256 之间。在一些情况下, 对于信号处理来说, 模 / 数转换之后的 PDM 样本可具有比 PCM 样本大的位深度。

[0047] 当滤波器分接头的数目变得非常大时, 图 2 的方法可变为不合意的。因此, 使用抽取式滤波器结构可能更好, 例如图 3 中所示的结构, 其中仅需要 N 个滤波器分接头, 同时在此些滤波器分接头之间插入 K 个延迟。图 3 的此抽取式滤波器结构可实现高达基带频率的等效的滤波操作, 且可具有在基带频率之后的更高频率中的重复响应模式。

[0048] 与图 2 的类似一样的图 3 的电路包含接收输入样本的第一组放大器 32A 到 32H, 和接收电路的输出作为反馈的第二组放大器 34A 到 34G。加法器 33A 到 33H 组合经滤波的样本, 如图 3 中所示, 且基于存储器的延迟电路 35A 到 35G 提供滤波器级之间所需的延迟, 以实现 PDM 域中的主动噪声消除。本文中所描述的电路具有示范性数目个级和放大器, 但不同数目个滤波器级和放大器可用于与本发明一致的其它配置。

[0049] 过取样比率可指代 PDM 信号取样率与基带信号取样率之间的比率。举例来说, 8kHz 基带信号的典型的 PDM 表示可使用 2048kHz 的取样率, 其中过取样比率是 256。在此情况下, 在分接头之间具有 1 个样本延迟的数字滤波器可具有整个 1024kHz 带宽上的效应, 而所关注的信号仅横跨达 4kHz。使用在滤波器分接头之间使用多个样本延迟的抽取式滤波器结构可为合意的。通过在分接头之间使用 256 个延迟, 滤波器仍可具有达全部信号带宽 (4kHz) 的完全控制, 但可将乘法器和加法器的数目减少 1 到 256 倍。基于存储器的延迟电路 35A 到 35G 对信号的必要延迟可随过取样比率和基带取样频率而变。因此, 当音频取样频率和过取样频率较高时, 所需的存储器大小可变得非常大。另外, 归因于与放大器 32A 到 32H 和 34A 到 34G 相关联的滤波器系数的有限字长以及输入数据, 使用这些基于存储器的延迟电路 35A 到 35G 的滤波电路可能具有稳定性问题。有限的字长意味着系数的位宽在实际情形中不够大。系数或数据的位宽 (即, 位宽度) 可按比例增加在芯片中制造电路所需的硅面积。因此, 在实际应用中使用非常大的位宽可为不合意的。然而, 当位宽不够大时, 系数或数据可具有相对较低的分辨率, 其可将大量的量化误差或量化噪声添加到数据。

[0050] 图 2 和图 3 两者中的电路可在 PCM 域和 PDM 域中操作。图 2 中的电路可对输入信号的全部带宽具有滤波效应。图 3 的电路可具有输入信号带宽的 $1/128$ 的滤波效应。在图 3 的情况下, 可对剩余的带宽重复 127 次相同的滤波效应。当输入信号带宽是取样频率的小分数 ($1/128$) 时, 图 3 中的电路可为有用的。举例来说, 当取样频率的带宽是 512kHz 且信号带宽仅为 4kHz 时, 可在如图 3 中所示的滤波器分接头之间插入 128 个样本的延迟。不这样的话, 滤波器电路可能需要多 127 倍的乘法器和加法器。

[0051] 本发明通过利用下取样单元和上取样单元对的可调整群组延迟特征而提供了一种替代性延迟结构。作为一个实例, 本发明用下取样单元和上取样单元对来实现对与图 4 的电路 41 一样的一个或一个以上基于存储器的延迟电路的取代。下取样单元和上取样单元对可具有与单元对相关联的固有延迟, 但用于下取样单元和上取样单元中的存储器可包括原本在使用基于存储器的延迟电路的情况下会需要的存储器的分数。由下取样单元和上取样单元对提供的延迟量可通过选择单元的参数而为可调谐的, 如下文更详细地阐释。

[0052] 下取样单元和上取样单元对可包括级联式积分组合器 (CIC) 抽取器和 CIC 内插器, 但本发明还涵盖其它类型的下取样单元和上取样单元对。如图 5 中所示, 举例来说, CIC 抽取器 51 和后面的 CIC 内插器 53 可经调谐以提供与图 4 的基于存储器的延迟电路 41 等效的延迟量。此延迟量可经特别选择以提高反噪声产生。在图 5 的实例中, CIC 抽取器 51 和 CIC 内插器 53 各自提供所要延迟的一半, 但 CIC 抽取器 51 和 CIC 内插器 53 可经调谐以提供不同延迟量。重要的是, 与图 5 中的电路相关联的延迟量可大体上等效于图 4 的基于存储器的延迟电路 41 的延迟。还可包含缩放放大器 52 和 54 以避免截断相关音频缺陷。图 5 中所示的电路元件相对于图 4 的基于存储器的延迟电路 41 可界定更有效的方式来实现主动噪声消除电路中的信号延迟。

[0053] 图 5 中所表示的 CIC 抽取器 / 内插器对可看作具有可变延迟的低通滤波器。CIC 抽取器 51 可包括具有由低通滤波器和下取样器的参数确定的延迟的低通滤波器和下取样器。CIC 内插器 53 可包括具有由低通滤波器和上取样器的参数确定的延迟的低通滤波器和上取样器。通过选择 CIC 参数,人们可通过 CIC 抽取器 51 实现所要延迟的一半,且通过 CIC 内插器 53 实现所要延迟的另一半。而且,通过选择 CIC 抽取器 51 和 CIC 内插器 53 的相同下取样和上取样比率,电路可在实现低通滤波和所要延迟效应的同时界定相同的输入和输出取样频率。

[0054] 归因于 CIC 电路的位生长特性,还可能需要适当的缩放来实现单元增益。缩放放大器 52 和 54 可用于此目的。CIC 电路的低通频率响应还可通过抑制高频量化噪声来帮助稳定主动噪声消除。使用 CIC 电路的缺点可包含 CIC 抽取器 51 和 / 或 CIC 内插器 53 的小混叠效应和可能的带内信号下降。然而,通过选择使混叠效应和带内信号下降最小化的 CIC 参数,混叠效应和带内信号下降可变为可忽略的。下文论述不同的 CIC 参数。

[0055] 图 6 是与本发明一致的电路图。在此情况下,CIC 延迟电路 64A 到 64G 取代常规存储器电路来提供所要延迟。CIC 延迟电路 64A 到 64G 中的每一者可包括下取样单元和上取样单元,其中下取样单元和上取样单元各自经调谐以使得与经由所述下取样单元和上取样单元处理样本相关联的组合延迟对应于预先界定的延迟,所述预先界定的延迟经选择以促进主动噪声消除。CIC 延迟电路 64A 到 64G 相对于基于存储器的延迟电路可包括较少的硬件和改进的稳定性。在图 6 的电路以及本文中所描述的其它电路中,输入样本可表示与背景噪声相关联的音频样本,且输出样本可包括表示反噪声的音频样本,所述反噪声将大体上相消地干扰背景噪声。

[0056] 图 6 的电路包含接收输入样本的第一组放大器 61A 到 61H,和接收电路的输出作为反馈的第二组放大器 63A 到 63G。加法器 62A 到 62H 组合经滤波的样本,如图 3 中所示,且 CIC 延迟电路 64A 到 64G 提供滤波器级之间所需的延迟,以实现主动噪声消除。

[0057] 再者,本发明提议将 CIC 抽取器 / 内插器对用作可变延迟,其产生与下取样因子 R 成比例的延迟。在此情况下,可根据抽取因子 (K) 生长通过增加下取样因子 R 来增加延迟。总之,基于 CIC 的延迟在实施于数字专用集成电路 (ASIC) 中时相对于常规的基于存储器的延迟电路可减少硬件区域。而且,CIC 抽取器 / 内插器对可实现低通滤波的边界效应,其可增强无限脉冲响应 (IIR) 滤波的稳定性。

[0058] 下取样单元和上取样单元对 (例如,CIC 抽取器 / 内插器对) 可串联布置。在图 6 的电路中,CIC 延迟电路 64A 到 64G 中的每一者可包括串联布置的 CIC 抽取器 / 内插器对。在下文更详细地描述的其它情况下,下取样单元和上取样单元对可串联布置,但在下取样单元与上取样单元之间也可包含其它组件。

[0059] 如图 5 中所示,CIC 滤波器可包括 CIC 抽取器 51 (其为下取样器的一个实例) 和 CIC 内插器 (其为上取样器的一个实例)。级联积分器和组合器可用于形成 CIC 抽取器 51 和 CIC 内插器 53。

[0060] 图 7 说明 CIC 抽取器的一个实例,例如图 5 的 CIC 抽取器 51。图 7 中所示的 CIC 抽取器可包括转换单元 701,转换单元 701 将传入样本转换为特定位深度,例如 21 位。加法器 702 和延迟元件 703 形成第一积分器,且加法器 704 和延迟元件 705 形成第二积分器。因此,元件 702、703、704 和 705 形成二级积分器。零阶保持元件 706 包括将数据率减少 (例

如)32、64、128 或 256 倍的下取样器。下取样比率可对应于 $R = dm \cdot 8$ 。在此情况下, dm 是过取样频率 (OSF) 与 512KHz 的比率, 因为 512KHz 是所有过取样频率的最大公分母 (GCF)。变量“ dm ”通常为自然数。 R 表示过取样频率 (例如, 64KHz)。通过如上界定 dm , 可确保经下取样的域独立于输入过取样频率而被映射到 64KHz。零阶保持元件 706 的数据率输出可为 64 千赫兹, 但可使用其它数据率。延迟元件 (例如 705 和 707) 可相对小, 且可在没有太大复杂性的情况下使用基于存储器的延迟电路。在图 7 中 (也在图 9 中), 变量 dm 与上文提及的 dm 相同, 即过取样频率。

[0061] 延迟元件 707 和加法器 708 形成第一组合器, 且延迟元件 709 和加法器 710 形成第二组合器。因此, 元件 707、708、709 和 710 形成二级组合器。元件 711 包括 $\Sigma - \Delta$ 调制器。 $\Sigma - \Delta$ 调制器的额外细节在下文关于图 9 进行论述。在图 7 中, 元件 701、702、703、704 和 705 可在上取样频率下操作, 而元件 707、708、709 和 710 可在下取样频率下操作, 其中上取样频率比下取样频率大一因子。举例来说, 上取样频率可比下取样频率大 8、16、32、64、128、256 或 $2n$ 的其它倍数倍, 其中 n 为正整数。

[0062] 图 8 说明 CIC 内插器的一个实例, 例如图 5 的 CIC 内插器 53。图 8 中所示的 CIC 内插器可包括转换单元 801, 转换单元 801 将传入样本转换为特定位深度, 例如从 23 位转换到 24 位。此位深度扩展可变化, 且可为 CIC 内插器设计的相当标准的部分。延迟元件 804 和加法器 803 形成第一组合器。转换单元 805 为加法器 806 转换输入数据位宽。图 8 中所示的 CIC 内插器在内部扩展数据流级的位宽, 且此程序经执行以在使用 CIC 内插器时扩展数据线的位宽。延迟元件 807 和加法器 806 形成第二组合器。因此, 元件 803、804、805、806 和 807 形成二级组合器。

[0063] 元件 808 包括将数据率上取样一因子 (例如, 32 倍) 的上取样器。转换单元 809 为加法器 810 转换输入数据位宽。加法器 810 和延迟元件 811 形成第一积分器, 且加法器 813 和延迟元件 814 形成第二积分器。转换单元 812 位于第一积分器与第二积分器之间以为加法器 813 调整第一积分器的输出。因此, 元件 810、811、812、813 和 814 形成二级积分器。元件 815 包括 $\Sigma - \Delta$ 调制器。 $\Sigma - \Delta$ 调制器的额外细节在下文关于图 9 进行论述。在图 8 中, 元件 801、802、803、804、805 和 806 可在下取样频率下操作, 而元件 809、810、811、812、813、814 和 815 可在上取样频率下操作, 其中上取样频率比下取样频率大一因子。举例来说, 上取样频率可比下取样频率大 8、16、32、64、128、256 或 $2n$ 的其它倍数倍, 其中 n 为正整数。

[0064] 更一般来说, CIC 积分器 53 可包括在高过取样频率 (OSF) 率下操作的 N 个数字积分器级, 其中 N 为整数。每一级可实施为具有单位反馈系数的一极滤波器。图 8 中所示的电路的梳状区段 (例如, 区段 803 到 806) 在低取样率 OSF/R (64KHz) 下操作, 其中 R 为整数率改变因子。梳状区段为 CIC 内插器或抽取器的级, 其计算输入与经延迟的输入 (例如, 元件 803 到 806) 之间的差。此梳状区段可包括 N 个梳状级, 其中每级具有 M 个样本的微分延迟。在主动噪声消除实施方案中, 微分延迟可为 $M = 4$, 且级的数目可设定为 $N = 2$ 。

[0065] 可通过下式给出参考 OSF 取样率的本文中所描述的 CIC 延迟电路的等效传递函数 (例如, CIC 抽取器和 CIC 内插器对) :

$$[0066] \quad H(Z) = H_I(Z)H_C(Z) = \frac{(1 - Z^{-RM})^N}{(1 - Z^{-1})^N} = \left(\sum_{k=0}^{RM-1} Z^{-k} \right)^N$$

- [0067] 其中 $H(Z)$ 为 CIC 延迟电路的传递函数,
- [0068] $H_1(Z)$ 为 CIC 延迟电路的内插器区段的传递函数,
- [0069] $H_c(Z)$ 为 CIC 延迟电路的梳状区段的传递函数,
- [0070] Z 为 z 变换变量,
- [0071] R 为 CIC 延迟电路的下取样或上取样比率,
- [0072] M 为 CIC 延迟电路中的梳状区段的微分延迟数目,且
- [0073] N 为 CIC 延迟电路的整数延迟电路级 / 微分级的数目。
- [0074] CIC 电路的频率响应可在功能上等效于展现恒定群组延迟的 N 级有限脉冲响应 (FIR) 滤波器的级联。
- [0075] CIC 电路的参数可经调谐以控制延迟。IIR 滤波器分接头延迟来自 CIC 滤波器抽取器和内插器对的总和。可分别通过下式给出来自 CIC 抽取器和内插器的延迟:
- [0076] 延迟 = $MRN/2$, 其中 $R = 8*dm$, $dm = F_s*OSF/(8*64000)$
- [0077] 其中 N 为积分级的数目, R 为下取样定量, 且 M 为微分延迟, 且 F_s 为基带取样频率。
- [0078] 因此, 可通过下式给出 CIC 对的延迟:
- [0079] CIC 对的延迟 = MRN
- [0080] 因此, CIC 电路的延迟可通过控制三个参数来调谐: 积分级的数目 N 、下取样比率 R 和微分延迟 M 。微分延迟 M 可控制 CIC 电路的频谱零点位置。频谱零点位置为滤波器增益接近零的频率。
- [0081] 因此, CIC 抽取器 / 内插器对的总延迟是 M 、 R 和 N 的函数。对于硬件设计, 对于 M 和 N 使用固定数目而使 R 可变可为最简单的。在此情况下, 通过控制 CIC 抽取器和内插器两者的下取样 / 上取样比率 R , CIC 对的延迟可被适当地调谐到所要延迟。尤其在抽取式 FIR/IIR 滤波器一起使用时, CIC 对对于支持多个取样率可为有用的。当过取样率改变时, 延迟可增加或减小, 使得 CIC 电路延迟等效于恒定基带滤波器结构的延迟。
- [0082] CIC 电路可需要单元以在位宽增长时提供位宽缩放。许多 CIC 滤波器展现 DC 增益。因此, 可在抽取器和内插器的输出处应用缩放因子以实现 CIC 电路的总单元增益。在此情况下, 对于抽取器:
- [0083] $G = (RM)^2 = (8*dm*M)^2 = dm^2*2^{10}$, $B_{\max} = B_{in} + N(\log_2 RM) - 1$
- [0084] 因此, 在此情况下, 抽取器的位宽为:
- [0085] $3 + 2(\log_2 192*4) - 1 = 21$
- [0086] 在此情况下, 对于内插器:
- [0087]
$$G_j = \begin{cases} 2^j, j=1, 2, \dots, N \\ \frac{2^{2N-j}(RM)^{j-N}}{R}, j=N+1, \dots, 2N \end{cases}$$
- [0088] $B_j = B_{in} + \log_2 G_j$. $B_1 = 24$, $B_2 = 25$, $B_3 = 26$, $B_4 = 37$.
- [0089] 最后一级处的增益可为:
- [0090] $G = RM^2 = (8*dm)*M^2 = dm*2^7$.
- [0091] 主动噪声消除抽取器输出位 (例如, CIC 抽取器的输出) 可被截断以在维持总噪声级的同时节约硬件区域。可通过下式缩减 CIC 抽取器输出
- [0092] $(dm)^2/cic_{scale}$

[0093] 类似地,通过下式缩减 CIC 内插器输出

[0094] $dm * cic_{scale} * 2^{17}$, 其中 cic_{scale} 是 dm 的函数, 如下:

[0095]

$$CIC_{scale} = \begin{cases} 1, & \text{如果 } dm = 1 \\ 3, & \text{如果 } dm = 3 \\ 4, & \text{其它情况} \end{cases}$$

[0096] 此缩放可由图 5 中所示的缩放放大器 52 和 54 执行,但可实施为分别由图 7 和 8 的元件 711 和 815 所示的 CIC 抽取器和 CIC 内插器的数字 $\Sigma - \Delta$ 调制器。

[0097] 图 9A 和图 9B 是一阶和二阶 $\Sigma - \Delta$ 调制器的方框图,其可用于缩放以避免 CIC 内插和 CIC 抽取情形下的截断相关音频缺陷。图 9A 和 9B 的方框图可对应于图 5 的缩放放大器 52 和 54,或可形成分别由图 7 和 8 的元件 711 和 815 所示的 CIC 抽取器和 CIC 内插器的部分。

[0098] 图 9B 说明一阶 $\Sigma - \Delta$ 调制器。如图 9B 中所示,一阶 $\Sigma - \Delta$ 调制器可包括转换单元 901,转换单元 901 将输入样本转换为较宽的位深度以用于加法器 902。加法器 902 通过从反馈环路的反馈样本减去输入样本而组合样本。加法器 903 和延迟元件 904 界定积分器,且单元 905 执行右移位和舍入操作以缩放样本。转换单元 906 将位深度转换为所要的输出位深度,且转换单元 907、延迟元件 908 和放大器 909 界定到加法器 902 的反馈路径。

[0099] 图 9A 说明二阶 $\Sigma - \Delta$ 调制器。如图 9A 中所示,二阶 $\Sigma - \Delta$ 调制器类似于一阶 $\Sigma - \Delta$ 调制器,不同之处在于其使用两个信号积分器。具体来说,在图 9B 的一阶 $\Sigma - \Delta$ 调制器可包括如图 9A 中所示的元件 903 和 904 时,图 9A 的二阶 $\Sigma - \Delta$ 调制器包括分别对应于元件 913 和 914 以及元件 916 和 917 的两个积分器。

[0100] 一般来说,图 9A 中所示的二阶 $\Sigma - \Delta$ 调制器包含将位深度转换为所要的输入位深度的转换单元 911、加法器 912、913、915 和 916、延迟元件 914 和 917、量化器 918 以及将位深度转换为所要的输出位深度的转换单元 919。在反馈路径中,图 9A 中所示的二阶 $\Sigma - \Delta$ 调制器包含延迟元件 920、转换单元 921 和放大器 922 和 923。如所提及,二阶 $\Sigma - \Delta$ 调制器大体上类似于一阶 $\Sigma - \Delta$ 调制器,不同之处在于其使用分别对应于元件 913 和 914 以及元件 916 和 917 的两个信号积分器。而且,二阶 $\Sigma - \Delta$ 调制器包含反馈路径中的两个不同放大器。

[0101] 变量 dm 为上文所提及的 OSF 与 512kHz 的比率。在单元 905 下方以及在图 9B 的放大器 909 下方表示 dm^2/cic_{scale} 的值。单元 905 将增益 $1/K$ 施加到输入信号,其中 $K = dm^2/cic_{scale}$ 。 cic_{scale} 的值由下表 1 的伪码中所示的规则确定。执行缩放以保持信号动态范围在某一预定界限内。单元 905 的输出用于反馈环路中,其中转换单元 907 转换数据位宽以用于加法器 902,延迟元件 908 提供一个样本延迟,且放大器 909 根据增益因子 K 将增益施加到样本。

[0102] 表 1

[0103]

```

if (dm >= 2)
    if (dm == 3)
        cic_scale = 3;

```

[0104]

```

else
    cic_scale = 2^2;
end
else
    cic_scale = 1;
end

```

[0105] 因此,本发明界定用于滤波的 CIC 电路和用于音频路径中的缩放的一阶 $\Sigma - \Delta$ 调制器。CIC 电路可导致 CIC 抽取器和 CIC 内插器两者的零周围的混叠误差。可通过下式给出 CIC 滤波器的相对于下取样频率 (F_s/R) 的功率响应:

$$[0106] \quad P(f) = \left[\frac{\sin \pi M f}{\sin \left(\frac{\pi f}{R} \right)} \right]^{2N} \approx \left[R M \frac{\sin \pi M f}{\pi M f} \right]^{2N} \text{ 对于 } 0 \leq f \leq \frac{1}{M}$$

[0107] 在此情况下,

[0108] F_s 是 CIC 抽取器的输入取样频率,其与 CIC 内插器的输出取样频率相同,

[0109] R 是 CIC 抽取器的下取样比率,其与 CIC 内插器的上取样比率相同,

[0110] $P(f)$ 是功率谱 (其可为频率 f 的函数),

[0111] M 是 CIC 梳状区段中的微分延迟数目,

[0112] f 是下取样时钟域中的频率,

[0113] N 是 CIC 滤波器中的级数。

[0114] 谱中的零可由微分延迟 M 控制。对于 CIC 抽取器,每个零周围的区域可向后折叠到通带。即,具有通带之后的频率的信号可向后添加到通带内的信号。对于 CIC 内插器,成像可发生在每个零周围。通过增加级数 N ,电路可在增加通带下降和总滤波器延迟的代价下减少混叠误差。经修改的 CIC 滤波器结构可用于使电路响应成形以进一步减少混叠引发的误差。

[0115] 图 10 说明如本文中所描述的包含 CIC 抽取器和 CIC 内插器的 CIC 电路的示范性量值响应。在此情况下,CIC 电路的参数可为 $N = 2, M = 4, R = 32$,以及从 2048KHz 到 64KHz 的下取样。 N, M 和 R 参数可经特别选择以平衡滤波器延迟、频率响应和混叠要求以用于任何给定实施方案。CIC 电路的频率响应展示其使远低于 1KHz 的信号通过,但抑制较高频率中的信号。此特性是实现足够好的下取样的关键。

[0116] 再者,一阶 $\Sigma - \Delta$ 调制器可用于缩放以避免截断相关音频缺陷。 $\Sigma - \Delta$ 调制器可轻微地影响音频质量,例如由于产生了限制循环,或由于展现出具有 dc 或零输入的音调行为。某些措施可用于改进 $\Sigma - \Delta$ 调制器的稳定性,例如使用较高阶的 $\Sigma - \Delta$ 调制器,将抖动或小扰动添加到量化器或输入,和 / 或使用展现出局部混乱行为的积分器。

[0117] 图 11 到 14 是与本发明的各种实例一致的主动噪声消除电路的电路图。在这些情况下,到电路的输入样本可表示与背景噪声相关联的音频样本,且电路的输出样本可包括表示反噪声的音频样本,所述反噪声将大体上与背景噪声相消地干扰。对于延迟元件中的每一者,标记输入“i”和输出“o”。

[0118] 根据本发明,在数字域中执行用于音频噪声消除的信号处理。模拟信号可由一个

或一个以上模 / 数转换器 (DAC) 从模拟格式变换为数字格式。在此情况下, 在常规率下取样信号量值, 所述常规率可称为取样率。信号振幅可经量化及存储。音频信号转换的此形式一般称为脉码调制 (PCM)。在 PCM 中, 信号是具有 12 个位或 12 个位以上的典型分辨率的所记录的二进制码。另一方面, $\Sigma - \Delta$ 调制器可将模拟信号转换为低分辨率 (例如, 1 到 4 个位) 的离散时间信号, 但具有较高的取样率, 一般称为过取样。过取样率 (OSR) 通常为取样率乘以一因子 (所谓的过取样因子或 OSF)。

[0119] 呈过取样格式的信号一般称为脉冲密度调制 (PDM) 样本。PCM 域中的信号处理具有实施中的简单性的优点。然而, 在产生 PCM 数据中的模 / 数转换步骤通常具有至少数个样本的处理延迟。此延迟对于一些时间决定性应用 (例如, 主动噪声消除) 来说可能过长。另一方面, 处理 PDM 域中的信号归因于其高取样率而提供非常低的处理等待时间的优点。

[0120] 使 x_t 为 PCM 中的信号, 将具有系数 ($B_0, B_1, \dots, B_n, A_0, A_1, \dots, A_n$) ($A_0 = 1$) 的滤波器应用于信号 x_t 以给出输出 y_t 。在此情况下:

$$[0121] \quad y_t = B_0 x_t + B_1 x_{t-1} + B_2 x_{t-2} + \dots + B_n x_{t-n} - A_1 y_{t-1} - A_2 y_{t-2} - \dots - A_n y_{t-n}$$

[0122] 当应用 z 变换时, 以上此等式可在 z 域中表达为

$$[0123] \quad Y(z) = \frac{B_0 + B_1 z^{-1} + B_2 z^{-2} + \dots + B_n z^{-n}}{1 + A_1 z^{-1} + A_2 z^{-2} + \dots + A_n z^{-n}} X(z)$$

[0124] 其中 $X(z)$ 和 $Y(z)$ 分别是 x_t 和 y_t 的 z 变换。

[0125] 使 u_t 和 v_t 为具有过取样因子 R 的 PDM 域中的输入和输出信号。如果仅有的操作是 $SR/2$ 下的频率的修改, 则可用相同的滤波器系数来执行滤波。因此, 对于 PDM 样本的 z 域中的以上表达可为:

$$[0126] \quad V(z) = \frac{B_0 + B_1 z^{-R} + B_2 z^{-2R} + \dots + B_n z^{-nR}}{1 + A_1 z^{-R} + A_2 z^{-2R} + \dots + A_n z^{-nR}} U(z)$$

[0127] 其中 $U(z)$ 和 $V(z)$ 分别为 u_t 和 v_t 的 z 变换, 且 R 表示过取样因子。因此, R 表示信号在 PDM 域中与 PCM 域中的信号相比的被过取样的次数。在 ANC 中, x_t 为所测量的 PCM 域噪声信号 (ANC 控制的输入), 且 y_t 为由 ANC 控制电路计算的反噪声信号。 $X(z)$ 和 $Y(z)$ 对应于 z 变换域中的输入噪声和反噪声信号。在 PDM 域中, z 变换输入和输出信号由 $U(z)$ 和 $V(z)$ 表示。用以产生输出信号的对输入信号的修改是由涉及 B 和 A 的商表示。

[0128] 图 11 是在经上取样的样本 (例如, PDM 样本) 的情形下使用常规的基于存储器的延迟元件的主动噪声消除电路的电路图。输入样本, 在此情况下是 PDM 样本, 是由放大器 111A 到 111H 接收。电路的输出样本在通过缩放器单元 115 之后被反馈到放大器 113A 到 113G, 缩放器单元 115 将输出样本缩放为适当的位深度。放大器 111 到 111H 以及放大器 113A 到 113G 可界定到样本的滤波器分接头的施加。举例来说, 放大器 111A 到 111H 以及放大器 113A 到 113G 可包括将输入信号乘以增益因子的数字乘法器电路。增益因子可经选择以实现主动噪声消除所需的所要的信号放大。

[0129] 加法器 114A 到 114H 将放大器 111A 到 111H 的输出与放大器 113A 到 113G 以及基于存储器的延迟电路 112A 到 112G 的输出进行组合, 如所说明。基于存储器的延迟电路 112A 到 112G 在样本被处理时在电路的每一连续级之间提供一个样本延迟。因此, 电路的不同级被基于存储器的延迟电路 112A 到 112G 分离。输入样本被每一滤波器级滤波, 但当给定样本沿着基于存储器的延迟电路 112A 到 112G 移动穿过所述级时, 所述滤波累加以在输

出中提供合意的反噪声效应。

[0130] 如本文所述,从实施观点来看,此些基于存储器的延迟电路 112A 到 112G 可为不合意的。作为使用分接头延迟线来存储来自每一滤波器分接头的中间输出的替代,本发明的替代方案是使用共同具有所要延迟的 CIC 抽取器/内插器对。图 12 相对于图 11 说明此概念。

[0131] 具体来说,图 12 是使用 CIC 延迟电路 122A 到 122G 来代替常规的基于存储器的延迟的主动噪声消除电路的电路图。输入样本,在此情况下是 PDM 样本,是由放大器 121A 到 121H 接收。电路的输出样本在通过缩放器单元 125 之后被反馈到放大器 123A 到 123G,缩放器单元 125 将输出样本缩放为适当的位深度。放大器 121 到 121H 以及放大器 123A 到 123G 可界定到样本的滤波器分接头的施加。举例来说,放大器 121A 到 121H 以及放大器 123A 到 123G 可包括将输入信号乘以增益因子的数字乘法器电路。增益因子可经选择以实现主动噪声消除所需的所要的信号放大。

[0132] 加法器 124A 到 124H 将放大器 121A 到 121H 的输出与放大器 123A 到 123G 以及 CIC 延迟电路 122A 到 122G 的输出进行组合,如所说明。CIC 延迟电路 122A 到 122G 在样本被处理时在电路的每一连续级之间提供一个样本延迟。因此,电路的不同级被 CIC 延迟电路 122A 到 122G 而非基于存储器的延迟电路分离。输入样本被每一滤波器级滤波,但当给定样本沿着 CIC 延迟电路 122A 到 122G 移动穿过所述级时,所述滤波累加以在输出中提供合意的反噪声效应。

[0133] 再者,虽然 PDM 域中的滤波提供非常低的处理等待时间的优点,但一个缺陷是存储时间延迟线中的经过取样的数据所需的大量存储器元件。由于低等待时间要求仅应用于 B_1 系数,且所有其它系数与某一算法延迟相关联,所以其它系数可在低于 OSR 的取样率下应用于信号。此可由 PCM 域与 PDM 域两者中的混合滤波的方案实现,如图 13 到 15 中所描绘。在这些方案中,输入和输出信号在 PDM 域中。系数 B_0 应用于 PDM 输入信号。CIC 下取样滤波器应用于输入和输出信号两者以产生样本的 PCM 流。系数 B_1 到 B_7 应用于 PCM 输入信号,而系数 A_1 到 A_7 应用于 PCM 输出信号。来自这些系数的最终输出将随后经由 CIC 上取样滤波器进行上取样,且添加到与 B_0 相关联的 PDM 流。通常,归因于系数 B_0 与 B_1 之间所允许的有限延迟以及来自 CIC 电路的反混叠要求,PCM 可为大于基础取样率的中间取样率。与本文中的其它实例一样,图 13 到 15 的实例展示离散数目个放大器和级,但放大器和级的数目对于与本发明一致的其它实例可不同。

[0134] 在图 13 中的实例中,中间取样率可为基础取样率的八倍。与本发明的延迟技术一致,在图 13 的主动噪声消除电路中,CIC 下取样和 CIC 上取样滤波器提供用以实现系数 B_0 与 B_1 之间的延迟的方式。具体来说,CIC 下取样器 135 和 CIC 上取样器 138 形成 CIC 抽取器内插器对,其提供系数 B_0 与 B_1 的应用之间所需的延迟。CIC 下取样器 136 确保输出在反馈环路中被下取样到适当的域,且缩放器单元 137 缩放样本以确保适当的位深度。

[0135] 图 13 是混合式主动噪声消除电路的电路图,其在 PDM 域和 PCM 域中对样本进行滤波,且还使用下取样器和上取样器对来用于滤波器分接头之间的延迟的目的。输入样本,在此情况下是 PDM 样本,是由电路和放大器 131H 滤波器在 PDM 域中接收。CIC 下取样器 135 将输入样本下取样到 PCM 域。PCM 域中的样本被放大器 131A 到 131G 滤波。电路的输出样本在通过缩放器单元 137 和另一 CIC 下取样器 136 之后被反馈到放大器 133A 到 133G,缩放

器单元 137 将输出样本缩放到适当的位深度,而另一 CIC 下取样器 136 从 PDM 域转换到 PCM 域。放大器 131A 到 131H 以及放大器 133A 到 133G 可界定对样本的滤波器分接头应用。举例来说,放大器 131A 到 131H 以及放大器 133A 到 133G 可包括将输入信号乘以增益因子的数字乘法器电路。增益因子可经选择以实现主动噪声消除所需的所要的信号放大。值得注意的是,放大器 131H 对 PDM 域中的样本进行操作,而其它放大器对 PCM 域中的样本进行操作。元件 135 和 136 可包括 CIC 抽取器,且元件 138 可包括 CIC 内插器,且这些元件 135、136 和 138 可经调谐以实现将滤波器 131H 施加于 PDM 域中的样本上与将滤波器放大器 131A 到 131G 施加于 PCM 域中的样本上之间的所要延迟。

[0136] 加法器 134A 到 134G 将放大器 131A 到 131G 的输出与放大器 133A 到 133G 以及基于存储器的延迟电路 132A 到 132G 的输出进行组合,如所说明。基于存储器的延迟电路 132A 到 132G 在样本被处理时在电路的每一连续级之间提供八个样本延迟。一旦加法器 134G 的输出经由 CIC 上取样器 138 被上转换回到 PDM 域,CIC 上取样器 138 的输出便与放大器 131H 的输出进行组合以产生电路输出,所述电路输出可包括反噪声。

[0137] 混合滤波(例如,PCM 域和 PDM 域中的滤波)的替代方案也是可能的,如图 14 中所描绘。在此方案中,作为将 CIC 上取样应用于 PCM 输出反馈的替代,B1 也应用于 PCM 流且与来自系数 B2 到 B8 以及 A2 到 A8 的输出组合。此信号将为反馈系数 A2 到 A8 所需的 PCM 输出信号。

[0138] 具体来说,图 14 是混合式主动噪声消除电路的电路图,其在 PDM 域和 PCM 域中对样本进行滤波,且还使用下取样器和上取样器对来用于滤波器分接头之间的延迟的目的。输入样本,在此情况下是 PDM 样本,是由电路和放大器 141i 滤波器在 PDM 域中接收。CIC 下取样器 145 将输入样本下取样到 PCM 域。PCM 域中的样本被放大器 141A 到 141H 滤波。加法器 143H 的输出在通过缩放器单元 147 之后被反馈到放大器 143A 到 143G,缩放器单元 147 将样本缩放为适当的位深度。

[0139] 放大器 141A 到 141i 以及放大器 143A 到 143G 可界定到样本的滤波器分接头的施加。举例来说,放大器 141A 到 141i 以及放大器 143A 到 143G 可包括将输入信号乘以增益因子的数字乘法器电路。增益因子可经选择以实现主动噪声消除所需的所要的信号放大。值得注意的是,放大器 141i 对 PDM 域中的样本操作,而其它放大器对 PCM 域中的样本操作。元件 145 可包括 CIC 抽取器,且元件 146 可包括 CIC 内插器,且这些元件 145 和 146 可经调谐以实现将滤波器 141i 施加于 PDM 域中的样本上与将放大器 141A 到 141G 施加于 PCM 域中的样本上之间的所要延迟。

[0140] 加法器 144A 到 144G 将放大器 141A 到 141G 的输出与放大器 143A 到 143G 以及基于存储器的延迟电路 142A 到 142G 的输出进行组合,如所说明。类似地,加法器 143H 将延迟电路 142G 的输出与放大器 141H 的输出进行组合。基于存储器的延迟电路 142A 到 142G 在样本被处理时在电路的每一连续级之间提供八个样本延迟。一旦加法器 144G 的输出经由 CIC 上取样器 146 被上转换回到 PDM 域,CIC 上取样器 146 的输出便经由加法器 144i 与放大器 141i 的输出进行组合以产生电路输出,所述电路输出可包括反噪声。

[0141] 图 15 说明又一电路配置。与图 15 的电路配置一致,输出 y_t 可表达为两个滤波器的总和。

[0142] $y_t = B_0 x_t + s_t$

[0143] B_0 是图 15 中的放大器 151H。值 x_t 为输入信号,如上文所阐释。值 s_t 为目标信号 y_t 与 $B_0 x_t$ 之间的差。因此, $s_t = y_t - B_0 x_t$ 。或在 Z 域中,

$$[0144] \quad Y(z) = B_0 X(z) + S(z)$$

[0145] $Y(z)$ 、 $X(z)$ 具有上文所界定的相同含义,且表示输出信号 y_t 和输入信号 x_t 的 z 变换。 $S(z)$ 是信号 s_t 的 z 变换。

[0146] 因此,

$$[0147] \quad Y(z) = B_0 X(z) + S(z)$$

$$[0148] \quad S(z) = Y(z) - B_0 X(z)$$

$$[0149] \quad = \frac{B_0 + B_1 z^{-1} + B_2 z^{-2} + \dots + B_n z^{-n}}{1 + A_1 z^{-1} + A_2 z^{-2} + \dots + A_n z^{-n}} X(z) - B_0 X(z)$$

$$[0150] \quad = \frac{(B_1 - B_0 A_1) + (B_2 - B_0 A_2) z^{-1} + \dots + (B_n - B_0 A_n) z^{-(n-1)}}{1 + A_1 z^{-1} + A_2 z^{-2} + \dots + A_n z^{-n}} z^{-1} X(z)$$

$$[0151] \quad = \frac{C_0 + C_1 z^{-1} + \dots + C_{n-1} z^{-(n-1)}}{1 + A_1 z^{-1} + A_2 z^{-2} + \dots + A_n z^{-n}} z^{-1} X(z)$$

[0152] 此处, $Y(z)$ 、 $X(z)$ 、 B_0 、 B_1 、 B_2 、 A_0 、 A_1 、 A_2 具有上文所界定的相同含义。新引入的变量经界定为:

$$[0153] \quad C_0 = B_1 - B_0 A_1$$

$$[0154] \quad C_1 = (B_2 - B_0 A_2)$$

$$[0155] \quad C_2 = (B_3 - B_0 A_3)$$

[0156] 此方案的实施方案在图 15 中描绘。

[0157] 在图 15 的电路中,完全在 PCM 域中完成经由系数 C_0 到 C_6 以及 A_1 到 A_7 的滤波。此给予实施此滤波器的形式上的自由度,其可允许将高阶递归滤波器分解为级联双二次滤波器、并联滤波器的总和,等等。级联双二次实施方案可为合意的,因为此类型的滤波器甚至在经量化的系数下也是稳定的。

[0158] $Y(z) = B_0 X(z) + S(z)$ 的扩展可针对 $S(z)$ 重复为

$$[0159] \quad S(z) = z^{-1} (C_0 X(z) + S_1(z))$$

[0160] 出于两个原因,这是有用的。第一,信号可进一步从中间取样率被下取样到基础取样率,且经由此下取样可实现存储器节约。第二,输入信号可每次通过小因子被下取样到多个中间取样率,直到达到所述取样率为止。通过较小因子进行的下取样,可确保良好的反混叠特性。另外,在过取样率下(例如, PDM 域中)以 B_0 对信号进行滤波可确保最小的处理等待时间。在作为过取样率的 $1/4$ 的中间取样率下以 C_0 对信号进行滤波确保了与系数 B_1 相关联的处理等待时间仍可利用。与 B_2 和 B_3 相关联的处理等待时间也可利用且当在 $ISR2 = ISR/4$ 且 $ISR3 = ISR2/4$ 下滤波时满足,其中 ISR 代表中间取样率。最终,通过重复的扩展,无限脉冲响应(IIR)滤波器实际上转换为有限脉冲响应(FIR)滤波器,其可提供更好的稳定性。

[0161] 具体来说,图 15 是混合式主动噪声消除电路的电路图,其在 PDM 域和 PCM 域中对样本进行滤波,且还使用下取样器和上取样器单元对来用于滤波器分接头之间的延迟的目

的。输入样本,在此情况下是 PDM 样本,是由电路和放大器 151H 滤波器在 PDM 域中接收。CIC 下取样器 156 将输入样本下取样到 PCM 域。PCM 域中的样本被放大器 151A 到 151G 滤波。加法器 154G 的输出被反馈到放大器 153A 到 153G。放大器 151A 到 151H 以及放大器 153A 到 153G 可界定到样本的滤波器分接头的施加。举例来说,放大器 151A 到 151H 以及放大器 153A 到 153G 可包括将输入信号乘以增益因子的数字乘法器电路。增益因子可经选择以实现主动噪声消除所需的所要的信号放大。值得注意的是,放大器 151H 对 PDM 域中的样本操作,而其它放大器对 PCM 域中的样本操作。元件 156 可包括 CIC 抽取器,且元件 157 可包括 CIC 内插器,且这些元件 156 和 157 可经调谐以实现将放大器 151H 施加于 PDM 域中的样本上与将放大器 151A 到 151G 施加于 PCM 域中的样本上之间的所要延迟。

[0162] 加法器 154A 到 154F 将放大器 151A 到 151F 的输出与放大器 153A 到 153G 以及基于存储器的延迟电路 152A 到 152G 的输出进行组合,如所说明。类似地,加法器 154G 将延迟电路 152G 的输出与放大器 151G 的输出进行组合。基于存储器的延迟电路 152A 到 152G 在样本被处理时在电路的每一连续级之间提供八个样本延迟。一旦加法器 154G 的输出经由 CIC 上取样器 157 被上转换回到 PDM 域,CIC 上取样器 157 的输出便与放大器 151H 的输出进行组合以产生电路输出,所述电路输出可包括反噪声。

[0163] 一般来说,CIC 下取样器可用通用的 FIR 滤波器和通用的下取样器取代。另外,CIC 上取样器可用通用的上取样器和通用的 FIR 滤波器取代。

[0164] 在与本发明一致的其它实例中,本文中所描述的 CIC 抽取器可与额外滤波器组合,或可用其它类型的下取样单元取代以实现所要延迟的一部分。图 16 中展示一个此类下取样配置,其包括 FIR 滤波器 161 和下取样器 162。在此情况下,FIR 滤波器 161 可执行低通滤波以防止在下取样期间将带外高频信号混叠到输出中。下取样器 162 可通过从输入信号的每 R 个样本移除 R-1 个本来减少数字信号的取样率。

[0165] FIR 滤波器 161 可为对称的,使得 FIR 滤波器 161 针对所有频率提供恒定的群组延迟。长度 FIR 滤波器 161 可经设定以提供所要延迟。通常,如果需要 N 个分接头的延迟,则滤波器的长度将为 $2N-1$ 个分接头。通过图 17、18A 和 18B 的图表来展示可行的 FIR 滤波器响应的一个实例。图 17 是展示用于图 16 中的 FIR+ 下取样器组合中的 FIR 滤波器的一个实例的图表。此处,x 轴是滤波器分接头索引,且 y 轴表示滤波器分接头系数。

[0166] 图 18A 和 18B 分别是说明作为输入频率的函数的输出量值和输出相位的两个图表。图 18A 和 18B 展示用于将信号从 64kHz 下取样到 8kHz 取样率的一个实例中的 FIR 滤波器的示范性响应。图 18A 是作为输入信号频率的函数的以 dB 计的振幅响应,且图 18B 是作为输入信号频率的函数的以度计的相位响应。为了成功地下取样信号,FIR 滤波器应在下取样后将信号保留在带内。在当前实例中,这是 $8\text{kHz}/2 = 4\text{kHz}$,且振幅响应曲线展示 FIR 滤波器维持从 0Hz 到 4kHz 的恒定信号电平。而且,FIR 应抑制带外信号(即,信号 $> 4\text{kHz}$)以防止混叠。所述曲线展示 FIR 滤波器可将此基带信号信号 $> 4\text{kHz}$ 向下抑制大致 40dB。而且,为防止到带内信号的相位失真,FIR 应具有线性相位,如图 18B 中所示,使得相位是随着频率增加而变负的直线。FIR 滤波器 161 可经设计以实现此类滤波。由图 17、18A 和 18B 的图表演示的 FIR 滤波器输出可允许在混叠信号的大致 50dB 抑制下的从 64kHz 到 8kHz 的下取样。

[0167] 图 19、20A 和 20B 说明可用于与本发明一致的 FIR 滤波器 161 的另一可行的 FIR

滤波器的实例。图 19 是展示 FIR 滤波器响应的另一图表,且图 20A 和 20B 是分别说明作为输入频率的函数的输出量值和输出相位的两个图表。FIR 滤波器 161 可经设计以具有此类滤波。

[0168] 在仍其它实例中,上文所描述的 CIC 抽取器可用 FIR 滤波器与下取样器的级联取代,例如图 21 中所示。在此情况下,FIR 滤波器 211、下取样器 212、FIR 滤波器 213、下取样器 214、FIR 滤波器 215、下取样器 216 可取代本文中所论述的 CIC 抽取器以实现必要的延迟。级联的 FIR 滤波器和下取样器的每一级的延迟和下取样比率可经选择以正确地实现所要的总延迟和下取样比率。举例来说,如果每一 FIR 具有 N 个分接头的延迟,且下取样器具有一下取样比率或 R ,那么对于如图 21 中所示的 FIR-下取样器对的 3 个级的链,总下取样比率将为 R^3 ,且总延迟将为 $N+N \times R+N \times R^2$ 。

[0169] 在又一实例中,本文中所描述的 CIC 抽取器可被 CIC 抽取器的级联取代,以便界定给定的主动噪声消除电路配置所需的延迟量。图 22 说明三个级联 CIC 抽取器 221、222 和 223,但可使用任何数目个 CIC 抽取器。CIC 抽取器 221、222 和 223 的参数可经调谐以提供相同的延迟量,或 CIC 抽取器 221、222 和 223 的不同的延迟量。每一 CIC 的延迟和下取样比率可经界定以实现所要的总延迟和下取样比率。举例来说,如果每一 CIC 具有 N 个分接头的延迟和下取样比率 R ,则对于 3 个 CIC 的链,总下取样比率将为 R^3 ,且总延迟将为 $N+N \times R+N \times R^2$ 。

[0170] 与 CIC 抽取器一样,本文中所描述的 CIC 内插器可与额外滤波器组合,或可用其它类型的上取样单元取代以实现所要延迟的一部分。图 23 中展示一个此类上取样配置,其包括上取样器 231 和后面的 FIR 滤波器 232。FIR 滤波器 232 可为对称的,以针对所有频率给予恒定的群组延迟。与上文所描述的下取样中所使用的 FIR 滤波器类似或等同的 FIR 滤波器可用于上取样中。

[0171] 在此情况下,FIR 滤波器 232 可执行低通滤波以防止或移除在上取样期间带内信号到输出中的带外高频信号的任何成像效应。上取样器 231 可在每个样本之间插入 $R-1$ 个零,使得输出信号具有输入信号的 R 倍的取样率。

[0172] 长度 FIR 滤波器 232 可经设定以提供所要延迟。通常,如果需要 N 个分接头的延迟,则滤波器的长度将为 $2N-1$ 个分接头。图 24 和 25 的图表展示用于滤波器 232 的可行的 FIR 滤波器的一个实例。图 24 和 25 携载与图 17 类似的含义。两个图表描绘 FIR 滤波器的形状。此处, x 轴是滤波器分接头的索引,且 y 轴是滤波器分接头系数的值。FIR 滤波器 232 可经设计以实现此类滤波。由图 24 和 25 的图表演示的 FIR 滤波器输出可允许在抑制成像信号的情况下的从 8kHz 到 64kHz 的上取样。

[0173] 与 CIC 抽取器一样,上文所描述的 CIC 内插器也可用上取样器和 FIR 滤波器取代,例如图 26 中所示。在此情况下,上取样器 261、FIR 滤波器 262、上取样器 263、FIR 滤波器 264、上取样器 265 和 FIR 滤波器 266 可取代本文中所论述的 CIC 内插器以实现必要的延迟。级联的上取样器和 FIR 滤波器的每一级的延迟和上取样比率可经选择以正确地实现所要的总延迟和下取样比率。举例来说,如果每一 FIR 滤波器具有 N 个分接头的延迟,且上取样器具有一上取样比率或 R ,那么对于如图 26 中所示的上取样器-FIR 滤波器对的 3 个级的链,总上取样比率将为 R^3 ,且总延迟将为 $N+N \times R+N \times R^2$ 。可使用任何数目个上取样器和 FIR 滤波器对。

[0174] 在又一实例中,本文中所描述的CIC内插器可被CIC内插器的级联取代,以便界定给定的主动噪声消除电路配置所需的延迟量。图27说明三个级联CIC内插器271、272和273,但可使用任何数目个CIC内插器。CIC内插器271、272和273的参数可经调谐以提供相同的延迟量,或CIC内插器271、272和273的不同的延迟量。每一CIC内插器的延迟和上取样比率可经界定以实现所要的总延迟和上取样比率。举例来说,如果每一CIC内插器具有N个分接头的延迟和上取样比率R,则对于三个CIC内插器的链,总上取样比率将为 R^3 ,且总延迟将为 $N+N \times R+N \times R^2$ 。

[0175] 本发明的技术可实施于广泛多种装置或设备中,包含例如移动电话等无线通信装置手持机、集成电路(IC)或IC组(即,芯片组)。提供已描述的任何组件、模块或单元是为了强调功能方面,且未必要求通过不同硬件单元来实现。本文中所描述的技术也可以硬件、软件、固件或其任一组合来实施。被描述为模块、单元或组件的任何特征可共同地实施于集成逻辑装置中或分开实施为离散但可交互操作的逻辑装置。在一些情况下,各种特征可实施为集成电路装置,例如,集成电路芯片或芯片组。

[0176] 如果以软件实施,那么所述技术可至少部分地由包括指令的计算机可读媒体实现,所述指令当在处理器中执行时实施上述方法中的一者或一者以上。计算机可读媒体可包括计算机可读存储媒体,且可形成计算机程序产品(其可包含封装材料)的一部分。计算机可读存储媒体可包括例如同步动态随机存取存储器(SDRAM)等随机存取存储器(RAM)、只读存储器(ROM)、非易失性随机存取存储器(NVRAM)、电可擦除可编程只读存储器(EEPROM)、快闪存储器、磁性或光学数据存储媒体等。另外或替代地,所述技术可至少部分由载运或传送呈指令或数据结构的形式的代码且可由计算机存取、读取和/或执行的计算机可读通信媒体来实现。

[0177] 本文中所描述的电路中的任一者可至少部分由执行存储于例如上文所描述的计算机可读存储媒体上的指令的处理器来控制。因此,本发明涵盖计算机可读存储媒体,其包括在处理器中执行后即刻致使所述处理器执行主动噪声消除的指令,其中所述指令致使所述处理器经由下取样单元和上取样单元来处理样本,其中与经由所述下取样单元和上取样单元处理样本相关联的组合延迟对应于预先界定的延迟,所述预先界定的延迟经选择以促进主动噪声消除。所述组合延迟可包括包含所述下取样单元和上取样单元的电路的可调谐参数,其中所述指令致使所述处理器选择所述可调谐参数。

[0178] 所述代码或指令可由一个或一个以上处理器执行,例如,一个或一个以上数字信号处理器(DSP)、通用微处理器、专用集成电路(ASIC)、现场可编程逻辑阵列(FPGA)或其它等效集成或离散的逻辑电路。因此,如本文中所使用的术语“处理器”可指上述结构或适合于实施本文中所描述的技术的任一其它结构中的任一者。另外,在一些方面中,本文中所描述的功能性可提供于经配置以用于编码及解码的专用软件模块或硬件模块内,或并入组合式视频编解码器中。并且,可将所述技术完全实施于一个或一个以上电路或逻辑元件中。

[0179] 本发明还涵盖包含用以实施本发明中所描述的技术中的一者或一者以上的电路的多种集成电路装置中的任一者。此电路可提供于单个集成电路芯片中或提供于所谓的芯片组中的多个可交互操作的集成电路芯片中。此些集成电路装置可用于多种应用中,所述应用中的一些可包含在无线通信装置(例如,移动电话手持机)中的使用。

[0180] 已在本发明中描述各种实例。本文中所描述的电路具有示范性数目个所说明的

级、放大器以及下取样和上取样比率,但不同数目个滤波器级、放大器,或下取样和上取样比率可用于与本发明一致的其它配置。

[0181] 此外,虽然本发明的延迟技术主要描述于主动噪声消除的上下文中,但所述延迟技术还可用于其它电路中(即,不执行主动噪声消除的电路)。举例来说,使用下取样单元和上取样单元而不是基于存储器的延迟电路的延迟技术也可用于低等待时间均衡电路或其它电路中。

[0182] 这些及其它实例在所附权利要求书的范围内。

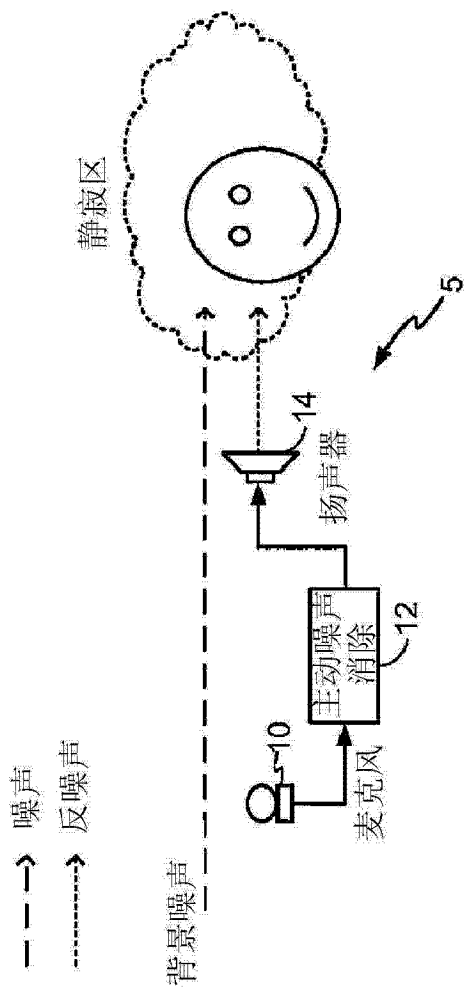


图 1A

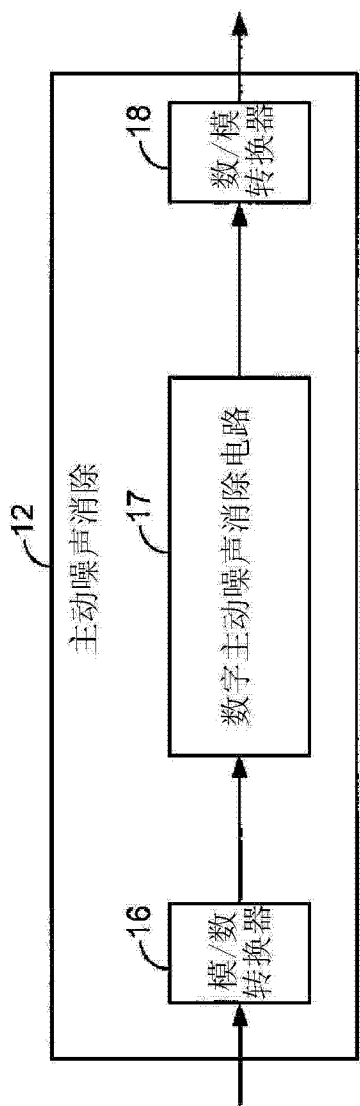


图 1B

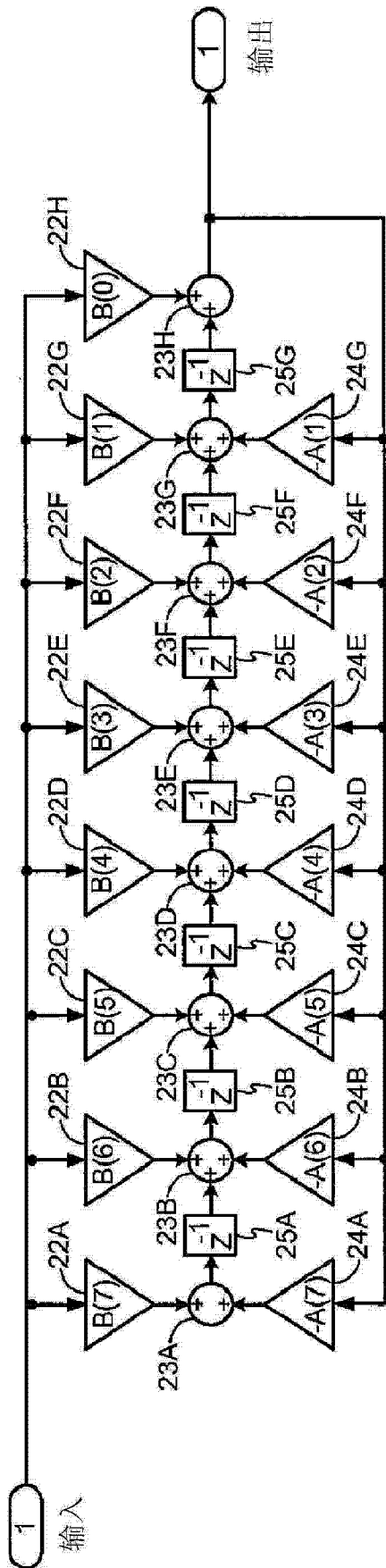


图 2

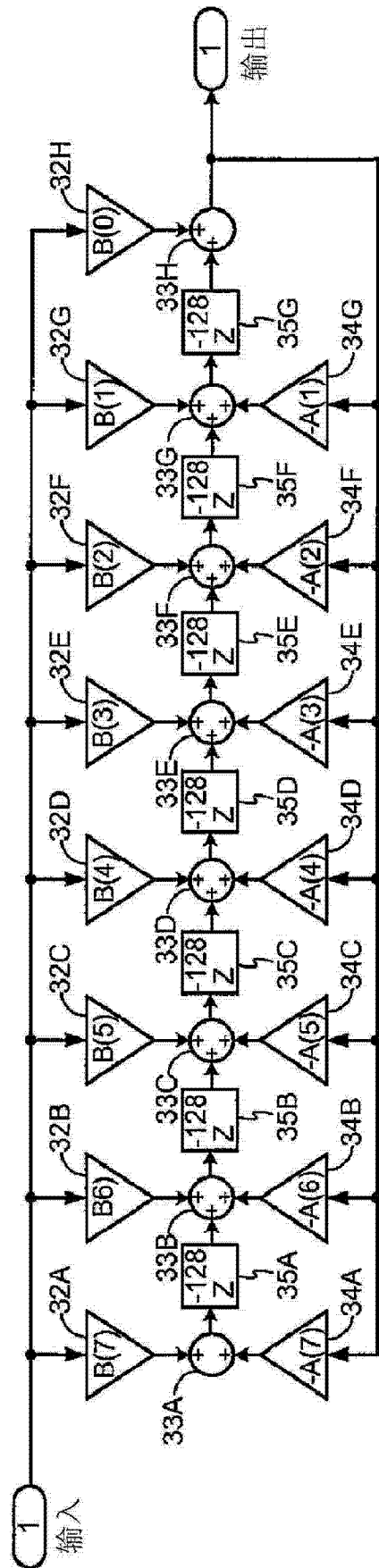


图 3

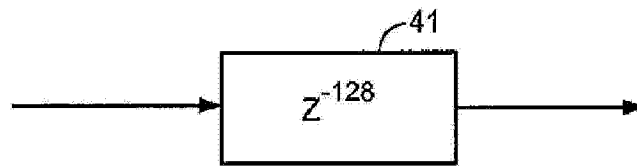


图 4

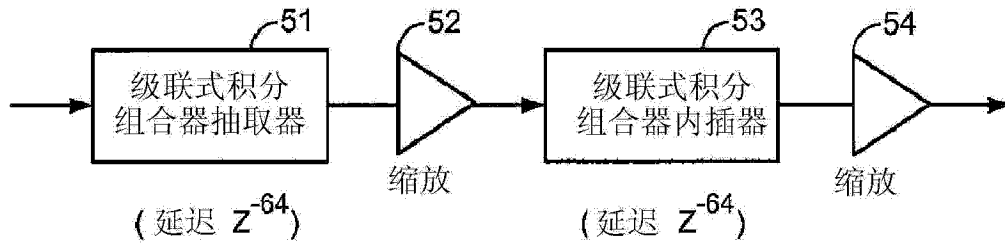


图 5

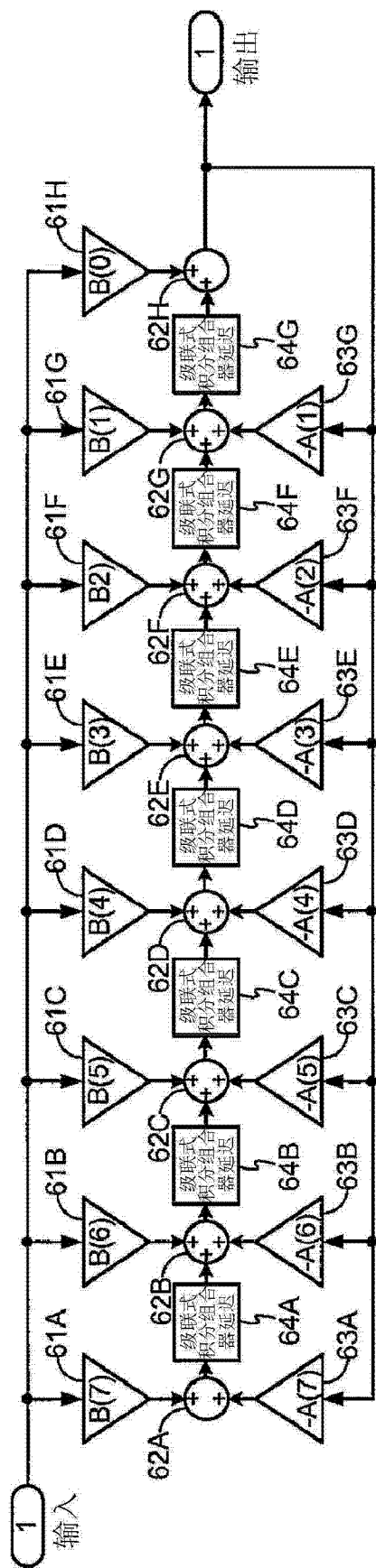


图 6

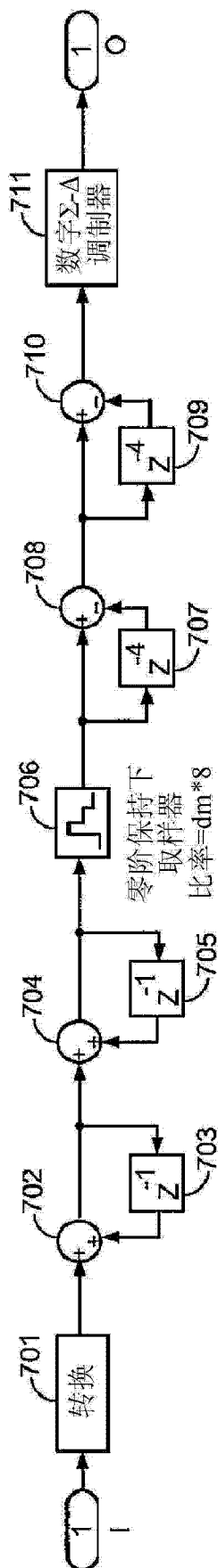


图 7

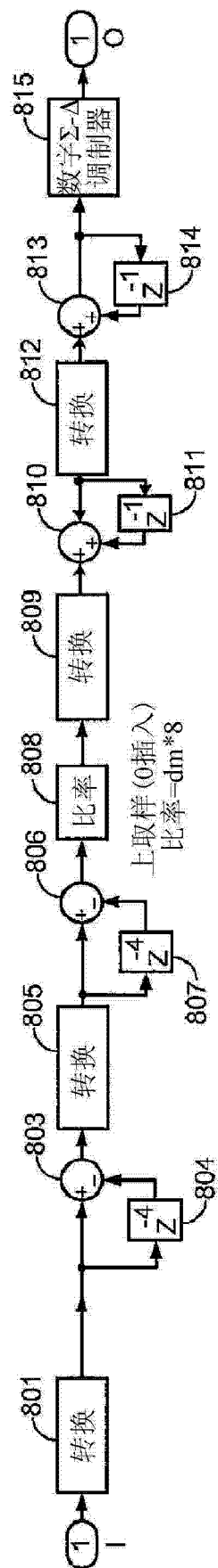


图 8

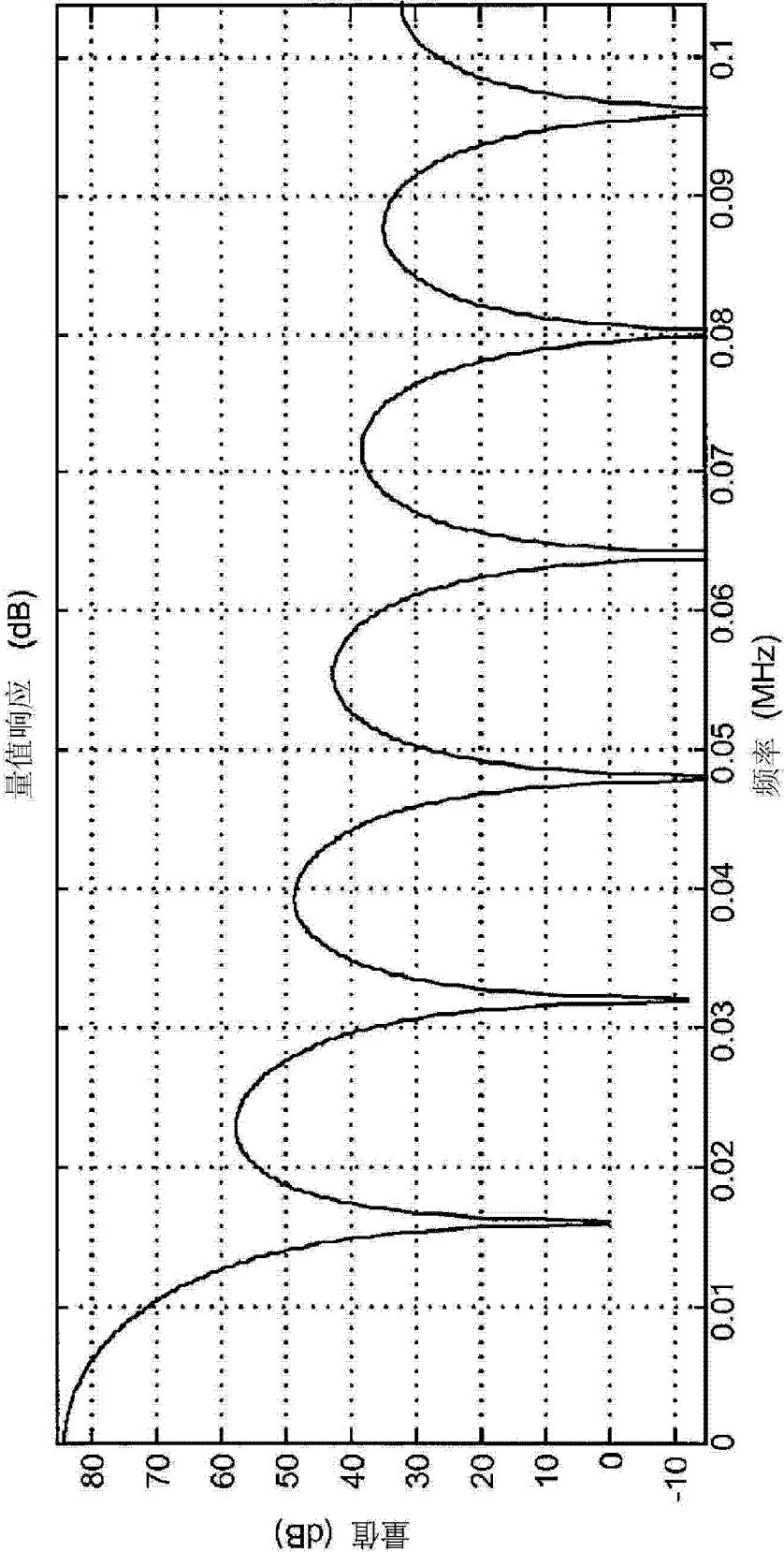


图 10

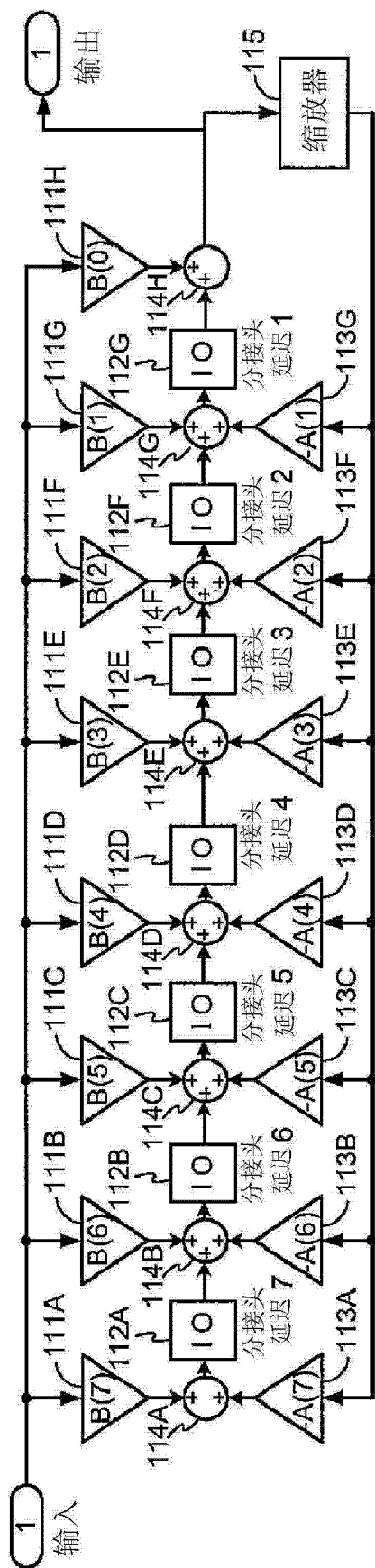


图 11

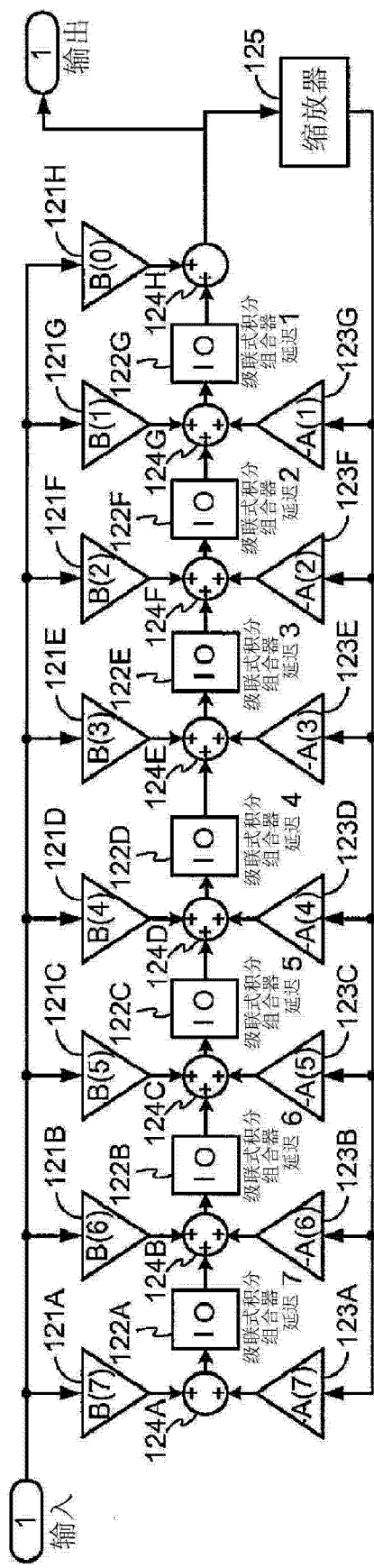


图 12

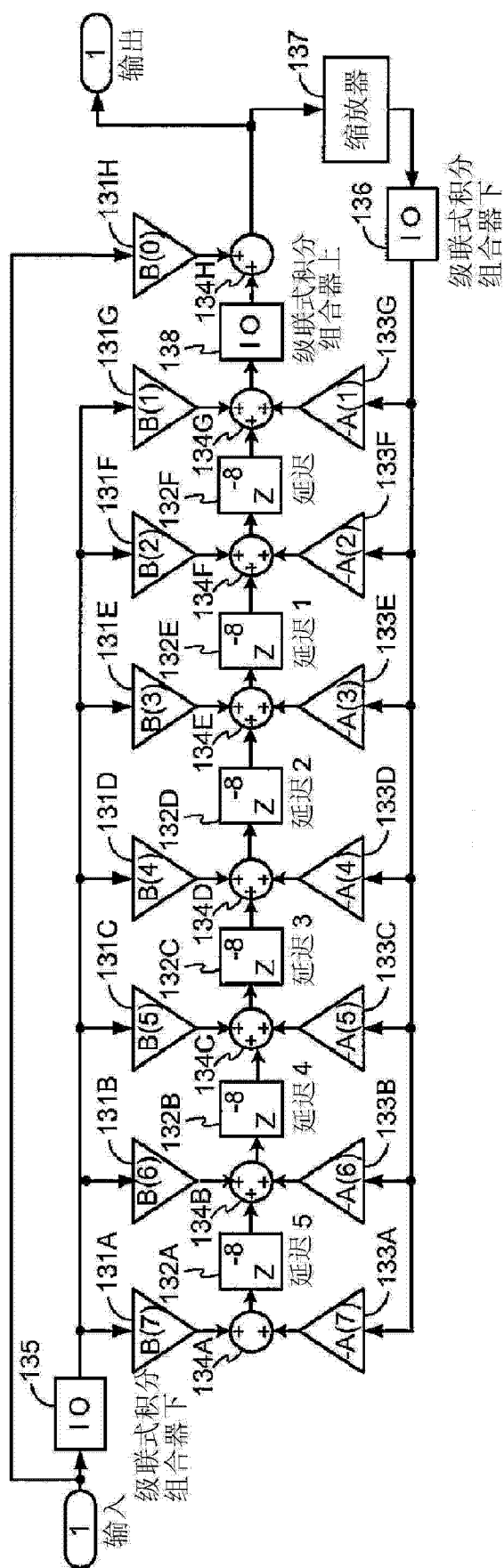


图 13

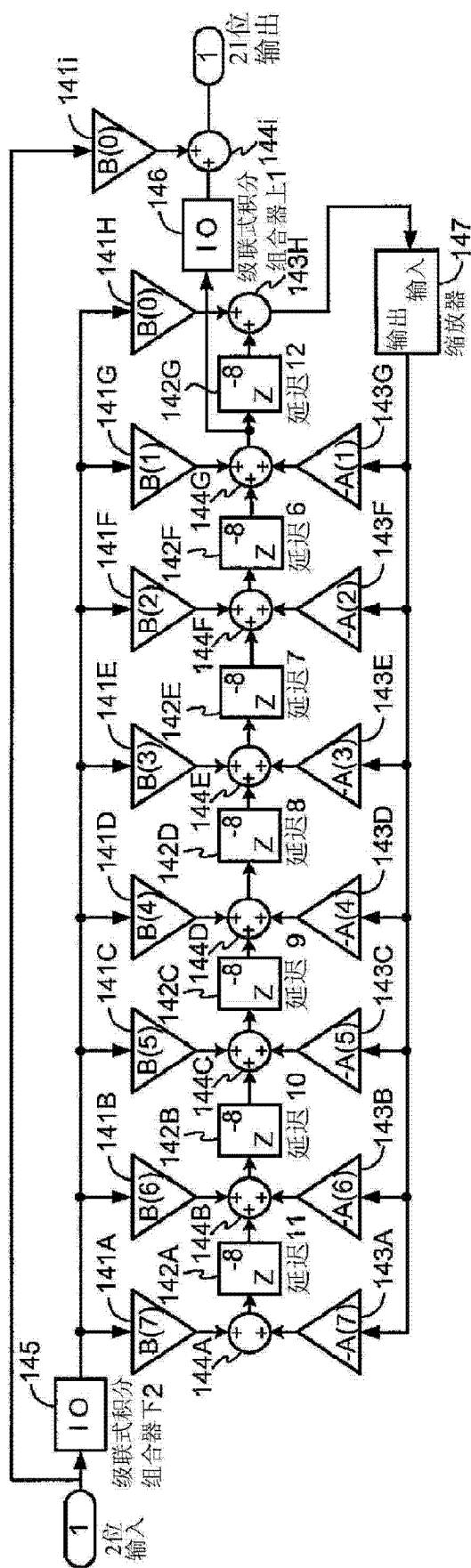


图 14

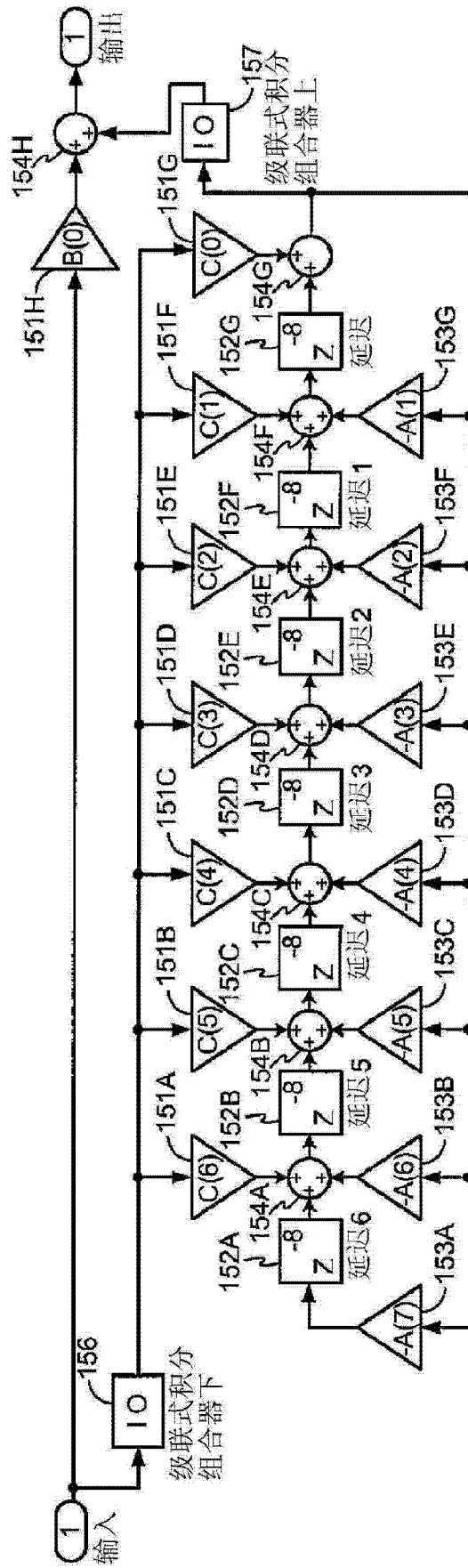


图 15

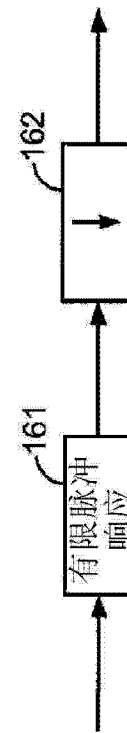


图 16

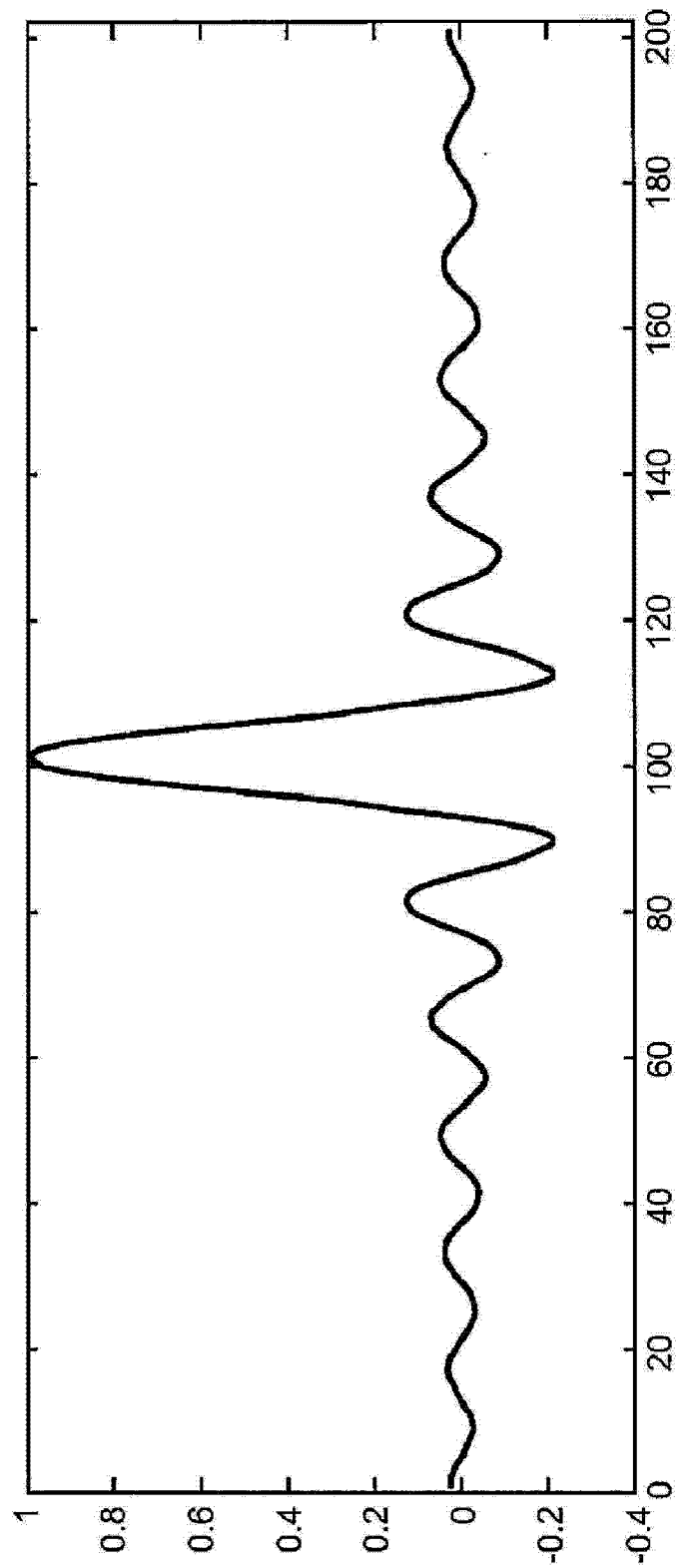


图 17

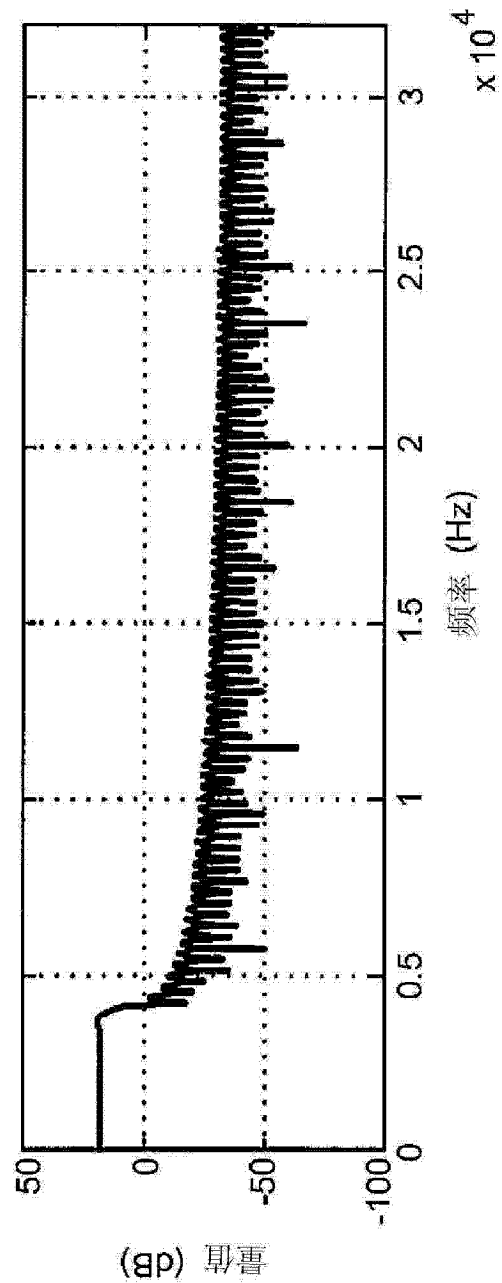


图 18A

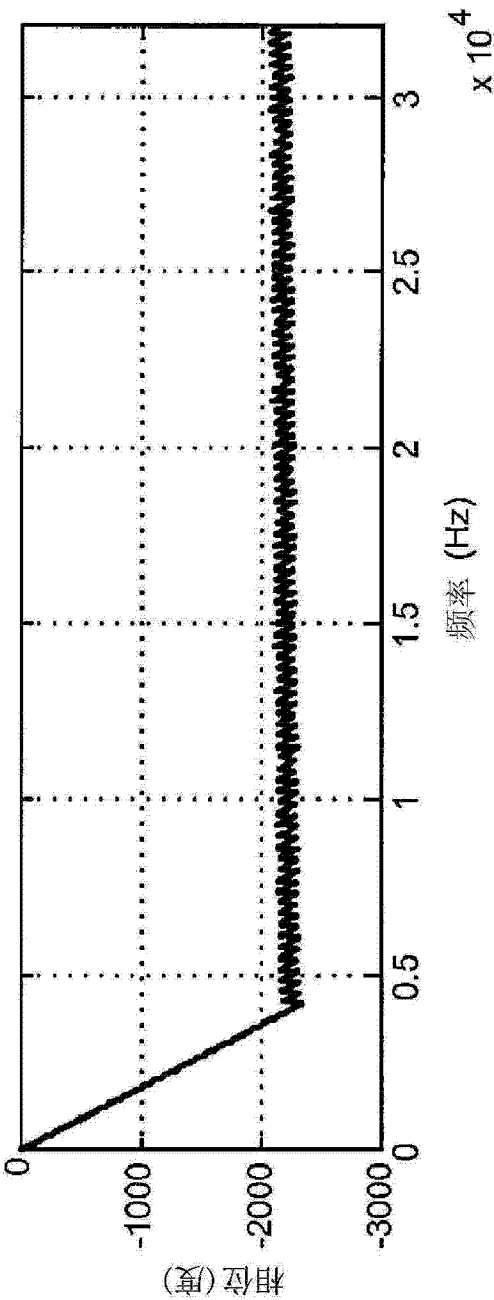


图 18B

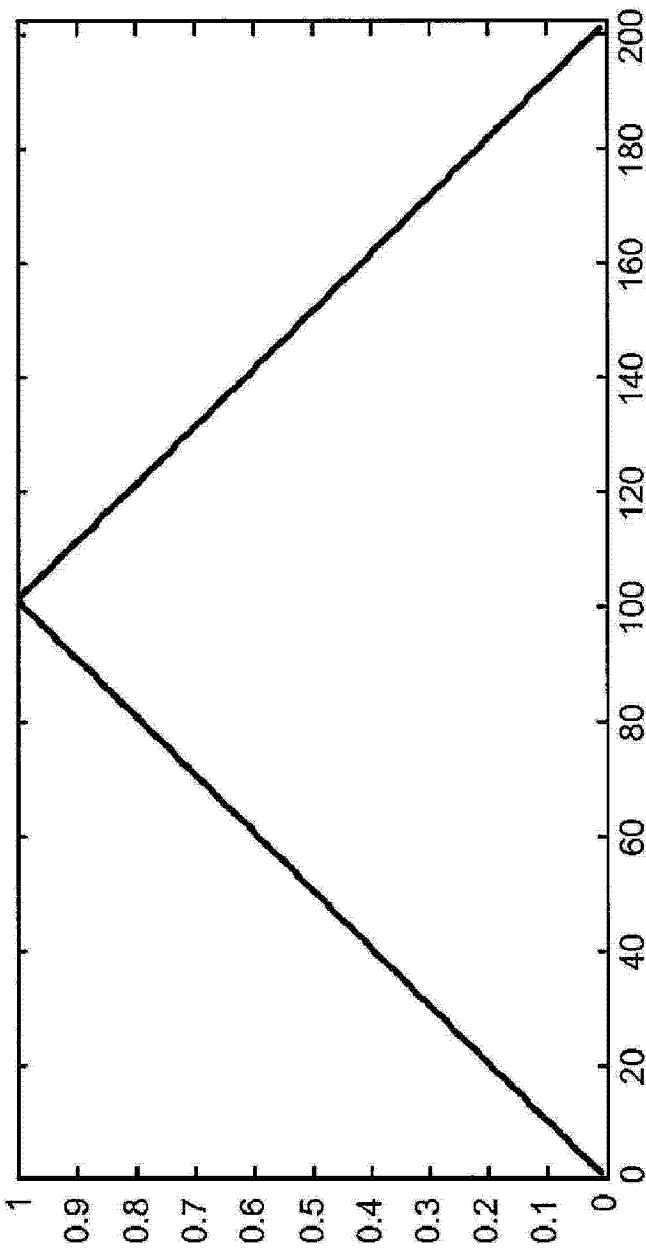


图 19

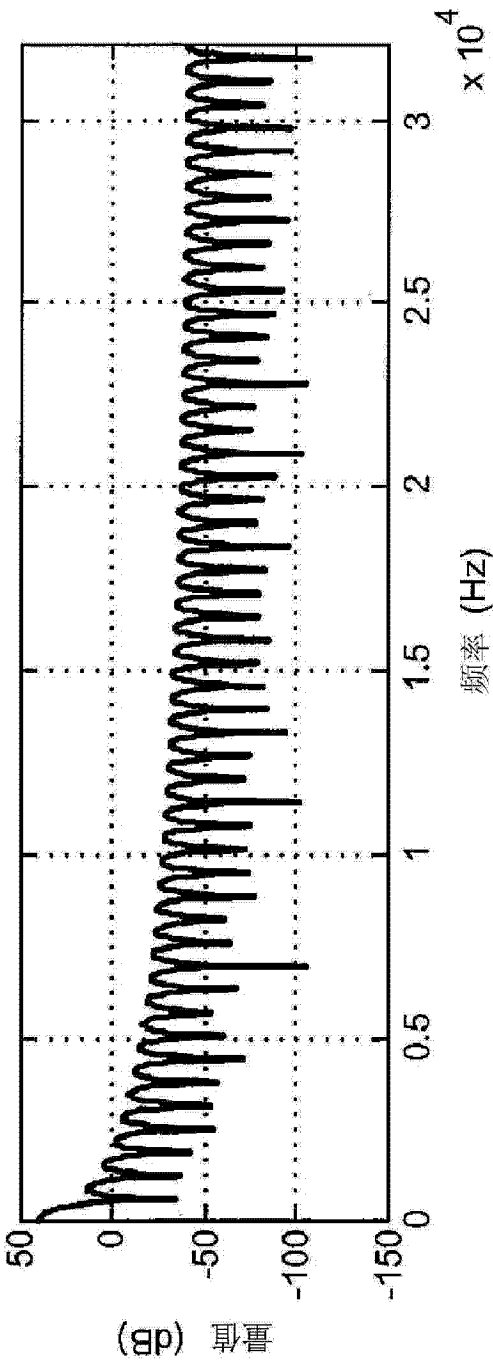


图 20A

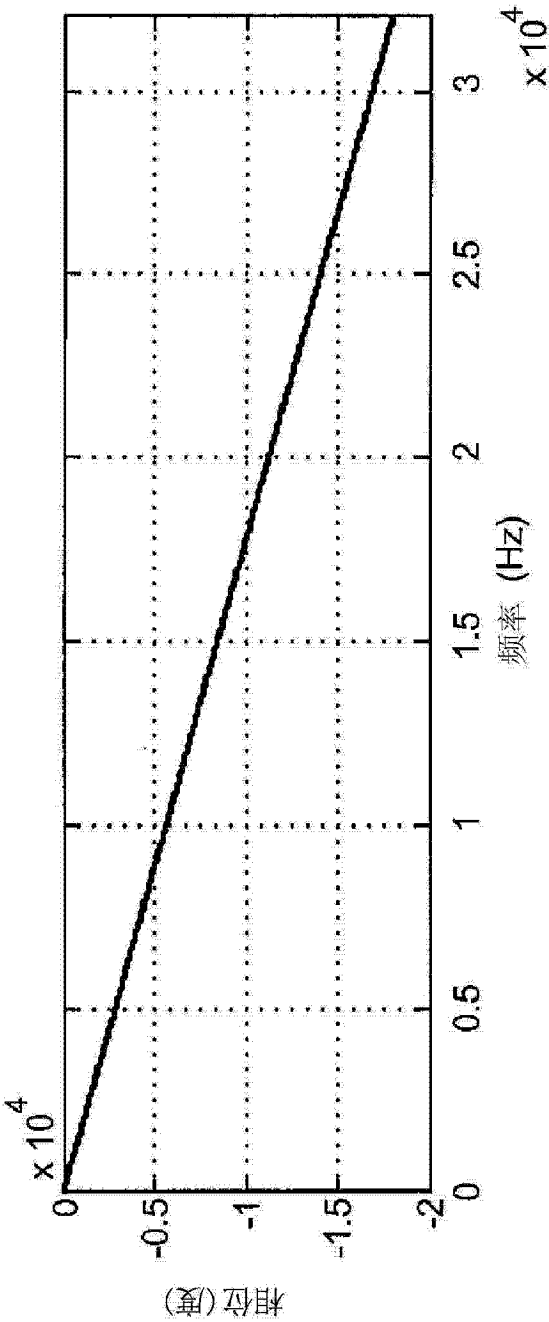


图 20B

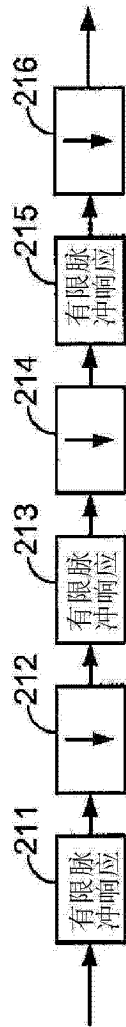


图 21

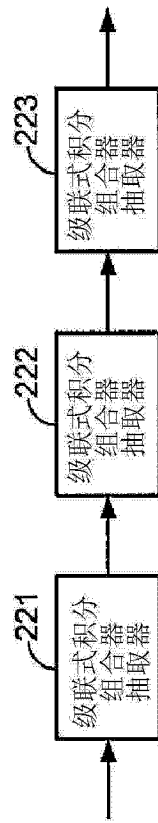


图 22

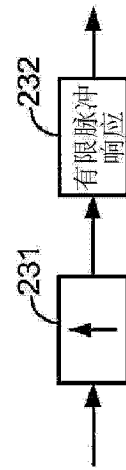


图 23

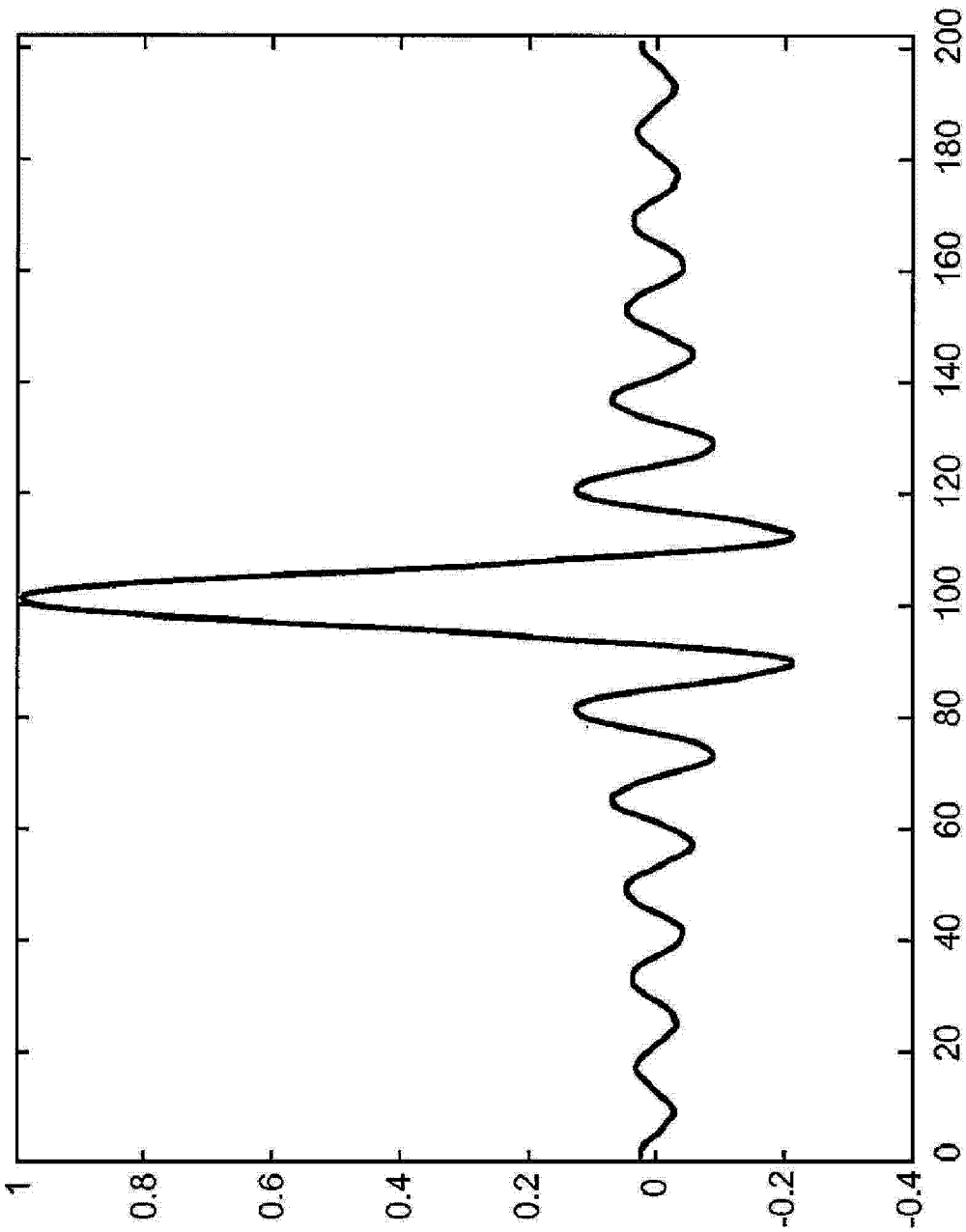


图 24

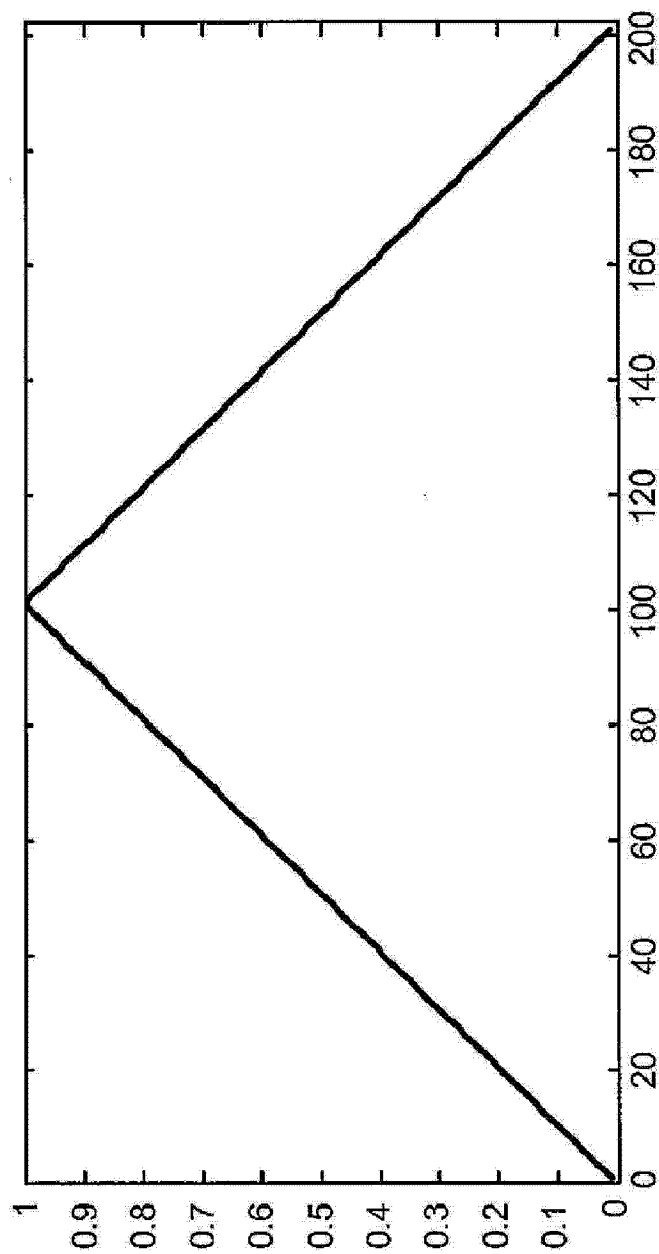


图 25

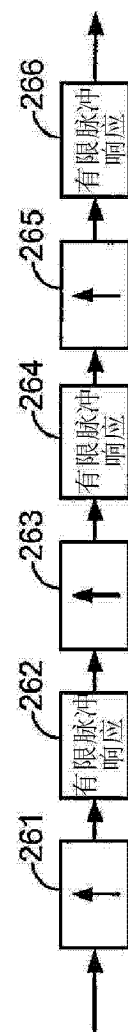


图 26

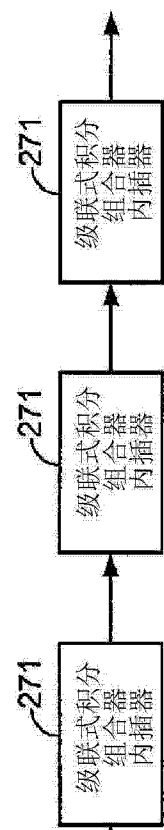


图 27