



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년02월20일
 (11) 등록번호 10-1365827
 (24) 등록일자 2014년02월14일

(51) 국제특허분류(Int. Cl.)
 G06F 13/16 (2006.01) G06F 13/38 (2006.01)
 G11C 16/06 (2006.01) G11C 7/20 (2006.01)
 (21) 출원번호 10-2013-7012902(분할)
 (22) 출원일자(국제) 2007년03월26일
 심사청구일자 2013년05월20일
 (85) 번역문제출일자 2013년05월20일
 (65) 공개번호 10-2013-0073991
 (43) 공개일자 2013년07월03일
 (62) 원출원 특허 10-2008-7020432
 원출원일자(국제) 2007년03월26일
 심사청구일자 2012년03월26일
 (86) 국제출원번호 PCT/CA2007/000488
 (87) 국제공개번호 WO 2007/109888
 국제공개일자 2007년10월04일
 (30) 우선권주장
 11/496,278 2006년07월31일 미국(US)
 (뒷면에 계속)
 (56) 선행기술조사문헌
 KR100531426 B1
 전체 청구항 수 : 총 18 항

(73) 특허권자
 모사이드 테크놀로지스 인코퍼레이티드
 캐나다 케이2케이 2엑스1 온타리오 오타와 스위트
 203 하인스 로드 11
 (72) 발명자
 김 진기
 캐나다, 케이2케이 3에이치6 온타리오, 캐나다,
 아이언사이드 코트 46
 (74) 대리인
 한양특허법인

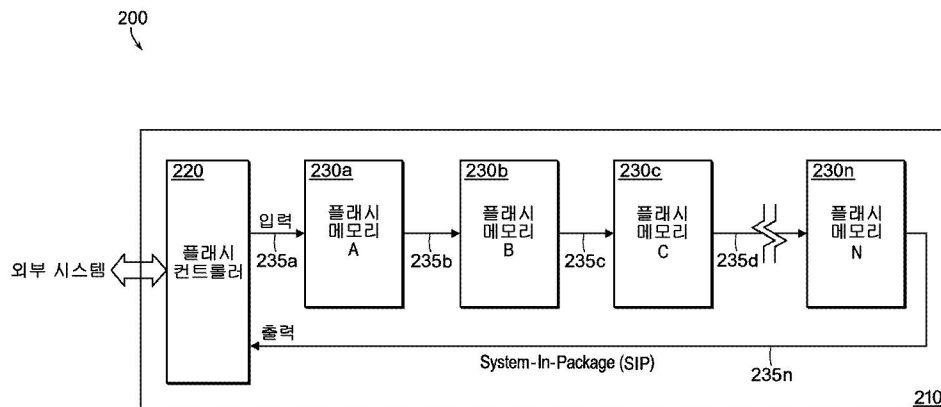
심사관 : 고재용

(54) 발명의 명칭 **비휘발성 메모리의 데이터 체인 배열**

(57) 요약

플래시 메모리 시스템이 SIP(system-in-package)에서 실행되고, 이 시스템은 플래시 메모리 컨트롤러와 복수의 플래시 메모리 장치를 포함한다. SIP는 단일 패키지 또는 복수의 집적 회로(칩)를 포함하는 모듈에 관련된다. 외부 시스템과 SIP내의 복수의 메모리 장치와 인터페이스하도록 구성된다. 메모리 장치는 데이터 체인 캐스캐이드 배열로 구성되고, 데이터 체인 캐스캐이드를 통해 송신된 커맨드를 통해 플래시 메모리 컨트롤러에 의해 제어된다.

대표도



(30) 우선권주장

11/639,375 2006년12월14일 미국(US)

60/787,710 2006년03월28일 미국(US)

60/839,534 2006년08월23일 미국(US)

특허청구의 범위

청구항 1

비휘발성 메모리 시스템으로서,

복수의 블록을 포함하는 비휘발성 메모리 어레이로서, 각 블록은 복수의 페이지를 포함하고, 상기 비휘발성 메모리 어레이는 페이지의 데이터를 판독하고, 페이지에 데이터를 프로그램하며, 블록의 데이터를 소거하도록 구성되는 비휘발성 메모리 어레이;

컨트롤러로부터 어드레스 정보를 포함하는 커맨드를 수신하도록 구성되는 제1 포트;

다른 비휘발성 메모리 장치의 입력 포트에 결합되는 제2 포트;

다른 비휘발성 메모리 장치로부터 제1 출력을 수신하도록 구성되는 제3 포트;

상기 컨트롤러에게 제2 출력을 제공하도록 구성되는 제4 포트; 및

커맨드의 어드레스 정보가 상기 비휘발성 메모리 장치를 식별하는지 여부를 결정하도록 구성되는 장치 결정자(determiner)를 포함하고,

논-매치(non-match) 결정에 응답하여, 수신된 커맨드는 상기 제2 포트를 통하여 다른 비휘발성 메모리 장치에 출력되고,

매치(match) 결정에 응답하여,

커맨드가 데이터 판독을 위한 경우, 커맨드가 비휘발성 메모리 어레이에 액세스하도록 처리되고, 비휘발성 메모리 어레이의 어드레스된 페이지는 판독 커맨드에 응답하여 판독되고,

커맨드가 프로그래밍을 위한 경우, 커맨드가 비휘발성 메모리 어레이에 액세스하도록 처리되고, 비휘발성 메모리 어레이의 어드레스된 페이지는 프로그램 커맨드에 응답하여 프로그램되며,

커맨드가 소거를 위한 경우, 커맨드가 비휘발성 메모리 어레이에 액세스하도록 처리되고, 비휘발성 메모리 어레이의 어드레스된 페이지는 소거 커맨드에 응답하여 소거되는, 비휘발성 메모리 시스템.

청구항 2

청구항 1에 있어서,

판독 데이터는 상기 제2 포트를 통하여 다른 비휘발성 메모리 장치에 전송되는, 비휘발성 메모리 시스템.

청구항 3

청구항 1에 있어서,

판독 데이터는 상기 제4 포트를 통하여 상기 컨트롤러에 제2 출력으로서 전송되는, 비휘발성 메모리 시스템.

청구항 4

청구항 1에 있어서,

상기 제3 포트는 또한 다른 비휘발성 메모리 장치로부터 제1 출력으로서 프로그램 데이터를 수신하도록 구성되고,

상기 제4 포트는 또한 상기 컨트롤러에 수신된 프로그램 데이터를 제공하도록 구성되는, 비휘발성 메모리 시스템.

청구항 5

청구항 1에 있어서,

상기 제1 포트는 또한 상기 컨트롤러로부터 커맨드와 프로그램 데이터를 수신하도록 구성되고,

상기 제4 포트는 또한 상기 비휘발성 메모리 어레이로부터 상기 컨트롤러에 판독 데이터를 제공하도록 구성되는, 비휘발성 메모리 시스템.

청구항 6

청구항 1에 있어서,

상기 제1 포트, 상기 제2 포트, 상기 제3 포트 및 상기 제4 포트는 직렬 또는 병렬 포트인, 비휘발성 메모리 시스템.

청구항 7

청구항 1에 있어서,

상기 장치 결정자는 시스템 초기화의 장치 어드레스를 결정하도록 구성되는, 비휘발성 메모리 시스템.

청구항 8

청구항 1에 있어서,

상기 장치 결정자는 파워-업시에 장치 어드레스 결정을 수행하도록 구성되는, 비휘발성 메모리 시스템.

청구항 9

청구항 1에 있어서,

상기 장치 결정자는 상기 제1 포트에서 상기 컨트롤러로부터의 값을 포함하는 커맨드를 수신하면 장치 어드레스 결정을 수행하도록 구성되는, 비휘발성 메모리 시스템.

청구항 10

청구항 9에 있어서,

상기 장치 결정자는 또한 수신된 값에 기초하여 장치 식별을 생성하도록 구성되는, 비휘발성 메모리 시스템.

청구항 11

청구항 1에 있어서,

장치 어드레스를 저장하도록 구성되는 레지스터를 더 포함하는, 비휘발성 메모리 시스템.

청구항 12

청구항 1에 있어서,

상기 장치 결정자는 하드웨어 프로그래밍에 기초하여 장치 어드레스를 결정하도록 구성되는, 비휘발성 메모리 시스템.

청구항 13

청구항 12에 있어서,

상기 장치 결정자는 OTP(one-time-programmable) 어레이에 기초하여 장치 어드레스를 결정하도록 구성되는, 비휘발성 메모리 시스템.

청구항 14

청구항 1 내지 청구항 13 중 어느 한 항에 기재된 비휘발성 메모리 시스템을 포함하는 비휘발성 메모리 시스템을 가지는 칩.

청구항 15

컨트롤러와 청구항 1 내지 청구항 13 중 어느 한 항에 기재된 하나 이상의 비휘발성 메모리 시스템을 포함하는 패키지로서, 컨트롤러는 커맨드와 프로그램 데이터를 상기 하나의 이상의 비휘발성 메모리 시스템의 제1 포트에

제공하기 위한 제1 포트와 상기 하나 이상의 비휘발성 메모리 시스템의 제4 포트로부터 판독 데이터를 수신하기 위한 제2 포트를 포함하는, 패키지.

청구항 16

청구항 15에 있어서,

상기 하나 이상의 비휘발성 메모리 시스템과 상기 컨트롤러는 배선 기판위에 나란히 실장된, 패키지.

청구항 17

청구항 15에 있어서,

상기 하나 이상의 비휘발성 메모리 시스템과 상기 컨트롤러는 배선 기판위에 수직으로 적층되어 실장된, 패키지.

청구항 18

청구항 17에 있어서,

상기 하나 이상의 비휘발성 메모리 시스템과 상기 컨트롤러 중 적어도 하나는 솔더 범프 또는 와이어에 연결되는, 패키지.

명세서

배경 기술

[0001] 플래시 메모리는, 플래시 카드, 디지털 오디오 & 비디오 플레이어, 휴대폰, USB 플래시 드라이버 및 HDD 대체를 위한 고체 디스크 등의 이동 저장 애플리케이션 및 소비자 애플리케이션을 위한 핵심 가능 기술이다. 고밀도의 저장 매체에 대한 요구가 증가하면서, 플래시 메모리 솔루션은 계속 발전하여, 고밀도 및 저비용의 생산을 제공한다.

[0002] 2개의 인기 있는 플래시 메모리 솔루션은 NOR 플래시 및 NAND 플래시이다. NOR 플래시는 일반적으로 더 긴 소거 및 기록 시간을 가지지만, 임의의 위치에 랜덤 액세스를 허용하는 전체 어드레스와 데이터 인터페이스를 갖는다. 메모리 셀은 유사한 NAND 플래시 셀의 크기의 거의 2배가 될 수 있다. NOR 플래시는 코드 저장을 위해 랜덤 접근을 요구하는 애플리케이션에 가장 적합하다. 대조적으로, NAND 플래시는 NOR 플래시보다 더 빠른 소거 및 기록 시간, 더 고용량, 및 비트당 더 저비용을 일반적으로 갖지만, 그 I/O 인터페이스는 음악 파일 및 화상 파일 등의 데이터 저장 애플리케이션에 적합한 데이터에 오직 순차적인 액세스를 허용한다.

[0003] 많은 애플리케이션은 데이터로의 고속, 랜덤 액세스를 요구하기 때문에, NOR와 NAND 플래시 메모리 모두의 장점을 결합하도록 제품이 개발되어 오고 있다. 이러한 솔루션중 하나는 단일 집적 회로(IC) 위에 내장된 플래시 컨트롤러를 갖는 NAND 플래시 메모리이다. 이 장치는 감소된 비용과 크기로 고속으로 데이터를 저장하기 위해 NAND 플래시 어레이를 사용한다. 또한, 제어 로직은 외부 커맨드에 따라서 플래시 어레이에 액세스하여 기입하고, 종래의 NOR 플래시 장치의 인터페이스에 유사한, 데이터에 더 큰 접근성을 갖는 인터페이스를 제공한다. 그래서, 내장된 플래시 컨트롤러를 갖는 NAND 플래시 메모리는 NOR 플래시의 접근성과 NAND 플래시의 속도와 성능을 결합한다.

발명의 내용

[0004] 내장된 메모리 컨트롤러를 갖는 플래시 메모리 장치는 많은 단점을 나타낸다. 이러한 장치에서, 몇 개의 구성 요소는 단일 실리콘 다이 위에 결합된다. 일반적으로 단일 다이의 메모리 용량은 프로세스 기술, 특히 최소 피쳐 크기에 의해 결정된다. 동일한 프로세스 기술을 사용하여 메모리 용량을 증가시키기 위해, MCP(Multi-Chip-Package)가 종종 개발된다. 예를 들면, 메모리 용량을 증가시키기 위해 2개 또는 4개의 칩이 동일한 패키지에 집적될 수 있다.

[0005] 칩에 포함된 메모리 어레이로의 액세스를 제어하기 위해 사용된 내장 컨트롤러는 칩 크기를 15%에서 30%로 일반적으로 증가시킨다. 메모리 용량을 증가시키기 위해 다중 장치가 패키지에 집적되면, 각각의 다중 장치에서 컨트롤러 회로가 반복되기 때문에 메모리 컨트롤러 회로와 관련된 크기 오버헤드는 현저하게 된다. 또한, 웨이퍼 수율(웨이퍼에서 생산되는 작업 칩의 수)이 칩 크기의 함수가 되는 경향이 있다. 하나 이상의 내장된 컨트롤러

에 의해 요구된 부가 용량은 칩크기를 증가시키고, 그래서 전체 웨이퍼 수율을 저하시키게 된다.

[0006] 내장된 컨트롤러를 갖는 플래시 메모리의 증가된 복잡성은, 생산 다양성, 개발 시간 및 비용 및 장치 성능의 불리한 효과를 가질 수 있다. 이러한 장치는, 개별 플래시 메모리와 대조적으로, 보다 복잡한 회로 레이아웃을 요구하여, 더 긴 개발 주기를 갖게 한다. 또한, 디자인 변경이 전체 칩에 적용되어야 하기 때문에 제품 재설계가 장애가 된다. 또한, 이 디자인에 의해 성능이 열화될 수 있다. 예를 들면, 일반적인 플래시 메모리는 프로그램과 소거 동작을 수용하기 위해 고전압 트랜지스터를 요구한다. 메모리 컨트롤러는 고속 트랜지스터를 활용하는 장점을 갖지만, 고전압 및 고속 트랜지스터를 모두 단일 다이 위에서 실행하는 것은 제조 비용을 현저하게 증가시킬 수 있다. 그래서, 내장된 컨트롤러는 플래시 메모리에 의해 요구된 고전압 트랜지스터를 대신 활용할 수 있음으로써 컨트롤러의 성능을 느리게 한다.

[0007] 본 발명의 실시예들은 내장된 플래시 메모리 및 다른 장치들과 관련된 몇몇 단점들을 극복하는 메모리 시스템을 제공한다. 메모리 시스템은 페이지 체인 캐스캐이드를 통해 송신된 커맨드를 통해 메모리 컨트롤러 장치에 의해 제어되는 페이지 체인 캐스캐이드 배열의 복수의 비휘발성 메모리 장치를 포함한다. 메모리 컨트롤러 장치는 외부 시스템과 인터페이스하고, 페이지 체인 캐스캐이드 배열을 통한 통신에 의해 메모리 장치의 관독, 기록 및 다른 동작을 제어한다. 이러한 구성에서, 통신들을 제1 메모리 장치에 의해 수신되고, 임의의 대응 통신으로 제2 메모리 장치에 전달된다. 이 처리는 페이지 체인 캐스캐이드의 모든 메모리 장치에 대해 반복되어, 메모리 컨트롤러가 페이지 체인 캐스캐이드의 메모리 장치를 제어하는 것을 가능하게 한다.

[0008] 메모리의 시스템의 다른 실시예는 메모리 컨트롤러와 메모리 장치를 수용하는 SIP(system-in-package) 인클로저 등의 공통 지지 어셈블리에서 실행될 수 있다. SIP는 많은 집적 회로(칩)를 포함하는 단일 패키지 또는 모듈이다. 여기 서술된 실시예에서, 외부 시스템 및 SIP내의 복수의 메모리 장치와 인터페이스하도록 SIP내에 플래시 메모리 컨트롤러가 구성된다. 또는, 메모리 시스템은 회로 기관 등의 다른 단일 폼 팩터 장치에서 구현될 수 있다.

[0009] 본 발명의 다른 실시예는 커맨드와 메모리 데이터가 메모리 장치의 체인을 통해 단방향으로 컨트롤러로부터 송신되고, 데이터 체인의 마지막 장치로부터 컨트롤러로 되돌리는 단방향 페이지 체인 캐스캐이드를 포함한다. 단방향 캐스캐이드는 제어 동작에 관련된 신호를 전달하는 제1 신호 경로와, 제어 동작에 따라서 복수의 비휘발성 메모리 장치에 의해 생성된 신호를 전달하는 제2 신호 경로를 포함한다. 양방향 페이지 체인 캐스캐이드가 실행될 수 있고, 커맨드와 메모리 데이터는 메모리 장치를 통해 단방향으로 송신되고, 장치를 통해 역방향으로 컨트롤러로 되돌려진다. 양방향 페이지 체인 캐스캐이드는 캐스캐이드를 통해서 2방향으로 신호를 전달하도록 구성된 링크를 더 포함할 수 있다. 커맨드는 페이지 체인 캐스캐이드를 통해 직렬 모드로 송신될 수 있고, 특정 메모리 장치를 식별하는 어드레스 필드가 수반된다. 커맨드, 데이터 및 어드레스 신호는 직렬 구성으로 공통 신호 경로에 의해 전달될 수 있다.

[0010] 본 발명의 실시예들은 플래시 메모리 시스템으로서 실행될 수 있고, 메모리 장치는 플래시 메모리를 포함한다. 메모리 컨트롤러는 플래시 메모리의 블록의 소거, 페이지로의 프로그래밍 및 페이지의 관독 등과 같은 플래시 제어 동작을 행할 수 있다. 메모리 컨트롤러는 각각의 메모리 장치에서 물리 어드레스로의 논리 어드레스의 매핑을 제공하기 위한 제어 로직을 포함할 수 있다. 공급된 매핑은 메모리 장치에서 웨어 레벨링(wear leveling)을 제공하는 동작을 또한 포함할 수 있다. 메모리 컨트롤러는 NOR 또는 다른 인터페이스를 통해 외부 시스템과 통신할 수 있고, 비휘발성 메모리 인터페이스를 통해 복수의 NAND 메모리 장치를 제어할 수 있다. 메모리 컨트롤러 장치는 메모리 어레이를 또한 포함할 수 있음으로써, 마스터 플래시 메모리로 동작한다.

[0011] 페이지 체인 캐스캐이드를 통해 송신된 커맨드 및 데이터는 복수의 메모리 장치중 하나에 대응하는 어드레스가 수반될 수 있다. 어드레스와 그 장치에 설정된 장치 ID를 비교함으로써 각각의 장치는 커맨드를 식별한다. 커맨드를 수신하기 전에, 메모리 장치는 페이지 체인 캐스캐이드를 통해서 송신된 관련 신호에 따라서 장치 ID를 발생시킬 수 있다.

도면의 간단한 설명

[0012] 동일한 도면 부호가 다른 도면들에서 동일한 부분을 지칭하는 첨부 도면에 도시된 것같이, 다음의 본 발명의 보기의 실시예들의 보다 구체적인 설명으로부터 상기의 사항들은 분명해질 것이다. 도면은 반드시 스케일되는 것은 아니고, 대신에 본 발명의 실시예들을 도시하는데 역점을 둔 것이다.

도 1은 내장된 플래시 컨트롤러를 갖는 종래 기술의 메모리 장치의 블록도이다.

도 2는 단방향 데이터 체인 캐스캐이드로 구성된 복수의 메모리 장치를 갖는 SIP(system-in-package) 인클로저의 메모리 시스템의 블록도이다.

도 3은 양방향 데이터 체인 캐스캐이드로 구성된 복수의 메모리 장치를 갖는 SIP(system-in-package) 인클로저의 메모리 시스템의 블록도이다.

도 4a는 플래시 메모리 컨트롤러의 블록도이다.

도 4b는 CPU를 갖는 플래시 메모리 컨트롤러의 블록도이다.

도 5는 단방향 데이터 체인 캐스캐이드 구성의 마스터 플래시 메모리와 복수의 메모리 장치를 포함하는 SIP의 블록도이다.

도 6은 양방향 데이터 체인 캐스캐이드 구성의 마스터 플래시 메모리와 복수의 메모리 장치를 포함하는 SIP의 블록도이다.

도 7은 SIP 레이아웃에서 실행되는 메모리 시스템의 블록도이다.

도 8은 다중 접속을 포함하는 단방향 데이터 체인 캐스캐이드로 구성된 복수의 메모리 장치를 갖는 SIP 인클로저의 메모리 시스템의 블록도이다.

도 9는 공통 포트를 공유하는 양방향 데이터 체인 캐스캐이드로 구성된 복수의 메모리 장치를 갖는 SIP 인클로저의 메모리 시스템의 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0013] 다음은 본 발명의 실시예를 설명한다.

[0014] 도 1은 단일 집적 회로에 내장된 플래시 메모리(135)와 제어 로직을 갖는 집적된 플래시 장치(100)를 도시한다. 제어 로직은 외부 시스템과 통신하기 위한 호스트 인터페이스(110), 메모리 버퍼(115), 메모리(135)와 인터페이스하기 위한 스테이트 머신(125), 내부 레지스터(120) 및 에러 보정 로직(130)을 포함한다. 예를 들면, 판독 동작 동안, 내부 레지스터(120)는 호스트 인터페이스(110)로부터 커맨드와 어드레스 데이터를 수신한다. 스테이트 머신(125)은 이 데이터를 수신하여, 판독 동작에 따라서 플래시 메모리(135)에 액세스한다. 스테이트 머신(125)은 플래시 메모리(135)로부터 순차 데이터를 수신하여 요구된 데이터를 수신한다. 에러 보정 로직(130)에 의한 검증 후, 요구된 데이터는 외부 시스템으로의 송신을 위해 메모리 버퍼(115)에 송신된다. 내장된 컨트롤러를 갖는 플래시 메모리 장치의 동작의 보다 상세 사항은 2005년 12월 13일, 삼성 전자 주식회사에 의해 공개된 "OneNAND™ 사양" 버전 1.2에서 알 수 있다.

[0015] 도 2는 데이터 체인 캐스캐이드 배열로 구성된 복수의 메모리 장치(230a-n)를 갖는 SIP(system-in-package) 인클로저의 메모리 시스템을 도시하는 블록도이다. SIP는 복수의 집적 회로(칩)를 포함하는 단일 패키지 또는 모듈이다. SIP는 독립된 시스템 또는 시스템 구성 요소로 동작하도록 설계될 수 있고, 휴대폰, 개인용 컴퓨터 또는 디지털 뮤직 플레이어 등의 전자 시스템의 많은 또는 모든 기능을 실행한다. 칩은 패키지 또는 모듈의 내부에 수직으로 적층되거나 서로 옆으로 수평으로 놓여질 수 있다. 칩들은 패키지로 에워싸여진 와이어에 의해 일반적으로 접속된다. 또는, 칩들은 "플립칩" 기술로 칩들을 서로 접합하기 위해 솔더 범프를 사용하여 접속될 수 있다.

[0016] SIP는 동일한 기판 위에 실장된 몇 개의 회로 구성 요소와 수동 구성 요소를 포함할 수 있다. 예를 들면, SIP는 ASIC(application-specific integrated circuit)에서 실행되는 프로세서, 개별 회로 다이에서 실행되는 메모리, 및 회로와 관련된 레지스터와 커패시터를 포함할 수 있다. 구성 요소들의 이러한 조합은 완전한 기능성 유닛이 단일 패키지에 구축되는 것을 가능하게 하고, 기능성 시스템을 만들기 위해 많은 외부 구성 요소를 추가할 필요성을 없앤다. SIP 장치를 사용하는 디자인은 SIP 외부의 시스템의 복잡성을 감소시키므로 랩탑 컴퓨터, MP3 플레이어 및 휴대폰 등과 같은 공간 제한된 환경에서 특히 가치가 있다.

[0017] 도 2에 도시된 플래시 메모리 시스템(200)은 SIP 인클로저(210)에서 구현되고, 플래시 메모리 컨트롤러(220)와 복수의 플래시 메모리 장치(230a-n)를 포함한다. SIP 구조에 따르면, 플래시 메모리 컨트롤러(220)와 플래시 메모리 장치(230a-n)는 개별 회로 다이(칩)에서 구현되고, 예를 들면 패키지로 싸여진 배선 또는 플립칩 결합에 의한 설계에 따라서 접속된다. 플래시 컨트롤러(220)는 시스템 인터페이스를 통해, 컴퓨터 시스템 등의 외부 시스템(비도시)과 통신한다. 시스템 인터페이스는 플래시 컨트롤러(220)와 외부 시스템 사이에 복수의 신호 경로

를 제공하고, 신호 경로는 메모리 데이터, 커맨드, 클락 신호 및 메모리 시스템(200)과 관련된 다른 신호들을 송수신한다.

[0018] 외부 시스템 또는 다른 인스트럭션과의 통신에 따라서, 플래시 컨트롤러(220)는 단방향 데이터 체인 캐스캐이드로 배열된 하나 이상의 플래시 메모리 장치(230a-n)와 통신할 수 있다. 단방향 데이터 체인 캐스캐이드 구성에서, 데이터 체인 캐스캐이드의 각 장치는 수신된 신호를, 생성된 신호와 함께 연속적인 장치로 전송함으로써, 장치들을 통해서 단일 통신 경로(235)를 공급한다. 신호 경로(235)는 장치들 사이에 다중 링크(235a-n)를 포함하여, 플래시 컨트롤러(220)로부터 데이터 체인 캐스캐이드에서 플래시 메모리 장치(230a-n)을 통해, 플래시 컨트롤러(220)로 복귀하는 통신의 단일, 단방향 흐름을 표현한다. 또는, 링크(235a-n)는 양방향일 수 있고, 각 장치에서 드라이버 및 리시버 회로에 연결한다.

[0019] 이 예에서, 플래시 컨트롤러(220)는 커맨드와 데이터 신호를 신호 경로(235a)를 통해 데이터 체인 캐스캐이드의 제1 플래시 메모리 장치(230a)("플래시 메모리 A")에 송신한다. 플래시 메모리(230a)는 수신된 커맨드에 따라서 응답하고, 저장된 데이터의 검색, 데이터 기록 또는 다른 동작을 수행하는 것을 포함할 수 있다. 그 다음, 플래시 메모리(230a)는 수신된 커맨드가 수반된, 응답에 관련된 임의의 데이터를 다음의 메모리 장치(230b)에 출력한다. 역으로, 수신된 커맨드가 플래시 메모리(230a)에 어드레스되지 않으면, 장치(230a)는 더 이상의 동작을 행하지 않고 수신된 커맨드를 출력한다. 플래시 메모리(230a)는 커맨드와 관련된 어드레스 필드를 메모리(230a)에 저장된 장치 식별자와 비교함으로써 커맨드가 어드레스되었는지 아닌지를 결정할 수 있다.

[0020] 플래시 메모리(230b)는 커맨드를 메모리(230a)로부터 수신하고, 메모리(230a)에 의해 발생된 데이터가 수반된다. 앞서의 메모리(230a)에서와 같이, 플래시 메모리(230b)는 거기에 어드레스된 임의의 커맨드에 응답하여, 커맨드와 임의의 발생된 데이터를 다음 장치(230c)에 출력한다. 커맨드가 최종 플래시 메모리(230n)에 의해 수신될 때까지 통신의 연속은 신호 경로(235)의 모든 장치에 대해 반복된다. 플래시 메모리(230n)는 커맨드에 따라서 응답하고 메모리 장치(230a-n)에 의해 발생된 임의의 데이터가 수반된 커맨드를 플래시 컨트롤러(220)에 신호 경로(235n)를 통해 출력한다. 그 결과, 메모리 시스템(200)의 통신은 신호 경로(235)를 통해 데이터 체인 캐스캐이드의 모든 장치에 전송된다. 신호 경로(235)는 장치 사이의 하나 이상의 핀 또는 와이어 접속을 포함할 수 있고, 직렬 또는 병렬로 신호를 보유했을 수 있다. 메모리 장치의 직렬 통신 및 데이터 체인 캐스캐이드 구성에 대한 일 예의 기술에 대해서, 미국 특허 출원 번호 11/324,023("다중 독립 직렬 링크 메모리"), 미국 특허 출원 번호 11/495,278("데이터 체인 캐스캐이드 장치"), 미국 특허 출원 번호 11/521,734("비동기 ID 발생"), 미국 가출원 번호 60/802,645("메모리 장치의 직렬 접속")를 참고한다.

[0021] 이 예에서, 메모리 시스템(200)은 플래시 컨트롤러(220)로부터의 입력 신호가 최초 플래시 장치로 전송되고, 최종 장치(230n)으로부터의 출력신호가 플래시 컨트롤러(220)로 출력되는 방식으로 구성된 복수의 플래시 메모리 장치(230a-n)를 포함한다. 실시예에서, 모든 신호(플래시 컨트롤러(220)로부터의 입력 데이터와 커맨드를 포함하는)는 최초 메모리 장치(230a)로부터 최종 메모리 장치(230n)로 흐른다. 그래서, 모든 입력 및 출력 신호는 단방향이고, 신호 경로(235)에서 운반된다. 입력 커맨드는 메모리 장치(230a-n)중 하나와 같은 목표 장치의 어드레스를 포함할 수 있다. 시스템 초기화 또는 파워 업동안, 각 플래시 장치(230a-n)에 대한 유일한 장치 어드레스가 플래시 컨트롤러(220) 또는 플래시 장치(230a-n) 자체에 의해 할당될 수 있거나, 또는 OTP(one-time-programmable) 어레이 등의 하드웨어 프로그래밍을 통해 미리 할당될 수 있다. 플래시 컨트롤러(220)가 최종 장치 어드레스가 수반된 커맨드를 발행하면, 대응하는 플래시 장치(장치(230a-n)중 하나)가 수신된 커맨드를 수행한다. 플래시 장치(230a-n)의 나머지는 수신된 커맨드에 대해 "바이패스" 모드에서 동작하고, 더 이상의 동작없이 데이터 체인 캐스캐이드 배열의 연속된 장치에 커맨드를 보낸다.

[0022] 목표 장치 어드레스가 식별자(ID) 발생 프로세스에 의해 각각의 메모리 장치(230a-n)에서 설정될 수 있다. 그 전체가 참고로 통합된 미국 특허 출원 번호 11/521734("비동기 ID 발생")는 데이터 체인 캐스캐이드 배열의 복수의 메모리 장치에서 ID를 발생하는 일 예의 기술을 포함한다. 하나의 실시예에서, 데이터 체인 캐스캐이드의 각 장치(230a-n)는 발생 회로(비도시)를 갖는다. 컨트롤러(220)가 "ID 발생" 커맨드를 장치(230a-n)에 송신하면, 최초 장치(230a)의 발생 회로는 컨트롤러(220)로부터 최초 값을 수신하여, 이 값으로부터 장치 ID를 발생한다. 장치 ID는 최초 장치(230a)의 레지스터에 저장될 수 있고, 커맨드 및 데이터가 장치(230a)에 어드레스되었는지 아닌지를 결정하기 위해 사용된다. 이 발생 회로는 최초값으로부터 증가하여 수정된 제2 값을 또한 생성하고, 최초 장치(230a)는 연속되는 장치(230b)에 전달한다. 제2 장치(230b)에서 발생 회로는 제2 값으로부터 장치 ID를 발생하여, 수정된 값을 제3 장치(230c)에 송신한다. 데이터 체인 캐스캐이드의 최종 장치(230n)가 장치 ID를 설정할 때까지 이 프로세스는 반복된다.

- [0023] 또는, 플래시 장치(230a-n)는 각 장치(230a-n)와 플래시 메모리 컨트롤러(220)를 연결하는 신호 경로를 통해 장치 선택 신호(비도시)가 어드레싱될 수 있다. 이러한 실시예에서, 플래시 메모리 컨트롤러(220)는 장치 선택 신호를 커맨드가 어드레싱되는 플래시 장치(220a)에 송신할 수 있으므로, 장치(220a)가 수신된 커맨드에 응답하여 실행되는 것을 가능하게 한다. 나머지 플래시 장치(230b-n)는 장치 선택 신호를 수신할 수 없으므로, 수신된 커맨드를 데이터 체인 캐스캐이드의 연속되는 장치에 더 이상의 동작없이 전달할 수 있다.
- [0024] 플래시 메모리는 비휘발성 메모리의 일종이며, 공급된 전원 또는 주파수 리프레시 동작없이 저장된 데이터를 유지할 수 있다. 다른 실시예에서, 다른 유형의 비휘발성 메모리가 하나 이상의 플래시 메모리 장치(230a-n) 대신에 활용될 수 있거나, 플래시 장치(230a-n)에 통합될 수 있다. 이와 같이, SRAM(static random access memory) 및 DRAM(dynamic random access memory) 등의 휘발성 메모리가 플래시 메모리 장치(230a-n)에 통합될 수 있다. 이러한 다른 실시예는 컨트롤러(220)가 메모리의 사양에 따라서 동작하는 것을 또한 요구할 수 있거나, 추가의 또는 교체의 메모리 컨트롤러를 필요로 할 수 있다. 플래시 메모리 컨트롤러의 동작을 도 4를 참조하여 아래에 더 상세히 설명한다.
- [0025] 도 3은 데이터 체인 캐스캐이드 배열로 구성된 복수의 플래시 메모리 장치(330a-n)를 갖는 SIP(system-in-package) 인클로저의 메모리 시스템(300)을 도시하는 블록도이다. 메모리 시스템(300)은 플래시 컨트롤러(320)와 플래시 메모리 장치(330a-n)가 도 2를 참조하여 상기 설명된 컨트롤러(220)와 장치(230a-n)와 유사한 방식으로 구성될 수 있는 한에 있어서는 도 2의 시스템(200)과 유사하다. 그러나, 본 시스템(300)의 컨트롤러(320)와 장치(330a-n)는 양방향 데이터 체인 캐스캐이드의 신호를 통해 통신하고, 신호 경로(334, 335)는 입출력 포트에서 장치들을 접속하는 다중 링크(334a-n, 335a-n)를 포함한다. 신호 경로(334, 335)는 플래시 컨트롤러(320)로부터, 신호 경로(334)를 통해 데이터 체인 캐스캐이드의 플래시 메모리 장치(330a-n)를 통과해, 신호 경로(335)를 통해 플래시 컨트롤러(320)로 복귀하는 통신 신호의 흐름을 나타낸다.
- [0026] 플래시 컨트롤러(320)는 시스템 인터페이스를 통해 컴퓨터 시스템 등의 외부 시스템(비도시)과 통신한다. 시스템 인터페이스는 플래시 컨트롤러(320)와 외부 시스템 사이에 복수의 신호 경로를 제공하며, 신호 경로는 메모리 데이터, 커맨드, 클락 신호 및 메모리 시스템(300)의 제어와 관련된 다른 신호를 송수신한다.
- [0027] 외부 시스템과의 통신 또는 다른 인스트럭션에 따라서, 플래시 컨트롤러(320)는 양방향 데이터 체인 캐스캐이드로 배열된 하나 이상의 플래시 메모리 장치(330a-n)와 통신할 수 있다. 여기서 서술된 양방향 데이터 체인 캐스캐이드 구성에서, 플래시 컨트롤러(320)는 커맨드 및 데이터 신호를 신호 경로(334a)를 통해서 데이터 체인 캐스캐이드의 최초 플래시 메모리 장치(330a)("플래시 메모리 A")에 송신한다. 데이터 체인 캐스캐이드의 최종 장치("플래시 메모리 N" 330n)가 신호를 수신할 때까지, 데이터 체인 캐스캐이드의 각 플래시 메모리 장치(330a-n)는 수신된 신호를 신호 경로(334)를 통해 연속적인 장치로 전송한다.
- [0028] 각 장치(330a-n)는 거기에 어드레싱된 수신된 신호에 응답하고, 신호 경로(335)를 통해 플래시 컨트롤러(320)에 응답으로 생성된 신호를 송신한다. 예를 들면, 플래시 컨트롤러는 장치에 저장된 데이터를 검색하기 위해 플래시 메모리 장치B(330b)에 어드레싱된 "판독" 커맨드를 송신할 수 있다. 커맨드는 플래시 메모리 A(330a)(링크(334(a-b))를 통해)를 통과하여, 플래시 메모리 B(330b)에 의해 수신된다. 플래시 메모리 B는 요구된 데이터를 플래시 컨트롤러(320)에 링크(335a-b)를 통해 송신함으로써 커맨드에 응답한다. 플래시 메모리 B는 플래시 메모리 C(330c)에 커맨드를 또한 송신하고, 캐스캐이드를 또한 통해 최종 장치, 플래시 메모리 N(330n)에 커맨드를 순서대로 송신한다.
- [0029] 몇몇 조건에서, 플래시 컨트롤러(320)는 특정 커맨드에 대해 하나 이상의 메모리 장치를 어드레싱할 수 있다. 상기 예에 더해, 커맨드는 플래시 메모리 장치 C(330c)로부터 데이터를 또한 요구할 수 있다. 이러한 경우에, 장치는 플래시 메모리 B(330b)로부터 커맨드를 수신하고, 링크(335c)를 통해 데이터를 출력함으로써 요구된 데이터를 플래시 컨트롤러(320)에 송신한다. 그 결과, 플래시 컨트롤러(320)는 신호 경로(335)를 통해 플래시 메모리 장치 B, C(330b, 330c)로부터, 요구된 데이터를 수신한다.
- [0030] 그래서, 양방향 데이터 체인 캐스캐이드를 통한 제1 방향으로(즉, 신호 경로(334)) 장치(330a-n)를 통해 전송되는 제어 및 데이터 신호를 송신함으로써 플래시 메모리 장치(330a-n)를 제어할 수 있고, 응답의 통신은 양방향 데이터 체인 캐스캐이드를 통한 제2 방향으로(즉, 신호 경로(335)) 전송되는 신호를 통해 컨트롤러(320)에 복귀된다. 메모리 장치(330a-n)는 플래시 컨트롤러(320)로 제어 및 데이터 신호를 복귀시키도록 또한 구성될 수 있고, 캐스캐이드의 최종 장치(플래시 메모리 장치(330n))은 신호 경로(335)를 통해 제어 및 데이터 신호를 송신한다.

- [0031] 메모리 시스템(300)의 양방향 데이터 체인 캐스캐이드는 접속되는 데이터 체인 캐스캐이드의 장치에 신호 경로(334, 335)에 따르는 입구 및 출구 링크를 각 메모리 장치(330a-n)에 제공한다. 다른 실시예에서, 장치는 다른 구성의 링크를 통해 통신할 수 있다. 예를 들면, 데이터 체인 캐스캐이드의 최종 장치(330n) 이외의 메모리 장치가 이전의 장치에 응답 통신을 전송하도록 구성될 수 있다. 플래시 메모리 B(330b)가 이전의 장치(330a)로부터 커맨드 및 데이터를 수신할 수 있고, 다음 장치(330c)에 통신을 송신하는 것 이외에(또는 추가하여), 플래시 컨트롤러(320)에 의한 수신을 위해, 응답의 통신을 이전의 장치(330a)로 되돌려 송신한다. 높은 우선도 커맨드 또는 데이터 등의 특정 유형의 통신을 수신할 때 이 동작을 실행하도록 플래시 메모리 B가 또한 구성될 수 있다. 이러한 구성은 데이터 체인 캐스캐이드의 하나 이상의 장치에서 실행될 수 있고, 메모리 시스템(300)의 특정 동작의 잠재를 감소시키는데 유용할 수 있다.
- [0032] 도 4a는 일 예의 플래시 메모리 컨트롤러(400)의 블록도이다. 컨트롤러(400)의 실시예는 개별 집적 회로 다이에서 실행될 수 있고, 상기 및 하기에, 도 2, 3, 8 및 9를 참조하여 각각의 메모리 시스템(200, 300, 800, 900)의 플래시 메모리 컨트롤러(220, 320, 820, 920)와 같이 SIP에서 활용될 수 있다. 컨트롤러(400)는 아래의 도 5 및 6을 참조하여 각각의 메모리 시스템(500, 600)의 마스터 플래시 메모리(520, 620)으로서 실행될 수 있는 마스터 플래시 메모리로서 동작하는 플래시 메모리 칩, 컨트롤러(400) 및 메모리에 내장될 수 있다.
- [0033] 플래시 메모리 컨트롤러(400)는 플래시 메모리 장치를 제어하는데 특정된 일부 또는 모든 동작을 행할 수 있다. 예를 들면, 일반적인 플래시 메모리는 관독되어, 소정 수의 메모리 비트를 포함하는 개별 페이지로 프로그램되고, 많은 페이지를 포함하는 블록에서 소거된다. 이러한 동작에 대응하는 커맨드가 장치 컨트롤러에 의한 검색을 위해 플래시 메모리에 저장될 수 있다. NAND 플래시 메모리는 개별 페이지에 의해 액세스된다. 검색된 페이지는 RAM(random access memory) 등의 외부 메모리로 더 복사될 수 있고, 페이지 내의 특정 데이터가 검색된다. 몇몇 기입 및 액세스 동작은 플래시 메모리 장치 자체 내에서 수행될 수 있어서, 플래시 메모리 컨트롤러(400)에서 요구된 몇몇의 기능을 제거한다.
- [0034] 플래시 메모리 컨트롤러(400)는 시스템 인터페이스(480), 제어 로직(410) 및 플래시 메모리 인터페이스(490)를 포함한다. 시스템 인터페이스(480)는 외부 호스트 시스템과의 통신을 위해 사용되고, NOR 플래시 인터페이스 또는, DDR(Double Data Rate) DRAM(Dynamic Random Access Memory)등의 다른 메모리 장치와 활용되는 인터페이스, RAMBUS DRAM 인터페이스, 시리얼 ATA(SATA) 인터페이스, IEEE 1394, MMC 인터페이스 또는 USB(universal serial bus)로서 구성될 수 있다. 또는, 시스템 인터페이스(480)는 제어 로직(410)와 별개로 위치될 수 있고, 플래시 컨트롤러(400)와 통신하는데 있어서, 별개 장치로서 또는 시스템의 내부에서 실행될 수 있다.
- [0035] 제어 로직(410)는 버퍼 RAM(420); 모드, 타이밍, 및 데이터 제어(425); 내부 레지스터(430); 및 ECC(error correction code) 논리(435)를 포함한다. 제어 로직(410)는 시스템 인터페이스(480) 및 플래시 메모리 인터페이스(490)를 각각 통해 외부 시스템과 플래시 메모리 장치와 통신한다. 버퍼 RAM(420)은 시스템 인터페이스(480)와의 입구 및 출구 데이터 트랜잭션을 위해 내부 버퍼를 제공한다. 내부 레지스터(430)는 어드레스 레지스터, 커맨드 레지스터, 구성 레지스터, 및 상태 레지스터를 포함할 수 있다. 모드, 타이밍 및 데이터 제어(425)는 플래시 메모리 인터페이스(490), ECC 논리(435), 내부 레지스터(430) 및 버퍼 RAM(420)으로부터 입력을 수신하는 스테이트 머신에 의해 구동될 수 있다. ECC 논리(435)는 모드, 타이밍 및 데이터 제어(425)의 에러 검출 및 보정을 공급한다.
- [0036] 플래시 메모리 인터페이스(490)는 데이터 체인 캐스캐이드 배열로 배열된 하나 이상의 플래시 메모리 장치와 통신을 위한 물리적 플래시 인터페이스이다. 보기의 플래시 인터페이스는 미국 가출원 번호 60/839,329("NAND 플래시 메모리 장치")에 서술되어 있고, 여기에 전체가 설명되어 있는 것같이, 그 전체가 참고로 여기에 통합되어 있다. 또한, 플래시 메모리 인터페이스(490)와 제어 로직(410)는 NAND 플래시 메모리 장치를 제어하기 위해 구성될 수 있고, NOR, DRAM 또는 상기 서술된 시스템 인터페이스(480)에서 다른 인터페이스를 공급한다. 그래서, 플래시 메모리 컨트롤러(400)는 "하이브리드" 컨트롤러로서 동작할 수 있고, NOR 또는 다른 인터페이스로 외부 호스트 시스템과의 통신을 통해 NAND 플래시 메모리의 제어를 공급한다.
- [0037] 본 발명의 실시예에서 실시되는 것같이 플래시 메모리 컨트롤러(400)는 시스템 컨트롤러로서 동작할 수 있고, 캐스캐이드를 통해 송신된 커맨드와 데이터를 통해 메모리 장치를 제어한다. 이러한 커맨드와 데이터는 각 메모리 장치(비도시)에서 장치 컨트롤러에 의해 수신되고, 각각의 메모리 어레이를 제어하기 위해 커맨드에 따르는 알고리즘을 순서대로 행한다.
- [0038] 제어 로직(410)은 도 4b의 플래시 제어(495)에 도시된 것같이, 파일 메모리 관리를 제공할 수 있다. 파일 메모리

리 관리는 논리 어드레스의 물리 어드레스로의 매핑을 제공하며, 요구된 데이터의 물리 어드레스를 결정한다. 매핑은 성능을 개선하거나 웨어 레벨링을 실행하기 위해 장치에 저장된 데이터를 분배 및 재분배하는 알고리즘을 더 포함할 수 있다.

[0039] "판독" 동작의 예에서, 플래시 메모리 컨트롤러(400)는 외부 호스트 시스템(비도시)으로부터 시스템 인터페이스(480)에 데이터 요구를 수신한다. 데이터 요구는 메모리 컨트롤러(400)에 의해 제어된 하나 이상의 메모리 장치에 저장된 데이터에 논리 어드레스를 나타낸다. 제어 로직(410)는 대응하는 물리 어드레스를 결정한다. 플래시 메모리 인터페이스(490)를 통해, 컨트롤러(400)는, 요구된 데이터의 물리 어드레스가 수반된, 메모리 장치의 캐스캐이드를 통해 "판독 커맨드"를 발행한다. 목표의 메모리 장치는 요구된 데이터를 검색하기 위해 "판독" 알고리즘을 행하고, 장치 페이지 버퍼에 페이지를 로딩하는 것을 포함할 수 있다. 목표의 메모리 장치는 요구된 데이터를 플래시 메모리 인터페이스(490)에 플래시 메모리 컨트롤러(400)에 송신한다. 제어 로직(410)는 수신된 데이터를 검증하여, ECC(error-correction code) 모듈(435)에서 에러를 보정한다. 그 다음, 제어 로직(410)는 요구된 데이터를 버퍼 RAM(420)에 로드하고, 시스템 인터페이스(480)를 통해 외부 호스트 시스템으로 송신된다.

[0040] 프로그램 동작은 상기 서술된 판독 동작에 유사하고, 플래시 메모리 컨트롤러(400)는 하나 이상의 메모리 장치에 저장되는 데이터를 외부 호스트 시스템으로부터 수신한다. 제어 로직(410)는 하나 이상의 데이터 매핑, 분포 및 웨어 레벨링 스킴에 기초하여 데이터를 저장하는 물리 어드레스를 결정한다. 물리 어드레스가 주어지면, 플래시 메모리 컨트롤러(400)는 데이터가 수반되고 물리 어드레스가 결정된 "프로그램 커맨드"를 메모리 장치의 캐스캐이드를 통해 송신한다. 목표의 메모리 장치는 데이터를 페이지 버퍼에 로드하고, 메모리 컨트롤러(400)에 의해 결정된 물리 어드레스에 데이터를 기입하는 "프로그램" 알고리즘을 시작한다. 이 기입 동작의 다음에, 목표의 장치는 기입이 성공적인지 아닌지를 나타내는 "프로그램 검증" 신호를 발행한다. "프로그램 검증"이 성공적인 기입 동작을 시작할 때까지 목표의 메모리 장치는 이 주기의 "프로그램" 및 "프로그램 검증"을 반복한다.

[0041] 복수의 캐스캐이드 메모리 장치를 제어하는데 있어서, 상기 서술된 것같이, 메모리 컨트롤러(400)는 단일 메모리 장치 또는 멀티 드롭 배열의 복수의 장치들을 제어하기 위해 프로토콜과 별개의 통신 프로토콜을 사용한다. 예를 들면, 목표의 메모리 장치를 선택하는데 있어서 메모리 컨트롤러(400)는 메모리 장치에 대응하는 어드레스를 발행해야 한다. 이 어드레스(또는 상기 목표 장치 ID)는 제어 커맨드의 구조로 집적될 수 있음으로써, 캐스캐이드의 특정 장치가 선택되는 것을 가능하게 한다.

[0042] 도 4b는 제2 예의 플래시 메모리 컨트롤러(401)를 나타내는 블록도이며, 플래시 컨트롤러(400)를 참조하여 상기 서술된 하나 이상의 구성으로 구성될 수 있다. 플래시 컨트롤러(401)는 중앙 처리 장치(CPU)(470)를 포함하는 것에서, 컨트롤러(400)와 구별될 수 있고, 보다 복잡한 업무에서 유용할 수 있다.

[0043] 도 4a를 참조하여 상기 서술된 구성 요소에 추가하여, 플래시 메모리 컨트롤러(401)는 Xtal(Crystal oscillator)(476)를 포함하며, 클락 발생기 및 제어 블록에 연결된 베이스 클락 신호를 공급한다. 클락 발생기 및 제어 블록(475)은 다양한 클락 신호를 CPU(470), 플래시 제어(495) 및 시스템 인터페이스(465)에 공급한다. CPU(470)는 공통 버스(485)를 통해 다른 서브시스템과 통신한다. 또한, RAM 및 ROM은 공통 버스(485)에 연결되어 있고, RAM은 버퍼 메모리를 제공하고, ROM은 실행가능한 코드를 저장한다. 플래시 컨트롤러(495)는 물리적 플래시 인터페이스, ECC 블록 및 파일 & 메모리 관리 블록을 포함한다. 플래시 장치는 물리적 플래시 인터페이스를 통해 액세스된다. 플래시 장치로부터 액세스된 데이터가 ECC 블록에 의해 체크되고 정정된다. 파일 & 메모리 관리 블록은 논리-물리 어드레스 변환, 웨어 레벨링 알고리즘 및 다른 기능들을 제공한다.

[0044] 도 5는 SIP 인클로저로 에워싸여진 메모리 시스템(500)의 다른 예의 블록도이다. 시스템은 SIP 인클로저로 에워싸여진 많은 장치를 포함하며, 인클로저는 마스터 플래시 메모리 장치(520)와 신호 경로(535)을 따라서 단방향 데이터 체인 캐스캐이드로 구성된 복수의 플래시 메모리 장치(530a-n)를 수용한다. 신호 경로(535)는 장치를 연결하는 다중 링크(535a-n)를 포함한다. 마스터 플래시 메모리 장치(520)는 링크(535a)로 제1 메모리 장치(530n)에 커맨드와 데이터를 송신하고, 데이터 체인 캐스캐이드의 최종 메모리 장치(530n)로부터 링크(535n)로 응답 통신을 수신한다.

[0045] 시스템(500)은 상기 도 2, 3을 참조하여 시스템(200, 300)에 대해 설명된 특징들을 통합할 수 있다. 마스터 플래시 메모리(520)는 단일 집적 회로 다이 위의 플래시 메모리에 내장되거나 플래시 메모리 컨트롤러를 포함한다. 내장된 플래시 컨트롤러는 도 4a-b를 참조하여 상기 서술된 플래시 컨트롤러(400, 401)의 특징을 통합할 수 있다. 마스터 플래시 장치(520)는 시스템 인터페이스를 통해 외부 시스템과 통신하고, 단방향 데이터 체인 캐스캐이드로 구성된 플래시 메모리 장치(530a-n)를 제어한다. 또한, 마스터 플래시 장치는 그 내부 플래시 메모리를 제어함으로써, 외부 시스템이 사용하기 위해 추가의 메모리를 제공한다. 그래서, 별개의 플래시 메

모리 컨트롤러 이외의 마스터 플래시 메모리(520)를 사용하여, SIP 인클로저(510)에 둘러싸여진 메모리 시스템(500)에서 더 높은 메모리 용량을 얻을 수 있다.

- [0046] 도 6은 SIP 인클로저(610)의 또 다른 플래시 메모리 시스템(600)의 블록도이고, 시스템(600)은 복수의 플래시 메모리 장치(620a-n)를 제어하는 마스터 플래시 메모리(620)를 갖는다. 장치를 연결하는 링크(634a-n, 635a-n)를 포함하는 신호 경로(634, 635)를 따라서 양방향 데이터 체인 캐스캐이드로 장치들은 구성된다.
- [0047] 도 7은 SIP 레이아웃으로 실시되는 일 예의 메모리 시스템(700)의 블록도이다. 시스템은 메모리 컨트롤러(720)와, SIP 인클로저(710) 내에 수용되고, 배선 기판(750) 위에 수직으로 적층된 다수의 메모리 장치(730a-c)를 포함하는 다수의 칩을 포함한다. SIP 인클로저(710)는 모든 면에서 시스템 구성 요소를 에워싸는 밀봉 매체 또는 수지를 포함할 수 있음으로써, 구성 요소가 고정되는 단단한 패키지를 제공한다. 칩(720, 730a-c)는 인클로저(710)에 에워싸워진 와이어(735)에 의해 연결된다. 또는, 칩(720, 730a-n)은 디자인 제약에 따라서 인클로저(710) 내에 서로 나란히 수평으로 배치될 수 있거나 "플립-칩" 기술로 함께 결합하기 위해 솔더 범프를 사용하여 연결될 수 있다.
- [0048] 메모리 장치(730c)는 다중 단자(예를 들면, 단자(755))에 의해 배선 기판(750)에 연결되고, 이를 통해 장치(730c)는 신호를 송수신할 수 있다. 단자(755)은 배선 기판(750)의 반대 면 위에 외부 단자(예를 들면, 단자(745))에 연결되어, 외부 시스템과 통신을 가능하게 한다. 유사하게, 메모리 컨트롤러(720)는 하나 이상의 외부 단자(745)에 순서대로 접속하는 단자(740)에 연결된 배선(735)을 포함하는 신호 경로를 통해 외부 시스템과 통신할 수 있다.
- [0049] 도 7의 블록도는 SIP 인클로저(710)에서 실시되는 메모리 시스템(700)의 도시 예를 제공한다. 상기 서술된 시스템의 구성 요소 및 연결은 특정 실시예의 디자인 요구 사항에 따라서 다르게 구성될 수 있다. 예를 들면, 도 2, 3, 5, 6, 8, 9의 메모리 시스템(200, 300, 500, 600, 800, 900)은 도 7의 시스템(700)에 유사한 메모리 시스템으로서 실시될 수 있다. 그러므로 이러한 메모리 시스템은 데이터 체인 캐스캐이드 배열로 메모리 컨트롤러와 복수의 메모리 장치를 수용하는 SIP 인클로저를 제공하여, 컨트롤러는 캐스캐이드를 통해 메모리 장치를 제어한다.
- [0050] *SIP(system-in-package)는 메모리 시스템(200, 300, 500, 600, 800, 900)이 실시될 수 있는 단일 폼팩터(form-factor) 실시예의 일 예이다. 메모리 시스템은 외부 시스템과의 통신을 위해 구성 요소 메모리 컨트롤러와 메모리 장치가 구성되는 공통 지원 어셈블리 또는 다른 적합한 장치에서 실행될 수 있다. 예를 들면, 메모리 시스템은 메모리 카드 등의 회로 기판으로서 실현될 수 있고, 컨트롤러와 메모리 장치는 기판에 연결되고 회로 기판에서 신호 경로를 통해 통신하는 칩을 포함한다.
- [0051] 도 8은 다중 접속을 포함하는 단방향 데이터 체인 캐스캐이드로 구성된 복수의 메모리 장치(830a-n)를 갖는 SIP 인클로저(810)의 메모리 시스템(800)의 블록도이다. 장치(830a-n)는 각 메모리 장치(830a-n) 사이의 링크를 포함하는 신호 경로(834, 835)를 통해 송신된 커맨드를 통해 플래시 컨트롤러(820)에 의해 제어된다. 이 구성은, 각각의 장치(830a-n)가 1개가 아니라 2개의 단방향 경로에 의해 접속되어 있는 것을 제외하고는, 도 2의 시스템(200)과 유사하다. 메모리 시스템은, 다중 플래시 메모리 장치(830a-n)를 어드레스하는 플래시 컨트롤러(820)를 포함하며, 도 2, 도 3의 시스템을 참조하여 상기 서술된 특징들을 또한 통합할 수 있다. 이 실시예에서, 링크(834a)를 통해 플래시 컨트롤러(820)에 의해 송신된 커맨드 및 데이터는 링크(834b-d)에 의해 신호 경로(834)를 통해 송신된다. 커맨드에 따르는 데이터는 링크(835b-n)를 포함하는 신호 경로(835)를 통해 송신되고, 플래시 컨트롤러(820)에 의해 수신된다. 플래시 컨트롤러(820)에 의해 송신된 커맨드 및 데이터는 링크(835n)를 통해 플래시 컨트롤러로 또한 복귀될 수 있다. 그래서, 단방향 데이터 체인 캐스캐이드를 포함하는 신호 경로(835)는 플래시 컨트롤러(820)로부터 커맨드와 데이터를 운반하도록 지정된 제1 경로(834a-d)(상부)와, 각각의 메모리 장치(830a-n)에 의해 생성된 응답 데이터를 운반하도록 지정된 제2 경로(835b-n)(하부)로 분할된다.
- [0052] 다른 실시예에서, 메모리 시스템(800)은 상기 서술된 것같이 마스터 플래시 메모리를 실행하도록 사용될 수 있다. 이러한 경우에, 플래시 컨트롤러(920)는, 도 5를 참조하여 서술된 것같이 플래시 메모리 장치(930a-n)를 제어하는 마스터 플래시 메모리로 대체될 수 있다.
- [0053] 도 9는 공통 입출력 포트를 공유하는 양방향 데이터 체인 캐스캐이드로 구성된 복수의 메모리 장치(930a-n)를 갖는 SIP 인클로저(910)의 메모리 시스템(900)의 블록도이다. 장치(930a-n)는 각 메모리 장치(930a-n) 사이의 링크를 포함하는 신호 경로(935)를 통해 송신된 커맨드를 통해 플래시 컨트롤러(820)에 의해 제어된다. 각 링크

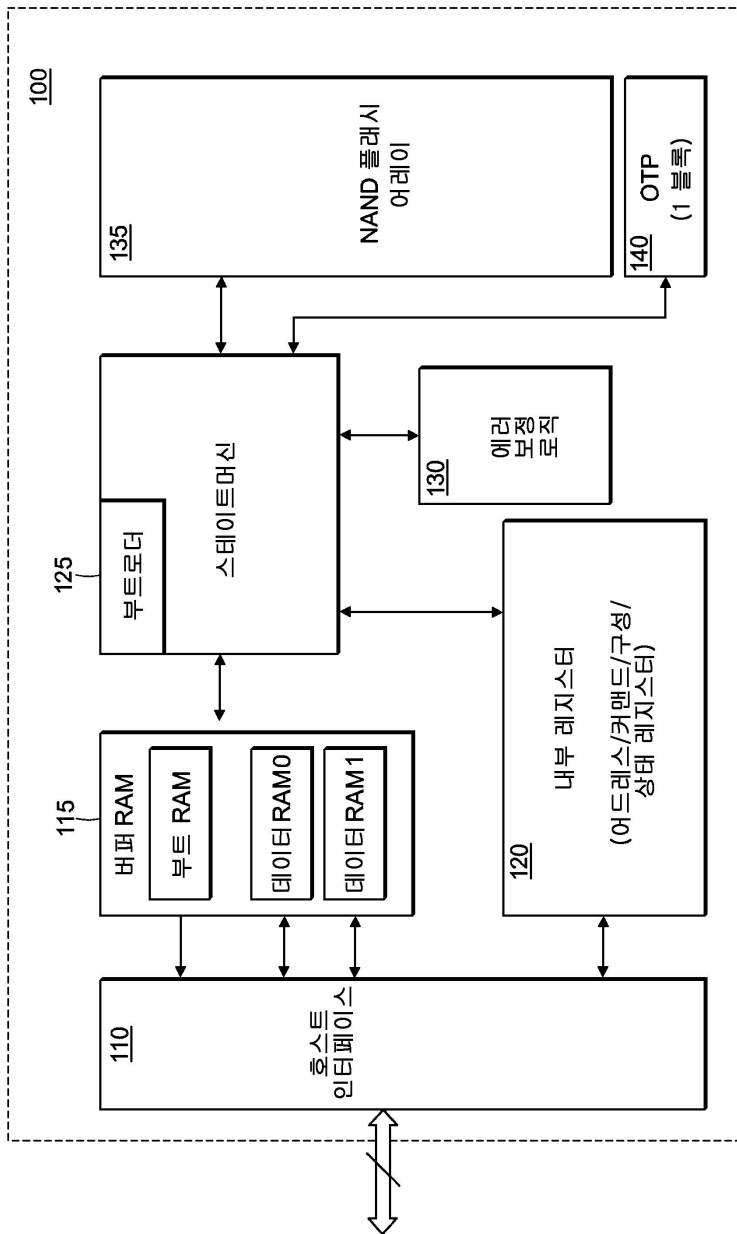
(935b-n)가 2개의 단방향 링크가 아니라 단일 양방향 링크인 것을 제외하고, 도 3의 시스템(300)과 유사하다. 링크(935b-n)는 각 장치(930a-n)에서 공통 입출력 포트에 연결될 수 있으므로, 각 링크(935b-n)를 통해 양방향 통신을 가능하게 한다. 플래시 컨트롤러(920)에 의해 송신된 커맨드와 데이터는 신호 경로(935a-n)을 통해 각 메모리 장치(930a-n)로 송신된다. 커맨드에 따르는 데이터는 신호 경로(935b-n)을 통해 전송되고, 링크(935a)에서 플래시 컨트롤러에 송신된다. 그래서, 양방향 데이터 체인 캐스캐이드는 공통 입출력 포트를 공유하는 다수의 링크(935a-n)를 포함하는 신호 경로(935)상에서 가능하다.

[0054] 다른 실시예에서, 메모리 시스템(900)은 상기 서술된 마스터 플래시 메모리를 실행하도록 사용될 수 있다. 이러한 경우에, 플래시 컨트롤러(920)는 도 6을 참조하여 서술된 것같이 플래시 메모리 장치(930a-n)를 제어하는 마스터 플래시 메모리로 대체될 수 있다.

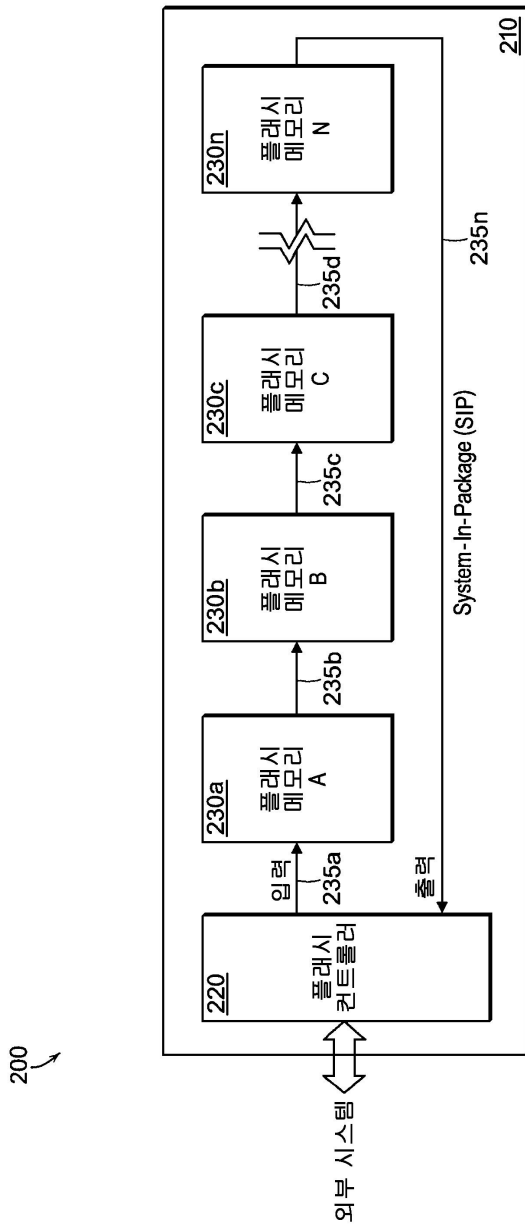
[0055] 본 발명은 실시예를 참조하여 특별히 도시되고 서술되었지만, 첨부된 청구범위에 의해 포함된 본 발명의 범위로 부터 벗어나지 않으면 형태와 상세한 내용의 다양한 변화가 행해질 수 있는 것으로 본 발명에 의해 숙련된 자에 의해 이해될 것이다.

도면

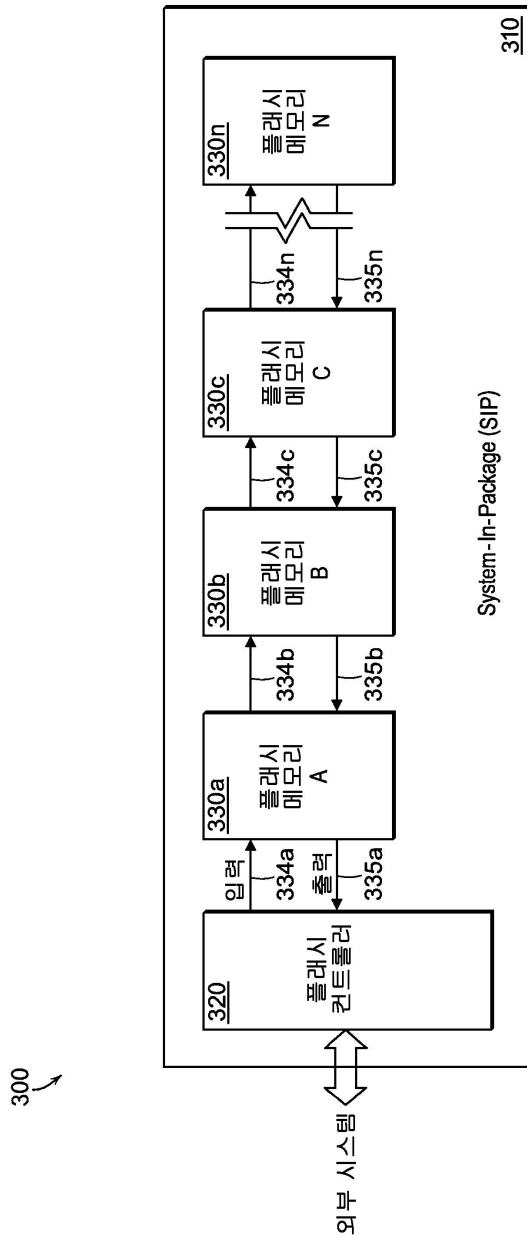
도면1



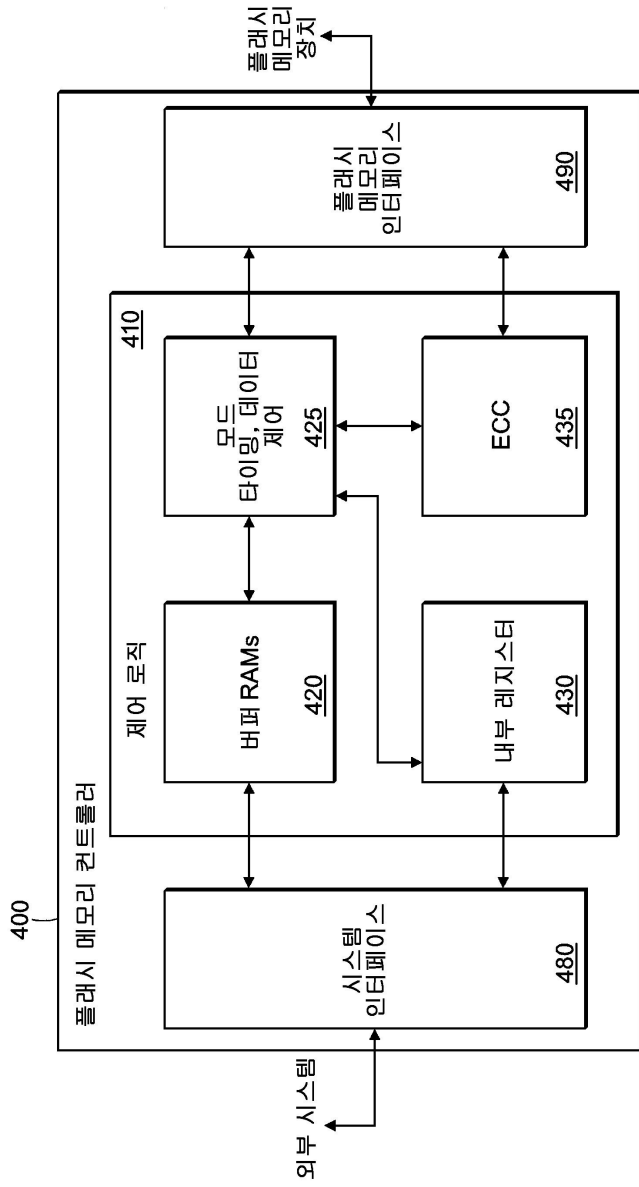
도면2



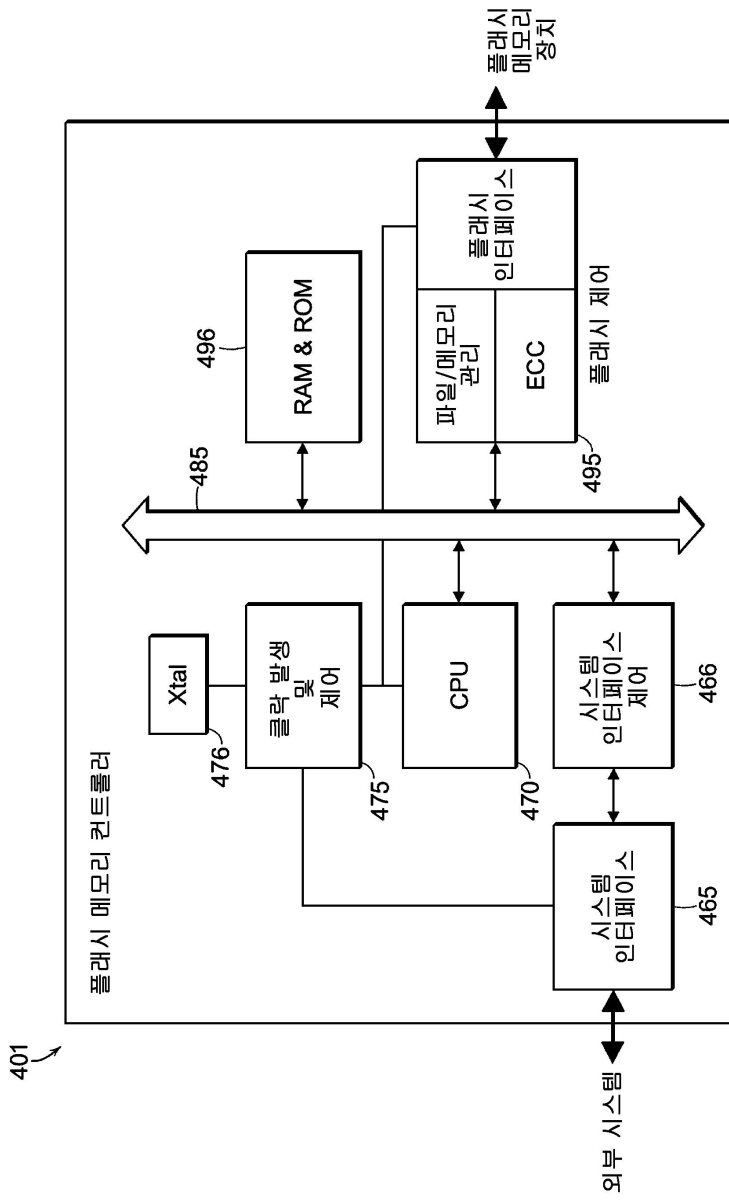
도면3



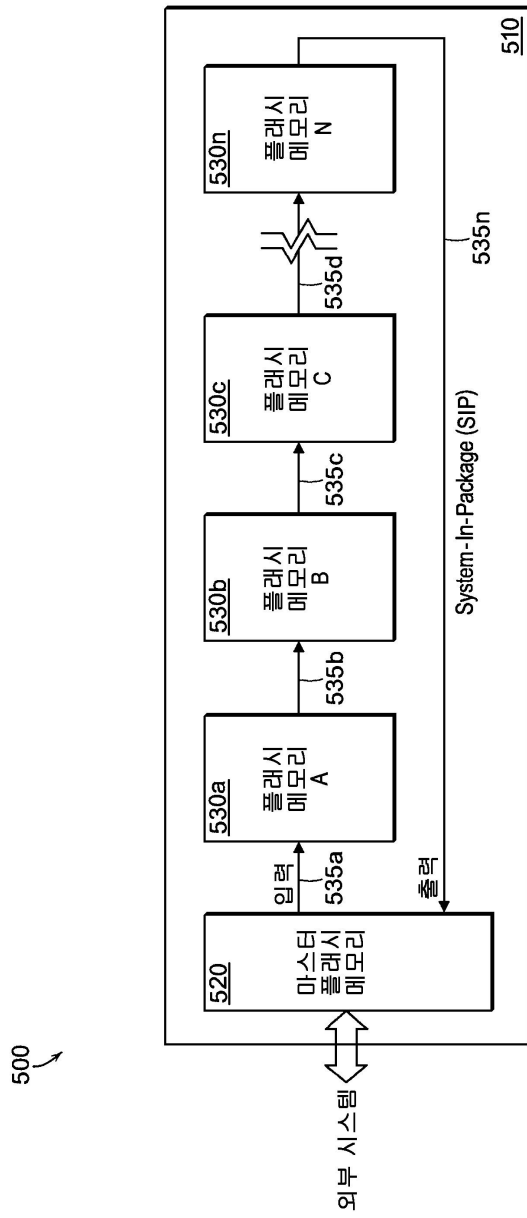
도면4a



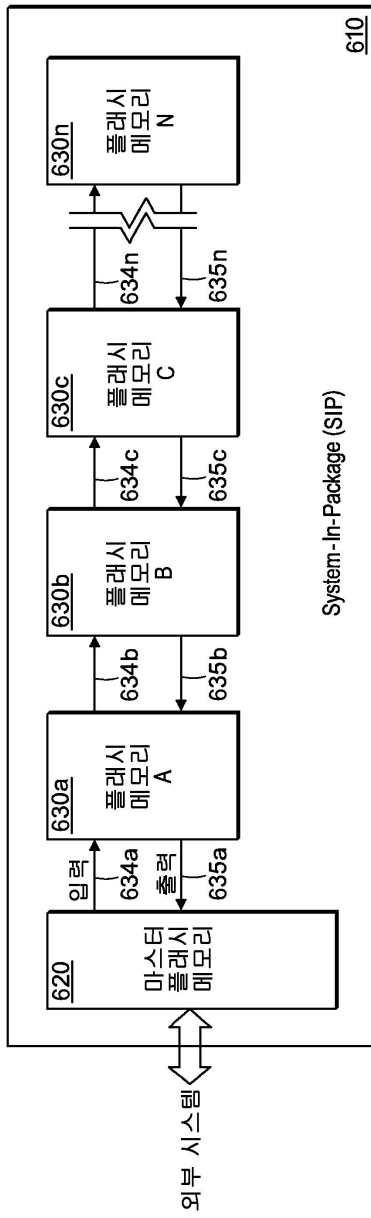
도면4b



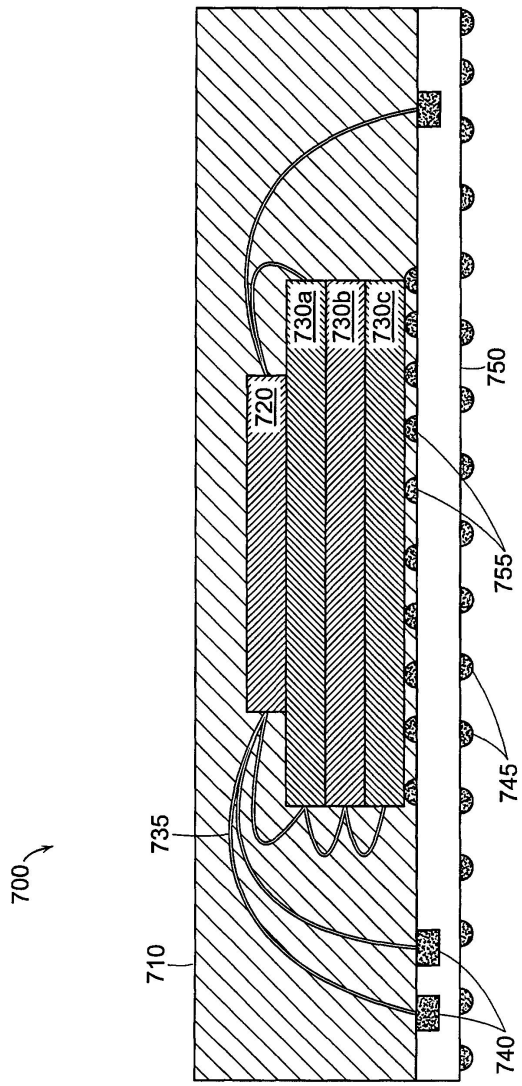
도면5



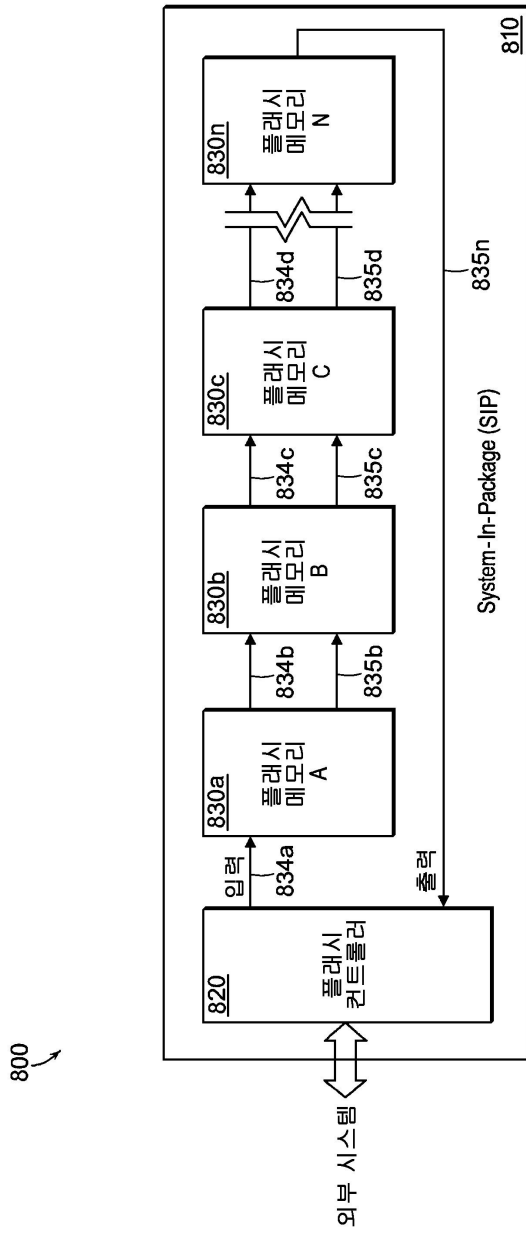
도면6



도면7



도면8



도면9

