



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201403798 A

(43) 公開日：中華民國 103 (2014) 年 01 月 16 日

(21) 申請案號：102133998

(22) 申請日：中華民國 99 (2010) 年 02 月 23 日

(51) Int. Cl. : *H01L27/115 (2006.01)*

H01L21/8247(2006.01)

H01L45/00 (2006.01)

(30) 優先權：2009/02/23 美國

12/390,703

(71) 申請人：美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)

美國

(72) 發明人：普拉爾 克拉克 D PRALL, KIRK D. (US)

(74) 代理人：陳長文

申請實體審查：有 申請專利範圍項數：20 項 圖式數：3 共 32 頁

(54) 名稱

具有非晶態金屬氧化物半導體通道之剛性半導體記憶體

RIGID SEMICONDUCTOR MEMORY HAVING AMORPHOUS METAL OXIDE SEMICONDUCTOR CHANNELS

(57) 摘要

本發明揭示一種使用非晶態金屬氧化物半導體通道之剛性半導體記憶體，該剛性半導體記憶體在生產薄膜電晶體記憶體裝置中係有用。此等裝置包括揮發性或非揮發性記憶體單元之單層及多層記憶體陣列。該等記憶體單元可經形成以具有上覆具有非晶態金屬氧化物半導體通道之一非晶態金屬氧化物半導體之一閘極堆疊。

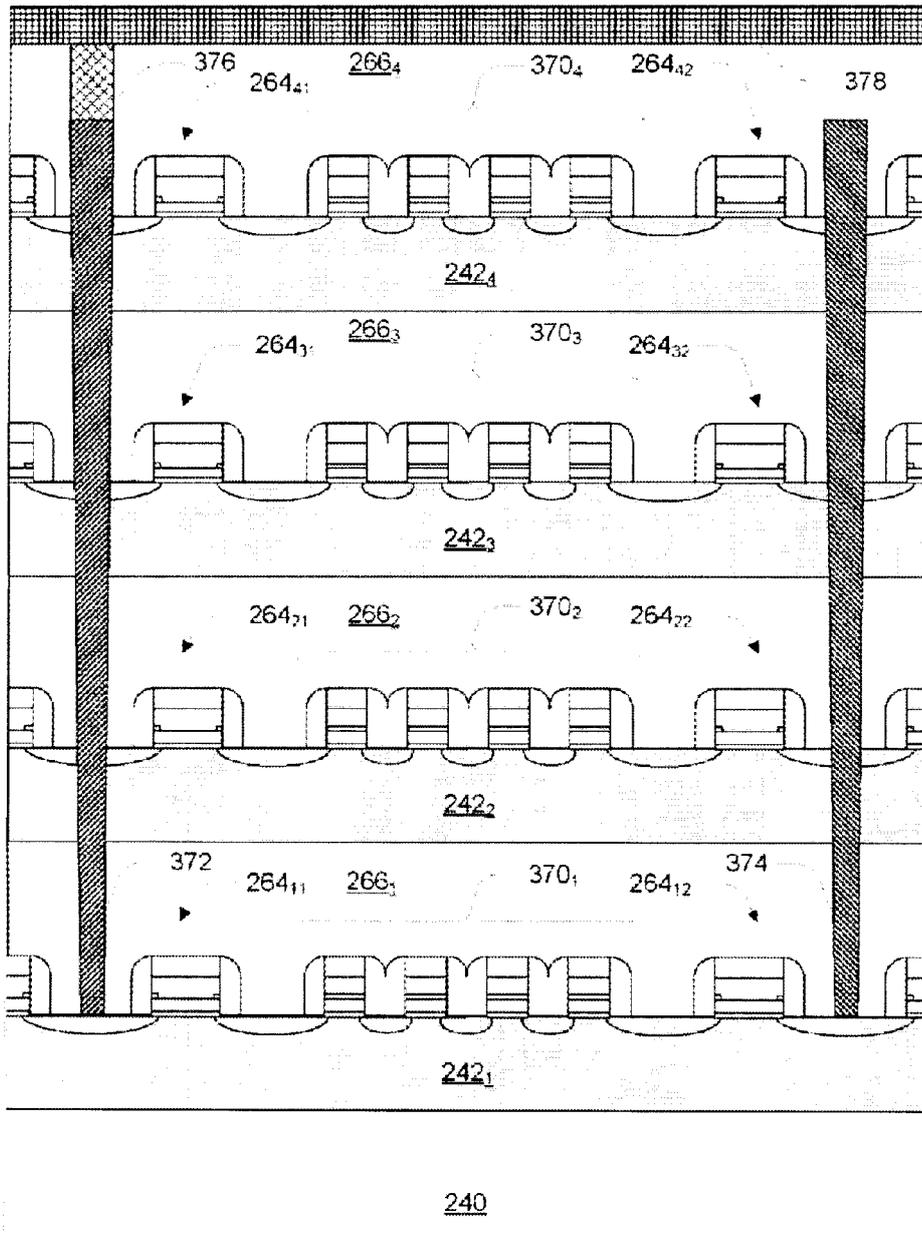


圖 3

- 240：支撐材料
- 242₁：第一非晶態金屬氧化物半導體
- 242₂：第二非晶態金屬氧化物半導體
- 242₃：第三非晶態金屬氧化物半導體
- 242₄：第四非晶態金屬氧化物半導體
- 264₁₁：第一選擇線閘極
- 264₁₂：第二選擇線閘極
- 264₂₁：第一選擇線閘極
- 264₂₂：第二選擇線閘極
- 264₃₁：第一選擇線閘極
- 264₃₂：第二選擇線閘極
- 264₄₁：第一選擇線閘極
- 264₄₂：第二選擇線閘極
- 266₁：第一電介質
- 266₂：第二電介質
- 266₃：第三電介質
- 266₄：第四電介質
- 370₁：第一記憶體單元 NAND 串
- 370₂：第二記憶體單元 NAND 串
- 370₃：第三記憶體單元 NAND 串
- 370₄：第四記憶體單元 NAND 串
- 372：資料線觸點

374：源極線觸點

376：導電插塞

378：資料線



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201403798 A

(43) 公開日：中華民國 103 (2014) 年 01 月 16 日

(21) 申請案號：102133998

(22) 申請日：中華民國 99 (2010) 年 02 月 23 日

(51) Int. Cl. : *H01L27/115 (2006.01)*

H01L21/8247(2006.01)

H01L45/00 (2006.01)

(30) 優先權：2009/02/23 美國

12/390,703

(71) 申請人：美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)

美國

(72) 發明人：普拉爾 克拉克 D PRALL, KIRK D. (US)

(74) 代理人：陳長文

申請實體審查：有 申請專利範圍項數：20 項 圖式數：3 共 32 頁

(54) 名稱

具有非晶態金屬氧化物半導體通道之剛性半導體記憶體

RIGID SEMICONDUCTOR MEMORY HAVING AMORPHOUS METAL OXIDE SEMICONDUCTOR CHANNELS

(57) 摘要

本發明揭示一種使用非晶態金屬氧化物半導體通道之剛性半導體記憶體，該剛性半導體記憶體在生產薄膜電晶體記憶體裝置中係有用。此等裝置包括揮發性或非揮發性記憶體單元之單層及多層記憶體陣列。該等記憶體單元可經形成以具有上覆具有非晶態金屬氧化物半導體通道之一非晶態金屬氧化物半導體之一閘極堆疊。

【代表圖】

【本案指定代表圖】：第（ 3 ）圖。

【本代表圖之符號簡單說明】：

240	支撐材料
242 ₁	第一非晶態金屬氧化物半導體
242 ₂	第二非晶態金屬氧化物半導體
242 ₃	第三非晶態金屬氧化物半導體
242 ₄	第四非晶態金屬氧化物半導體
264 ₁₁	第一選擇線閘極
264 ₁₂	第二選擇線閘極
264 ₂₁	第一選擇線閘極
264 ₂₂	第二選擇線閘極
264 ₃₁	第一選擇線閘極
264 ₃₂	第二選擇線閘極
264 ₄₁	第一選擇線閘極
264 ₄₂	第二選擇線閘極
266 ₁	第一電介質
266 ₂	第二電介質
266 ₃	第三電介質
266 ₄	第四電介質
370 ₁	第一記憶體單元NAND串
370 ₂	第二記憶體單元NAND串
370 ₃	第三記憶體單元NAND串
370 ₄	第四記憶體單元NAND串
372	資料線觸點
374	源極線觸點

201403798

376 導電插塞

378 資料線

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

(無)

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

具有非晶態金屬氧化物半導體通道之剛性半導體記憶體

RIGID SEMICONDUCTOR MEMORY HAVING AMORPHOUS
METAL OXIDE SEMICONDUCTOR CHANNELS

【技術領域】

本發明概言之係關於半導體記憶體，且特定而言，在一或多項實施例中，本發明係關於使用非晶態金屬氧化物半導體通道之剛性薄膜電晶體(TFT)記憶體陣列。

【先前技術】

通常提供記憶體裝置作為電腦或其他電子裝置中之內部半導體積體電路。存在諸多不同類型之記憶體，包括隨機存取記憶體(RAM)、唯讀記憶體(ROM)、動態隨機存取記憶體(DRAM)、同步動態隨機存取記憶體(SDRAM)及快閃記憶體。

快閃記憶體裝置已發展成用於廣泛電子應用之非揮發性記憶體之一普遍來源。快閃記憶體裝置通常使用允許高記憶體密度、高可靠性及低功率消耗之一單電晶體記憶體單元。該等單元之臨限電壓之改變藉由對電荷儲存節點(例如浮動閘極或捕獲層)或其他物理現象(例如相變或極化)之程式化來確定每一單元之資料值。快閃記憶體及其他非揮發性記憶體之常見使用包括：個人電腦、個人數位助理(PDA)、數位相機、數位媒體播放器、數位記錄器、遊戲、器具、車輛、無線裝置、行動電話及可抽換式記憶體模組，且非揮發性記憶體之使用範圍繼續擴大。

快閃記憶體通常利用稱為NOR快閃及NAND快閃之兩個基本架構

中之一者。該名稱係源於用以讀取該等裝置之邏輯。在NOR快閃架構中，一行記憶體單元並聯耦合，其中每一記憶體單元耦合至一資料線，該資料線通常稱作一位元線。在NAND快閃架構中，一行記憶體單元串聯耦合，其中僅該行之第一記憶體單元耦合至一位元線。

隨著記憶體裝置縮放之進展，技術挑戰通常增加。用以增加記憶體密度而不減小個別記憶體單元之大小之方法一直以來係鑽研多層記憶體。在多層記憶體中，堆疊多層記憶體裝置以增加記憶體密度且減小成本。儘管此方法緩解了減小特徵大小之問題，但引入了其他問題。舉例而言，可使用一多結晶矽(polycrystalline silicon)(通常稱為多晶矽(polysilicon))半導體基板來形成多層記憶體。然而，此等所得記憶體單元之缺點包括關斷狀態洩漏高、 I_{on}/I_{off} 比率差及載流子遷移率差。另一選擇係，可使用一單晶體矽半導體基板。然而，此方法涉及形成高品質磊晶矽，此與在一矽晶圓上形成一單層記憶體單元相比係昂貴的。因此，此等構造在商業上已經變得不可行。

出於上述原因，且出於熟習此項技術者在閱讀及理解本說明書之後將明瞭之其他原因，在此項技術中需要用於多層記憶體裝置之替代構造。

【圖式簡單說明】

圖1係根據本發明之一實施例耦合至作為一電子系統之一部分之一處理器之一記憶體裝置之簡化方塊圖；

圖2A至2D係根據本發明之實施例之一記憶體陣列之一部分在各個製造階段期間之剖視圖；及

圖3係根據本發明之另一實施例之一多層記憶體陣列之剖視圖。

【實施方式】

在對本發明實施例之以下詳細說明中，參照形成本發明之一部分且其中以圖解說明之方式展示可在其中實踐本發明之具體實施例之

附圖。充分詳細地闡述此等實施例以使熟習此項技術者能夠實踐本發明，但應理解，亦可利用其他實施例，且可做出製程、化學、電或機械改變而不背離本發明之範疇。在以下說明中當提及一晶圓或基板時，可能已利用先前製程步驟在基礎半導體結構中形成區/界面，且術語晶圓或基板包括含有此等區/界面之下伏層。另外，例如上部、下部、頂部、底部及側等方向性參考係彼此相對的且未必指代一絕對方向。因此，以下詳細說明並非係在一限制意義上作出。

先前技術之多層記憶體陣列一直以來係形成於結晶基板(諸如多晶矽)上。然而，如上所述，此等記憶體單元具有缺點，其包括關斷狀態洩漏高、 I_{on}/I_{off} 比率差及載流子遷移率差。另外，隨著裝置尺寸之減小，由於多晶矽晶界引起之變化變得更加明顯。此等變化包括沿該等邊界之電荷洩漏、沿該等邊界之重新組合及產生及沿該等邊界之電導變化。此等變化在記憶體陣列中可導致嚴重問題，乃因電晶體間之不同特性可導致感測、程式化及擦除均勻性問題。藉由使用單晶體磊晶矽可避免多晶矽之該等問題。然而，針對此等應用生產磊晶矽係困難且昂貴的,通常需要厚的高品質磊晶矽生長。因此，此等構造在商業上已經變得不可行。

各種實施例包括形成於非晶態金屬氧化物半導體上之記憶體陣列。非晶態氧化物半導體長期以來因其在透明且撓性薄膜電晶體(TFT)裝置中之使用而被吾人所認識，在透明且撓性薄膜電晶體(TFT)裝置中結晶半導體材料係不利的。相反，結晶半導體材料在剛性TFT裝置中係典型。

撓性TFT裝置較形成於結晶基板上之典型剛性TFT裝置相對較大。舉例而言，撓性TFT裝置中之電晶體數量可為剛性TFT裝置中之電晶體數量多約三個或三個以上。出於此原因，不認為在撓性TFT裝置中之適用性能推斷出在剛性TFT記憶體裝置中亦可使用。

圖1係根據本發明之一實施例作為一積體電路裝置之一個實例之一記憶體裝置100與作為一電子系統之一部分之一處理器130進行通信(例如與其耦合)之一簡化方塊圖。電子系統之某些實例包括個人電腦、個人數位助理(PDA)、數位相機、數位媒體播放器、數位記錄器、遊戲機、器具、車輛、無線裝置、蜂巢式電話及類似物。處理器130可係一記憶體控制器或其他外部處理器。

記憶體裝置100包括在邏輯上配置成列及行之一記憶體單元陣列104。記憶體單元陣列104包括具有非晶態金屬氧化物半導體通道之記憶體單元。記憶體單元陣列104可係一單層記憶體陣列或一多層記憶體陣列。儘管將主要參照NAND記憶體陣列來闡述各種實施例，但各種實施例並不限於記憶體陣列104之一具體架構。適合本發明實施例之其他陣列架構之某些實例包括NOR陣列、AND陣列或其他陣列。

提供一列解碼電路108及一行解碼電路110以解碼位址信號。位址信號經接收及解碼用以存取記憶體陣列104。記憶體裝置100亦包括輸入/輸出(I/O)控制電路112以管理至記憶體裝置100之命令、位址及資料之輸入以及資料及狀態資訊自記憶體裝置100之輸出。一位址暫存器114耦合於I/O控制電路112與列解碼電路108及行解碼電路110之間以在位址信號解碼之前鎖存位址信號。一命令暫存器124耦合於I/O控制電路112與控制邏輯116之間以鎖存傳入命令。控制邏輯116回應於該等命令而控制對記憶體陣列104之存取且產生用於外部處理器130之狀態資訊。控制邏輯116耦合至列解碼電路108及行解碼電路110以回應於該等位址而控制列解碼電路108及行解碼電路110。

控制邏輯116亦耦合至快取暫存器118。快取暫存器118如控制邏輯116引導而鎖存資料(傳入或傳出)以在記憶體陣列104正忙於分別寫入或讀取其他資料時暫時儲存資料。在一寫入操作期間，資料自快取暫存器118傳遞至資料暫存器120供傳送至記憶體陣列104，然後新資

料自I/O控制電路112鎖存於快取暫存器118中。在一讀取操作期間，資料自快取暫存器118傳遞至I/O控制電路112供輸出至外部處理器130，然後新資料自資料暫存器120傳遞至快取暫存器118。一狀態暫存器122耦合於I/O控制電路112與控制邏輯116之間以鎖存狀態資訊供輸出至處理器130。

記憶體裝置100經由一控制鏈路132在控制邏輯116處自處理器130接收控制信號。該等控制信號可包括一晶片啓用 $CE\#$ 、一命令鎖存啓用 CLE 、一位址鎖存啓用 ALE 及一寫入啓用 $WE\#$ 。記憶體裝置100經由一多工輸入/輸出(I/O)匯流排134自處理器130接收命令(呈命令信號形式)、位址(呈位址信號形式)及資料(呈資料信號形式)並經由I/O匯流排134將資料輸出至處理器130。

具體而言，經由I/O匯流排134之輸入/輸出(I/O)接針[7:0]在I/O控制電路112處接收命令且將該等命令寫入至命令暫存器124中。經由匯流排134之輸入/輸出(I/O)接針[7:0]在I/O控制電路112處接收位址且將該等位址寫入至位址暫存器114中。針對一8位元裝置經由輸入/輸出(I/O)接針[7:0]或針對一16位元裝置經由輸入/輸出(I/O)接針[15:0]在I/O控制電路112處接收資料且將該資料寫入至快取暫存器118中。隨後將該資料寫入至資料暫存器120中用於程式化記憶體陣列104。對於另一實施例，可省略快取暫存器118，且將該資料直接寫入至資料暫存器120中。亦針對一8位元裝置經由輸入/輸出(I/O)接針[7:0]或針對一16位元裝置經由輸入/輸出(I/O)接針[15:0]輸出資料。熟習此項技術者應瞭解，可提供額外電路及信號，且圖1之記憶體裝置已經簡化以幫助聚焦於本發明。另外，儘管已根據各種信號之接收及輸出之普遍慣例闡述了圖1之記憶體裝置，但應注意，除非本文中明確陳述，否則各種實施例不受所闡述之具體信號及I/O組態限制。

圖2A至2D係根據本發明之實施例一記憶體陣列之一部分在各個

製造階段期間之剖視圖。為清晰起見，某些元件符號在其簡介之後未在繪示剩餘圖中。儘管該等圖繪示一NAND陣列架構中之浮動閘極記憶體單元之製造，但亦可使用其他記憶體單元結構及陣列架構。舉例而言，該記憶體陣列可包括：其他非揮發性記憶體單元，諸如氮化物唯讀記憶體(NROM)單元、鐵電場效電晶體記憶體單元、相變記憶體單元及能夠使用臨限電壓、電阻或其他特性之改變來儲存一資料值之其他記憶體單元；或揮發性記憶體單元，諸如使用一單獨電荷節點(例如一電容器)來儲存表示一資料值之電荷之DRAM單元。實例性替代陣列架構包括NOR陣列、AND陣列或其他陣列。

圖2A繪示在已發生一個或多個處理步驟之後的該記憶體陣列之一部分。圖2A繪示經形成上覆一支撐材料240之一非晶態金屬氧化物半導體(AMOS)242。儘管如在圖2A中所繪示AMOS 242可形成於支撐材料240上，但替代結構可包括一個或多個介入材料(在圖2A中未繪示)，諸如黏合層、電介質材料、經隔離作用區域等。

支撐材料240可係一半導體材料，諸如單晶矽基板。舉例而言，若期望形成一多層記憶體陣列之一第一層，則無需將未來記憶體單元與一下伏層隔離，以使得一半導體材料將不干擾記憶體裝置之操作。另一選擇係，支撐材料240可係一電介質材料。作為一個實例，支撐材料240可係一經摻雜矽酸鹽材料，諸如硼磷矽玻璃(BPSG)。使用一電介質支撐材料240將提供未來記憶體單元與下伏記憶體單元或其他作用區域之隔離。對於一單層記憶體陣列，支撐材料240係剛性的。如本文中所使用，剛性意指儘管該結構在被施以應力時可撓曲，但在移除彼應力時，該結構將傾向於恢復至其原始位置及定向，只要該應力不超出導致結構破損之程度。舉例而言，剛性支撐材料240可係一單結矽基板。

AMOS 242表示未來IC裝置(諸如一記憶體單元、選擇閘極、周邊

裝置等)之導電通道。AMOS 242係一非晶態材料，因此不受多結晶矽之晶界問題之影響。此外，與各種實施例一同使用之非晶態金屬氧化物包括離子非晶態金屬氧化物半導體，其主要或唯一鍵合機制係離子的而非共價的。實例包括銦摻雜錫氧化物(ITO或 In_xSnO_2)、鋅錫氧化物(ZTO或 $\text{Zn}_x\text{O}_x\text{SnO}_2$)、銦鎳鋅氧化物(InGaZnO_4 或 $\text{InGa}_3(\text{ZnO})_5$)、氧化鋅(ZnO)、氧化錫(SnO_2)、氧化銦鎳($\text{In}_2\text{O}_3\text{Ga}_2\text{O}_3$)、氧化銦(In_2O_3)及氧化鎘(CdO)。

非晶態金屬氧化物可係由各種各樣的方法形成。舉例而言，可使用一物理氣相沈積(PVD)製程。PVD之實例包括其中將靶材料加熱至氣化之蒸鍍沈積、其中使用一電子束來使一靶陽極氣化之電子束蒸鍍、其中使用一雷射來切除一靶材料之脈衝雷射沈積及其中一靶材料經受一電漿以釋放其組分材料之濺鍍。在非晶態金屬氧化物之撓性TFT使用中，在導電率與光學透射率之間作出一折衷，亦即一驅動目標係以導電率為代價來保持氧化物材料之透明度。隨著此等材料中電荷載流子之位準之增加，此等材料變得較不透明。然而，在本文中所闡述之各種實施例中，光學透射率並非一重要事物。因此，可以一高位準之電荷載流子來形成本發明之實施例中所使用之非晶態金屬氧化物而不用關心其光學性質。在形成非晶態金屬氧化物材料期間，可藉由減少氧氣(O_2)之分壓力或增加一雜質(諸如氫氣(H_2))之可用性來獲得增加位準之電荷載流子。對於一個實施例，該非晶態金屬氧化物半導體經形成以具有充足電荷載流子，使得該材料不透明。對於另一實施例，該非晶態金屬氧化物半導體經形成以具有一充足電荷載流子密度，使得該材料具有小於70%之一透射率。另外，應保持於其上沈積該期望材料之表面之溫度低於彼材料之結晶溫度，以保持該所沈積材料之非晶態特性。舉例而言，諸多此等材料應在低於約 200°C 之溫度下形成以保持一非晶態形態。

AMOS 242可經形成以具有一第一導電率類型，諸如一p型導電率或一n型導電率。AMOS 242可固有地具有一特定導電率類型。舉例而言，銻摻雜錫氧化物固有地係一n型材料。可藉由對AMOS材料之化學摻雜來增強或更改一導電率類型。舉例而言，可在形成AMOS材料期間藉由更改氧氣(O₂)之分壓力或在形成之後藉由植入具有低電子親和性之陽離子來更改陽離子及陰離子之電荷價。

圖2B繪示在已發生數個處理步驟之後的該記憶體陣列之一部分。圖2B中所繪示之類型之結構之形成亦為吾人所習知，且本文中將不予以詳述。一般而言，圖2B可繪示將自其形成未來記憶體單元閘極堆疊之一材料堆疊。對於一個實施例，此等材料包括形成於AMOS 242上之一隧道電介質材料244、一浮動閘極材料246、一閘極間電介質材料248、一控制閘極材料250及帽蓋材料252。注意，閘極間電介質材料248之部分經移除以形成槽249，將在槽249處形成未來選擇閘極。移除此等區域中之閘極間電介質材料248准許浮動閘極材料246及控制閘極材料250在未來選擇閘極中充當一單個導體，從而達成改良之導電性及較快之操作。將參照浮動閘極非揮發性記憶體單元來論述圖2B至2D之記憶體陣列，但該等概念亦適用於其他類型之記憶體單元。舉例而言，材料244、246及248可表示一電荷捕獲浮動節點配置，諸如一NROM記憶體單元之一ONO(氧化物-氮化物-氧化物)結構。由於用於閘極堆疊之選定材料並非係本發明之一特徵或限制，因此可選擇其他結構用於使用AMOS 242之形成物。

在圖2C中，存取線閘極堆疊254已經界定用於一NAND串之未來記憶體單元，且選擇線閘極堆疊256已經界定用於該NAND串之未來選擇線閘極。在該半導體製造技術中此圖案化係常見的。作為一個實例，可上覆帽蓋材料252沈積一光微影抗蝕劑(光阻劑)材料，將該材料曝露於一輻射源，諸如UV光，且顯影該材料以界定上覆帽蓋材料

252之用於移除之區域。在光蝕劑材料之此圖案化之後，藉由諸如蝕刻或其他移除製程來移除帽蓋材料252之曝露部分及下伏材料，以曝露AMOS 242。在選定之移除製程在移除一下伏材料無效之情況下，可使用一個以上移除製程。注意，圖2C中所繪示之記憶體陣列之部分包括兩個毗鄰NAND串之選擇線閘極堆疊。藉由諸如對AMOS 242之曝露部分之化學摻雜來形成源極/汲極區258。

在圖2D中，亦可形成電介質間隔件260。作為一個實例，上覆閘極堆疊254/256形成某電介質材料(例如氮化矽)之一毯式沈積，後跟對該毯式沈積之一各向異性移除以形成間隔件且曝露AMOS 242之部分。然後形成一體電介質材料266以使記憶體單元262與選擇線閘極264絕緣。體電介質材料266可係任一電介質材料。作為一個實例，體電介質材料266係一經摻雜矽酸鹽材料，諸如硼磷矽玻璃(BPSG)。體電介質材料266亦可形成用於將形成於圖2D中所繪示之結構上方之一後續記憶體單元陣列之支撐件240。選擇線閘極264₁可選擇性地將記憶體單元262之NAND串連接至該記憶體陣列之一資料線，而選擇線閘極264₂可選擇性地將記憶體單元262之NAND串連接至該記憶體陣列之一源極線。選擇線閘極264₃可選擇性地將另一記憶體單元NAND串(圖中未繪示)連接至該資料線，而選擇線閘極264₄可選擇性地將又一記憶體單元NAND串(圖中未繪示)連接至該源極線。儘管圖2D繪示記憶體單元262之一NAND串含有源極至汲極串聯耦合之四個記憶體單元，但該等NAND串可包括任一數目之記憶體單元262且對於NAND串含有四個以上串聯記憶體單元係常見的。舉例而言，諸多典型NAND快閃記憶體裝置在每一NAND串中具有32個記憶體單元。此外，儘管圖2D繪示記憶體單元形成於具有水平通道之一平坦表面上，但形成半導體材料柱狀物之記憶體裝置係已知的，其中記憶體單元形成於該等柱狀物之具有垂直通道之對置側壁上。1999年8月10日

頒予Forbes等人之美國專利第5,936,274號展示此一結構，但此並非係理解本發明所必需。因此，非晶態金屬氧化物半導體亦可用於具有垂直通道之記憶體結構。

其一部分繪示於圖2D中之記憶體陣列係一剛性結構。記憶體單元262之通道係由AMOS 242之介於其源極/汲極區258之間的部分來界定。在一記憶體單元之一資料值係由一電晶體之一臨限電壓界定之情況下，諸如在諸多非揮發性記憶體裝置中，此等電晶體中之一者或多者經形成以具有非晶態金屬氧化物半導體通道。在一記憶體單元之一資料值係由供一電晶體存取之一單獨電荷儲存節點中所儲存之一電荷界定時，諸如在諸多揮發性記憶體裝置中，此等電晶體中之一者或多者經形成以具有非晶態金屬氧化物半導體通道。在任一此種情形下，一般應認為其具有具有非晶態金屬氧化物半導體通道之記憶體單元。

圖3係根據本發明之另一實施例之一多層記憶體陣列之剖視圖。圖中繪示圖3之多層記憶體陣列經含有四個層。然而，亦可使用更少或更多之層。

該多層記憶體陣列之一第一層含有形成於一第一非晶態金屬氧化物半導體242₁上之一第一記憶體單元NAND串370₁。第一非晶態金屬氧化物半導體242₁經形成上覆一支撐材料240。支撐材料240係一剛性支撐材料。儘管如在圖3中所繪示，第一非晶態金屬氧化物半導體242₁可形成於支撐材料240上，但替代結構可包括一個或多個介入材料(在圖3中圖中未繪示)。

第一NAND串370₁具有經由一第一選擇線閘極264₁₁選擇性地連接至一資料線觸點372之一第一端及經由一第二選擇線閘極264₁₂選擇性地連接至一源極線觸點374之一第二端。儘管在該等圖中被繪示為單個閘極，但選擇線閘極264可替代地表示串聯之兩個或兩個以上閘極。一第一電介質266₁上覆該第一層而形成，以將第一NAND串370₁

及其他作用結構與上覆作用區域(例如該多層記憶體陣列之額外層)隔離。

該多層記憶體陣列之一第二層含有形成於一第二非晶態金屬氧化物半導體242₂上之一第二記憶體單元NAND串370₂。該第二NAND串370₂具有經由一第一選擇線閘極264₂₁選擇性地連接至一資料線觸點372之一第一端及經由一第二選擇線閘極264₂₂選擇性地連接至一源極線觸點374之一第二端。一第二電介質266₂上覆該第二層而形成，以將第二NAND串370₂及其他作用結構與上覆作用區域(例如該多層記憶體陣列之額外層)隔離。

該多層記憶體陣列之一第三層含有形成於一第三非晶態金屬氧化物半導體242₃上之一第三記憶體單元NAND串370₃。該第三NAND串370₃具有經由一第一選擇線閘極264₃₁選擇性地連接至一資料線觸點372之一第一端及經由一第二選擇線閘極264₃₂選擇性地連接至一源極線觸點374之一第二端。一第三電介質266₃上覆該第三層而形成，以將第三NAND串370₃及其他作用結構與上覆作用區域(例如該多層記憶體陣列之額外層)隔離。

該多層記憶體陣列之一第四層含有形成於一第四非晶態金屬氧化物半導體242₄上之一第四記憶體單元NAND串370₄。該第四NAND串370₄具有經由一第一選擇線閘極264₄₁選擇性地連接至一資料線觸點372之一第一端及經由一第二選擇線閘極264₄₂選擇性地連接至一源極線觸點374之一第二端。一第四電介質266₄上覆該第四層而形成，以將第四NAND串370₄及其他作用結構與上覆作用區域(例如資料線378)隔離。

可如參照圖2A至2D所闡述形成該多層記憶體陣列之該等層。非晶態金屬氧化物半導體242₁、242₂、242₃及242₄可係相同類型，例如皆係銻摻雜錫氧化物。儘管在相同半導體上形成該陣列之每一層之記

憶體單元存在已感知之優點，但並不禁止在不同於該記憶體裝置之一個或多個其他層之半導體上形成一個層之記憶體單元。

可在該多層記憶體陣列之所有該等層完成之後形成資料線觸點372及源極線觸點374。舉例而言，在完成第四NAND串370₄之形成之後，第四電介質266₄之至少一部分形成(例如)至源極線374之頂部之一合意位準。然後向下穿過該等層至第一非晶態金屬氧化物半導體242₁之至少一表面形成接觸孔，且以一導電材料填充該等接觸孔。以此方式，第一選擇線閘極264₁₁、264₂₁、264₃₁及264₄₁之源極/汲極區通常連接至資料線觸點372，且第二選擇線閘極264₁₂、264₂₂、264₃₂及264₄₂之源極/汲極區通常連接至源極線觸點374。另一選擇係，源極線觸點374亦可形成該記憶體陣列之源極線。舉例而言，代替形成用於源極線觸點374之一接觸孔，可穿過源極/汲極區形成一溝道用於形成於圖3之平面後面或前面之額外NAND串(圖中未繪示)。

在形成資料線觸點372及源極線觸點374(或源極線)之後，可形成第四電介質266₄之一剩餘部分，一導電插塞376可與資料線觸點372接觸地形成，且一資料線378可上覆第四電介質266₄與導電插塞376接觸地形成。至諸如位址解碼器、感測裝置及I/O控制等周邊裝置之剩餘連接完全在熟習半導體製造技術者之能力範圍內。同樣地，鑒於前述揭示內容，含有不同記憶體單元或架構之其他記憶體陣列類型之形成亦完全在熟習半導體製造技術者之能力範圍內。

儘管本文中已圖解說明及闡述具體實施例，但熟習此項技術者應瞭解，任何旨在達成相同目的之配置皆可替代所展示之具體實施例。熟習此項技術者將明瞭本發明之諸多修改。

因此，此申請案意欲涵蓋本發明之任何修改或變化。

【符號說明】

100 記憶體裝置

104	記憶體單元陣列
108	列解碼電路
110	行解碼電路
112	輸入/輸出(I/O)控制電路
114	位址暫存器
116	控制邏輯
118	快取暫存器
120	資料暫存器
122	狀態暫存器
124	命令暫存器
130	處理器
132	控制鏈路
134	多工輸入/輸出(I/O)匯流排
240	支撐材料
242	非晶態金屬氧化物半導體(AMOS)
242 ₁	第一非晶態金屬氧化物半導體
242 ₂	第二非晶態金屬氧化物半導體
242 ₃	第三非晶態金屬氧化物半導體
242 ₄	第四非晶態金屬氧化物半導體
244	隧道電介質材料
246	浮動閘極材料
248	閘極間電介質材料
249	槽
250	控制閘極材料
252	帽蓋材料
254	存取線閘極堆疊

256	選擇線閘極堆疊
258	源極/汲極區
260	電介質間隔件
262	記憶體單元
264 ₁	選擇線閘極
264 ₂	選擇線閘極
264 ₃	選擇線閘極
264 ₄	選擇線閘極
264 ₁₁	第一選擇線閘極
264 ₁₂	第二選擇線閘極
264 ₂₁	第一選擇線閘極
264 ₂₂	第二選擇線閘極
264 ₃₁	第一選擇線閘極
264 ₃₂	第二選擇線閘極
264 ₄₁	第一選擇線閘極
264 ₄₂	第二選擇線閘極
266	體電介質材料
266 ₁	第一電介質
266 ₂	第二電介質
266 ₃	第三電介質
266 ₄	第四電介質
370 ₁	第一記憶體單元NAND串
370 ₂	第二記憶體單元NAND串
370 ₃	第三記憶體單元NAND串
370 ₄	第四記憶體單元NAND串
372	資料線觸點

374	源極線觸點
376	導電插塞
378	資料線

申請專利範圍

1. 一種記憶體裝置，其包含：
 - 複數個記憶體單元，其具有非晶態金屬氧化物半導體通道；
 - 及
 - 一剛性支撐材料，其下伏於該非晶態金屬氧化物半導體下；
 - 其中該非晶態金屬氧化物半導體具有一充足電荷載流子密度以具有小於70%之一可見光透射率。
2. 如請求項1之記憶體裝置，其中該剛性支撐材料係一單晶矽。
3. 如請求項1或請求項2之記憶體裝置，其中該非晶態金屬氧化物半導體係形成於該剛性支撐材料上。
4. 如請求項1或請求項2之記憶體裝置，其中該複數個記憶體單元包含選自由：浮動閘極記憶體單元、氮化物唯讀記憶體單元、鐵電場效電晶體記憶體單元、相變記憶體單元及動態隨機存取記憶體單元構成之群組之記憶體單元。
5. 如請求項1之記憶體裝置，其中該非晶態金屬氧化物半導體係一離子非晶態金屬氧化物半導體。
6. 如請求項5之記憶體裝置，其中該離子非晶態金屬氧化物半導體係選自由銦摻雜錫氧化物、鋅錫氧化物、銦銻鋅氧化物、氧化鋅、氧化錫、氧化銦銻、氧化銦及氧化鎘構成之群組。
7. 如請求項1之記憶體裝置，其進一步包含：
 - 一電介質，其上覆該複數個記憶體單元；及
 - 第二複數個記憶體單元，其具有經形成上覆該電介質之一第二非晶態金屬氧化物半導體通道。
8. 如請求項7之記憶體裝置，其中該非晶態金屬氧化物半導體及該第二非晶態金屬氧化物半導體係相同類型之非晶態金屬氧化物

半導體。

9. 如請求項1、2、5、6、7或8中任一請求項之記憶體裝置，其中該複數個記憶體單元在該非晶態金屬氧化物半導體之一柱形物之對置側上具有通道。
10. 如請求項1、2、5或6中任一請求項之記憶體裝置，其進一步包含：
 - 一第一電介質，其上覆該複數個記憶體單元；
 - 第二複數個記憶體單元，其具有經形成上覆該第一電介質之一第二非晶態金屬氧化物半導體通道；
 - 一第二電介質，其上覆該第二複數個記憶體單元；
 - 一資料線觸點，其選擇性地連接至該複數個記憶體單元及該第二複數個記憶體單元；及
 - 一源極線觸點，其選擇性地連接至該複數個記憶體單元及該第二複數個記憶體單元。
11. 如請求項10之記憶體裝置，其進一步包含：
 - 至少一種額外複數個記憶體單元，每一至少一種額外複數個記憶體單元經形成具有一額外非晶態金屬氧化物半導體之通道；
 - 其中該資料線觸點進一步選擇性地連接至每一至少一種額外複數個記憶體單元；且
 - 其中該源極線觸點進一步選擇性地連接至每一至少一種額外複數個記憶體單元。
12. 如請求項10之記憶體裝置，其中該資料線觸點與該非晶態金屬氧化物半導體之一第一源極/汲極區接觸且穿過該第二非晶態金屬氧化物半導體之一第一源極/汲極區，且其中該源極線觸點與該非晶態金屬氧化物半導體之一第二源極/汲極區接觸且穿過該

第二非晶態金屬氧化物半導體之一第二源極/汲極區。

13. 如請求項12之記憶體裝置，其中該源極線觸點進一步與該非晶態金屬氧化物半導體之一個以上第一源極/汲極區接觸，且穿過該第二非晶態金屬氧化物半導體之一個以上第一源極/汲極區。

14. 如請求項1、2、5或6中任一請求項之記憶體裝置，其進一步包含：

一第一記憶體單元NAND串，其來自形成於上覆該剛性支撐材料之該非晶態金屬氧化物半導體上之該複數個記憶體單元，其中該第一記憶體單元NAND串包含源極至汲極串聯耦合之兩個或兩個以上記憶體單元；

一第一選擇線閘極，其形成於該非晶態金屬氧化物半導體上且具有連接至該第一記憶體單元NAND串之一第一端上之一記憶體單元之一源極/汲極區之一第一源極/汲極區；

一第二選擇線閘極，其形成於該非晶態金屬氧化物半導體上且具有連接至該第一記憶體單元NAND串之一第二端上之一記憶體單元之一源極/汲極區之一第一源極/汲極區；

一第一電介質，其上覆該第一記憶體單元NAND串、該第一選擇線閘極及該第二選擇線閘極；

一第二記憶體單元NAND串，其形成於上覆該剛性支撐材料之一第二非晶態金屬氧化物半導體上，其中該第二記憶體單元NAND串包含源極至汲極串聯耦合之兩個或兩個以上記憶體單元；

一第三選擇線閘極，其形成於該第二非晶態金屬氧化物半導體上且具有連接至該第二記憶體單元NAND串之一第一端上之一記憶體單元之一源極/汲極區之一第一源極/汲極區；

一第四選擇線閘極，其形成於該第二非晶態金屬氧化物半導

體上且具有連接至該第二記憶體單元NAND串之一第二端上之一記憶體單元之一源極/汲極區之一第一源極/汲極區；

一第二電介質，其上覆該第二記憶體單元NAND串、該第三選擇線閘極及該第四選擇線閘極；

一資料線觸點，其連接至該第一選擇線閘極之一第二源極/汲極區及該第二選擇線閘極之一第二源極/汲極區；及

一源極線觸點，其連接至該第三選擇線閘極之一第二源極/汲極區及該第四選擇線閘極之一第二源極/汲極區。

15. 一種形成一記憶體陣列之方法，其包含：

上覆一剛性支撐材料形成一非晶態金屬氧化物半導體，

其中該非晶態金屬氧化物半導體具有一充足電荷載流子密度以具有小於70%之一可見光透射率；

使用該非晶態金屬氧化物半導體形成記憶體單元；及

在該非晶態金屬氧化物半導體中形成該等記憶體單元之源極/汲極區。

16. 如請求項15之方法，其中形成一非晶態金屬氧化物半導體包含：使用選自由蒸鍍沈積、電子束蒸鍍、脈衝雷射沈積及濺鍍構成之群組之一製程來形成一非晶態金屬氧化物半導體。

17. 如請求項15或請求項16之方法，其中形成該非晶態金屬氧化物半導體包：含形成一離子非晶態金屬氧化物半導體。

18. 如請求項17之方法，其中形成該離子非晶態金屬氧化物半導體包含：形成選自由銮摻雜錫氧化物、鋅錫氧化物、銮鍺鋅氧化物、氧化鋅、氧化錫、氧化銮鍺、氧化銮及氧化鎘構成之群組之一離子非晶態金屬氧化物半導體。

19. 如請求項15或請求項16之方法，其中形成該非晶態金屬氧化物半導體包含：在低於200°C之一溫度下形成該非晶態金屬氧化物

半導體。

20. 如請求項15或請求項16之方法，其中形成記憶體單元包含形成一第一記憶體單元NAND串，該方法進一步包含：

形成一第一選擇線閘極，其具有連接至該第一記憶體單元NAND串之一第一端上之一記憶體單元之一源極/汲極區之一第一源極/汲極區；

形成一第二選擇線閘極，其具有連接至該第一記憶體單元NAND串之一第二端上之一記憶體單元之一源極/汲極區之一第一源極/汲極區；

在該第一記憶體單元NAND串、該第一選擇線閘極及該第二選擇線閘極上方形成一第一電介質；

上覆該第一電介質形成一第二非晶態金屬氧化物半導體；

使用該第二非晶態金屬氧化物半導體形成一第二記憶體單元NAND串；

形成一第三選擇線閘極，其具有連接至該第二記憶體單元NAND串之一第一端上之一記憶體單元之一源極/汲極區之一第一源極/汲極區；

形成一第四選擇線閘極，其具有連接至該第二記憶體單元NAND串之一第二端上之一記憶體單元之一源極/汲極區之一第一源極/汲極區；

在該第二記憶體單元NAND串、該第三選擇線閘極及該第四選擇線閘極上方形成一第二電介質；

形成一資料線觸點，其延伸穿過該第二電介質至該非晶態金屬氧化物半導體之至少一表面且連接至該第一選擇線閘極之一第二源極/汲極區且連接至該第三選擇線閘極之一第二源極/汲極區；及

形成一源極線觸點，其延伸穿過該第二電介質至該非晶態金屬氧化物半導體之至少一表面且連接至該第三選擇線閘極之一第二源極/汲極區且連接至該第四選擇線閘極之一第二源極/汲極區。

圖式

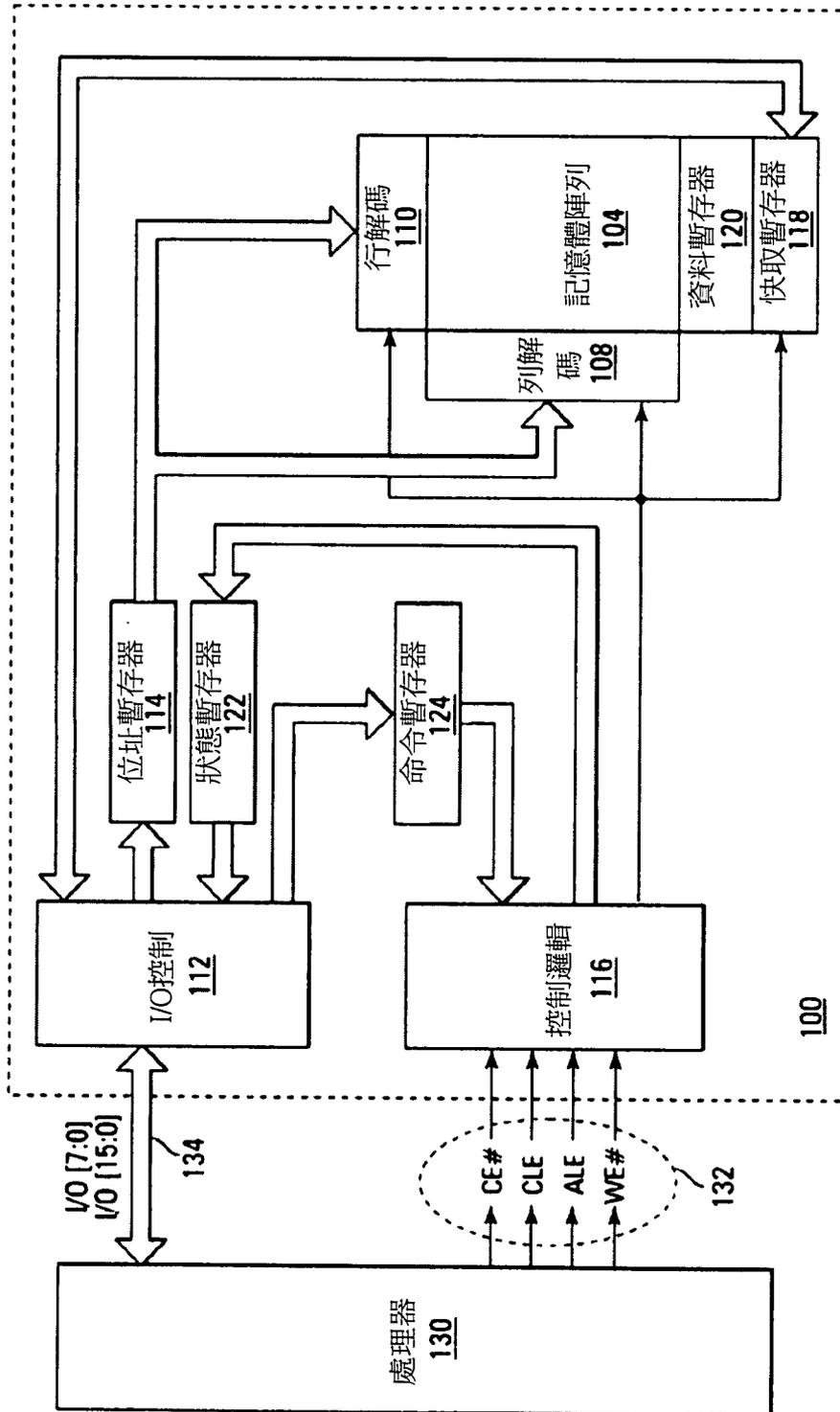


圖 1

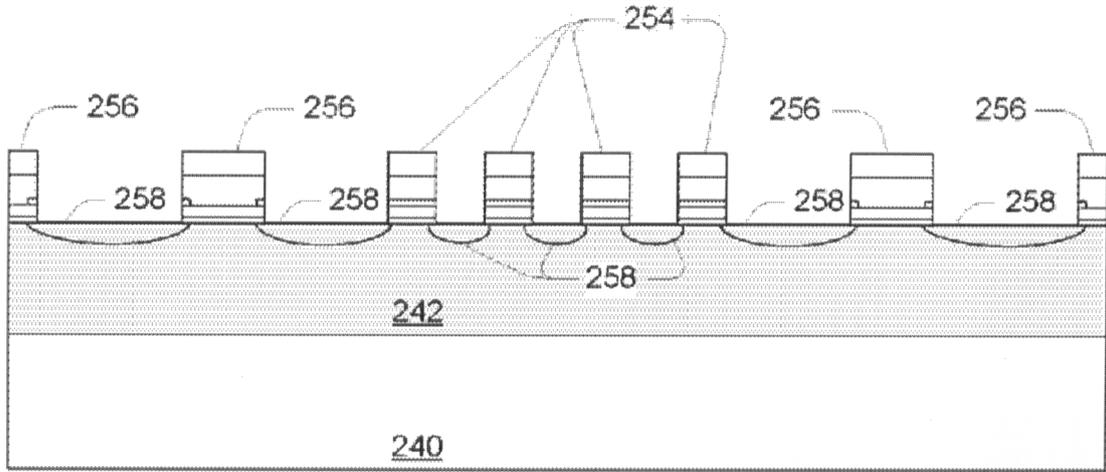


圖 2C

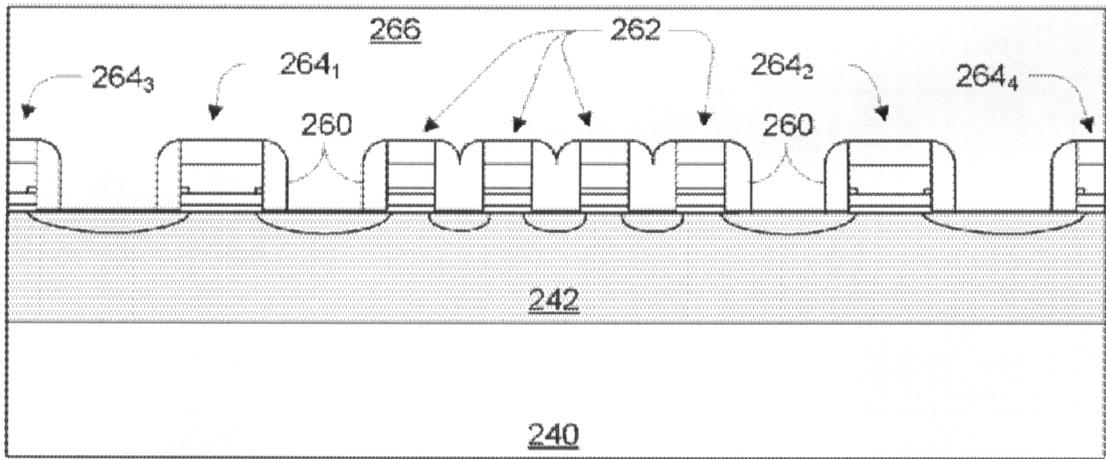


圖 2D

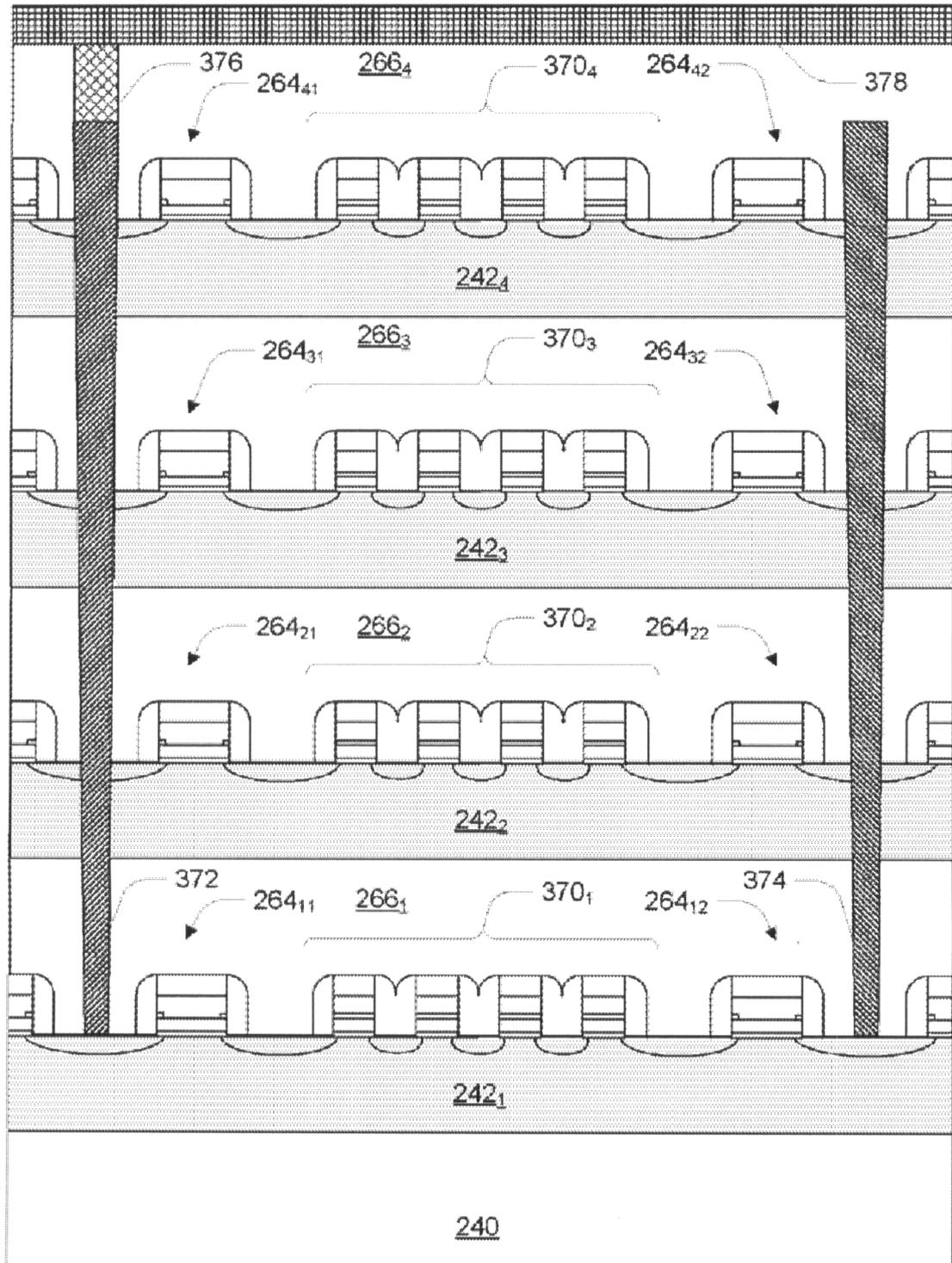


圖 3

