



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I492205 B

(45)公告日：中華民國 104 (2015) 年 07 月 11 日

(21)申請案號：102121382

(22)申請日：中華民國 102 (2013) 年 06 月 17 日

(51)Int. Cl. : G09G3/20 (2006.01)

H03K19/0185(2006.01)

(71)申請人：奇景光電股份有限公司(中華民國)HIMAX TECHNOLOGIES LIMITED (TW)
臺南市新市區紫棟路 26 號(72)發明人：王家輝 WANG, JIA HUI (TW)；黃宏裕 HUANG, HUNG YU (TW)；徐傳健 HSU,
CHUAN CHIEN (TW)

(74)代理人：陳達仁

(56)參考文獻：

TW 567661

TW I327820

TW 201134089A

審查人員：吳傳瑞

申請專利範圍項數：8 項 圖式數：3 共 21 頁

(54)名稱

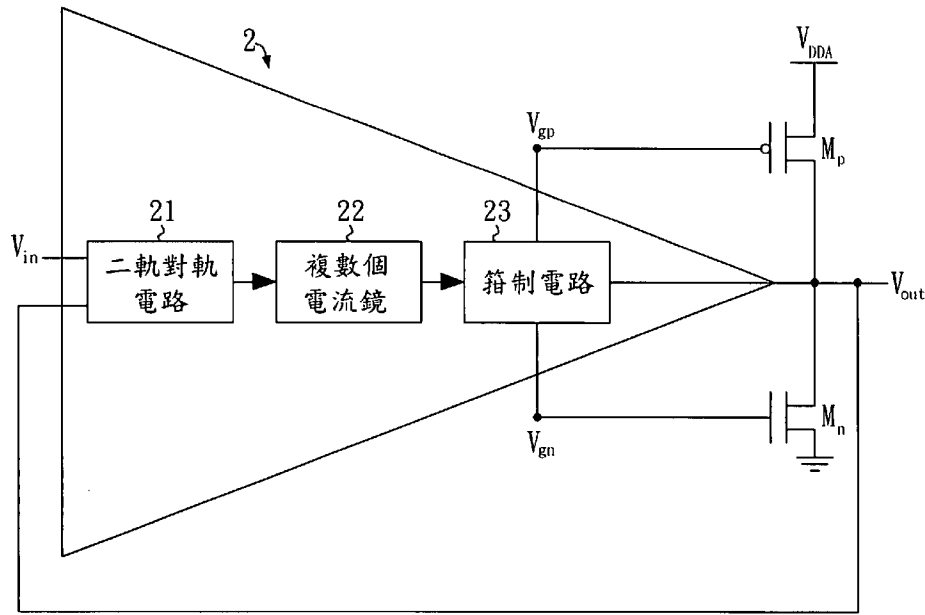
一種源極驅動器的輸出緩衝電路

OUTPUT BUFFER CIRCUIT OF SOURCE DRIVER

(57)摘要

本發明揭露一種源極驅動器的輸出緩衝電路，包括：二差動輸入運算放大器、複數個電流鏡以及一箝制電路。二差動輸入運算放大器接收一輸入電壓以分別產生一第一輸入電流及一第二輸入電流。其中之二電流鏡分別接收第一輸入電流及第二輸入電流。箝制電路電性連接一電壓輸出端、一正電源輸入端、一負電源輸入端及該二電流鏡，其包含一第一輸入電晶體、一第二輸入電晶體及一致動開關。第一輸入電晶體電性連接接收第一輸入電流之電流鏡，以根據第一輸入電流產生一第一致動電流。第二輸入電晶體電性連接接收第二輸入電流之電流鏡，以根據第二輸入電流產生一第二致動電流。致動開關根據第一致動電流及第二致動電流開啟，使電壓輸出端電性連接正電源輸入端或負電源輸入端。

The present invention is directed to an output buffer circuit of a source driver, which includes two rail to rail circuits, a plurality of current mirrors and a clamping circuit. The two rail to rail circuits receive an input voltage to separately generate a first input current and a second input current. Two of the plurality of current mirrors separately receive the first input current and the second input current. The clamping circuit electrically connects to an output voltage terminal, a positive power terminal, a negative power terminal and the two current mirrors. The clamping circuit includes a first input transistor, a second input transistor and an enabled switch. The first input transistor electrically connects to the current mirror receiving the first input current so as to generate a first enabled current according to the first input current. The second input transistor electrically connects to the current mirror receiving the second input current so as to generate a second enabled current according to the second input current. The enabled switch is enabled according to the first enabled current and the second enabled current so as to electrically connect the output voltage terminal to the positive power terminal or the negative power terminal.



- 2 . . . 輸出緩衝電路
- 21 . . . 二差動輸入
運算放大器
- 22 . . . 複數個電流
鏡
- 23 . . . 箝制電路
- V_{in} . . . 輸入電壓
- V_{out} . . . 電壓輸出
端
- V_{gp} 、 V_{gn} . . . 閘極
電壓
- M_p 、 M_n . . . MOS
電晶體
- V_{DDA} . . . 正電源端

第二圖

**公告本****【發明摘要】**

104年 02月 04日 修正替換頁

申請日：102.6.17

IPC分類：G09G 3/20 (2006.01)
H03K 19/0185 (2006.01)**【中文發明名稱】** 一種源極驅動器的輸出緩衝電路**【英文發明名稱】** OUTPUT BUFFER CIRCUIT OF SOURCE DRIVER

【中文】本發明揭露一種源極驅動器的輸出緩衝電路，包括：二差動輸入運算放大器、複數個電流鏡以及一箝制電路。二差動輸入運算放大器接收一輸入電壓以分別產生一第一輸入電流及一第二輸入電流。其中之二電流鏡分別接收第一輸入電流及第二輸入電流。箝制電路電性連接一電壓輸出端、一正電源輸入端、一負電源輸入端及該二電流鏡，其包含一第一輸入電晶體、一第二輸入電晶體及一致動開關。第一輸入電晶體電性連接接收第一輸入電流之電流鏡，以根據第一輸入電流產生一第一致動電流。第二輸入電晶體電性連接接收第二輸入電流之電流鏡，以根據第二輸入電流產生一第二致動電流。致動開關根據第一致動電流及第二致動電流開啟，使電壓輸出端電性連接正電源輸入端或負電源輸入端。

【英文】The present invention is directed to an output buffer circuit of an source driver, which includes two rail to rail circuits, a plurality of current mirrors and a clamping circuit. The two rail to rail circuits receive an input voltage to separately generate a first input current and a second input current. Two of the plurality of current mirrors separately receive the first input current and the second input current. The clamping circuit electrically connects to an output voltage terminal, a positive power

terminal, a negative power terminal and the two current mirrors. The clamping circuit includes a first input transistor, a second input transistor and an enabled switch. The first input transistor electrically connects to the current mirror receiving the first input current so as to generate a first enabled current according to the first input current. The second input transistor electrically connects to the current mirror receiving the second input current so as to generate a second enabled current according to the second input current. The enabled switch is enabled according to the first enabled current and the second enabled current so as to electrically connect the output voltage terminal to the positive power terminal or the negative power terminal.

【指定代表圖】 第二圖

【代表圖之符號簡單說明】

2	輸出緩衝電路
21	二差動輸入運算放大器
22	複數個電流鏡
23	箝制電路
V_{in}	輸入電壓
V_{out}	電壓輸出端
V_{gp} 、 V_{gn}	閘極電壓
M_p 、 M_n	MOS電晶體
V_{DDA}	正電源端

第 2 頁，共 2 頁(發明摘要)

【發明說明書】

【中文發明名稱】 一種源極驅動器的輸出緩衝電路

【英文發明名稱】 OUTPUT BUFFER CIRCUIT OF SOURCE DRIVER

【技術領域】

【0001】 本發明係有關於一種源極驅動器的輸出緩衝電路，特別是關於一種用於箝制運算放大器之源極驅動器充放電電壓所產生過衝的輸出緩衝電路。

【先前技術】

【0002】 現今許多可攜式電子產品的設計係以輕、薄、短、小為目標。然而，這些電子產品在利用運算放大器的電路設計上可能產生反應遲鈍的問題。

【0003】 請參閱第一A圖，其係為習知運算放大器的電路圖。運算放大器1的正電源輸入端係電性連接至PMOS (M_p)，負電源輸入端係電性連接至NMOS (M_n)，藉此根據PMOS (M_p)及NMOS (M_n)的閘極電壓 V_{gp} 、 V_{gn} 作為運算放大器1的工作電壓。

【0004】 運算放大器1由正輸入端(+)接收輸入電壓 V_{in} ，當運算放大器1進行充電時，可藉由增加輸入電壓 V_{in} 提升PMOS (M_p)的閘極電壓 V_{gp} 。當運算放大器1進行放電時，可藉由降低輸入電壓 V_{in} 以減小NMOS (M_n)的閘極電壓 V_{gn} 。

【0005】 如第一B圖及第一C圖所示，其係為運算放大器1針對閘極電壓 V_{gp} 充電及 V_{gn} 放電的示意圖。由於目前一般可攜式電子裝置的頻寬較小、電流較低，因此，當運算放大器1以輸入電壓 V_{in} 進行充電或者放電時，將使得閘極電壓 V_{gp} 或 V_{gn} 產生過衝(overshoot)的現象。換句話說，欲將閘極電壓 V_{gp} 充電至輸入電壓

V_{in} 的準位時，由於過衝的現象，將造成閘極電壓 V_{gp} 充電至輸入電壓 V_{in} 的時間變長，使得可攜式電子裝置的反應遲鈍。相似地，第一C圖所示針對閘極電壓 V_{gn} 放電所造成過衝的現象亦具有相同的問題。

【0006】因此，亟需提出一種可箝制運算放大器之源極驅動器充放電電壓的電路。

【發明內容】

【0007】本發明提供一種源極驅動器的輸出緩衝電路，包括二差動輸入運算放大器、複數個電流鏡以及箝制電路。二差動輸入運算放大器係接收一輸入電壓以分別產生一第一輸入電流及一第二輸入電流。複數個電流鏡其中之二分別接收第一輸入電流及第二輸入電流。箝制電路電性連接一電壓輸出端、一正電源輸入端、一負電源輸入端及二電流鏡。箝制電路包含一第一輸入電晶體、一第二輸入電晶體及一致動開關。第一輸入電晶體電性連接接收第一輸入電流之電流鏡，以根據第一輸入電流產生一第一致動電流。第二輸入電晶體電性連接接收第二輸入電流之電流鏡，以根據第二輸入電流產生一第二致動電流。致動開關根據第一致動電流及第二致動電流開啟，使電壓輸出端電性連接正電源輸入端或負電源輸入端。

【0008】據此，本發明源極驅動器的輸出緩衝電路，藉由箝制電路的作用，可於充、放電時箝制運算放大器正、負電源輸入端的工作電壓準位，減小其過衝的時間，使得利用本發明輸出緩衝電路的可攜式電子產品可進一步提升其充放電時的反應速度。

【圖式簡單說明】

第一A圖係為習知運算放大器的電路圖；

第一B圖係為運算放大器針對閘極電壓充電的示意圖；

第一C圖係為運算放大器針對閘極電壓放電的示意圖；

第二圖係為本發明源極驅動器的輸出緩衝電路示意圖；

第三A圖係為本發明輸出緩衝電路充電的電路圖；以及

第三B圖係為本發明輸出緩衝電路放電的電路圖。

【實施方式】

【0009】 請參閱第二圖，係為本發明源極驅動器的輸出緩衝電路示意圖。

詳細的輸出緩衝電路2、3可參閱第三A圖及第三B圖。輸出緩衝電路2包括二差動輸入運算放大器21、複數個電流鏡22以及箝制電路23。二軌對軌（rail to rail）電路21係接收一輸入電壓 V_{in} 以分別產生一第一輸入電流 I_{in1} 及一第二輸入電流 I_{in2} 。複數個電流鏡22其中之二電流鏡 CM_1 、 CM_2 分別接收第一輸入電流 I_{in1} 及第二輸入電流 I_{in2} 。箝制電路23電性連接一電壓輸出端 V_{out} 、一正電源輸入端 V_{gp} 、一負電源輸入端 V_{gn} 及二電流鏡 CM_1 、 CM_2 ，並經由一PMOS M_p 及一NMOS M_n 分別電性連接一正電源端 V_{DDA} 及一負電源端（接地端）。箝制電路23包含一第一輸入電晶體 M_{in1} 、一第二輸入電晶體 M_{in2} 及一致動開關 M_{sw1} 。第一輸入電晶體 M_{in1} 電性連接接收第一輸入電流 I_{in1} 之電流鏡 CM_1 ，以根據第一輸入電流 I_{in1} 產生一第一致動電流 I_{en1} 。第二輸入電晶體 M_{in2} 電性連接接收第二輸入電流 I_{in2} 之電流鏡 CM_2 ，以根據第二輸入電流 I_{in2} 產生一第二致動電流 I_{en2} 。致動開關 M_{sw1} 根據第一致動電流 I_{en1} 及第二致動電流 I_{en2} 開啟，使電壓輸出端 V_{out} 電性連接正電源輸入端

V_{gp} 或負電源輸入端 V_{gn} 。此外，於以下實施例中，為簡潔說明，電壓輸出端 V_{out} 具有一輸出電壓 V_{out} ，正電源輸入端 V_{gp} 具有一閘極電壓 V_{gp} ，負電源輸入端 V_{gn} 具有一閘極電壓 V_{gn} ，正電源端 V_{DDA} 具有一電源電壓 V_{DDA} ，其係表示為該端點具有一節點電壓，習知技藝者應可明確了解其意義，於此不再贅述。

【0010】請參閱第三A圖，係為本發明輸出緩衝電路2充電的電路圖。二差動輸入運算放大器21包括一n型差動輸入之差動輸入運算放大器以及一p型差動輸入之差動輸入運算放大器。

【0011】n型差動輸入之差動輸入運算放大器包含一n型差動對電晶體(M_1 , M_2)及一第一電流源 M_6 ，其中第一電流源係為一NMOS。n型差動對電晶體(M_1 , M_2)包含源極互相電性連接的二NMOS，且 M_1 的閘極接收輸入電壓 V_{in} 以產生一第一電流 I_1 ， M_2 的閘極電性連接電壓輸出端 V_{out} 。第一電流源 M_6 電性連接n型差動對電晶體(M_1 , M_2)的源極，以提供n型差動對電晶體(M_1 , M_2)一第一定電流 I_{c1} ，其中上述的第一輸入電流 I_{in1} 係為第一定電流 I_{c1} 扣除第一電流 I_1 。

【0012】p型差動輸入之差動輸入運算放大器包含一p型差動對電晶體(M_3 , M_4)及一第二電流源 M_5 ，其中第二電流源係為一PMOS。p型差動對電晶體(M_3 , M_4)包含源極互相電性連接的二PMOS，且 M_3 的閘極與 M_1 的閘極電性連接，以接收輸入電壓 V_{in} 產生一第二電流 I_2 。此外， M_4 的閘極電性連接 M_2 的閘極及電壓輸出端 V_{out} 。第二電流源 M_5 電性連接p型差動對電晶體(M_3 , M_4)的源極，以提供p型差動對電晶體(M_3 , M_4)一第二定電流 I_{c2} ，其中上述的第二輸入電流 I_{in2} 係為第二定電流 I_{c2} 扣除第二電流 I_2 。

【0013】複數個電流鏡22包括第一電流鏡 CM_1 及第二電流鏡 CM_2 。第一電流鏡 CM_1 具有電性連接n型差動對電晶體(M_1 , M_2)之 M_2 汲極的第一節點，以自第

一節點接收第一輸入電流 I_{in1} ，而第一節點具有第一節點電壓 V_A ，使第一節點電壓 V_A 跟隨第一輸入電流 I_{in1} 的大小變化。第二電流鏡 CM_2 具有電性連接p型差動對電晶體(M_3, M_4)之 M_4 汲極的第二節點，以自第二節點接收第二輸入電流 I_{in2} ，而第二節點具有第二節點電壓 V_E ，使第二節點電壓 V_E 跟隨第二輸入電流 I_{in2} 的大小變化。

【0014】 複數個電流鏡更包括第三電流鏡 CM_3 及第四電流鏡 CM_4 。第三電流鏡 CM_3 電性連接第一電流鏡 CM_1 及第四電流鏡 CM_4 ，第四電流鏡 CM_4 電性連接第二電流鏡 CM_2 及第三電流鏡 CM_3 ，亦即第三電流鏡 CM_3 及第四電流鏡 CM_4 彼此電性連接，且電性連接於第一電流鏡 CM_1 及第二電流鏡 CM_2 之間，作為第一輸入電流 I_{in1} 及第二輸入電流 I_{in2} 之間的電流緩衝。

【0015】 此外，第一輸入電晶體 M_{in1} 電性連接第一節點，第二輸入電晶體 M_{in2} 電性連接第二節點，使第一輸入電晶體 M_{in1} 及第二輸入電晶體 M_{in2} 可分別根據第一節點電壓 V_A 及第二節點電壓 V_E 的大小產生第一致動電流 I_{en1} 及第二致動電流 I_{en2} 。換句話說，第一致動電流 I_{en1} 及第二致動電流 I_{en2} 係間接根據第一輸入電流 I_{in1} 及第二輸入電流 I_{in2} 的大小變化。

【0016】 於本發明之實施例中，致動開關 M_{sw1} 包括一第一致動電晶體 M_7 、一第二致動電晶體 M_8 及一緩衝電晶體 M_9 ，其中第一致動電晶體係為PMOS，第二致動電晶體係為NMOS。第一致動電晶體 M_7 其源極電性連接電源端 V_{DDA} ，閘極電性連接第一輸入電晶體 M_{in1} 及第二輸入電晶體 M_{in2} 的汲極，使第一致動電晶體 M_7 於輸入電壓 V_{in} 上升時，根據第一致動電流 I_{en1} 及第二致動電流 I_{en2} 開啟。

【0017】 進一步而言，當輸入電壓 V_{in} 上升時，使得n型差動輸入之差動輸入運算放大器之n型差動對電晶體(M_1, M_2)的 M_1 其上的第一電流 I_1 增加，其中

電流的增加以粗箭號表示。然而，由於第一電流源 M_6 提供至n型差動對電晶體(M_1, M_2)的第一定電流 I_{c1} 係為固定值，因此使得流經n型差動對電晶體(M_1, M_2)的 M_2 其上的第一輸入電流 I_{in1} 減少。

【0018】再者，如上所述，當第一輸入電流 I_{in1} 減少時，第一電流鏡 CM_1 其上的第一節點電壓 V_A 隨之增加，使得第一輸入電晶體 M_{in1} 根據增加的第一節點電壓 V_A 所產生的第一致動電流 I_{en1} 隨之減少。

【0019】相似地，當輸入電壓 V_{in} 上升時，使得p型差動輸入之差動輸入運算放大器之p型差動對電晶體(M_3, M_4)的 M_3 其上的第二電流 I_2 減少，然而，由於第二電流源 M_5 提供至p型差動對電晶體(M_3, M_4)的第二定電流 I_{c2} 係為固定值，因此使得流經p型差動對電晶體(M_3, M_4)的 M_4 其上的第二輸入電流 I_{in2} 增加。

【0020】再者，當第二輸入電流 I_{in2} 增加時，第二電流鏡 CM_2 其上的第二節點電壓 V_E 隨之增加，使得第二輸入電晶體 M_{in2} 根據增加的第二節點電壓 V_E 所產生的第二致動電流 I_{en2} 隨之增加。

【0021】致動開關 M_{sw1} 的第一致動電晶體 M_7 具有一閘極電壓 V_{g7} ，而由於第一輸入電晶體 M_{in1} 的源極係電性連接於電源端 V_{DDA} ，第二輸入電晶體 M_{in2} 的源極係電性連接於接地端，因此，當流過第二輸入電晶體 M_{in2} 的第二致動電流 I_{en2} 大於流過第一輸入電晶體 M_{in1} 的第一致動電流 I_{en1} 時，亦即流向接地端的第二致動電流 I_{en2} 大於第一致動電流 I_{en1} 時，將使得閘極電壓 V_{g7} 下降，第一致動電晶體 M_7 因而導通。

【0022】承上所述，致動開關 M_{sw1} 的第二致動電晶體 M_8 的汲極電性連接正電源輸入端 V_{gp} ，閘極電性連接第二致動電晶體 M_7 的源極，源極電性連接電壓輸出端 V_{out} 。當第一致動電晶體 M_7 因閘極電壓 V_{g7} 下降而導通時，將使得第二致動

電晶體 M_8 的閘極電壓 V_{g8} 增加，因而使第二致動電晶體 M_8 導通，進一步使得正電源輸入端 V_{gp} 電性連接電壓輸出端 V_{out} 。

【0023】再者，由於輸入電壓 V_{in} 增加，使得正電源輸入端的電壓 V_{gp} 下降，但由於PMOS M_p 電性連接於電源端 V_{DDA} ，因而使PMOS M_p 導通，電源端 V_{DDA} 將經由PMOS M_p 對電壓輸出端 V_{out} 充電，使輸出電壓 V_{out} 上升。

【0024】換句話說，箝制電路23可使運算放大器2於輸入電壓 V_{in} 增加時，亦即運算放大器2於充電時，箝制正電源輸入端的電壓 (V_{gp}) 準位於輸出電壓 V_{out} 的準位而不至於超出輸入電壓 V_{in} 的準位造成過衝的現象，亦即，藉由電壓上升的輸出電壓 V_{out} 箝制電壓下降的正電源輸入端 V_{gp} 電壓，使正電源輸入端 V_{gp} 電壓不至於產生大幅的下降，以便於在運算放大器2充電時，可快速地回復至充電電壓(輸入電壓)的準位。因此，藉由本發明的箝制電路23可使運算放大器2因充電產生過衝的時間減小。此外，緩衝電晶體 M_9 電性連接於接地端及第一致動電晶體 M_7 的汲極之間，於此實施例中，緩衝電晶體 M_9 係為NMOS。

【0025】再者，箝制電路23可根據設計的需求，選擇第二輸入電晶體 M_{in2} 的尺寸大於第一輸入電晶體 M_{in1} 的尺寸，因而使第二致動電流 I_{en2} 增加的速度大於第一致動電流 I_{en1} ，使箝制電路23的第一致動電晶體 M_7 及第二致動電晶體 M_8 可更快速的導通，因而使過衝 (overshoot) 的時間更短。

【0026】此外，當運算放大器2的輸入電壓 V_{in} 維持固定不變時，箝制電路23致動開關 M_{sw1} 的第一致動電晶體 M_7 的閘極電壓 V_{g7} 係近似於電源端準位 V_{DDA} 。進一步而言，閘極電壓 V_{g7} 係等於電源端電壓 V_{DDA} 扣除導通電壓 V_{gs7} ，因此，第一致動電晶體 M_7 並無法導通。再者，第二致動電晶體 M_8 在第一致動電晶體 M_7 無法導通的情況下，其閘極電壓 V_{g8} 係趨近於接地端電壓。換句話說，閘極

電壓 V_{g8} 因緩衝電晶體 M_9 的汲極電流流向接地端（放電）而趨近於接地端電壓準位。據此，箝制電路23於輸入電壓 V_{in} 維持固定不變，亦即處於穩態時係關閉其作動。換句話說，當上述的輸出緩衝電路2充電至固定電壓（輸入電壓）之後，輸出緩衝電路2將關閉其作動。

【0027】請參閱第三B圖，其係為本發明輸出緩衝電路3放電的電路圖。相同的電路連接關係及作動如上所述，於此不再贅述。然而，值得一提的是運算放大器於電路上的操作係具有正極性以及負極性，其表示電壓的操作具有兩個範圍，亦即實際上正極性放大器以及負極性放大器係分別代表電路中的兩個通道（channel），並以此兩通道切換操作。因此，實際上係將第三A圖所示的正極性放大器電路，以及第三B圖所示的負極性放大器電路一併設置於電路上操作，而兩者於電路上的主要差異在於致動開關的電性連接並不相同。

【0028】致動開關 M_{sw2} 包括一第一致動電晶體 M_{10} 、一第二致動電晶體 M_{11} 及一緩衝電晶體 M_{12} ，其中第一致動電晶體 M_{10} 係為NMOS，第二致動電晶體 M_{11} 係為PMOS。第一致動電晶體 M_{10} 其源極電性連接接地端，閘極電性連接第一輸入電晶體 M_{in1} 及第二輸入電晶體 M_{in2} 的汲極，使第一致動電晶體 M_{10} 於輸入電壓 V_{in} 下降時，根據第一致動電流 I_{cn1} 及第二致動電流 I_{cn2} 開啟。

【0029】進一步而言，當輸入電壓 V_{in} 下降時，使得n型差動輸入之差動輸入運算放大器之n型差動對電晶體（ M_1, M_2 ）的 M_1 其上的第一電流 I_{c1} 減少，然而，由於第一電流源 M_6 提供至n型差動對電晶體（ M_1, M_2 ）的第一電流 I_{c1} 係為固定值，因此使得n型差動對電晶體（ M_1, M_2 ）的 M_2 其上的第一輸入電流 I_{in1} 增加。

【0030】再者，如上所述，當第一輸入電流 I_{in1} 增加時，第一電流鏡 CM_1 其上的第一節點電壓 V_A 隨之增加，使得第一輸入電晶體 M_{in1} 根據增加的第一節點電壓 V_A 所產生的第一致動電流 I_{en1} 隨之增加。

【0031】相似地，當輸入電壓 V_{in} 下降時，使得流經p型差動輸入之差動輸入運算放大器之p型差動對電晶體(M_3, M_4)的 M_3 其上的第二電流 I_2 增加，然而，由於第二電流源 M_5 提供至p型差動對電晶體(M_3, M_4)的第二定電流 I_{c2} 係為固定值，因此使得流經p型差動對電晶體(M_3, M_4)的 M_4 其上的第二輸入電流 I_{in2} 減少。

【0032】再者，當第二輸入電流 I_{in2} 減少時，第二電流鏡 CM_2 其上的第二節點電壓 V_E 隨之降低，使得第二輸入電晶體 M_{in2} 根據降低的第二節點電壓 V_E 所產生的第二致動電流 I_{en2} 隨之減少。

【0033】致動開關 M_{sw2} 的第一致動電晶體 M_{10} 具有一閘極電壓 V_{g10} ，而由於第一輸入電晶體 M_{in1} 的源極係電性連接於電源端 V_{DDA} ，第二輸入電晶體 M_{in2} 的源極係電性連接於接地端，因此，當流過第一輸入電晶體 M_{in1} 的第一致動電流 I_{en1} 大於流過第二輸入電晶體 M_{in2} 的第二致動電流 I_{en2} 時，亦即自電源端 V_{DDA} 流出的第一致動電流 I_{en1} 大於第二致動電流 I_{en2} 時，將使得閘極電壓 V_{g10} 上升，第一致動電晶體 M_{10} 因而導通。

【0034】承上所述，致動開關 M_{sw2} 的第二致動電晶體 M_{11} 汲極電性連接負電源輸入端(接地端)，閘極電性連接第一致動電晶體 M_{10} 的源極，源極電性連接電壓輸出端 V_{out} 。當第一致動電晶體 M_{10} 因閘極電壓 V_{g10} 上升而導通時，將使得第二致動電晶體 M_{11} 的閘極電壓 V_{g11} 增加，因而使第二致動電晶體 M_{11} 導通，進一步使得負電源輸入端 V_{gn} 電性連接電壓輸出端 V_{out} 。

【0035】再者，由於輸入電壓 V_{in} 降低，使得負電源輸入端的電壓 V_{gn} 上升，因而使NMOS M_n 導通，但由於NMOS M_n 電性連接於接地端，緩衝電路3將經由NMOS M_n 對電壓輸出端 V_{out} 放電，使輸出電壓 V_{out} 下降。

【0036】換句話說，箝制電路33可使運算放大器3於輸入電壓 V_{in} 下降時，亦即運算放大器3放電時，箝制負電源輸入端的電壓 V_{gn} 準位於輸出電壓 V_{out} 的準位而不至於超出輸入電壓 V_{in} 的準位造成過衝的現象，亦即，藉由電壓下降的輸出電壓 V_{out} 箝制電壓上升的負電源輸入端 V_{gn} 電壓，使負電源輸入端 V_{gn} 電壓不至於產生大幅的上升，以便於在運算放大器3放電時，可快速地回復至放電電壓的準位。因此，藉由箝制電路23可使運算放大器3因放電產生過衝的時間減小。此外，緩衝電晶體 M_{12} 電性連接於電源端 V_{DDA} 及第一致動電晶體 M_{10} 的汲極之間，於此實施例中，緩衝電晶體 M_{12} 係為一PMOS。

【0037】再者，箝制電路33可根據設計的需求，選擇第一輸入電晶體 M_{in1} 的尺寸大於第二輸入電晶體 M_{in2} 的尺寸，因而使第一致動電流 I_{en1} 增加的速度大於第二致動電流 I_{en2} ，使箝制電路33的第一致動電晶體 M_{10} 及第一致動電晶體 M_{11} 可更快速的導通，因而使過衝（undershoot）的時間更短。

【0038】此外，當運算放大器3的輸入電壓 V_{in} 維持固定不變時，箝制電路33致動開關 M_{sw2} 的第一致動電晶體 M_{10} 的閘極電壓 V_{g10} 係接近接地端準位。進一步而言，閘極電壓 V_{g10} 係等於接地端電壓加上導通電壓 V_{gs10} ，因此，第一致動電晶體 M_{10} 並無法導通。再者，第二致動電晶體 M_{11} 在第一致動電晶體 M_{10} 無法導通的情況下，其閘極電壓 V_{g11} 係趨近於電源端電壓 V_{DDA} 。進一步而言，閘極電壓 V_{g11} 因緩衝電晶體 M_{12} 的汲極電流係由電流端流出（充電）而趨近於電源端電壓準位 V_{DDA} 。據此，箝制電路33於輸入電壓 V_{in} 維持固定不變，亦即處於穩態時係

關閉其作動。換句話說，當上述的輸出緩衝電路3放電至固定電壓（輸入電壓）之後，輸出緩衝電路3將關閉其作動。

【0039】綜上所述，本發明源極驅動器的輸出緩衝電路，藉由箝制電路的作用，可於充、放電時箝制運算放大器正、負電源輸入端的工作電壓準位，減小其過衝的時間，使得利用本發明輸出緩衝電路的可攜式電子產品可進一步提升其充放電時的反應速度。

【符號說明】

1	運算放大器
2、3	輸出緩衝電路
21、31	二差動輸入運算放大器
22、32	複數個電流鏡
23、33	箝制電路
V_{in}	輸入電壓
V_{out}	電壓輸出端
V_{gp} 、 V_{gn}	閘極電壓
V_{DDA}	正電源端
$V_{g5} \sim V_{g8}$	閘極電壓
V_A	第一節點電壓
V_E	第二節點電壓
M_p 、 M_n	MOS電晶體
$M_1 \sim M_{12}$	電晶體

M_{in1}	第一輸入電晶體
M_{in2}	第二輸入電晶體
M_{sw1} 、 M_{sw2}	致動開關
$CM_1 \sim CM_4$	電流鏡
I_1	第一電流
I_2	第二電流
I_{in1}	第一輸入電流
I_{in2}	第二輸入電流
I_{c1}	第一定電流
I_{c2}	第二定電流
I_{en1}	第一致動電流
I_{en2}	第二致動電流

【發明申請專利範圍】

【第1項】一種源極驅動器的輸出緩衝電路，包括：

二差動輸入運算放大器，係接收一輸入電壓以分別產生一第一輸入電流及一第二輸入電流；

複數個電流鏡，其中之二電流鏡分別接收該第一輸入電流及該第二輸入電流，且包括：

一第一電流鏡，自一第一節點接收該第一輸入電流，其中該第一節點具有一第一節點電壓；以及

一第二電流鏡，自一第二節點接收該第二輸入電流，其中該第二節點具有一第二節點電壓；

其中，該第一輸入電晶體電性連接該第一節點，該第二輸入電晶體電性連接該第二節點；以及

一箝制電路，電性連接一電壓輸出端、一正電源輸入端、一負電源輸入端及該二電流鏡，包含：

一第一輸入電晶體，電性連接接收該第一輸入電流之該電流鏡，以根據該第一輸入電流產生一第一致動電流；

一第二輸入電晶體，電性連接接收該第二輸入電流之該電流鏡，以根據該第二輸入電流產生一第二致動電流；及

一致動開關，根據該第一致動電流及該第二致動電流開啟，使該電壓輸出端電性連接該正電源輸入端或該負電源輸入端。

【第2項】如申請專利範圍第1項所述之輸出緩衝電路，其中該二差動輸入運算放大器包括：

一n型差動輸入之差動輸入運算放大器，包含：

一n型差動對電晶體，係接收該輸入電壓以產生一第一電流；及

一第一電流源，電性連接該n型差動對電晶體，以提供該n型差動對電晶體之一第一定電流，其中該第一輸入電流係為該第一定電流扣除該第一電流；以及

一p型差動輸入之差動輸入運算放大器，包含：

一p型差動對電晶體，與該n型差動對電晶體電性連接，以接收該輸入電壓產生一第二電流；及

一第二電流源，電性連接該p型差動對電晶體，以提供該p型差動對電晶體之一第二定電流，其中該第二輸入電流係為該第二定電流扣除該第二電流。

【第3項】如申請專利範圍第1項所述之輸出緩衝電路，其中該複數個電流鏡更包括彼此電性連接的一第三電流鏡及一第四電流鏡，且該第三電流鏡係與該第四電流鏡電性連接於該第一電流鏡及該第二電流鏡之間。

【第4項】如申請專利範圍第1項所述之輸出緩衝電路，其中該致動開關包括：

一第一致動電晶體，其閘極電性連接該第一輸入電晶體及該第二輸入電晶體，源極電性連接一電源端，其中該第一致動電晶體於該輸入電壓上升時，根據該第一致動電流及該第二致動電流開啟；

一第二致動電晶體，其汲極電性連接該正電源輸入端，源極電性連接該電壓輸出端，閘極電性連接該第一致動電晶體之汲極，其中該第二致動電晶

體於該第一致動電晶體開啟時導通，使該電壓輸出端電性連接該正電源輸入端；以及

一緩衝電晶體，電性連接於一接地端及該第一致動電晶體的汲極之間。

【第5項】如申請專利範圍第4項所述之輸出緩衝電路，其中該第二輸入電晶體的尺寸大於該第一輸入電晶體的尺寸。

【第6項】如申請專利範圍第1項所述之輸出緩衝電路，其中該致動開關包括：

一第一致動電晶體，其閘極電性連接該第一輸入電晶體及該第二輸入電晶體，源極電性連接一接地端，其中該第一致動電晶體於該輸入電壓下降時，根據該第一致動電流及該第二致動電流開啟；

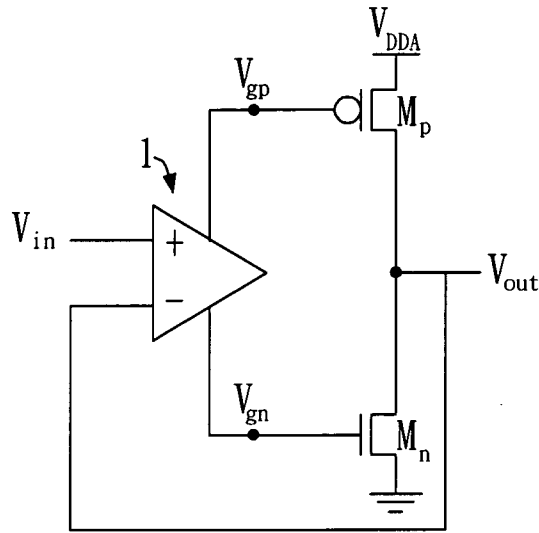
一第二致動電晶體，其汲極電性連接該負電源輸入端，源極電性連接該電壓輸出端，閘極電性連接該第一致動電晶體之汲極，其中該第二致動電晶體於該第一致動電晶體開啟時導通，使該電壓輸出端電性連接該負電源輸入端；以及

一緩衝電晶體，電性連接於一電源端及該第一致動電晶體的汲極之間。

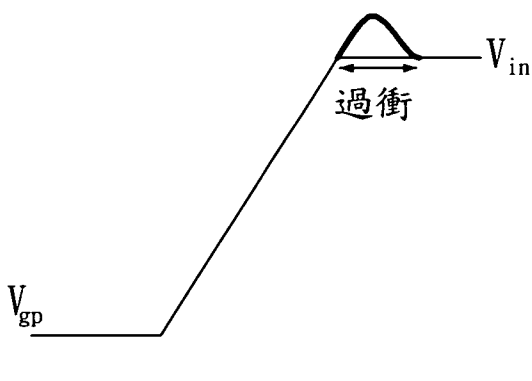
【第7項】如申請專利範圍第6項所述之輸出緩衝電路，其中該第一輸入電晶體的尺寸大於該第二輸入電晶體的尺寸。

【第8項】如申請專利範圍第1項所述之輸出緩衝電路，其中該箝制電路與該正電源輸入端之間係電性連接一PMOS，該箝制電路與該負電源輸入端之間係電性連接一NMOS。

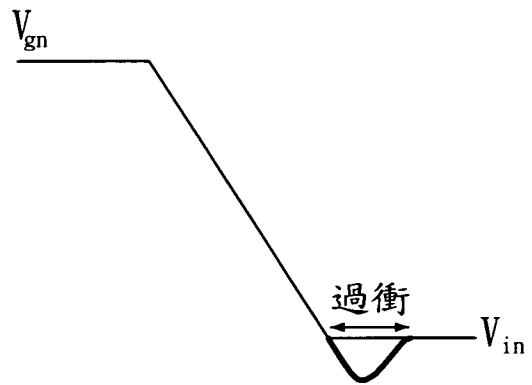
【發明圖式】



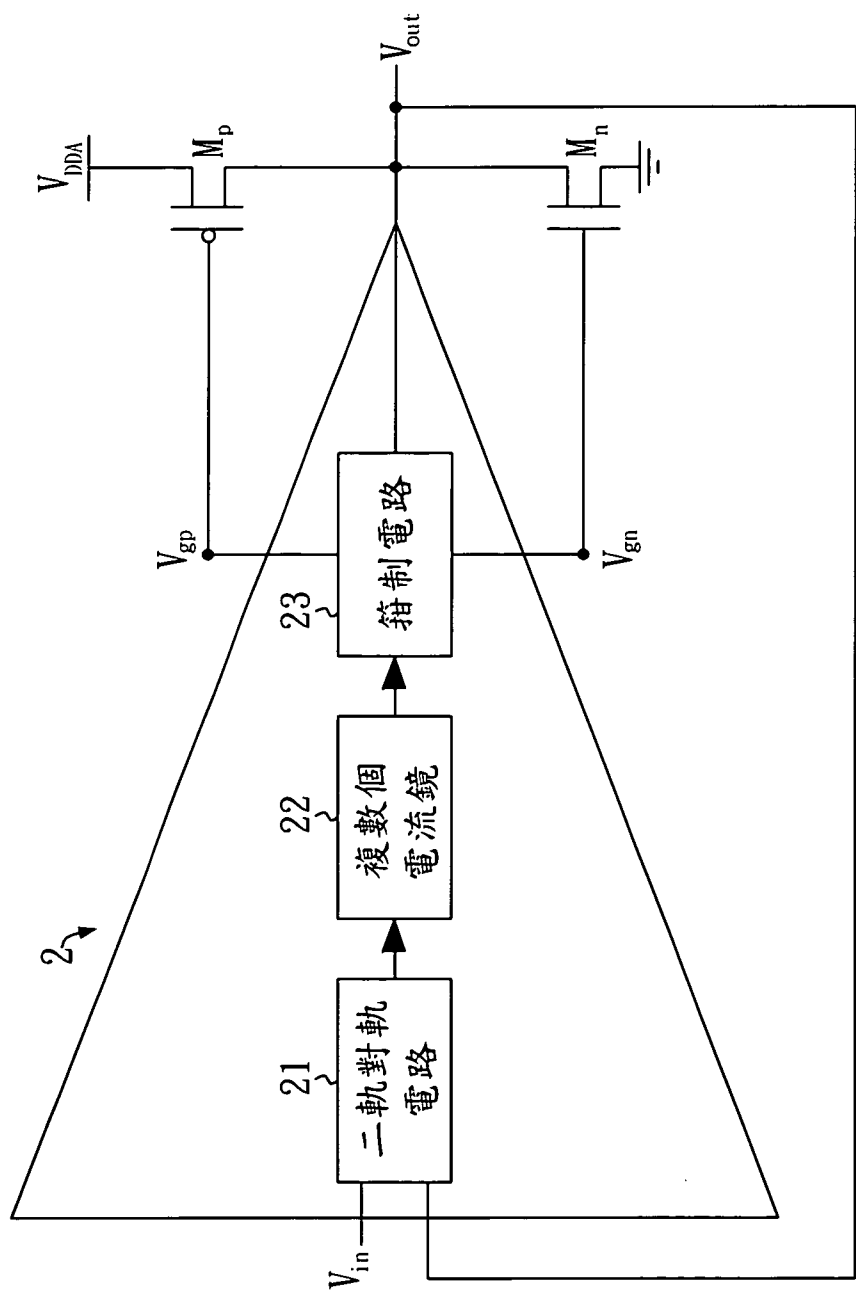
第一A圖



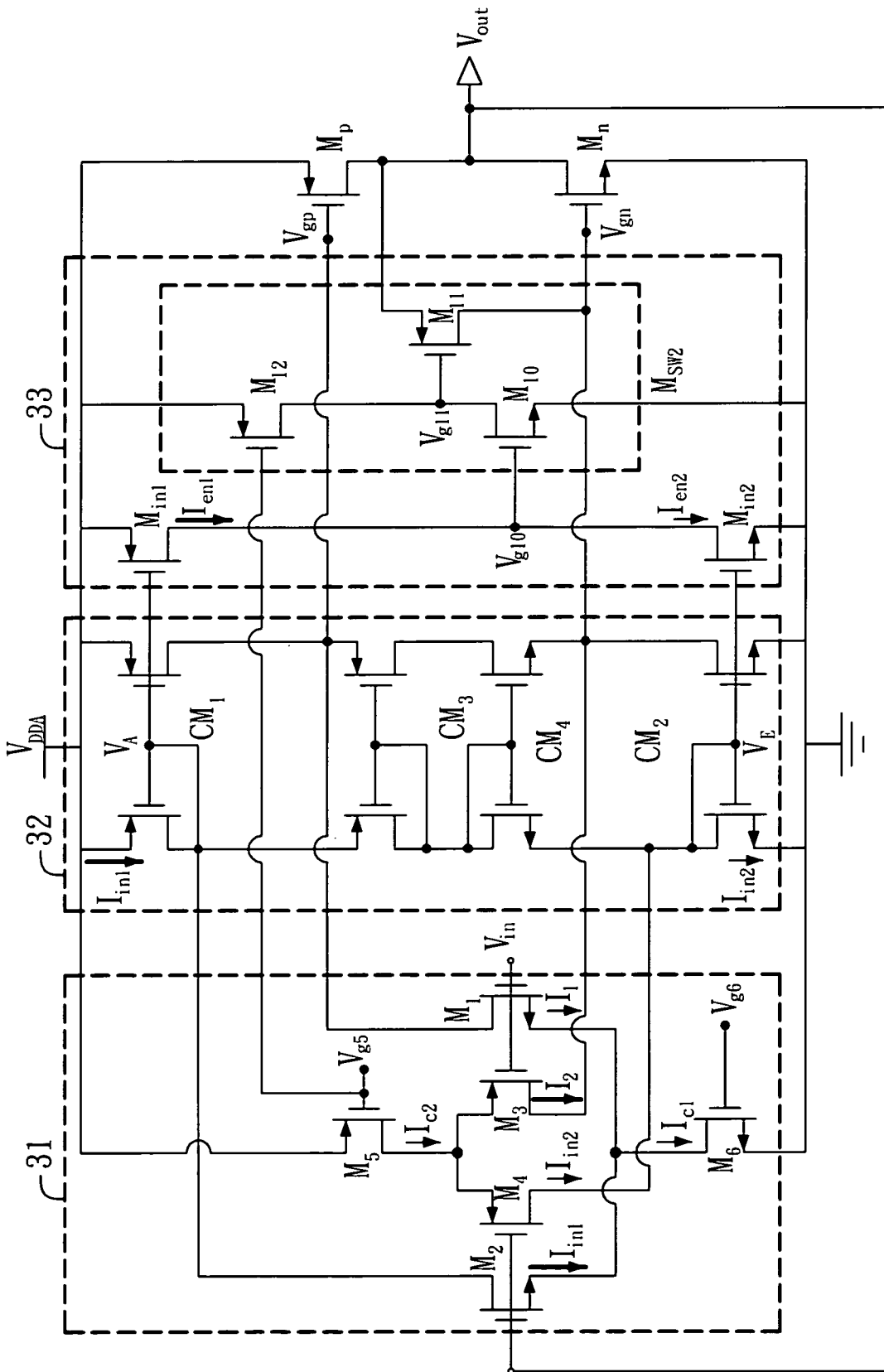
第一B圖



第一C圖



第二圖



第三B圖

31