



Republik
Österreich
Patentamt

(11) Nummer: **AT 395 272 B**

(12)

PATENTCHRIFT

(21) Anmeldenummer: 3189/85

(51) Int.Cl.⁵ : **H01L 27/082**
H01L 29/36

(22) Anmeldetag: 5.11.1985

(42) Beginn der Patentdauer: 15. 3.1992

(45) Ausgabetag: 10.11.1992

(30) Priorität:

5.11.1984 JP 59-232870/84 beansprucht.

(56) Entgegenhaltungen:

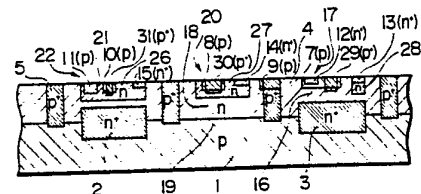
JP-A2-57-10964 GB-PS 1211117
REVUE DE PHYSIQUE APPLIQUEE, VOL. 13, NR. 12, DEZ.
1978, SEITEN 845-850

(73) Patentinhaber:

SONY CORPORATION
TOKYO (JP).

(54) HALBLEITEREINRICHTUNG MIT VERTIKALEN UND LATERALEN NPN- UND PNP-TRANSISTOREN AUF EINEM GEMEINSAMEN SUBSTRAT

(57) Eine Halbleitereinrichtung enthält vertikale und laterale npn- und pnp-Transistoren, auf einem gemeinsamen Substrat, wobei der npn-Transistor (17) in einer n-leitenden Epitaxieschicht (4) geformt ist, die auf einer Halbleiterträgerschicht (1) ausgebildet ist, und die pnp-Transistoren (22) in n-leitenden Halbleiterzonen geformt sind, die in der n-leitenden Epitaxieschicht (4) ausgebildet sind. Dabei ist vorgesehen, daß die n-leitenden Halbleiterzonen eine höhere Störstellenkonzentration als die n-leitenden Epitaxialschicht (4) besitzen, daß die Störstellenkonzentrationen der n-leitenden Halbleiterzonen im Bereich zwischen $1 \times 10^{16} \text{ cm}^{-3}$ und $1 \times 10^{17} \text{ cm}^{-3}$ liegen und daß die n-leitenden Epitaxieschicht (4) eine Dicke von 1 bis 2 Mikrometer nicht mehr als 5 Mikrometer, vorzugsweise besitzt. Auf diese Weise kann, selbst dann, wenn die Dicke der n-Epitaxieschicht (4) vermindert wird, der Durchgriff des pnp-Transistors (22) verhindert werden, wodurch man eine Hochgeschwindigkeits-Halbleitereinrichtung erhält.



AT 395 272 B

Diese Erfindung betrifft eine Halbleitereinrichtung mit vertikalen und lateralen npn- und pnp-Transistoren, auf einem gemeinsamen Substrat, wobei der npn-Transistor in einer n-leitenden Epitaxieschicht geformt ist, die auf einer Halbleiterträgerschicht ausgebildet ist, und die pnp-Transistoren in n-leitenden Halbleiterzonen geformt sind, die in der n-leitenden Epitaxieschicht ausgebildet sind.

Ein bipolarer integrierter Schaltkreis ist herkömmlich als derartige Halbleitereinrichtung bekannt. Im allgemeinen werden npn-Transistoren als Elemente für den Aufbau eines bipolaren integrierten Schaltkreises verwendet. Zusammen mit pnp-Transistoren finden aber auch pnp-Transistoren Verwendung, wenn es von Vorteil ist, Transistoren von beiden Leitfähigkeitsarten für den Aufbau des Schaltkreises zu verwenden. Herkömmlich werden die pnp-Transistoren in einen lateralen pnp-Transistor, dessen Leitfähigkeitsrichtung parallel zur Oberfläche der Trägerschicht verläuft, und einen vertikalen pnp-Transistor eingeteilt, dessen Leitfähigkeitsrichtung senkrecht zur Oberfläche der Trägerschicht verläuft.

Ein herkömmlicher bipolarer integrierter Schaltkreis, der npn- sowie laterale und vertikale pnp-Transistoren besitzt, wird mit einem in Fig. 1A bis 1C gezeigten Verfahren hergestellt. Wie Fig. 1A zeigt, werden n^+ -leitende verdeckte Schichten (2) und (3) in einer p-leitenden Silizium-Trägerschicht (1) ausgebildet. Darauf wird auf der p-leitenden Silizium-Trägerschicht (1) eine n-leitende Silizium-Epitaxieschicht (4) geformt. Ein p^+ -leitender Trennungsdiffusionsbereich (5) wird in der Silizium-Epitaxieschicht (4) so ausgebildet, daß er die p-leitende Silizium-Trägerschicht (1) erreicht. Wie Fig. 1B zeigt, werden in der Silizium-Epitaxieschicht (4) eine p-leitende Basiszone (7) für einen npn-Transistor, eine p-leitende Emitterzone (8) und eine p-leitende Kollektorelektrodenzone (9) für einen vertikalen pnp-Transistor, sowie eine p-leitende Emitterzone (10) und eine p-leitende Kollektorelektrodenzone (11) für einen lateralen pnp-Transistor ausgebildet. Wie Fig. 1C zeigt, werden in der Silizium-Epitaxieschicht (4) eine n^+ -leitende Emitterzone (12) und eine n^+ -leitende Kollektorelektrodenzone (13) für den npn-Transistor, eine n^+ -leitende Basiszone (14) für den vertikalen pnp-Transistor sowie eine n^+ -leitende Basiszone (15) für den lateralen pnp-Transistor ausgebildet. Daraufhin werden Elektroden (nicht dargestellt) geformt, die mit den Bereichen (7) bis (15) in Berührung stehen, um dadurch einen bipolaren integrierten Schaltkreis fertigzustellen.

Beim herkömmlichen bipolaren integrierten Schaltkreis von Fig. 1 bilden die Emitterzone (12), die Basiszone (7) sowie eine Kollektorzone (16), die aus der Silizium-Epitaxieschicht (4) zwischen der Basiszone (7) und der verdeckten Schicht (3) besteht, einen pnp-Transistor (17). Die Emitterzone (8), eine Basiszone (18), die aus der Silizium-Epitaxieschicht (4) unterhalb der Emitterzone (8) besteht, sowie eine Kollektorzone (19), die aus der p-leitenden Silizium-Trägerschicht (1) unterhalb der Emitterzone (8) besteht, bilden einen vertikalen pnp-Transistor (20). Die Emitterzone (10), die Kollektorzone (11) und eine Basiszone (21), die aus der Silizium-Epitaxieschicht (4) zwischen der Emitterzone (10) und der Kollektorzone (11) besteht, bilden einen lateralen pnp-Transistor (22). Dabei sei darauf hingewiesen, daß unterhalb des vertikalen pnp-Transistors (20) keine verdeckte Schicht ausgebildet ist, um eine Gleichstromverstärkung (h_{FE}) zu erhalten.

Der herkömmliche bipolare integrierte Schaltkreis von Fig. 1C besitzt folgenden Mangel. Um einen bipolaren integrierten Niederspannungs-Hochgeschwindigkeits-Schaltkreis zu erhalten, darf die Dicke der Silizium-Epitaxieschicht (4) nicht größer als 1 bis 2 μm sein. Wenn eine derart dünne Silizium-Epitaxieschicht gebildet wird, wird der Verstärkungsfaktor (h_{FE}) des lateralen pnp-Transistors (22) herabgesetzt. Um dies zu verhindern, muß die Basisbreite (W) so ausgelegt werden, daß sie schmal wird. Wenn die Basisbreite (W) nicht größer als etwa 2 μm ist, tritt jedoch zwischen dem Kollektor und dem Emitter ein Durchgriffeffekt auf. Wenn die Silizium-Epitaxieschicht (4) dünn wird, tritt auf ähnliche Weise ein Durchgriff in der Senkrechten auf, woraus Schwierigkeiten entstehen.

Aufgabe der Erfindung ist es, eine Halbleitereinrichtung mit vertikalen und lateralen npn- und pnp-Transistoren auf einem gemeinsamen Substrat zu schaffen, die die oben erwähnten Nachteile des Stands der Technik vermeidet.

Diese Aufgabe wird bei einer Halbleitereinrichtung der eingangs angeführten Art erfindungsgemäß dadurch gelöst, daß die n-leitenden Halbleiterzonen eine höhere Störstellenkonzentration als die n-leitende Epitaxieschicht besitzen, daß die Störstellenkonzentrationen der n-leitenden Halbleiterzonen im Bereich zwischen $1 \times 10^{16}\text{cm}^{-3}$ und $1 \times 10^{17}\text{cm}^{-3}$ liegen und daß die n-leitende Epitaxieschicht eine Dicke von nicht mehr als 5 μm , vorzugsweise 1 bis 2 μm besitzt. Dabei kann selbst dann, wenn die Dicke der n-Epitaxieschicht vermindert wird, erfindungsgemäß der Durchgriff des pnp-Transistors verhindert werden, wodurch man eine Hochspannungsgeschwindigkeits-Halbleitereinrichtung erhält.

Die Erfindung wird nun an Hand der beiliegenden Zeichnungen beschrieben, in denen zeigt:

Fig. 1A bis 1C Schnitte, in denen der Reihe nach ein Fertigungsverfahren eines herkömmlichen bipolaren integrierten Schaltkreises dargestellt ist;

Fig. 2A bis 2D Schnitte, in denen der Reihe nach ein Fertigungsverfahren eines bipolaren integrierten Schaltkreises gemäß einer Ausführungsform dieser Erfindung dargestellt ist;

Fig. 3 ein Diagramm, in dem das Verhältnis zwischen der Betriebsfrequenz (f_T) und des Kollektorstroms (I_C) eines lateralen pnp-Transistors dargestellt ist, wobei die Basisbreite (W) als Parameter dient;

Fig. 4 ein Diagramm, in dem das Verhältnis zwischen der Gleichstromverstärkung (h_{FE}), der Kollektor/Emitter-

Durchbruchsspannung (V_{CE0}) und der Basisbreite (W) eines lateralen pnp-Transistors dargestellt ist; und

Fig. 5 ein Diagramm, in dem das Verhältnis zwischen der Betriebsfrequenz (f_T) und dem Kollektorstrom (I_C) eines vertikalen pnp-Transistors dargestellt ist.

Ein bipolarer integrierter Schaltkreis gemäß einer Ausführungsform dieser Erfindung wird nun im Zusammenhang mit den beiliegenden Zeichnungen beschrieben. In Fig. 2A bis 2D werden die gleichen Bezugswerte für die Bezeichnung von gleichen Teilen wie in Fig. 1A bis 1C verwendet, so daß auf eine ausführliche Beschreibung verzichtet werden kann.

Nunmehr wird ein Fertigungsverfahren des bipolaren integrierten Schaltkreises beschrieben.

Wie Fig. 2A zeigt, sind n-Störstellen, z. B. Arsen (As) oder Antimon (Sb), stark in eine p-leitende Silizium-Trägerschicht (1) diffundiert, um n^+ -verdeckte Schichten (2) und (3) auszubilden. Eine n-leitende Silizium-Epitaxieschicht (4) wird mit einer Dicke von beispielsweise $2\text{ }\mu\text{m}$ mit einem spezifischen Widerstand (ρ) von $1\text{ }\Omega\text{ cm}$ (entsprechend einer Störstellenkonzentration von $5 \times 10^{15}\text{ cm}^{-3}$) auf der p-leitenden Silizium-Trägerschicht (1) ausgebildet. Daraufhin wird auf der Oberfläche der Silizium-Epitaxieschicht (4) ein SiO_2 -Film geformt. Daraufhin werden unter vorgegebenen Bedingungen Störstellen vom n-Typ, beispielsweise As, selektiv in die Silizium-Epitaxieschicht (4) durch den SiO_2 -Film (24) ionenimplantiert. Die implantierten Störstellen in der Silizium-Epitaxieschicht (4) sind als kleine Kreise dargestellt.

Wie Fig. 2B zeigt, wird ein vorgegebener Bereich des SiO_2 -Films (24) geätzt, um Öffnungen (24a) bis (24d) auszubilden. Daraufhin werden durch die Öffnungen (24a) bis (24d) p-Störstellen, beispielsweise Bor(B), in die Silizium-Epitaxieschicht (4) diffundiert, um einen p^+ -leitenden Trennungsdiffusionsbereich auszubilden, der die p-leitende Silizium-Trägerschicht (1) erreicht. Beim Erwärmungsverfahren für die Ausbildung des Trennungsdiffusionsbereichs (5) werden die implantierten Störstellen in die Silizium-Epitaxieschicht (4) bis zu einer vorgegebenen Tiefe diffundiert und die Störstellen elektrisch aktiviert. Dadurch werden in der Silizium-Epitaxieschicht (4) n-leitende Bereiche (26) bis (28) ausgebildet. In diesem Fall besitzen die Bereiche (26) bis (28) eine Störstellenkonzentration von beispielsweise $5 \times 10^{16}\text{ cm}^{-3}$, höher als jene der Silizium-Epitaxieschicht (4) aber niedriger als jene der p-leitenden Basiszone (7) eines npn-Transistors (17) (siehe später).

Wie Fig. 2C zeigt, werden im n-Bereich (26) eine p-leitende Kollektorzone (11) und eine Emitterzone (19), im n-Bereich (27) eine p-leitende Emitterzone (8) sowie in der Silizium-Epitaxieschicht (4) eine p-leitende Basiszone (7) ausgebildet. Gleichzeitig wird in der Schicht (4) eine p-leitende Kollektorelektrodenzone (9) für einen vertikalen pnp-Transistor geformt. Daraufhin werden in der Basiszone (7) eine p^+ -veredelte Basiszone (29) sowie in den Emitterzonen (8) und (10) p^+ -leitende Bereiche (30) bzw. (31) ausgebildet.

Wie Fig. 2D zeigt, werden in den n-leitenden Bereichen (26) bis (28) n^+ -leitende Basiselektrodenzonen (15) und (14) bzw. eine n^+ -leitende Kollektorzone (13) ausgebildet. Nachdem in der Basiszone (7) eine n^+ -leitende Emitterzone (12) ausgebildet wurde, werden gleichzeitig Elektroden (nicht dargestellt) in Berührung mit den Bereichen (9), (11) bis (15) und (29) bis (31) ausgebildet, um dadurch einen bipolaren integrierten Schaltkreis fertigzustellen.

Das Verhältnis zwischen der Betriebsfrequenz (f_T) und dem Kollektorstrom (I_C) eines lateralen pnp-Transistors (22) im bipolaren integrierten Schaltkreis von Fig. 2D ist in Fig. 3 dargestellt, wobei die Basisbreite (W) als Parameter dient. Das Verhältnis zwischen der Gleichstromverstärkung (h_{FE}), der Kollektor/Emitter-Durchbruchsspannung (V_{CE0}) und der Basisbreite (W) des lateralen pnp-Transistors (22) ist in Fig. 4 dargestellt.

Wenn $W = 2\text{ }\mu\text{m}$ vorgegeben wird, ist die Spannung (V_{CE0}) beim herkömmlichen Transistor kleiner als 5V, wie dies Fig. 4 zeigt, und es kommt zum Durchgriffeffekt. In Übereinstimmung mit dem lateralen pnp-Transistor (22) dieser Ausführungsform kann jedoch die Spannung (V_{CE0}) auf nicht weniger als etwa 10 V gehalten werden, ohne die Verstärkung (h_{FE}) stark abzusinken. Wie man aus Fig. 3 erkennt, kann man aus diesem Grund die Frequenz (f_T) mit etwa 50 bis 60 MHz erhalten.

Das Verhältnis zwischen der Frequenz (f_T) und dem Kollektorstrom (I_C) des vertikalen pnp-Transistors im bipolaren integrierten Schaltkreis dieser Ausführungsform, ist in Fig. 5 dargestellt. Wie man aus Fig. 5 erkennt, erhält man lediglich die Frequenz (f_T) von etwa 20 MHz dadurch, daß man eine Silizium-Epitaxieschicht (4) mit einer Dicke ($5\text{ }\mu\text{m}$ oder mehr) verwendet, die auch beim bipolaren integrierten Schaltkreis im vertikalen pnp-Transistor keinen Durchgriff besitzt. Die Frequenz (f_T) des vertikalen pnp-Transistors kann beim bipolaren integrierten Schaltkreis dieser Erfindung nicht weniger als 100 MHz betragen, wenn die Silizium-Epitaxieschicht (4) mit einer Stärke von $2\text{ }\mu\text{m}$ verwendet wird. Zusätzlich kann die Spannung (V_{CE0}) auf 15 V oder mehr erhöht werden.

Gemäß der Ausführungsform dieser Erfindung können die Spannungen (V_{CE0}) des lateralen und vertikalen pnp-Transistors (22) und (20) auch dann hoch gehalten werden, wenn die Dicke der Silizium-Epitaxieschicht (4) nicht mehr als $2\text{ }\mu\text{m}$ beträgt, um dadurch eine hohe Frequenz (f_T) ohne Durchgriffeffekt zu erhalten, wie dies beispielsweise beim herkömmlichen bipolaren integrierten Schaltkreis der Fall ist. Der Durchgriffeffekt kann aus folgendem Grund verhindert werden. Die n-leitenden Bereiche (26) und (27) werden in der Silizium-Epitaxieschicht (4) mit einer höheren Störstellenkonzentration ausgebildet, wobei der laterale und vertikale pnp-Transistor (22) und (20) im n-leitenden Bereich (26) bzw. (27) geformt werden. Daher kann innerhalb der Basiszone an der Kollektor/Basis-

Übergangszone eine Sperrschicht-Breite um eine Differenz zwischen der Störstellenkonzentration des Bereichs (26) oder (27) und jener der Silizium-Epitaxieschicht (4) verkleinert werden.

Die Erfindung ist nicht auf die bestimmte, oben beschriebene Ausführungsform beschränkt. Im Geist und Bereich der Erfindung können verschiedene Änderungen und Abarten vorgenommen werden. Bei der obigen Ausführungsform ist die Störstellenkonzentration der n-leitenden Bereiche (26) bis (28) gleich $5 \times 10^{16} \text{ cm}^{-3}$. Falls erforderlich, kann jedoch die Störstellenkonzentration auch erhöht oder vermindert werden. Um den Durchgriffeffekt wirkungsvoll zu verhindern, liegt die Störstellenkonzentration vorzugsweise im Bereich von 1×10^{16} bis $1 \times 10^{17} \text{ cm}^{-3}$.

PATENTANSPRUCH

Halbleitereinrichtung mit vertikalen und lateralen npn- und pnp-Transistoren, auf einem gemeinsamen Substrat, wobei der npn-Transistor in einer n-leitenden Epitaxieschicht geformt ist, die auf einer Halbleiterträgerschicht ausgebildet ist, und die pnp-Transistoren in n-leitenden Halbleiterzonen geformt sind, die in der n-leitenden Epitaxieschicht ausgebildet sind, dadurch gekennzeichnet, daß die n-leitenden Halbleiterzonen eine höhere Störstellenkonzentration als die n-leitende Epitaxieschicht (4) besitzen, daß die Störstellenkonzentrationen der n-leitenden Halbleiterzonen im Bereich zwischen $1 \times 10^{16} \text{ cm}^{-3}$ und $1 \times 10^{17} \text{ cm}^{-3}$ liegen und daß die n-leitende Epitaxieschicht (4) eine Dicke von nicht mehr als $5 \mu\text{m}$, vorzugsweise 1 bis $2 \mu\text{m}$ besitzt.

Hiezu 3 Blatt Zeichnungen

FIG. 1A

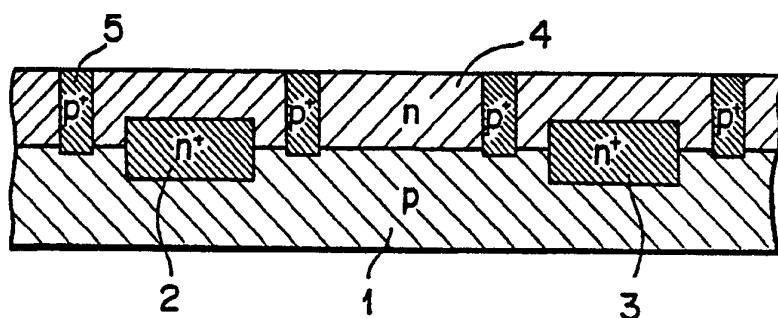


FIG. 1B

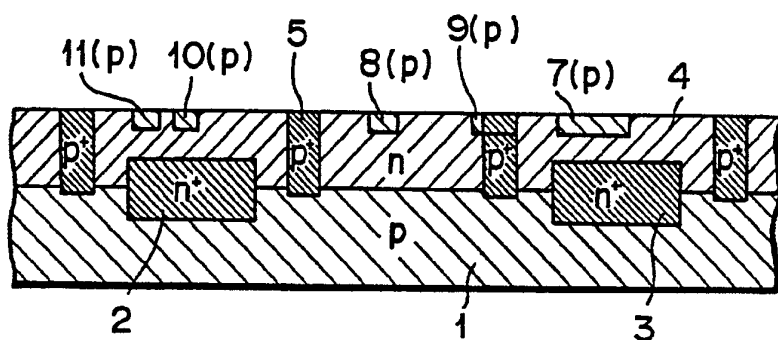


FIG. 1C

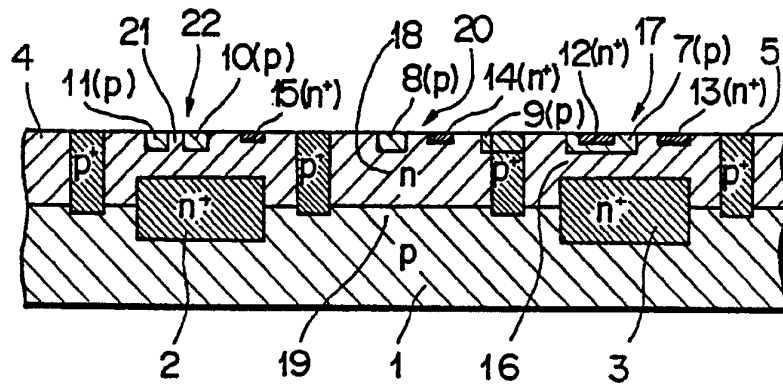


FIG. 2A

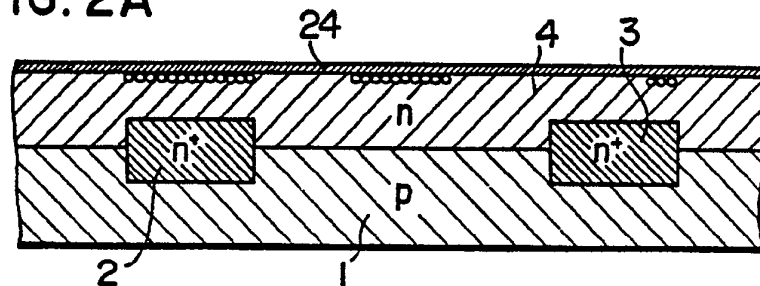


FIG. 2B

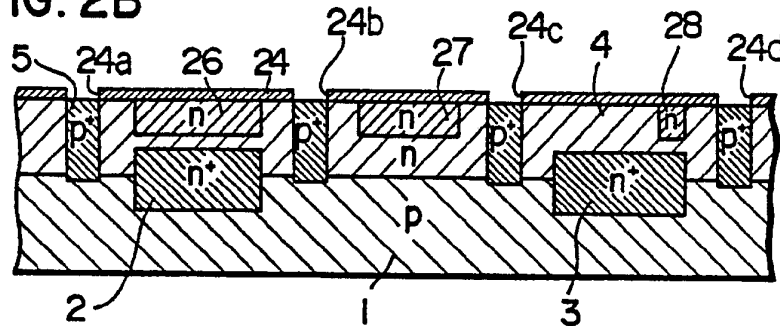


FIG. 2C

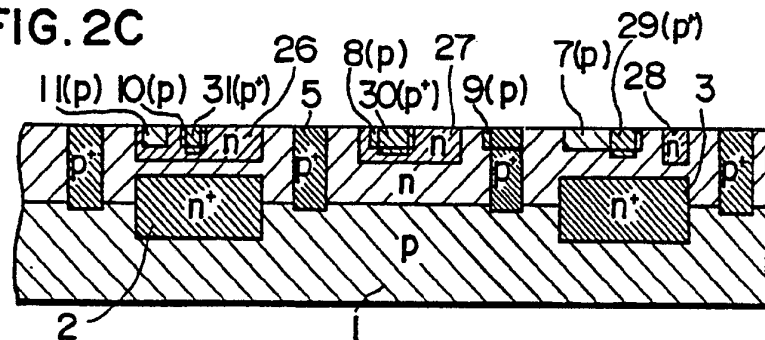


FIG. 2D

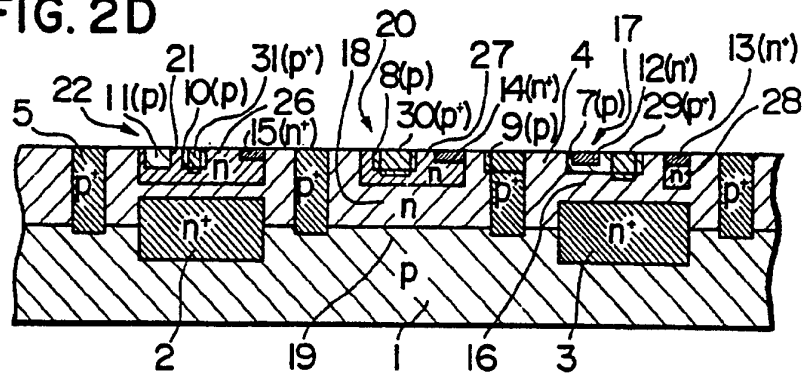


FIG. 3

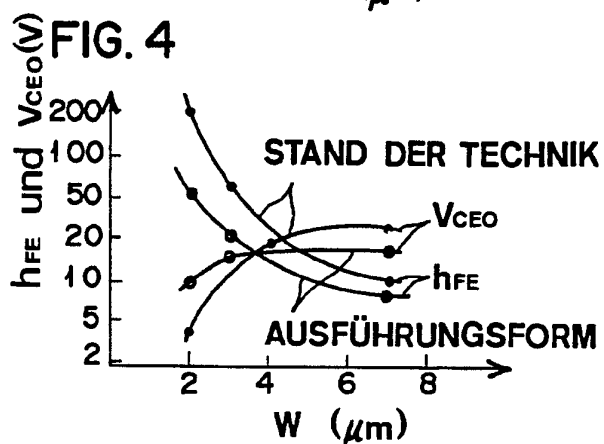
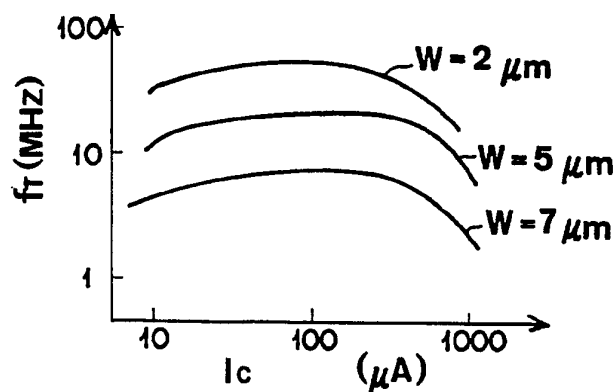


FIG. 5

