

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2008-504680

(P2008-504680A)

(43) 公表日 平成20年2月14日(2008.2.14)

(51) Int.Cl.	F I	テーマコード (参考)
H01L 29/78 (2006.01)	H01L 29/78 301S	4M104
H01L 21/8234 (2006.01)	H01L 29/78 301D	5F048
H01L 27/088 (2006.01)	H01L 27/08 102D	5F140
H01L 29/47 (2006.01)	H01L 27/08 102B	
H01L 29/872 (2006.01)	H01L 29/48 F	

審査請求 未請求 予備審査請求 未請求 (全 10 頁)

(21) 出願番号 特願2007-518063 (P2007-518063)
 (86) (22) 出願日 平成17年5月11日 (2005.5.11)
 (85) 翻訳文提出日 平成18年12月15日 (2006.12.15)
 (86) 国際出願番号 PCT/US2005/016254
 (87) 国際公開番号 W02006/007070
 (87) 国際公開日 平成18年1月19日 (2006.1.19)
 (31) 優先権主張番号 10/875,105
 (32) 優先日 平成16年6月23日 (2004.6.23)
 (33) 優先権主張国 米国 (US)

(71) 出願人 504199127
 フリースケール セミコンダクター イン
 コーポレイテッド
 アメリカ合衆国 78735 テキサス州
 オースティン ウィリアム キャノン
 ドライブ ウェスト 6501
 (74) 代理人 100089705
 弁理士 社本 一夫
 (74) 代理人 100140109
 弁理士 小野 新次郎
 (74) 代理人 100075270
 弁理士 小林 泰
 (74) 代理人 100080137
 弁理士 千葉 昭男

最終頁に続く

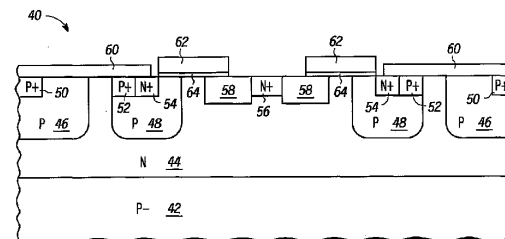
(54) 【発明の名称】 LDMOS トランジスタ

(57) 【要約】

LDMOS トランジスタ(10)は、LDMOS トランジスタのドープ処理された領域の中心に挿入されたショットキーダイオード(28,16)を有している。典型的なLDMOS トランジスタは、中央にドリフト領域(16)を有している。この場合、ショットキーダイオード(28,16)は、このドリフト領域(16)の中心に挿入されており、ショットキーダイオード(28,16)をソース(22)からドレイン(24)に順方向に接続する効果があるので、ドレイン電圧がPN接合の閾値よりも低い電圧にクランプされ、PN接合(16,12)に順方向のバイアスが掛かるのを防ぐ。代替策は、ショットキーダイオード(60,44)を、ソース(54)が形成されているウェル(48)に挿入することであり、ウェルはLDMOS トランジスタの周縁部に在る。その様な場合、ショットキーダイオード(60,44)は、異なる様式に形成されるが、それでもなおソース(54)からドレイン(56)へと順方向に接続され、所望の電圧クランプをドレイン(56)に実現している。

【選択図】

図 1



【特許請求の範囲】**【請求項 1】**

デバイス構造において、
半導体領域を有する基板と、

トランジスタに基づく機能を実行するための実質的に連続しているドーブ処理された領域を有する前記半導体領域内の L D M O S トランジスタ構造であって、前記実質的に連続しているドーブ処理された領域は、前記実質的に連続しているドーブ処理された領域よりも強くドーブ処理され且つ浅くなっており、前記実質的に連続しているドーブ処理された領域と同じ導電性型式である第 1 のドーブ処理された領域を有している、L D M O S トランジスタ構造と、

10

前記実質的に連続しているドーブ処理された領域によって実質的に取り囲まれているショットキーダイオードと、を備えているデバイス構造。

【請求項 2】

前記実質的に連続しているドーブ処理された領域はドレインとして機能する、請求項 1 に記載のデバイス構造。

【請求項 3】

前記半導体領域は第 1 導電性型式のバックグラウンドドーピングを有しており、前記ショットキーダイオードは、

前記基板の表面上のシリサイド領域と、

前記半導体領域内にあり、前記シリサイド領域と接触しており、前記第 1 導電性型式であり、前記半導体領域より濃度が高い第 2 のドーブ処理された領域と、を備えている、請求項 1 に記載のデバイス構造。

20

【請求項 4】

前記 L D M O S トランジスタ構造は、

前記第 1 のドーブ処理された領域に隣接しており、前記実質的に連続しているドーブ処理された領域の縁部から間隔を空けて配置されている、前記実質的に連続しているドーブ処理された領域内の分離領域と、

第 3 のドーブ処理された領域であって、前記第 3 のドーブ処理された領域と前記実質的に連続しているドーブ処理された領域との間に空間ができるように、前記実質的に連続しているドーブ処理された領域から間隔を空けて配置されている、前記半導体領域と同じ導電性型式の第 3 のドーブ処理された領域と、

30

前記第 3 のドーブ処理された領域の一部分、前記空間、前記実質的に連続しているドーブ処理された領域の一部分、及び前記分離領域の一部分に重なっているゲート構造と、を備えている、請求項 3 に記載のデバイス構造。

【請求項 5】

前記半導体領域の導電性型式は P 型である、請求項 4 に記載のデバイス構造。

【請求項 6】

前記第 3 のドーブ処理された領域は、更に、ソース接点である前記半導体領域より高いドーピング濃度を有する、前記第 1 導電性型式の第 4 のドーブ処理された領域を有していることを特徴とする、請求項 4 に記載のデバイス構造。

40

【請求項 7】

前記第 3 のドーブ処理された領域は、更に、前記空間から離れており、前記空間と前記第 4 のドーブ処理された領域との間に配置されている、第 5 のドーブ処理された領域を有していることを特徴とする、請求項 6 に記載のデバイス構造。

【請求項 8】

前記ショットキーダイオードは、

前記半導体領域の表面上のシリサイド領域と、

前記シリサイド領域の下に在り、前記実質的に連続しているドーブ処理された領域によって実質的に取り囲まれている、前記半導体領域の一部分と、を備えている、請求項 1 に記載のデバイス構造。

50

【請求項 9】

前記 L D M O S トランジスタ構造は、更に、

前記実質的に連続しているドーブ処理された領域から間隔を空けて配置されている分離領域と、

前記分離領域に隣接しているドレイン接点領域であって、前記分離領域は、前記ドレイン接点領域と前記実質的に連続しているドーブ処理された領域との間に在る、ドレイン接点領域と、

前記実質的に連続しているドーブ処理された領域の一部分と、前記分離領域の一部分とに重なっているゲート構造と、を備えている、請求項 8 に記載のデバイス構造。

【請求項 10】

前記半導体領域は、前記第 1 導電性型式であり、

前記実質的に連続しているドーブ処理された領域は、前記実質的に連続しているドーブ処理された領域より高いドーピング濃度を有する前記第 2 導電性型式の第 2 のドーブ処理された領域を有している、請求項 9 に記載のデバイス構造。

【請求項 11】

前記実質的に連続しているドーブ処理された領域は、更に、前記第 1 導電性型式の第 3 のドーブ処理された領域を有しており、前記第 3 のドーブ処理された領域は、前記第 2 のドーブ処理された領域と前記分離領域との間に在ることを特徴とする、請求項 10 に記載のデバイス構造。

【請求項 12】

トランジスタと、ショットキーダイオードとを備えているデバイス構造において、半導体領域を有する基板と、

前記半導体領域に重なっている前記トランジスタのゲート構造と、

前記半導体領域内及びその表面に形成されている第 1 導電性型式である前記半導体領域の表面にある第 1 のドーブ処理された領域であって、前記第 1 のドーブ処理された領域の一部分は、前記ゲート構造の一部分の下に在る、第 1 のドーブ処理された領域と、

前記第 1 のドーブ処理された領域と隣接している前記半導体領域内及びその表面にあるショットキー領域を備えている第 1 ショットキー端子と、

前記ショットキー領域上の金属を備えている第 2 ショットキー端子と、を有することを特徴とするデバイス構造。

【請求項 13】

前記ショットキー領域は、前記第 1 のドーブ処理された領域と連続している、請求項 12 に記載のデバイス構造。

【請求項 14】

前記第 1 のドーブ処理された領域は、前記トランジスタのドレイン接点を含んでいる、請求項 13 に記載のデバイス構造。

【請求項 15】

前記第 1 のドーブ処理された領域は、前記トランジスタのソース接点を含んでいる、請求項 13 に記載のデバイス構造。

【請求項 16】

前記トランジスタは L D M O S トランジスタである、請求項 13 に記載のデバイス構造。

【請求項 17】

更に、前記第 1 のドーブ処理された領域から空間を空けて配置されている分離領域を有しており、前記ゲート構造は、前記分離領域の一部分に重なるように前記第 1 のドーブ処理された領域から伸張していることを特徴とする、請求項 13 に記載のデバイス構造。

【請求項 18】

更に、前記分離領域に隣接するドレイン接点を有していることを特徴とする、請求項 17 に記載のデバイス構造。

【請求項 19】

前記第 1 のドーピング処理された領域内に形成されている前記第 1 導電性型式の第 2 のドーピング処理された領域であって、前記第 1 のドーピング処理された領域より強くドーピング処理されている第 2 のドーピング処理された領域と、

前記分離領域と前記第 2 のドーピング処理された領域との間の前記第 1 のドーピング処理された領域内に形成されている前記第 2 導電性型式の第 3 のドーピング処理された領域と、を有していることを特徴とする、請求項 18 に記載のデバイス構造。

【請求項 20】

更に、前記第 1 のドーピング処理された領域から間隔を空けて配置されている前記第 2 導電性型式の第 2 のドーピング処理された領域を有しており、前記第 2 のドーピング処理された領域の一部分は前記ゲート構造の下にあることを特徴とする、請求項 13 に記載のデバイス構造。

10

【請求項 21】

前記第 1 のドーピング処理された領域は、更に、前記ゲート構造の下にある部分を有する分離領域を有していることを特徴とする、請求項 20 に記載のデバイス構造。

【請求項 22】

前記第 2 のドーピング処理された領域は、更に、

前記第 2 のドーピング処理された領域より高いドーピング濃度を有する前記第 2 導電性型式の第 3 のドーピング処理された領域と、

前記分離領域と前記第 3 のドーピング処理された領域との間の前記第 1 導電性型式の第 4 のドーピング処理された領域と、を有していることを特徴とする、請求項 21 に記載のデバイス構造。

20

【請求項 23】

ショットキーダイオードに連結されている LDMOS トランジスタを形成しているデバイス構造を形成する方法において、

半導体領域を有する基板を提供する段階と、

前記半導体領域に重なる前記 LDMOS トランジスタのゲート構造を形成する段階と、

前記半導体内及びその表面に形成されている第 1 導電性型式の前記半導体領域の表面に第 1 のドーピング処理された領域を形成する段階であって、前記第 1 のドーピング処理された領域の一部分は、前記ゲート構造の一部分の下に在る、第 1 のドーピング処理された領域を形成する段階と、

30

前記第 1 のドーピング処理された領域と隣接している前記半導体領域の中とその表面にショットキー領域を備えた第 1 ショットキー端子を形成する段階と、

前記ショットキー領域上の金属を備えている第 2 ショットキー端子を形成する段階と、から成ることを特徴とする方法。

【請求項 24】

前記ショットキー領域は、更に、前記第 1 のドーピング処理された領域と連続していることを特徴とする、請求項 23 に記載のデバイス構造。

【請求項 25】

前記第 1 のドーピング処理された領域内にドレイン接点を形成する段階を更に含んでいる、請求項 24 に記載のデバイス構造。

40

【請求項 26】

前記第 1 のドーピング処理された領域内にソース接点を形成する段階を更に含んでいる、請求項 24 に記載のデバイス構造。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、LDMOS トランジスタに、より具体的には、電流電極へ負の電圧を印加することに対する防御機能を有する LDMOS トランジスタに関する。

【背景技術】

【0002】

50

LDMOSTランジスタは、その高い破壊電圧に関係する数多くの有用な用途を有している。用途の中には、自動車環境の様な電子的にノイズの多い環境もある。起こり得るものの1つとして、誘導キックバックとして知られているが、電流を急にオフにすると、回路の誘導特性によって負の電圧が生成されることもある。この負の電圧は、PN接合に順方向のバイアスを掛け、大量の電流を流しかねない。PN接合に順方向のバイアスを掛けると、しばしば絶縁状態にならず、寄生バイポーラトランジスタをもたらすことになる。従って、順方向にバイアスを掛けると、このバイポーラトランジスタをオンにして、論理及びアナログ回路を混乱させる区域内に比較的大量の電流を流すことになる。これを緩和する1つの技法は、順方向バイアス電流を集めるLDMOSTランジスタの周囲に大きなガードリングを設けることである。そのためには極めて大きな余分な空間が要る。他の解決法も、同様に大量の空間を要することが多い。

10

【0003】

従って、LDMOSTランジスタの寸法を過度に大きくすること無く、LDMOSTランジスタに、負の電圧ノイズの発生を防ぐ効果的な防御機能を提供することが必要とされている。

【発明の開示】

【課題を解決するための手段】

【0004】

【発明を実施するための最良の形態】

【0005】

20

本発明を例を挙げて説明するが、本発明は、添付図面に限定するわけではなく、図中、同じ参照番号は同様の要素を示している。

当業者には理解頂けるように、図中の要素は、簡単に分かり易くするために示しているのであり、必ずしも尺度を合わせて描いてはいない。例えば、本発明の実施形態を更に良く理解できるように、図中の要素の幾つかは、他の要素に比べて寸法を誇張している。

【0006】

或る態様では、LDMOSTランジスタは、LDMOSTランジスタのデバイス構造の中心に挿入されたショットキーダイオードを有している。典型的なLDMOSTランジスタは、中心にドリフト領域を有している。この場合、ショットキーダイオードは、このドリフト領域の中心に挿入されており、ショットキーダイオードをソースからドレインに順方向に接続する効果があるので、ドレイン電圧がPN接合の閾値よりも低い電圧にクランプされ、PN接合に順方向のバイアスが掛かるのを防ぐ。代替策は、ショットキーダイオードを、ソースが形成されているウェルに挿入することであり、ウェルはLDMOSTランジスタの周縁部に在る。その様な場合、ショットキーダイオードは、異なる様式に形成されるが、それでもなおソースからドレインへと順方向に接続され、所望の電圧クランプをドレインに実現している。これは、図面と以下の説明を参照すれば、よく理解頂けるであろう。

30

【0007】

図1は、LDMOSTランジスタとして有用なデバイス構造10を示しており、P-である基板12と、Pにドーブ処理されている領域14と、領域14から間隔を空けて配置され、Nにドーブ処理され、LDMOSTランジスタのドリフト領域として機能する領域16と、領域16に隣接して、Pにドーブ処理されている領域18と、領域14内でP+にドーブ処理されている領域20と、領域14内で領域20と隣接し、N+にドーブ処理されている領域22と、領域16内にあり、酸化物の様な絶縁材料で形成されている分離領域25と、領域16内で分離領域25に隣接し、N+にドーブ処理されている領域24と、領域20と22の部分の上のコバルトシリサイドから成るシリサイド接点27と、シリサイド接点27から間隔を空けて配置されているゲート26と、ショットキーダイオード29の正の端子であり、領域18の上にあるシリサイド端子28と、を備えている。従来のLDMOS方式では、各領域が、この場合には領域18である中心を囲んでいる。領域14、16、18は、基板12内に形成されている。領域20と22は、領域14内に

40

50

形成されている。分離領域 25 と領域 24 は、領域 16 内に形成されている。ゲート 26 は、領域 14 の一部分、領域 14 と 16 の間の空間、領域 16 の一部分、及び分離領域 25 の一部分の上にある。トランジスタ 10 は、或る型式の従来型 LDMOST トランジスタであるが、シリサイド端子 28 と領域 16 で作られたショットキーダイオード 29 が追加されている。領域 24 は、ドレイン接点と、ショットキーダイオード 29 のガードリングの両方として作用する。

【0008】

ドレイン 24 が負の電圧にある状態では、ショットキーダイオード 29 は、基板 12 がトランジスタ 27 のソースである領域 22 と短絡している領域 20 を通して接地しているので、ドレイン 24 で約 -0.2 ボルトに順方向にバイアスが掛けられることになる。この順方向のバイアスによって、電流は、接点 27 から、領域 20 と 14 及び基板 12 を通り、領域 18 へ流れ、シリサイド 28 から出る。-0.2 ボルトで流れているこの電流は、ドレイン 24 が、領域 16 と基板 12 の界面の PN 接合に順方向のバイアスを掛けるほどの負の値に達するのを防ぐ。基板 12 は、図示していない他の場所では、他の N 領域と接触している。領域 16 と基板 12 の間のこの接合に順方向のバイアスが掛かると、ベースエミッター電流が生成されることになり、その結果、基板 12 と接触している他の N 領域から電流が流れることになる。

【0009】

領域 18 とシリサイド 28 は、LDMOST トランジスタを作るための通常の工程に容易に組み込むことができる。領域 16 の様な領域を形成するには、マスクが、N 型のインプラントを、次に領域 18 によって占有されることになる区域から遮断する。領域 22 と 24 は、他の領域がマスクされている状態で、インプラントによって形成される。領域 18 は、他の領域がマスクされている状態で、インプラントによって形成される。P 領域 14 は、P 領域 18 より強くドーブ処理されるので、これらの領域 14 と 18 の両方を形成するには、2 つ以上のインプラント段階が必要である。領域 16、18、24 の形成後、領域 18 は、領域 18 に隣接する領域 24 の部分と共にシリサイド化される。その結果、ショットキーダイオード 29 は、LDMOST トランジスタのドレインとして機能する領域 16 に取り囲まれる。領域 16 内に在り、LDMOST トランジスタのドレイン接点として機能する領域 24 は、領域 16 より遙かに浅く、これもショットキーダイオード 29 を取り囲んでいる。

【0010】

図 2 は、LDMOST トランジスタとして有用なデバイス構造 40 を示しており、P - である基板 42 と、N 型にドーブ処理され、LDMOST トランジスタのドリフト領域として機能する領域 44 と、P にドーブ処理されている領域 46 と、領域 46 から空間を空けて配置され、P にドーブ処理されている領域 48 と、酸化物のような絶縁材料で形成されている分離領域 58 と、N + にドーブ処理され、ドレイン接点として機能する領域 56 と、P + にドーブ処理されている領域 50 と、P + にドーブ処理されている領域 52 と、領域 52 に隣接し、N + にドーブ処理されている領域 54 と、基板 42 の表面上に在り、シリサイド端子 60 と、領域 46 と 48 の間にある領域 44 の部分とから形成されているショットキーダイオード 65 の正の端子として作用するシリサイド端子 60 と、シリサイド端子 60 から間隔を空けて配置され、ゲート誘電体 64 によって基板 42 から分離されているゲート 62 と、を備えている。領域 46 と 48 は領域 44 内にある。領域 50 は領域 46 内にある。領域 52 と 54 は領域 48 内にある。領域 50 と 52 は、LDMOST トランジスタの本体接点として機能し、領域 50 と 52 がそれぞれ属している領域 46 と 48 よりも遙かに浅い。領域 54 は、LDMOST トランジスタのソースとして機能する。シリサイド端子 60 は、領域 50、領域 50 に隣接する領域 46 の一部分、領域 46 と 48 の間の部分、領域 52、及び領域 54 の一部分の上にある。シリサイド端子 60 は、ショットキーダイオード 65 の正の端子であるだけでなく、LDMOST トランジスタのソースを領域 52 に短絡させ、領域 52 は、ゲート 62 の下の領域 48 内の基板 42 の表面にあるチャネルの本体接点として作動する。これは、別の従来型 LDMOS 構造であり、デバイス

構造 10 と同様であるが、ショットキーダイオードが追加されている。

【0011】

領域 46 と 48 は、ショットキーダイオード 65 に部分的なピンチオフ効果を提供し、その逆バイアス漏洩電流を改善する。ピンチオフは、領域 46 と 48 を更に深くすると同時に、これらの領域の境界線を極めて垂直に保つことで、更に改善される。当業者には理解頂けるように、実際、図 2 に示している LDMOST トランジスタと図 1 に示している LDMOST トランジスタは、それらと同じ多くの他の構造体と並列に連結される。これは、高電圧ドライバとして作動することのできる最終的な LDMOST トランジスタを実現するために行われる。図 2 のデバイス構造 40 の場合、領域 46 は、裸で機能するトランジスタを実現するために必ずしも必要ではないが、最終的な LDMOST トランジスタを提供するには有用であり、デバイス構造 40 内に統合されているショットキーダイオード 65 の性能を支援するのに有用である。従って、この領域 46 は、その意味では LDMOST トランジスタの一部であり、最終的な LDMOS を支援するという意味では領域 48 と同じ機能を提供するので、48 と同じ領域と考えることができ、領域 48 と共にショットキーダイオード 65 を実質的に取り囲んでいる。実際、ショットキーダイオード 65 が無ければ、それらは同じ領域である。ショットキーダイオード 65 が在るので、これらの領域は連続していないが、これらの領域は同じトランジスタ機能を有しており、同じ方法で同時に形成され、それらの間に同じ型式は無く、従って両者は隣接しており、電気的に接続されているので、実質的に連続していると考えることができる。その結果、領域 46 と 48 は、LDMOST トランジスタの本体として機能し、ショットキーダイオード 65 を取り囲む実質的に連続しているドープ処理された領域として一体となって機能する。

10

20

【0012】

ドレイン 56 が負の電圧にある状態では、ショットキーダイオード 65 は、シリサイド端子 60 が接地しているので、ドレイン 56 で約 -0.2 ボルトに順方向にバイアスが掛けられることになる。この順方向のバイアスによって、電流は、シリサイド端子 60 から、領域 44 を通り、領域 56 へ流れる。-0.2 ボルトで流れているこの電流は、ドレイン 56 が、領域 44 と基板 42 の界面の PN 接合に順方向のバイアスを掛けるほどの負の値に達するのを防ぐ。基板 42 は、図示していない他の場所では、他の N 領域と接触している。領域 44 と基板 42 の間のこの接合に順方向のバイアスが掛かると、ベースエミッター電流が生成されることになり、その結果、基板 42 と接触している他の N 領域から電流が流れることになる。

30

【0013】

付加される処理の複雑さは最小である。ドリフトインプラントは、周知のように、基板 42 内に領域 44 を形成するために実行される。LDMOST トランジスタが繰り返される領域、領域 46 と 48 では、これらの領域の間の空間は、領域 46 と 48 がインプラントされるとき、マスキングされる。この空間は、領域 50、52、54、56 が形成されるときもマスキングされる。領域 50 と 52 は、同時にインプラントされる。領域 54 と 56 は、同時にインプラントされる。バックグラウンドとして領域 44 があるので、領域 46 と 48 の間の空間は、ショットキーダイオード 65 の負の端子として有効である。シリサイドは、領域 52 と 54 を短絡させるため通常の処理で形成され、領域 52 と 54 上で実行される。このシリサイド形成を領域 46 と 48 の間の空間上に伸張させるだけで、ショットキーダイオード 65 の正の端子を形成するのは簡単なことである。

40

【0014】

この様に、2 つの実施形態では、ショットキーダイオードは、LDMOST トランジスタのドレインに負の電圧が掛かるのを防ぐために、LDMOST トランジスタの一部として組み込まれている。

【0015】

以上の明細書において、本発明を、特定の実施形態に関連付けて説明してきた。しかしながら、当業者には理解頂けるように、特許請求項の範囲に記載している本発明の範囲から逸脱すること無く、様々な修正及び変更を行うことができる。例えば、シリコンとは異

50

なる他の半導体材料も基板として使用することができる。様々なドーピング処理された領域はP又はNの何れかであると述べているが、これらの導電性の型式は、逆にしても同様の結果を実現することができる。ショットキーダイオードに用いられる金属は、コバルトシリサイドとは異なる金属であってもよい。従って、本明細書と図面は、制限を課すのではなく、分かり易くするためのものであると考えるべきであり、その様な修正は、全て、本発明の範囲に含まれるものとする。

【 0 0 1 6 】

具体的な実施形態について、恩典、他の利点、及び問題に対する解決法を述べてきた。しかしながら、恩典、利点、問題に対する解決法、及び、恩典、利点、又は解決法を発現させ又はより顕著なものとする何れの要素も、請求項の何れか又は全ての、決定的な、必要な、又は欠くことのできない特徴又は要素であると解すべきではない。ここで用いている用語「備える」、「備えている」、又はそれらの他の派生語は、非排他的な包含を包括しているので、要素の一覧を備えている工程、方法、物品、又は装置は、それらの要素だけを含んでいるのではなく、明示的に掲示されていないか、又はそのような工程、方法、物品、又は装置に固有の他の要素も含んでいる。

10

【図面の簡単な説明】

【 0 0 1 7 】

【図 1】 本発明の第 1 の実施形態による LDMOS トランジスタの断面である。

【図 2】 本発明の第 2 の実施形態による LDMOS トランジスタの断面である。

【 図 1 】

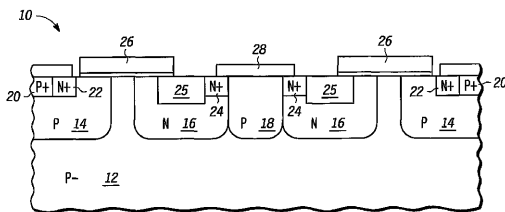


FIG. 1

【 図 2 】

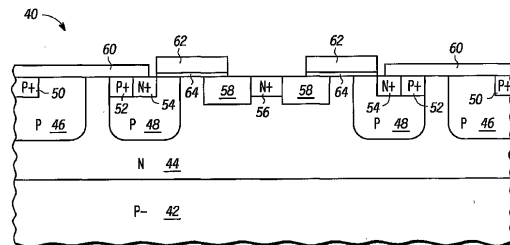


FIG. 2

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US05/16254												
A. CLASSIFICATION OF SUBJECT MATTER IPC(7) : H01L 29/76,29/78 US CL : 257/335,336,321,379,332 According to International Patent Classification (IPC) or to both national classification and IPC														
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : 257/335,336,321,379,332 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EAST														
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1"> <thead> <tr> <th>Category *</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>US 5,925,910 (Menegoli) 20 July 1999 (20.07.1999), Figures 14 - 18; column 4, line 4 - 67; column 5, lines 1 - 67; column 6, lines 1 - 67; column 7, lines 1 - 67; column 8, lines 1 - 67; and column 9, lines 1 - 49.</td> <td>12 - 15,18, 20,21</td> </tr> <tr> <td>Y</td> <td>US 5,925,910 (Menegoli) 20 July 1999 (20.07.1999), Figures 14 - 18; column 4, line 4 - 67; column 5, lines 1 - 67; column 6, lines 1 - 67; column 7, lines 1 - 67; column 8, lines 1 - 67; and column 9, lines 1 - 49.</td> <td>1,16,23-26</td> </tr> <tr> <td>Y</td> <td>US 4,989,058 (Lolak et al.) 29 January 1991 (29.01.1991); Figures 5a - 5c; column 1, lines 14 - 15; and column 7, lines 32 - 35.</td> <td>1,16,23-26</td> </tr> </tbody> </table>			Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X	US 5,925,910 (Menegoli) 20 July 1999 (20.07.1999), Figures 14 - 18; column 4, line 4 - 67; column 5, lines 1 - 67; column 6, lines 1 - 67; column 7, lines 1 - 67; column 8, lines 1 - 67; and column 9, lines 1 - 49.	12 - 15,18, 20,21	Y	US 5,925,910 (Menegoli) 20 July 1999 (20.07.1999), Figures 14 - 18; column 4, line 4 - 67; column 5, lines 1 - 67; column 6, lines 1 - 67; column 7, lines 1 - 67; column 8, lines 1 - 67; and column 9, lines 1 - 49.	1,16,23-26	Y	US 4,989,058 (Lolak et al.) 29 January 1991 (29.01.1991); Figures 5a - 5c; column 1, lines 14 - 15; and column 7, lines 32 - 35.	1,16,23-26
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.												
X	US 5,925,910 (Menegoli) 20 July 1999 (20.07.1999), Figures 14 - 18; column 4, line 4 - 67; column 5, lines 1 - 67; column 6, lines 1 - 67; column 7, lines 1 - 67; column 8, lines 1 - 67; and column 9, lines 1 - 49.	12 - 15,18, 20,21												
Y	US 5,925,910 (Menegoli) 20 July 1999 (20.07.1999), Figures 14 - 18; column 4, line 4 - 67; column 5, lines 1 - 67; column 6, lines 1 - 67; column 7, lines 1 - 67; column 8, lines 1 - 67; and column 9, lines 1 - 49.	1,16,23-26												
Y	US 4,989,058 (Lolak et al.) 29 January 1991 (29.01.1991); Figures 5a - 5c; column 1, lines 14 - 15; and column 7, lines 32 - 35.	1,16,23-26												
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.														
* Special categories of cited documents: <table border="0"> <tr> <td>"A" document defining the general state of the art which is not considered to be of particular relevance</td> <td>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</td> </tr> <tr> <td>"E" earlier application or patent published on or after the international filing date</td> <td>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</td> </tr> <tr> <td>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</td> <td>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</td> </tr> <tr> <td>"O" document referring to an oral disclosure, use, exhibition or other means</td> <td>"&" document member of the same patent family</td> </tr> <tr> <td>"P" document published prior to the international filing date but later than the priority date claimed</td> <td></td> </tr> </table>			"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention	"E" earlier application or patent published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone	"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art	"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family	"P" document published prior to the international filing date but later than the priority date claimed			
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention													
"E" earlier application or patent published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone													
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art													
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family													
"P" document published prior to the international filing date but later than the priority date claimed														
Date of the actual completion of the international search 27 January 2006 (27.01.2006)		Date of mailing of the international search report 16 FEB 2006												
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US Commissioner for Patents P.O. Box 1450 Alexandria, Virginia 22313-1450 Facsimile No. (571) 273-3201		Authorized officer Long Tran Telephone No. 571-272-1797												

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(74)代理人 100096013

弁理士 富田 博行

(72)発明者 ケムカ, ヴィシュヌ・ケイ

アメリカ合衆国アリゾナ州 8 5 0 4 8, フェニックス, イースト・マウンテン・スカイ・アベニュー 3 1 5

(72)発明者 パルササラシ, ヴィジャイ

アメリカ合衆国アリゾナ州 8 5 0 4 8, フェニックス, イースト・ヒドゥンビュー・ドライブ 2 3 2 5

(72)発明者 ジュー, ロンファ

アメリカ合衆国アリゾナ州 8 5 2 4 8, チャンドラー, ウェスト・ノーラン・ウェイ 9 5 3

(72)発明者 ボーズ, アミタヴァ

アメリカ合衆国アリゾナ州 8 5 2 8 3, テンペ, サウス・ケンウッド・レーン 6 7 2 0

F ターム(参考) 4M104 BB20 CC01 CC03 DD96 FF32 FF35 GG03 GG09 GG14 HH20

5F048 AC10 BA01 BA07 BC03 BC07 BD04 BE03 BE04 BF17 BF18

BG12 BG13

5F140 AA03 AA17 AB06 AC21 BA01 BB12 BH15 BH17 BH30 BH41

BH43 BH45 BH47 BJ08 BJ30 BK13 CB04