

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：97124332

※ 申請日期：2008 年 6 月 27 日

※IPC 分類：

一、發明名稱：(中文/英文)

H01L 21/3065, 21/336
(2006.01)

高溫蝕刻高K值材料閘極結構之方法

METHODS FOR HIGH TEMPERATURE ETCHING A HIGH-K
MATERIAL GATE STRUCTURE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商·應用材料股份有限公司

APPLIED MATERIALS, INC.

代表人：(中文/英文)

鄺錦安

KWONG, RAYMOND K.

住居所或營業所地址：(中文/英文)

美國加州聖大克勞拉市波爾斯大道 3050 號

3050 Bowers Avenue, Santa Clara, CA 95054, U.S.A.

國籍：(中文/英文)

美國/USA

三、發明人：(共 10 人)

姓名：(中文/英文)

1. 劉煒/LIU, WEI

2. 松末英一/MATSUSUE, EIICHI

3. 沈美華/SHEN, MEIHUA

4. 戴希繆克沙珊克/DESHMUKH, SHASHANK

5. 川瀨羊平/KAWASE, YOHEI
6. 潘安基寬/PHAN, ANH-LIET QUANG
7. 帕拉葛西維里大衛/PALAGASHVILI, DAVID
8. 威爾維斯麥克 D./WILLWERCH MICHAEL D.
9. 申鐘艾/SHIN, JONG I.
10. 芬奇巴瑞特/FINCH, BARRETT

國 籍：(中文/英文)

1. 美國/USA
2. 日本/JAPAN
3. 美國/USA
4. 美國/USA
5. 日本/JAPAN
6. 美國/USA
7. 美國/USA
8. 美國/USA
9. 美國/USA
10. 美國/USA

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2007 年 6 月 27 日；60/946,581
2. 美國；2007 年 11 月 12 日；60/987,159

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明提供了一種在高溫下蝕刻高介電常數材料的方法。在一實施例中，一種在基板上蝕刻高介電常數材料的方法，其可以包括將一基板提供至一蝕刻腔室中，該基板具有一高介電常數材料層設置於其上；由一蝕刻氣體混合物形成一電漿至所述蝕刻腔室中，該蝕刻氣體混合物包含至少一含鹵素氣體；當在電漿的存在下蝕刻高介電常數材料層時，將蝕刻腔室之內部表面的溫度保持在超過約攝氏 100 度；以及當在電漿的存在下蝕刻高介電常數材料層時，將一基板溫度保持在約攝氏 100 度和攝氏 250 度之間。

六、英文發明摘要：

Methods for etching high-k material at high temperatures are provided. In one embodiment, a method etching high-k material on a substrate may include providing a substrate having a high-k material layer disposed thereon into an etch chamber, forming a plasma from an etching gas mixture including at least a halogen containing gas into the etch chamber, maintaining a temperature of an interior surface of the etch chamber in excess of about 100 degree Celsius while etching the high-k material layer in the presence of the plasma, and maintaining a substrate temperature between about 100 degree Celsius and about 250 degrees Celsius while etching the high-k material layer in the presence of the plasma.

七、指定代表圖：

(一)、本案指定代表圖為：第(3)圖。

(二)、本代表圖之元件代表符號簡單說明：

250 製程

252 方框

254 方框

256 方框

258 方框

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

九、發明說明：

【發明所屬之技術領域】

本發明的實施例主要涉及高溫蝕刻高介電常數材料的方法，更具體地，涉及在閘極結構製造期間，高溫蝕刻高介電常數材料的方法。

【先前技術】

對於下一代半導體元件的極大型積體電路（very large scale integration, VLSI）和超大型積體電路（ultra large-scale integration, ULSI）來說，可靠地生產次半微米以及更小的部件是關鍵技術之一。然而，隨著朝電路技術的極限推進，VLSI 和 ULSI 技術中在相互連接的尺寸減小上已對製程能力形成了額外的需求。閘極圖案能可靠的形成對 VLSI 和 ULSI 的成就，以及增加電路密度和不斷提高單個基板和晶片的品質極為重要。通常，閘極結構包括設置在閘極介電層上方的閘極。利用閘極結構控制在該閘極介電層下方汲極區和源極區間所形成的通道區中電荷載流子的流動。

高介電常數介電材料（例如，具有大於 4 的介電常數的材料）在閘極結構應用中，廣泛地用於閘極介電層。高介電常數閘極介電材料具有低的等效氧化層厚度（equivalent oxide thickness, EOT）並減小閘極漏電流。儘管大多數高介電常數材料在周圍溫度下相對穩定，但已經證實這些材料在閘極結構製造順序期間很難被蝕刻。此

外，傳統蝕刻劑在蝕刻高介電常數材料上相對於閘極結構中存在的其他材料(諸如閘極和/或下層材料)具有低選擇性，從而在其他材料與高介電常數材料的接觸面上留下砂凹槽、印記(foot)或其他相關缺陷。

因此，本領域需要一種在閘極結構製造期間，用於蝕刻高介電常數材料的改良方法。

【發明內容】

本發明提供一種蝕刻設置在閘極結構中之高介電常數材料的方法。在一實施例中，一種蝕刻高介電常數材料的方法可包括將一基板提供至一蝕刻腔室中，該基板具有一高介電常數材料層設置於其上；由一蝕刻氣體混合物形成一電漿至所述蝕刻腔室中，該蝕刻氣體混合物包括至少一含鹵素氣體；以及當在所述電漿的存在下蝕刻所述高介電常數材料層時，將一基板溫度保持在約攝氏 100 度和約攝氏 250 度之間。

在另一實施例中，一種蝕刻一薄膜疊層以形成一閘極結構的方法，可包括提供一基板至一蝕刻腔室中，該基板具有一薄膜疊層形成於其上，其中該薄膜疊層包括在一夾置在一第一和一第二多晶矽層間的高介電常數材料；蝕刻在基板上的第一多晶矽層，以形成一暴露高介電常數材料的溝槽；在溝槽的側壁上形成一保護層；利用一含鹵素氣體，在約攝氏 100 度和約攝氏 250 度間的溫度下，經由該經保護的溝槽來蝕刻高介電常數材料；以及蝕刻設置在基

板上的第二多晶矽層。

在另一實施例中，一種蝕刻一薄膜疊層以形成一閘極結構的方法，可包括提供一基板於一蝕刻腔室中，該基板具有一薄膜疊層形成於其上，其中所述薄膜疊層包括一夾置在一第一和第二多晶矽層間的含鉛氧化物層；以及在蝕刻腔室中依序蝕刻第一多晶矽層、含鉛氧化物層和第二多晶矽層，同時將所述基板保持在約攝氏 100 度和約攝氏 250 度間的溫度。

在另一實施例中，一種蝕刻一薄膜疊層以形成一閘極結構的方法，可包括提供一具有一金屬閘極的基板至一蝕刻腔室中，所述金屬閘極係設置在一形成於所述基板上的高介電常數材料層上；蝕刻所述金屬閘極層，以形成一暴露所述高介電常數材料的溝槽；以及利用一含鹵素氣體，在約攝氏 100 度和約攝氏 250 度間的溫度下，通過所述溝槽蝕刻所述高介電常數材料。

在一實施例中，一種蝕刻在一基板上高介電常數材料的方法，可包括提供一基板至一蝕刻腔室中，該基板具有一高介電常數材料層設置於其上；由一蝕刻氣體混合物形成一電漿至所述蝕刻腔室中，該蝕刻氣體混合物包含至少一含鹵素氣體的；當在所述電漿的存在下蝕刻所述高介電常數材料層時，將蝕刻腔室之內部表面的溫度保持在超過約攝氏 100 度；以及當在所述電漿的存在下蝕刻高介電常數材料層時，將一基板溫度保持在約攝氏 100 度和攝氏 250 度之間。

【實施方式】

本發明主要涉及用於蝕刻高介電常數材料的方法，該高介電常數材料為適用於閘極結構製造之薄膜疊層的一部分。在一實施例中，在約攝氏 100 度至約攝氏 250 度間的溫度下蝕刻閘極結構薄膜疊層的高介電常數材料。在另一實施例中，在約攝氏 100 度和約攝氏 250 度間相近的溫度下，對高介電常數材料與相鄰的閘極層均進行蝕刻。在此所描述的製程有利地適用於具有次微型臨界尺寸的含高介電常數閘極結構應用中進行應用。該製程也保持所形成之閘極結構的光滑、垂直、無印 (foot-free)、零矽凹槽 (zero silicon recess) 以及平直的外形。在單個蝕刻腔室中可依序執行蝕刻製程。

在此所描述的蝕刻製程可以在任何適合的電漿蝕刻腔室中執行，例如，去耦電漿源 (Decoupled Plasma Source, DPS)、DPS-II、DPS-II AdvantEdge HT、DPS Plus 或 DPS DT、HART 和 HART TS 蝕刻反應器，所有這些都可以從 California 的 Santa Clara 應用材料公司購買到。本發明也可以在從其他製造商購買的電漿蝕刻反應器中實施。

第 1 圖示出了適用於實施本發明至少一實施例之示意性蝕刻製程腔室 100 一實施例的示意圖。腔室 100 包括支撐罩 (lid) 120 的導電腔室壁 130。壁 130 連接到地線 (electrical ground) 134。罩 120 可以具有平頂 (flat ceiling)、圓形的頂或用於限定製程腔室 100 內部體積上邊

界之其他幾何形狀的頂。

至少一個感應線圈天線部分 112 通過匹配網路 119 耦合到射頻 (radio-frequency, RF) 源 118。天線部分 112 位於罩 120 的外部並用於保持在腔室中由製程氣體形成的電漿 155。在一實施例中，施加於感應線圈天線 112 的源 RF 功率係在約 50 kHz 和約 13.56 MHz 之間的頻率下於約 0 瓦到約 2500 瓦之間的範圍。在另一實施例中，用於感應線圈天線 112 的源 RF 功率在約 200 瓦到約 2000 瓦之間的範圍，諸如約 800 瓦。

罩 120 可包括適於在製程期間控制罩 120 內表面 162 溫度的一個或多個溫度控制元件。在一實施例中，溫度控制元件包括一個或多個設置成使液體流動於其中的管道 164。迴流通過管道 164 的液體溫度可以根據需要，藉由選擇地加熱或冷卻罩 120，來控制罩 120 內表面 162 溫度的方式而調節，以保持預定溫度。可選地，控制元件可以是電阻加熱器、燈和/或冷卻元件。

製程腔室 100 還包括基板支撐基座 116 (偏置元件)，其連接到第二 (偏置) RF 源 122，該第二 (偏置) RF 源 122 通常能夠產生 RF 信號以在約 13.56 MHz 的頻率下產生約 1500 瓦或更少 (例如，沒有偏置功率) 的偏置功率。偏置源 122 通過匹配網路 123 連接到基板支撐基座 116。用於基板支撐基座 116 的偏置功率通常可以為 DC 或 RF。

在操作中，基板 114 設置在基板支撐基座 116 上，並通過諸如靜電卡盤、真空或機械夾具的傳統方法保持在其

上。通過氣體面板 138 從入口將氣體成分提供給製程腔室 100 以形成氣體混合物 150。電漿 155 由氣體混合物形成。在一個實施例中，入口包含在噴嘴 170 中，該噴嘴 170 設置在製程腔室 100 的罩 120 中。噴嘴 170 包括至少一第一出口 172，用於將向下引導的第一氣體成分朝基板 114 中心提供，以及至少一個第二出口 174，用於將徑向向外引導的第二氣體成分朝製程腔室 100 的壁 130 提供。在該方式中，氣體混合物中第一和第二氣體成分的分佈可被徑向地控制在基板的中心和邊緣間。藉由將分別來自 RF 源 118 和 122 的 RF 功率施加在天線 112 和基板支撐基座 116 上，使由混合物 150 形成的電漿保持在製程腔室 100 中。利用位於腔室 100 和真空泵 136 之間的節流閥 127 可以控制蝕刻腔室 100 內部體積的壓力。利用含有液體的管道（未示出）可以控制腔室壁 130 表面的溫度，含有液體的管道位於腔室 100 的壁 130 中。

可以通過穩定支撐基座 116 的溫度以及將熱交換氣體從源 148 經由管道 149 流到基板 114 的背部和基座表面上的凹槽（未示出）間所限定的溝道來控制基板 114 的溫度。氮氣可用作熱交換氣體以便於基板支撐基座 116 和基板 114 之間的熱傳遞。在蝕刻製程期間，通過設置在基板支撐基座 116 內的電阻加熱器 125 經 DC 電源 124 將基板 114 加熱到穩態溫度。設置在基座 116 和基板 114 之間的氮便於基板 114 的均勻受熱。利用對罩 120 和基板支撐基座 116 兩者的熱控制，基板 114 可以保持在約攝氏 100 度和約攝

氏 500 度之間的溫度。

熟悉本領域的技術人員應該理解其他形式的蝕刻腔室也可用於實施本發明。例如，具有遠端電漿源的腔室、微波電漿腔室、電子迴旋共振 (electron cyclotron resonance, ECR) 電漿腔室等可用於實施本發明。

包括中央處理單元 (CPU) 144、記憶體 142 和用於 CPU 之輔助電路 146 的控制器 140 係連接到 DPS 蝕刻製程腔室 100 的不同元件以便於蝕刻製程的控制。為了便於上述腔室的控制，CPU144 可以為用於工業設置中便於控制不同腔室和子處理器之任何一種形式的通用電腦處理器。記憶體 142 連接到 CPU144。記憶體 142 或電腦可讀媒介可以是一種或多種易得的記憶體，諸如隨機存取記憶體 (RAM)、唯讀記憶體 (ROM)、軟碟、硬碟或任何其他形式的數位記憶體、本地或遠端。輔助電路 146 連接到 CPU144 用於以傳統的方式輔助處理器。這些電路包括緩存、電源、時鐘電路、輸入/輸出電路和子系統等。諸如在此所描述的蝕刻製程，通常作為軟體程式存儲在記憶體 142 中。軟體程式還可以通過遠離由 CPU144 控制之硬體設置的第二 CPU (未示出) 存儲和/或執行。

第 2 圖為可在示例腔室 100 或其他適合的製程腔室中實施蝕刻製程 200 之一實施例的流程圖。製程 200 在方框 202 開始，將基板 114 傳送 (即，提供) 到蝕刻製程腔室，諸如示例的製程腔室 100，如第 1 圖所示。基板 114 具有設置在其上包含高介電常數材料介電層的薄膜疊層。在一

實施例中，高介電常數材料層為二氧化鈪 (HfO_2)、二氧化鋯 (ZrO_2) 矽酸鈪氧化合物 (HfSiO_4)、鈪鋁氧化物 (HfAlO)、矽酸鋯氧化物 (ZrSiO_4)、二氧化鉭 (TaO_2)、氧化鋁、鋁摻雜的二氧化鈪、鈹鋇酸鈷 (bismuth strontium titanium, BST) 或鈹鋯酸鈷 (platinum zirconium titanium, PZT) 等中的至少一種。高介電常數材料介電層的一些部分通過經圖案化的遮罩層暴露。基板 114 可以是半導體基板、矽晶圓、玻璃基板等中的任何一種。

在方框 204，暴露的高介電常數材料層通過經圖案化的遮罩層所限定的開口在高溫環境下進行電漿蝕刻。蝕刻高介電常數材料層直到薄膜疊層之下層的上表面露出為止。高介電常數材料層在高溫環境下進行蝕刻。具體地，在高介電常數材料層蝕刻期間，至少一些腔室元件保持在大於約攝氏 100 度的溫度。在室溫下執行的傳統高介電常數蝕刻製程期間，在蝕刻期間產生的經蝕刻高介電常數材料副產物易於凝聚在相對冷的腔室表面上，而不是形成可以從腔室抽出的揮發性氣體。在一實施例中，在蝕刻期間，罩 120 保持在約攝氏 100 度和約攝氏 250 度之間的溫度，從而使電絕緣的高介電常數蝕刻副產物不會凝聚在罩 120 上，於該罩 120 處電絕緣的高介電常數蝕刻副產物將阻礙用於執行蝕刻製程之電漿的功率耦合。因此，通過使罩 120 保持在充分清潔的條件，實現更均勻並精確的電漿控制，由此產生更可預測的、均勻的和精確的蝕刻性能。

此外，將被蝕刻的高介電常數材料層的溫度係保持在

大於約攝氏 80 度的溫度。在一實施例中，利用加熱的基板支架將高介電常數材料層的溫度保持在約攝氏 100 度到約攝氏 250 度之間，例如在約攝氏 130 度和約攝氏 220 度之間（諸如約攝氏 150 度）。如上述注意到的，通過將蝕刻溫度控制在約攝氏 100 度和約攝氏 250 度之間，高介電常數蝕刻副產物易形成揮發性產物，而從腔室中抽出並移除，從而產生更精確的輪廓和圖案轉移。揮發性產物的形成也促進殘餘物從腔室排出以在基板 114 上留下清潔的後蝕刻表面。此外，由於為蝕刻高介電常數材料層而控制的基板溫度充分高於傳統技術，因此不需要偏置功率來維持合理的高介電常數材料蝕刻速率，從而避免可能在下層和/或基板中產生不需要的凹槽或表面損壞的轟擊。

在由製程氣體混合物形成的電漿中蝕刻高介電常數材料層。在一實施例中，製程氣體混合物至少包括含鹵素氣體。在一示例性實施例中，含鹵素氣體可以是含氯氣體。含鹵素氣體的適合示例包括 BCl_3 、 Cl_2 等。在含鹵素氣體中所提供的鹵素元素蝕刻高介電常數材料層，並從基板 114 移除高介電常數材料層。在高介電常數材料層包含鈹的實施例中，從製程氣體釋出的氯元素與從含鈹的材料中釋出的鈹元素反應，從而形成氯化鈹 (HfCl_4)，其為易於從製程腔室中抽出的揮發性副產物。由於高溫高介電常數蝕刻製程增加了副產物的揮發性，因此蝕刻副產物可以有效地從基板支架和罩（或其他高溫腔室表面）移除，使得在蝕刻製程後的表面為清潔的且無殘餘物。

可選地，可以在製程氣體中提供煙氣。煙氣提供聚合材料，在蝕刻製程期間，該聚合材料沈積在經蝕刻的高介電常數材料層和遮罩層的側壁上。這改進了臨界尺寸和輪廓控制。煙氣包括 CH_4 、 CHF_3 、 CH_2F_2 及其混合物。

在蝕刻高介電常數材料層的同時可以調節幾個製程參數。在一個實施例中，將存在有高介電常數蝕刻製程氣體的腔室壓力調節在約 2 毫托到約 500 毫托之間（例如，在約 20 毫托）。可以施以 RF 源功率以保持由高介電常數蝕刻製程氣體形成的電漿。例如，約 0 瓦到約 1500 瓦的功率可以施加到感應耦合天線源以保持蝕刻腔室內部的電漿。可以施加在約 0 瓦到約 1000 瓦之間（例如約 250 瓦）的 RF 偏置功率。在一個實施例中，不使用偏置功率，這減少了離子轟擊，從而顯著減少閘極下面的矽源和汲極中不需要的凹槽的發生。可選地，可以根據需要消除偏置功率。高介電常數蝕刻製程氣體可以以約 0 sccm 到約 500 sccm 之間的速率流到腔室中。例如，可以約 5 sccm 和約 500 sccm 之間（例如，在約 30 sccm 和約 100 sccm 之間）的流速，提供含鹵素氣體。可以 0 sccm 和約 100 sccm 之間（諸如約 0 sccm 和約 10 sccm 之間）的流速，提供煙氣。可以以約 0 sccm 和約 500 sccm 之間的流速提供惰性氣體。基板溫度保持在約大於攝氏 80 度，諸如大於約攝氏 120 度，例如約攝氏 150 度。

第 3 圖示出了可在示例腔室 100 或其他適合的製程腔室中實施蝕刻製程 250 一實施例的流程圖。第 4A - 4D 圖示

出了與製程 250 各個階段對應的複合基板一部分的示意性橫截面圖。儘管在第 4A-4D 圖中對用於形成閘極結構的製程 250 進行說明，但製程 250 可有益於製造其他結構。

製程 250 在方框 252 開始，將基板 114 傳送（即，提供）給蝕刻製程腔室，諸如第 1 圖所示的示例性製程腔室 100。在第 4A 圖示出的實施例中，基板 114 具有薄膜疊層 300，薄膜疊層 300 含有一高介電常數材料介電層 304 設置在其上，適於製造閘極結構。基板 114 可以是半導體基板、矽晶圓、玻璃基板等中的任何一種。利用一個或多個適合的傳統沈積技術諸如原子層沈積（atomic layer deposition, ALD）、物理氣相沈積（physical vapor deposition, PVD）、化學氣相沈積（chemical vapor deposition, CVD）、電漿增強 CVD（PECVD）等形成包括薄膜疊層 300 的多層。

在一個實施例中，薄膜疊層 300 至少包括夾置高介電常數介電材料層 304（高介電常數材料具有大於 4.0 的介電常數）的一個或多個層 302、306。薄膜疊層 300 可以設置在介電層（未示出）之上，或直接位於基板 114 之上。介電層的適合示例包括，但不限於，氧化層、氮化層、氮化鈦層、氧化層和氮化層的組合，夾置氮化層的至少一個或多個氧化層，及其組合等。圖案化的遮罩 308（例如，硬遮罩）、光阻遮罩或其組合，可以用作通過開口 310 暴露薄膜疊層 300 的多個部分便於蝕刻其上特徵的蝕刻遮罩。

在第 4A 圖示出的實施例中，高介電常數材料可以是二氧化鈦（ HfO_2 ）、二氧化鋯（ ZrO_2 ）、矽酸鈦氧化物

(HfSiO_4)、鈐鋁氧化物 (HfAlO)、矽酸鋯氧化物 (ZrSiO_4)、二氧化鈮 (TaO_2)、氧化鋁、鋁摻雜的二氧化鈐、鈦鋇酸鈦 (BST) 或鈦鋇酸鈷 (PZT) 等中的一層。在示例性實施例中，高介電常數材料為鈐鋁氧化物 (HfAlO)。高介電常數材料層 304 具有約 10 Å 和約 500 Å 之間的厚度，諸如約 50 Å 和約 300 Å (例如約 150 Å)。

第一層 306 設置在高介電常數材料層 304 上方，並可以包括一個或多個層。在一個實施例中，第一層 306 為多晶矽層，用於閘極結構中的閘極層。可選地，第一層 306 可以是用於閘極的金屬材料。金屬閘極的示例包括鎢 (W)、矽化鎢 (WSi)、多晶矽鎢 (tungsten polysilicon, W/poly)、鎢合金、鈮 (Ta)、氮化鈮 (TaN)、氮矽化鈮 (TaSiN) 以及氮化鈦 (TiN) 等。在另一實施例中，閘極層 306 可以是包括設置在金屬材料之上之多晶矽層的複合薄膜。在該具體實施例中，閘極層 306 可以是設置在氮化鈦 (TiN) 層之上的多晶矽層。在第 4A 圖示出的實施例中，設置在高介電常數材料層 304 之上的第一層 306 為多晶矽層。第一層 306 可以具有約 500 Å 和約 4000 Å 之間的厚度，諸如在約 800 Å 和約 2500 Å 之間 (例如約 1650 Å)。

第二層 302 設置在高介電常數材料層 304 下方，還可以包括一個或多個層。在一個實施例中，第二層 302 可以是介電層，諸如多晶矽層、氧化矽層、氮化矽層、氮氧化矽及其組合。在一些實施例中，其中沒有第二層 302，薄

膜疊層 300 中的高介電常數材料層 304 可以直接設置在基板 114 上。在第 4A 圖示出的實施例中，第二層 302 為多晶矽層並具有約 50Å 和約 2000Å 之間的厚度，諸如約 100Å 和約 1000Å 之間(例如約 500 Å)。

在方框 254，通過由圖案化的遮罩 308 限定的開口 310，執行蝕刻製程以蝕刻基板 114 上的第一層 306，以在第一層 306 中形成溝槽 320，如第 4B 圖所示。方框 254 中執行的蝕刻製程可以具有一個或多個蝕刻步驟以蝕刻第一層 306 的不同部分。在一個實施例中，蝕刻製程可以是單個步驟的蝕刻製程，一步蝕刻第一層 306，直到暴露高介電常數材料層 304。在另一實施例中，蝕刻製程可以包括蝕刻基板 114 上第一層 306 不同部分的多個步驟。

在示例的實施例中，可以執行多個蝕刻步驟以蝕刻第一層 306，並暴露薄膜疊層 300 的高介電常數材料層 304。最初可以執行突破(break-through)蝕刻以蝕刻第一層 306 的上表面，例如俱生氧化物。用於突破蝕刻的蝕刻氣體混合物包括氟和碳氣體。由氣體混合物形成之電漿產生的反應物種與俱生氧化物(諸如二氧化矽)反應，以形成從製腔室中抽出的揮發性反應物(諸如 SiF_4 和 CO_2)。用於突破蝕刻的蝕刻氣體混合物的合適示例包括 CF_4 、 CHF_3 、 CH_2F_2 、 CH_3F 和 C_4F_8 等。可選地，惰性氣體可與蝕刻氣體混合物一同供給。惰性氣體的適合示例包括 Ar、He、Kr、Ne 等。

在突破蝕刻期間可以調節蝕刻氣體混合物中的腔室壓

力。在一個示例性實施例中，可以將蝕刻腔室中的氣體壓力調節在約 2 毫托到約 100 毫托(例如，約 4 毫托)之間。可以施加 RF 源功率以保持由氣體混合物形成的電漿。例如，約 100 瓦到約 1500 瓦(諸如約 300 瓦)的功率可以施加到感應耦合的天線源，以維持蝕刻腔室內部的電漿，可以施加約 100 瓦到約 1500 瓦(例如約 100 瓦)之間的 RF 偏置功率。用於突破蝕刻的蝕刻氣體混合物可以以約 50sccm 到約 1000sccm 之間的速率流到腔室。例如，氟和碳氣可以以約 5sccm 和約 500sccm 之間(諸如 100sccm)的速率提供。惰性氣體可以以約 0sccm 和約 500sccm 之間的流速提供。基板溫度保持在約攝氏 30 度到約攝氏 500 度之間。在另一實施例中，基板溫度保持在約大於攝氏 80 度，諸如在約攝氏 100 度到約攝氏 250 度之間，例如，在約攝氏 130 度和約攝氏 220 度之間，諸如約攝氏 150 度。

在俱生氧化物突破之後，執行主蝕刻以蝕刻第一層 306 的主要部分。通過圖案化的遮罩 308 蝕刻第一層 306 以在第一層 306 中形成溝槽 320，直到暴露下層高介電常數材料 304 的上表面 312 為止。突破蝕刻和主蝕刻可以在不將基板 114 從蝕刻腔室移除的情況下連續地執行。用於主蝕刻步驟的蝕刻氣體混合物至少包括含一鹵素氣體與一氟和碳氣體。含鹵素氣體的適合示例包括 HBr、HCl、Cl₂、Br₂、NF₃ 及其組合等。用於氟和碳氣的適合示例包括 CF₄、CHF₃、CH₂F₂、CH₃F、C₄F₈ 及其組合等。可選地，諸如 O₂、N₂ 及其組合等的載氣，和惰性氣體可以提供給蝕刻氣體混

合物。惰性氣體的適合示例包括 Ar、He、Kr 等。在具體的實施例中，主蝕刻氣體混合物可以包括 HBr 氣體、NF₃ 氣體、CF₄ 氣體、O₂ 氣體、N₂ 氣體和 He 氣體。

在一個實施例中，在突破蝕刻和主蝕刻期間用於蝕刻第一層 306 的製程參數可以通過大體上相似的方式控制。在另一實施例中，在突破蝕刻和主蝕刻期間，用於蝕刻第一層 306 的製程參數可以根據不同的製程要求改變。此外，在又一實施例中，在第一層 306 之主蝕刻期間的製程參數可以根據需要而改變，從而致使主蝕刻製程為兩步或更多步蝕刻製程。

在一個實施例中，在第一層 306 的蝕刻期間主蝕刻氣體混合物的壓力可以調節。在一個示例的實施例中，蝕刻腔室的製程壓力調節在約 2 毫托到約 100 毫托之間，例如在約 7 毫托。可以施加 RF 源功率以維持由製程氣體混合物形成的電漿。例如，約 100 瓦到約 1500 瓦(諸如約 300 瓦)的功率可以施加到感應耦合天線源，以維持蝕刻腔室內部的電漿。可以在約 100 瓦到約 1000 瓦(諸如約 150 瓦和約 250 瓦)之間施加 RF 偏置功率。主蝕刻期間的蝕刻氣體混合物可以以約 50sccm 到約 1000sccm 之間的速率流到腔室。例如，可以以約 5sccm 和約 500sccm 之間(諸如約 170sccm)的流速提供含鹵素氣體。可以以約 5sccm 和約 500sccm 的流速，諸如在約 40 和約 70sccm 之間提供氟和碳氣體。可以以約 0sccm 和約 500sccm 的流速提供惰性氣體。基板的溫度保持在約攝氏 30 度到約攝氏 500 度之間。

在另一實施例中，基板溫度保持在約大於攝氏 80 度，諸如大於約攝氏 120 度(例如，約攝氏 150 度)。

在第一層 306 中形成溝槽 320 之後，如第 4B 圖所示，可以執行過度蝕刻製程，以蝕刻留在基板 114 上第一層 306 的地形 (topography) 以及在經蝕刻的第一層 306 之側壁 322 上沈積保護層。設置在暴露的側壁 322 上的保護層防止在蝕刻留在基板 114 上第一層 306 的地形時及/或在後續蝕刻製程期間，側壁受到衝擊，從而防止輪廓控制性的降低以及圖案的變形。

在一個實施例中，除了在方框 254 蝕刻第一層 306 的主蝕刻製程中使用的氣體混合物外，還可以添加含矽和鹵素氣體以蝕刻留在基板 114 上第一層 306 的地形。添加到氣體混合物中的氣體的適合示例包括 SiCl_4 等。由含矽和鹵素氣體產生的鹵素反應物種將蝕刻殘留物和剩餘的第一層 306 從基板表面移除。此外，由含矽和鹵素氣體產生的矽反應物種與第一層 306 反應，在經蝕刻的表面上形成矽側壁保護層，從而提供堅固的側壁保護。堅固的側壁保護層保護第一層 306 在隨後高介電常數材料層 304 的蝕刻和下面的第二層 302 蝕刻製程期間不受衝擊。

在方框 256，在高溫環境下，通過由圖案化的遮罩 308 和溝槽 320 限定的開口 310 蝕刻高介電常數材料層 304 的暴露的上表面 312。蝕刻高介電常數材料層 304，直到暴露下面的第二層 302 的上表面 314 為止，如第 4C 圖所示。在一個實施例中，通過將製程腔室 100 的罩 120 保持在在

約攝氏 100 到約 150 度之間(諸如約攝氏 120 度)而提供高溫環境。

選擇用於蝕刻高介電常數材料層 304 的高介電常數蝕刻氣體混合物，相對於覆蓋第一層 306 之側壁 322 的矽保護層以及下面第二層 302，該高介電常數蝕刻氣體混合物對於高介電常數材料層 304 具有高選擇性。由於第一層 306 的側壁 322 通過堅固的保護層保護，可以在不損壞在第一層 306 中所形成之溝槽外形的情況下，使用相對高的製程溫度(例如，高於用於傳統技術中的室溫製程)來蝕刻高介電常數材料層 304。在一個實施例中，在約大於攝氏 80 度的溫度下，諸如在約攝氏 100 度到攝氏 250 度之間，例如，在約攝氏 130 度和約攝氏 220 度(諸如約攝氏 150 度)蝕刻高介電常數材料層 304。在室溫下進行的傳統高介電常數蝕刻製程期間，在蝕刻期間產生的蝕刻的高介電常數材料副產物易於聚集在基板表面上，而不是形成可以從腔室中抽出的易揮發性反應產物，從而產生劣質圖案轉移。因此，通過控制蝕刻溫度在約攝氏 100 度和約攝氏 250 度之間，高介電常數蝕刻副產物很容易形成揮發性產物，而從腔室中抽出並移除，從而產生更精確的外形和圖案轉移。形成揮發性產物也促進殘餘物從腔室排出使得在基板 114 上留下清潔後蝕刻表面。此外，由於控制用於蝕刻高介電常數材料層 304 的基板溫度充分高於傳統技術，不需要偏置功率來維持合理的高介電常數材料蝕刻速率，從而避免將在下層和/或基板中產生不合需要的凹槽或表面損壞的轟擊。

在一個實施例中，供給蝕刻高介電常數材料層 304 的高介電常數氣體混合物至少包括一含鹵素氣體。在示例性實施例中，含鹵素氣體可以是含氯氣體。含鹵素氣體的適合示例包括 BCl_3 、 Cl_2 等。提供給含鹵素氣體的鹵元素蝕刻高介電常數材料層 304 並從基板 114 移除高介電常數材料層 304。在該實施例中，含鹵素氣體為 BCl_3 ，含鹵素氣體在材料 304 和下面第一層 306 之間具有高選擇性。例如，在高介電常數材料層 304 為含鈹和氧之材料的實施例中，在蝕刻電漿分解期間由 BCl_3 所釋出的硼元素與從含鈹和氧化物的材料釋出的氧元素反應，從而在基板的暴露表面上形成 B_xO_y 保護層。在蝕刻製程期間形成的 B_xO_y 保護層鈍化矽表面（例如，經蝕刻的上層或初期暴露的下層），從而防止在基板上不希望被蝕刻的其他區域在蝕刻期間受到衝擊，而在基板上導致凹槽或缺損。由 BCl_3 氣體釋出的氯元素與由含鈹和氧的材料釋出的鈹元素反應，從而形成氯化鈹 (HfCl_4) 揮發性副產物，而從腔室中抽出。由於高溫高介電常數蝕刻製程增加副產物的揮發性，蝕刻副產物可以從基板有效移除，使得在蝕刻製程後的基板上留下後蝕刻 (post-etch) 清潔的和無殘餘物的表面。因此，得到能夠提供垂直、筆直、無缺損（零凹槽和無印）結構以及對於相鄰層具高選擇性的高介電常數製程。

可選地，在氣體混合物中可以提供烴氣。當在蝕刻製程期間電漿分解時，烴氣提供聚合材料，其沈積在第一層 306 的側壁 322 和經蝕刻的高介電常數材料層 304 的側壁

324 上，如第 4C 圖所示。煙氣體的示例包括 CH_4 、 CHF_3 、 CH_2F_2 及其組合。

在一個實施例中，可以在蝕刻上方第一層 306 相同的腔室中蝕刻高介電常數材料 304，從而在單個腔室中完成薄膜疊層 300 的蝕刻。可以在不從製程腔室 100 中移除基板 114 的情況下，連續執行方框 254 和 256 的蝕刻製程。選擇蝕刻第一層 306 的溫度是可控的，其大體上與設置為蝕刻高介電常數材料 304 的溫度相同。因而在不需要等待改變和穩定基板溫度的情況下，有效蝕刻基板 114。在一個實施例中，方框 256 的高介電常數材料蝕刻製程和方框 254 之第一層 306 的蝕刻都可以在相似的溫度下執行，該溫度大於攝氏 80 度，諸如在約攝氏 100 度和約攝氏 200 度之間。在一個實施例中，設置為蝕刻第一層 306 和高介電常數材料 304 的溫度都控制為大於約攝氏 80 度，諸如在約攝氏 100 度到約攝氏 250 度之間，例如，在約攝氏 130 度和約攝氏 220 度之間(諸如約攝氏 150 度)。

在蝕刻高介電常數材料層 304 時，可以調節數個製程參數。在方框 254 調節的製程參數可以平順地轉換到在方框 256 調節的製程參數。在一個實施例中，高介電常數蝕刻氣體混合物中的腔室壓力在約 2 毫托到約 500 毫托之間(例如，在約 20 毫托)調節。可以施加 RF 源功率以維持由高介電常數蝕刻氣體混合物形成的電漿。例如，約 0 瓦到約 1500 瓦的功率可以施加到感應耦合天線源以保持蝕刻腔室內部的電漿。可以施加約 0 瓦到約 100 瓦之間(諸如約

250 瓦)的 RF 偏置功率。在一個實施例中，沒有使用偏置功率，這減少了離子轟擊，從而顯著減少閘極下面的矽源和汲極中不合需要之凹槽的發生。可選地，可以根據需要消除偏置功率。高介電常數蝕刻氣體混合物可以以約 0sccm 到約 500sccm 的速率流到腔室。例如，可以以約 5sccm 和約 500sccm 之間(諸如約 30sccm 和約 100sccm 之間)的流速提供含鹵素氣體。可以以約 0sccm 和約 100sccm 之間(諸如約 0sccm 和約 10sccm 之間)的流速提供煙氣。可以以約 0sccm 和約 500sccm 之間的流速提供惰性氣體。基板溫度保持在大於約攝氏 80 度，諸如大於約攝氏 120 度(例如，約攝氏 150 度)。

可選地，可在方框 256 將高介電常數氣體混合物提供到蝕刻腔室之前，執行氧氣閃蒸製程 (oxygen gas flash process)。氧氣閃蒸製程輔助在第一層 306 經蝕刻的側壁 322 上形成氧化物層，從而在經蝕刻的表面上提供表面鈍化層。由於第一層 306 可以是含矽的材料，供給到腔室的氧氣與第一層 306 的矽元素反應，形成側壁氧化矽保護層。可以調節在氧氣閃蒸製程中使用的製程參數。在一個實施例中，調節腔室壓力在約 2 毫托到約 500 毫托之間(例如，約 20 毫托)。約 200 瓦到約 2000 瓦的 RF 源功率可以施加到感應耦合的天線源以維持蝕刻腔室內部的電漿。可以以約 20sccm 和約 500sccm 之間(諸如在約 50sccm 和約 150sccm 之間)的流速提供氧氣。可選地，可以以約 0sccm 和約 500sccm 之間的流速提供諸如 He 或 Ar 的惰性氣體。

基板溫度保持在約大約攝氏 80 度，諸如在約攝氏 100 度到約攝氏 250 度之間，例如，在約攝氏 130 度和約攝氏 220 度之間（諸如約攝氏 150 度）。

在方框 258，通過由圖案化的遮罩 308 和溝槽 320 限定的開口 310 蝕刻薄膜疊層 300 的第二層 302。蝕刻製程蝕刻第二層 302，直到暴露基板 114 的上表面 316，如第 4D 圖所示。在方框 258 執行的蝕刻製程可以具有一個或多個蝕刻步驟以蝕刻第二層 302 的不同部分，類似於在方框 254 執行的蝕刻第一層 306 的蝕刻步驟。在一個實施例中，蝕刻製程可以是單個步驟蝕刻製程，蝕刻第二層 302 直到暴露下層基板 114 的上表面 316。在另一實施例中，蝕刻製程可以包括多個步驟以蝕刻基板 114 上第二層 302 的不同部分。

在示例性的實施例中，在方框 258 可以執行二步驟蝕刻製程以蝕刻薄膜疊層 300 的第二層 306。第一，最初可以執行突破蝕刻以蝕刻第二層 302 的表面。用於突破蝕刻的蝕刻氣體混合物包括氟和碳氣體。在方框 258，用於突破第二層 302 的突破氣體混合物可以與方框 254 中用於突破第一層 306 的突破氣體混合物大體上相同，如上面所述。可選地，惰性氣體可與蝕刻氣體混合物一同提供。惰性氣體的適合示例包括 Ar、He、Kr、Ne 等。

在突破之後，執行主蝕刻以蝕刻通過遮罩開口 310 暴露之第二層 306 的剩餘部分。可以在不從蝕刻腔室移除基板 114 的情況下連續執行突破和主蝕刻。在第一和第二層

306、302 均為多晶矽層的一實施例中，用於蝕刻第一和第二層 306、302 的主要部分的氣體混合物和製程參數基本相同。用於主蝕刻的蝕刻氣體混合物至少包括含鹵素氣體和氟碳氣體。含鹵素氣體的適合示例包括 HBr、HCl、Cl₂、Br₂、NF₃ 及其組合等。用於氟碳氣體的適合示例包括 CF₄、CHF₃、CH₂F₂、CH₃F、C₄F₈ 及其組合等。可選地，載氣（諸如 O₂、N₂、N₂O、NO₂ 及其組合等）和惰性氣體可與蝕刻氣體混合物一併提供。惰性氣體的適合示例包括 Ar、He、Kr、Ne 等。在一個實施例中，用於主蝕刻步驟的蝕刻氣體混合物可以包括 HBr 氣體、NF₃ 氣體、CF₄ 氣體、O₂ 氣體、N₂ 氣體和 He 氣體。方框 258 中調節的製程參數是可控的，與方框 254 中的描述大體上相似。

可以在蝕刻上方第一層 306 和高介電常數材料 304 相同的腔室蝕刻薄膜疊層 300 中的第二層 302，從而在單個腔室中完成薄膜疊層 300 的蝕刻。由於第一層 306、高介電常數材料 304 和第二層 302 在相似的溫度下進行蝕刻，故降低了使基板達到穩定製程溫度以進行蝕刻各層之製程的所需時間，從而增加了產量。

一般預期其他高介電常數蝕刻製程可適於從在高溫環境下蝕刻高介電常數材料層（例如，保持腔室表面（諸如罩 120），在大於約攝氏 100 度的溫度）中受益。不作限定，在 2006 年 3 月 21 日提交的美國專利申請序號 11/386,054 中，2007 年 7 月 12 日提交的美國專利申請序號 11/777,259 中；2007 年 4 月 17 日提交的美國專利申請序號 11/736,562

中；2007年7月6日提交的美國專利臨時申請號60/948,376以及2002年3月6日提交的美國專利號6,806,095中描述的高介電常數蝕刻製程可以修改成包括如上述腔室表面之溫度的調節，以提供高溫蝕刻環境。

第5A-5C圖示出了對應於不同薄膜疊層之複合基板一部分的示意性橫截面圖，其中不同薄膜疊層可利於使用上述高介電常數蝕刻製程進行蝕刻。例如，第5A圖示出了具有高介電常數介電層504的薄膜疊層510。高介電常數介電層504為含鈺的材料，諸如 Hf_2O 、 HfSiO 、 HfSiN 等。高遷移率介面層502設置在高介電常數介電層504和基板114之間。高遷移率介面層502通常為薄膜 SiON 層。高遷移率介面層502之 SiON 材料可被分級，其中層502的化學計量（stoichiometry）可以包括 Hf 與 SiON 的混合以便為整個疊層提供更高淨值的 k 。在2003年4月4日提交的美國專利申請號10/407,930中描述適合的介面層的示例。金屬閘層512設置在高介電常數介電層504上。低電阻層514設置在金屬閘層512上。

在另一實施例中，第5B圖示出了具有高介電常數介電層504的薄膜疊層530。高遷移率介面層502設置在高介電常數介電層和基板114之間。薄介電蓋層532設置在高介電常數介電層504之上。金屬閘層534設置在介電蓋層532之上。諸如多晶矽的低電阻層536，設置在金屬閘層534之上。

在另一實施例中，第5C圖示出了適用於電荷捕獲快

閃記憶體元件的薄膜疊層 550，例如，TANOS 結構。薄膜疊層 550 包括設置在基板 114 上的溝道氧化層 552。電荷捕獲氮化物層 554 設置在溝道氧化物層 552 之上。高介電常數介電層 504 設置在電荷捕獲氮化物層 554 之上。高 WP 金屬層 556 設置在高介電常數介電層 504 之上。低阻抗層 558(諸如 PVD 金屬層)，設置在高 WP 金屬層 556 之上。

因此，本發明提供通過高溫蝕刻製程，蝕刻高介電常數材料層的改進方法。高溫蝕刻製程在圖案轉移無損的情況下，有效蝕刻高介電常數材料，從而有利於形成具有無缺陷的、清潔後蝕刻表面以及理想外形和尺寸的結構。

雖然前述涉及本發明的實施例，但在不偏離本發明的基本範圍內可設計其他和另外的實施例，並且本發明的範圍由以下申請專利範圍確定。

【圖式簡單說明】

通過以下詳細說明並結合附圖，可容易理解本發明的教示。其中：

第 1 圖示出了根據本發明一實施例，用於執行蝕刻製程之電漿製程裝置的示意圖；

第 2 圖示出了結合本發明一實施例之方法的製程流程圖；

第 3 圖示出了結合本發明另一實施例之方法的製程流

程圖；

第 4A-4D 圖示出了設置成形成閘極結構於其上之薄膜疊層的橫截面圖；以及

第 5A-5C 圖示出了設置成形成閘極結構之不同薄膜疊層的可選橫截面視圖。

爲了便於理解，附圖中相同的元件符號儘可能表示相同的元件。當知一實施例的元件和特徵可以在不需進一步描述的情況下，有利地結合到另一實施例中。

然而，應該注意到附圖只示出了本發明的示例性實施例，因此不能認爲是對本發明範圍的限定，本發明可以有其他等效的實施例。

【主要元件符號說明】

100 蝕刻製程腔室	112 感應線圈天線部分
114 基板	116 基板支撐基座
118 射頻源	119 匹配網路
120 罩	122 第二（偏置）RF 源
123 匹配網路	124 DC 電源
125 電阻加熱器	127 節流閥
130 導電腔室壁	134 地線
136 真空泵	138 氣體面板
140 控制器	142 記憶體
144 中央處理單元	146 輔助電路

148 源	149 管道
150 氣體混合物	155 電漿
162 內表面	164 管道
170 噴嘴	172 第一出口
174 第二出口	200 製程
202 方框	204 方框
250 製程	252 方框
254 方框	256 方框
258 方框	300 薄膜疊層
302 第二層	304 高介電常數介電材料層
306 第一層	308 遮罩
310 開口	312 上表面
314 上表面	320 溝槽
322 側壁	324 側壁
502 高遷移率介面層	504 高介電常數介電層
510 薄膜疊層	512 金屬開層
530 薄膜疊層	532 薄介電蓋層
534 金屬開層	536 低電阻層
550 薄膜疊層	552 溝道氧化層
554 電荷捕獲氮化物層	556 高 WP 金屬層
558 低阻抗層	

十、申請專利範圍：

1. 一種蝕刻一高介電常數材料的方法，所述方法包括：

將一基板提供至一蝕刻腔室中，所述基板上依序形成有一高介電常數材料層與一多晶矽層；

未在上述蝕刻腔室中施加一偏置功率，由一蝕刻氣體混合物形成一電漿至所述蝕刻腔室中，所述蝕刻氣體混合物包含至少一 BCl_3 氣體；

當在上述電漿的存在下蝕刻所述高介電常數材料層時，將一基板溫度保持在約攝氏 100 度和約攝氏 250 度之間，並將所述蝕刻腔室的一內部表面保持在一超過約攝氏 100 度的溫度；以及

當將所述基板溫度保持在約攝氏 100 度和約攝氏 250 度之間，並將所述蝕刻腔室的所述內部表面保持在一超過約攝氏 100 度的溫度時，持續蝕刻所述多晶矽層。

2. 如申請專利範圍第 1 項所述之方法，其中所述高介電常數材料選自由二氧化鈺 (HfO_2)、二氧化鋯 (ZrO_2)、矽酸鈺氧化物 (HfSiO_4)、鈺鋁氧化物 (HfAlO)、矽酸鋯氧化物 (ZrSiO_4)、二氧化鉭 (TaO_2)、氧化鋁、鋁摻雜的二氧化鈺、鈦鋇酸 (bismuth strontium titanium, BST) 以及鈦鋯酸鉑 (platinum zirconium titanium, PZT) 所組成之一群組。

3. 如申請專利範圍第 1 項所述之方法，其中所述高介

電常數材料為鉛鋁氧化物。

4. 如申請專利範圍第 1 項所述之方法，其中提供所述氣體混合物之步驟更包括：

提供一含氯氣體至所述蝕刻腔室中。

5. 如申請專利範圍第 4 項所述之方法，其中所述含氯氣體包括 BCl_3 和 Cl_2 中的至少一者。

6. 如申請專利範圍第 4 項所述之方法，其中提供所述含氯氣體之步驟更包括：

將一碳氫氣體與所述含氯氣體一同提供到所述蝕刻腔室中。

7. 如申請專利範圍第 4 項所述之方法，其中提供所述含氯氣體之步驟更包括：

將一惰性氣體與所述含氯氣體一同提供。

8. 一種蝕刻一薄膜疊層以形成一開極結構的方法，所述方法包括：

提供一基板至一蝕刻腔室中，所述基板上形成有一薄膜疊層，其中所述薄膜疊層包括在一夾置在一第一和一第二多晶矽層間的高介電常數材料；

在所述蝕刻腔室中蝕刻所述在基板上的第一多晶矽層，以形成一露出所述高介電常數材料的溝槽；

在所述溝槽的側壁上形成一保護層；

當在所述電漿的存在下蝕刻所述高介電常數材料層時，未在所述蝕刻腔室中施加一偏置功率，利用至少一 BCl_3 氣體，在一約攝氏 100 度至約攝氏 250 度間的溫度下，經由所述經保護的溝槽來蝕刻所述高介電常數材料；以及

當在所述相同蝕刻腔室中保持所述基板溫度在約攝氏 100 度與約攝氏 250 度之間且將所述蝕刻腔室的一內部表面保持在一超過約攝氏 100 度的溫度時，蝕刻所述設置在所述基板上的第二多晶矽層。

9. 如申請專利範圍第 8 項所述之方法，更包括：

當在所述電漿的存在下蝕刻所述高介電常數材料層時，將所述蝕刻腔室的一內部表面保持在一超過約攝氏 100 度的溫度。

10. 如申請專利範圍第 8 項所述之方法，其中所述高介電常數材料為鉛氧化物層或鉛鋁氧化物層。

11. 如申請專利範圍第 8 項所述之方法，其中蝕刻所述第一多晶矽層之步驟更包括：

提供一第一氣體混合物，以蝕刻所述第一多晶矽層；
以及
提供一第二氣體混合物，以過度蝕刻所述第一多晶矽層。

12. 如申請專利範圍第 11 項所述之方法，其中提供所述第二氣體混合物之步驟更包括：

將一含矽氣體與所述第二氣體混合物一起提供。

13. 如申請專利範圍第 12 項所述之方法，其中所述含矽氣體包括 SiCl_4 。

14. 如申請專利範圍第 8 項所述之方法，其中將蝕刻所述第一和第二多晶矽層的溫度控制在大體上與蝕刻所述高介電常數材料的溫度相同。

15. 如申請專利範圍第 8 項所述的方法，其中保護所述第一多晶矽層之側壁的步驟更包括：

執行一氧氣閃蒸製程(oxygen flash process)。

16. 一種蝕刻一薄膜疊層以形成一開極結構的方法，所述方法包括：

提供一基板於一蝕刻腔室中，所述基板上形成有一薄

膜疊層，其中所述薄膜疊層包括一夾置在一第一和一第二多晶矽層間的含鉛氧化物層；

在所述相同蝕刻腔室中將所述基板保持在一約攝氏 100 度和約攝氏 250 度間的溫度時，在所述蝕刻腔室中依序蝕刻所述第一多晶矽層、所述含鉛氧化物層和所述第二多晶矽層，其中在蝕刻所述含鉛氧化物層時未施加偏置功率；以及

當在所述電漿的存在下蝕刻所述高介電常數材料層時，將所述蝕刻腔室的一內部表面保持在一超過約攝氏 100 度的溫度。

17. 如申請專利範圍第 16 項所述之方法，其中依序蝕刻所述第一多晶矽層、所述含鉛氧化物層和所述第二多晶矽層的步驟更包括：

在蝕刻所述含鉛氧化物層之前，提供一含矽氣體，以在所述經蝕刻之第一多晶矽層的一側壁上形成一保護層。

18. 如申請專利範圍第 17 項所述之方法，其中所述含矽氣體包括 SiCl_4 。

19. 如申請專利範圍第 16 項所述之方法，其中依序蝕刻所述第一多晶矽層、所述含鉛氧化物層和所述第二多晶矽層之步驟更包括：

提供一含鹵素氣體，以蝕刻所述含鉛氧化物層。

20. 如申請專利範圍第 19 項所述之方法，其中所述含鹵素氣體包括 BCl_3 和 Cl_2 中的至少一者。

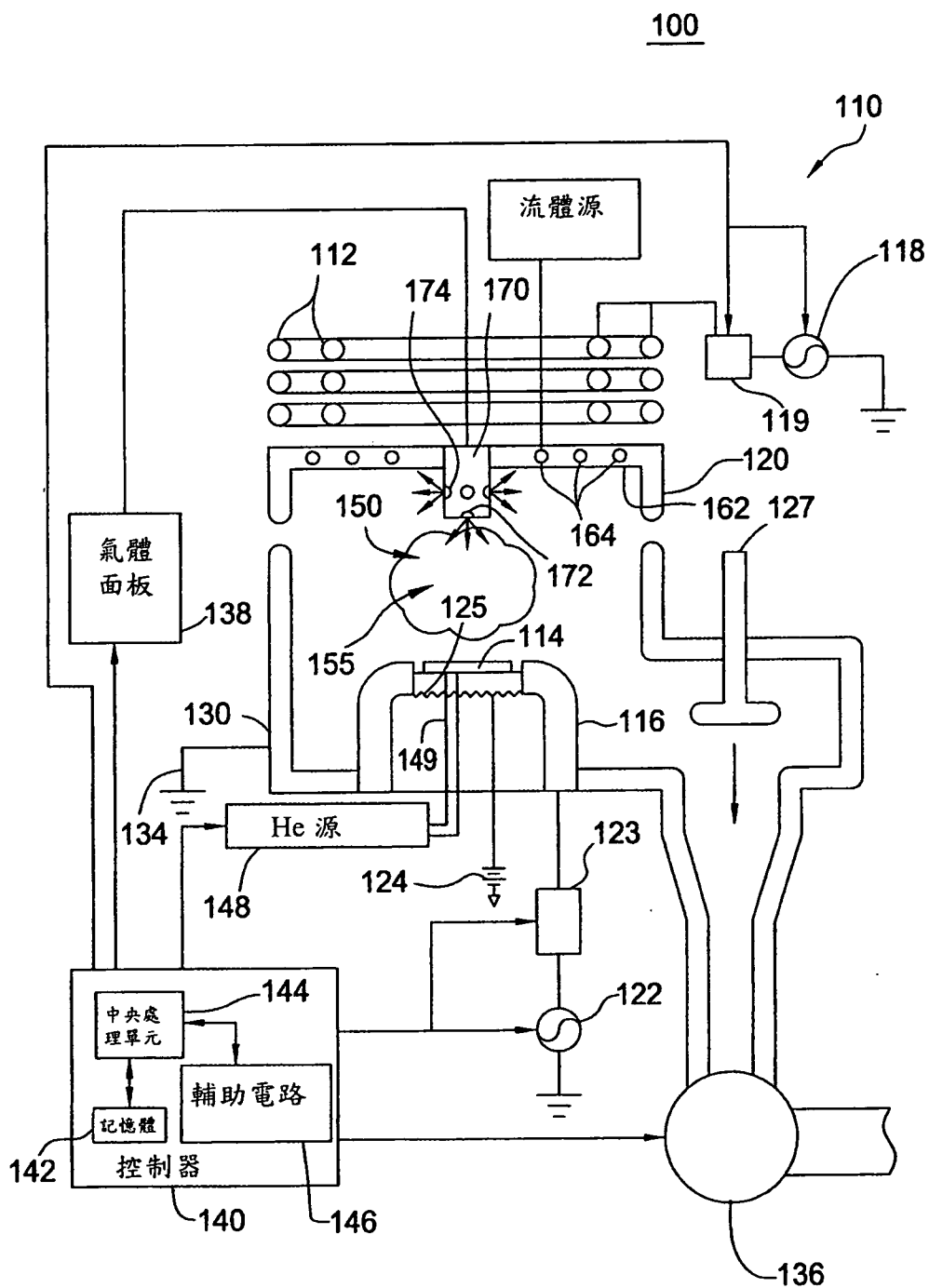
21. 一種蝕刻一高介電常數材料的方法，其包括：

提供一具有一金屬閘極的基板至一蝕刻腔室中，所述金屬閘極係設置在一依序形成於所述基板上的高介電常數材料層與一多晶矽層上；

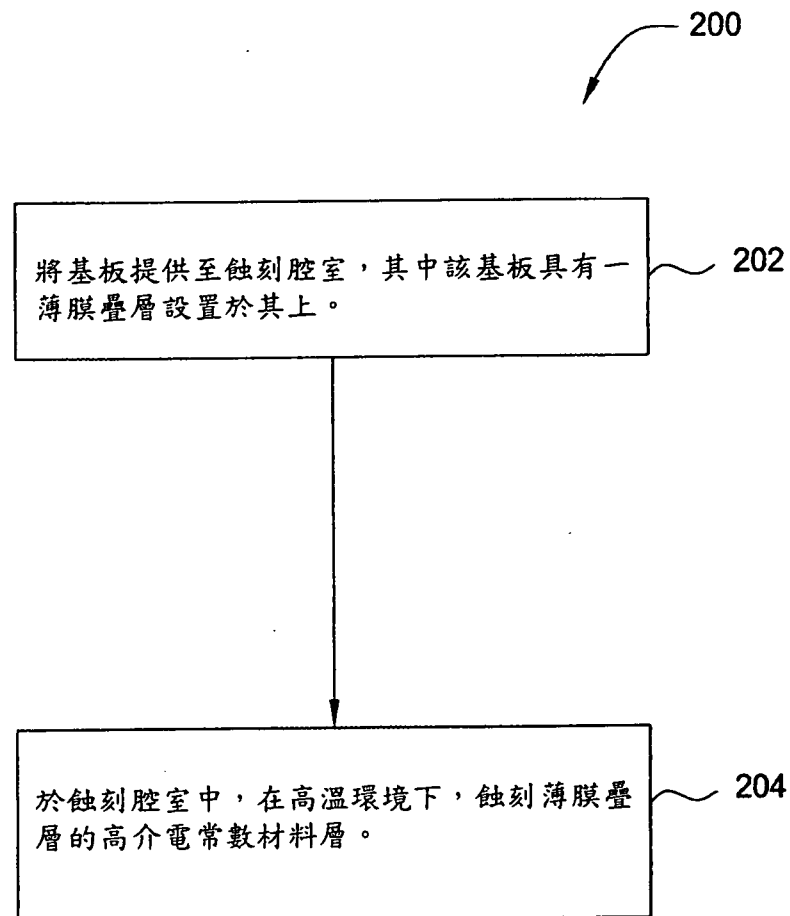
蝕刻所述金屬閘極層，以形成一暴露所述高介電常數材料的溝槽；

當將所述蝕刻腔室的一內部表面保持在一超過約攝氏 100 度的溫度時，未在所述蝕刻腔室中施加一偏置功率，利用至少一 BCl_3 氣體，在一約攝氏 100 度和約攝氏 250 度間的溫度下，通過所述溝槽蝕刻所述高介電常數材料；以及

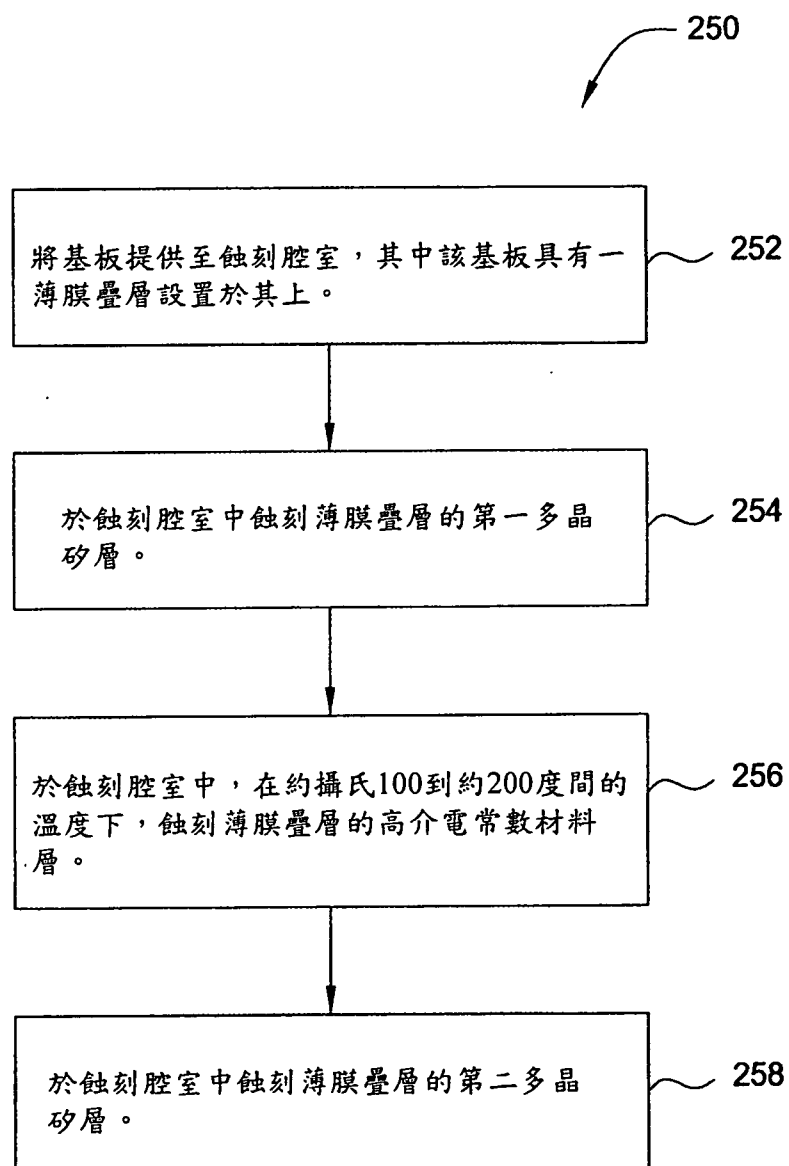
當將所述基板溫度保持在約攝氏 100 度和約攝氏 250 度之間，並將所述蝕刻腔室的所述內部表面保持在一超過約攝氏 100 度的溫度時，持續蝕刻所述多晶矽層。



第1圖

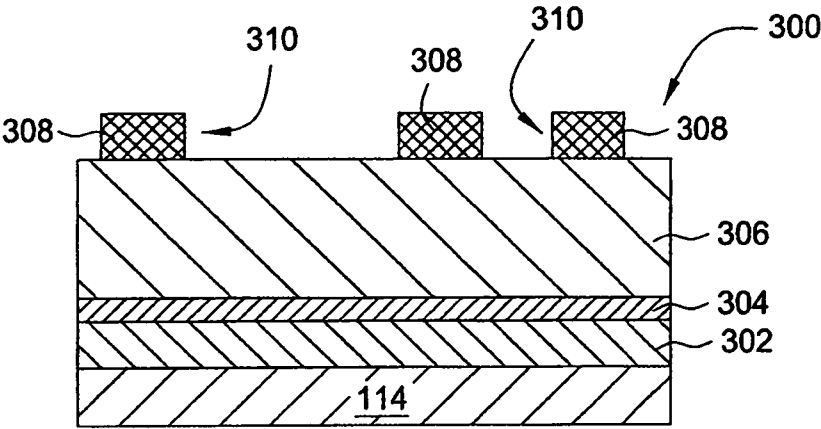


第2圖

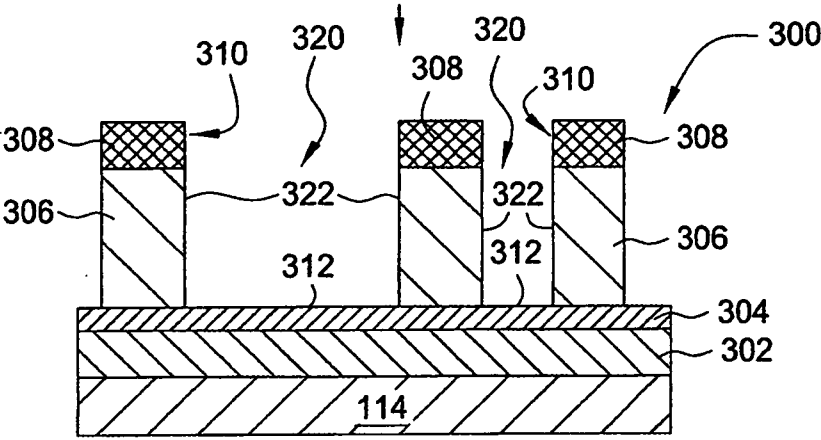


第3圖

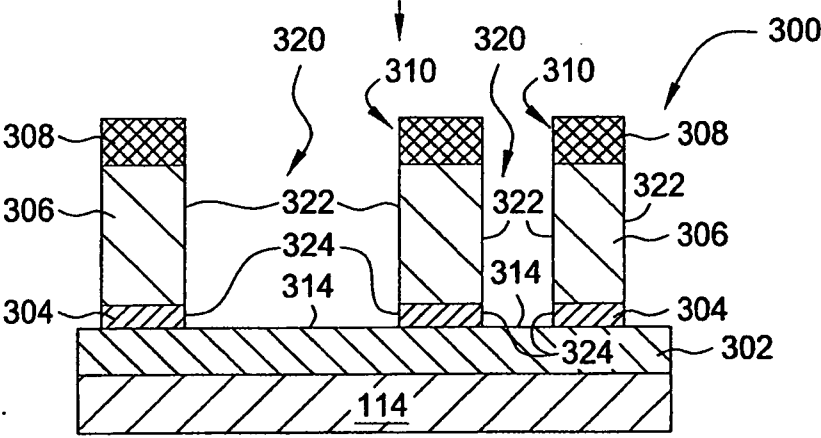
4/5



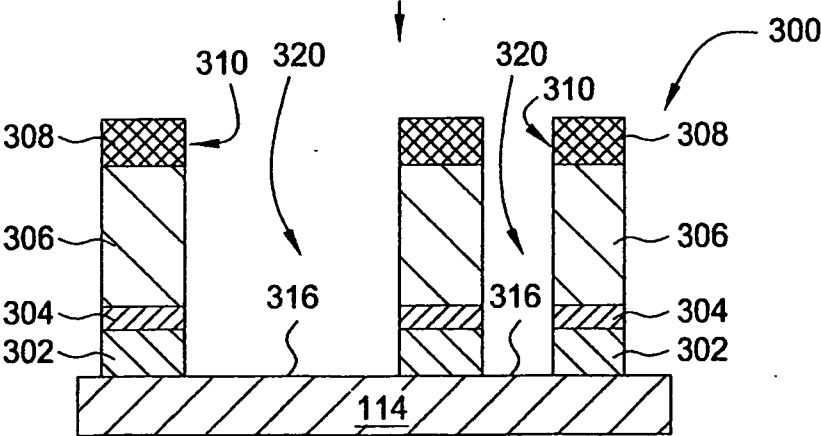
第4A圖



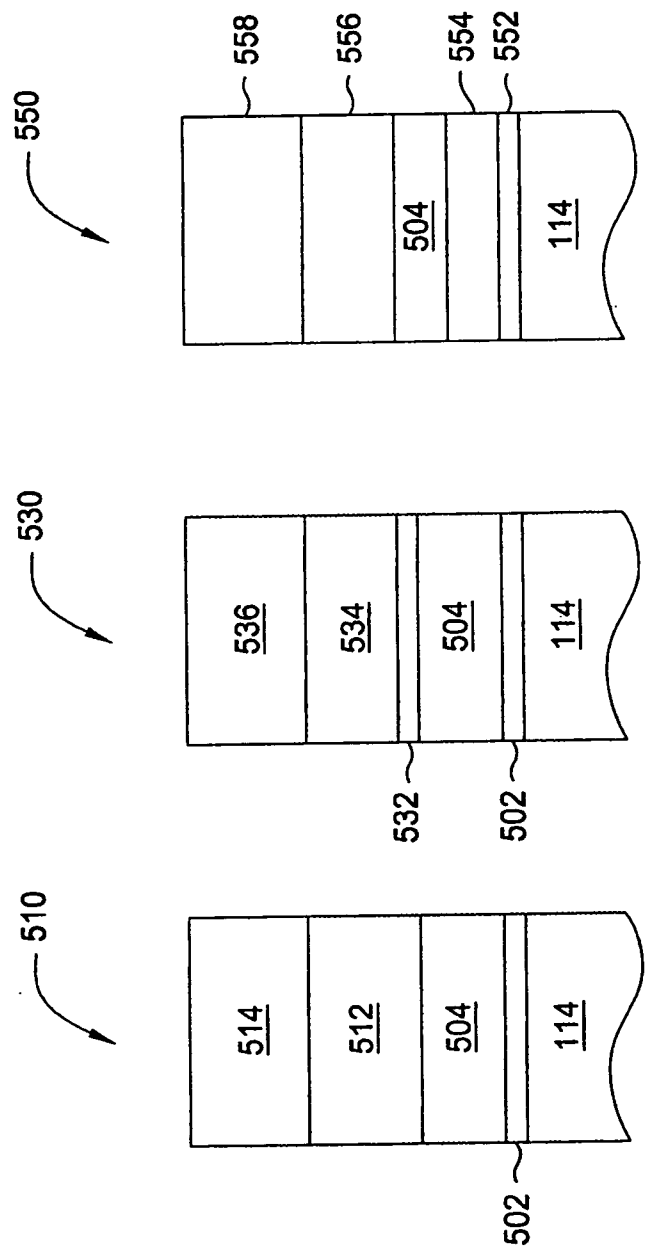
第4B圖



第4C圖



第4D圖



第5C圖

第5B圖

第5A圖