

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6087057号
(P6087057)

(45) 発行日 平成29年3月1日(2017.3.1)

(24) 登録日 平成29年2月10日(2017.2.10)

(51) Int.Cl.		F I		
HO 1 L 21/336	(2006.01)	HO 1 L 29/78	3 7 1	
HO 1 L 29/788	(2006.01)	HO 1 L 27/10	4 3 4	
HO 1 L 29/792	(2006.01)			
HO 1 L 27/115	(2017.01)			

請求項の数 3 (全 13 頁)

(21) 出願番号	特願2012-5134 (P2012-5134)	(73) 特許権者	000153878
(22) 出願日	平成24年1月13日 (2012.1.13)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2012-160723 (P2012-160723A)		神奈川県厚木市長谷398番地
(43) 公開日	平成24年8月23日 (2012.8.23)	(72) 発明者	竹村 保彦
審査請求日	平成27年1月6日 (2015.1.6)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2011-4716 (P2011-4716)		半導体エネルギー研究所内
(32) 優先日	平成23年1月13日 (2011.1.13)		
(33) 優先権主張国	日本国 (JP)	審査官	加藤 俊哉

最終頁に続く

(54) 【発明の名称】 半導体メモリ装置

(57) 【特許請求の範囲】

【請求項 1】

n型半導体を用いたフローティングゲートを有し、

前記フローティングゲートは、インジウム又は亜鉛の少なくとも一つと窒素と酸素とを有し、仕事関数が5.5電子ボルト以上であることを特徴とする半導体メモリ装置。

【請求項 2】

請求項 1 において、

前記フローティングゲートのキャリア濃度は $1 \times 10^{19} \text{ cm}^{-3}$ 以上であることを特徴とする半導体メモリ装置。

【請求項 3】

請求項 1 又は請求項 2 において、

前記フローティングゲートの下方にフローティングゲート絶縁膜を有し、

前記フローティングゲート絶縁膜の厚さが2nm以上4nm以下であることを特徴とする半導体メモリ装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、フローティングゲート型半導体メモリ装置に関する。

【背景技術】

【0002】

フラッシュメモリ等のフローティングゲートに電荷を蓄積することによってデータを記憶する半導体メモリ装置（以下、F Gメモリ装置という）は、近年、多くの電子機器、家電製品等に使用されている。F Gメモリ装置は高集積され、それに伴って、ビット単価も低下している。

【0003】

従来、フローティングゲートにはシリコンが用いられることが多かった（例えば、特許文献1参照）が、近年では、シリコン以外の材料を用いる試みも報告されている（例えば、非特許文献1参照）。また、半導体微粒子をフローティングゲートの代わりに用いることも提案されている（例えば、特許文献2、3参照）。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】米国特許第6815755号明細書

【特許文献2】米国特許第7550802号明細書

【特許文献3】米国特許第7482619号明細書

【非特許文献】

【0005】

【非特許文献1】L. Chen et al., "Poly-Si Nanowire Nonvolatile Memory With Nanocrystal Indium-Gallium-Zinc-Oxide Charge-Trapping Layer", IEEE Electron Device Letters, Vol. 31, No. 12, p. 1407, (2010).

【発明の概要】

【発明が解決しようとする課題】

【0006】

このようにF Gメモリ装置の微細化には目を見張るものがあり、チャネル長30nm以下のF Gメモリ装置も実用化されつつあるが、一方で、物理的な限界に差しかかりつつもある。すなわち、物理的なスケーリングの限界である。

【0007】

F Gメモリ装置では、フローティングゲートに電荷を一定期間（一般的には10年間）保持することが求められる。そのためにはフローティングゲートを取り巻く絶縁膜（フローティングゲート絶縁膜やコントロールゲート絶縁膜等）の厚さを無制限に薄くできない。

【0008】

例えば、フローティングゲートとしてシリコンを、フローティングゲート絶縁膜として酸化シリコンを使用するのであれば、フローティングゲート絶縁膜の厚さを6nm以下とすると、トンネル効果により、フローティングゲートの電荷が漏洩し、電荷を10年間も保持できないことが指摘されている（特許文献1参照）。

【0009】

一方で、フローティングゲート絶縁膜の厚さが6nmより大きければ、チャネル長を20nm以下とすることは難しい。仮にチャネル長を20nm以下としても、短チャネル効果により、トランジスタのオンオフ比を十分に大きくできず、マトリクス駆動が困難なためである。

【0010】

このような現状を鑑みて、本発明では、フローティングゲート絶縁膜をより薄くできるF Gメモリ装置を提供することを課題とする。また、本発明では、新規の半導体装置（特に、トランジスタ）を提供することを課題とする。また、新規の半導体装置の駆動方法（特に、トランジスタの駆動方法）を提供することを課題とする。さらに、新規の半導体装置の作製方法（特に、トランジスタの作製方法）を提供することを課題とする。

【0011】

また、本発明では、性能の向上したあるいは消費電力が低減できる半導体装置（特に、ト

10

20

30

40

50

ランジスタ)を提供することを課題とする。また、性能の向上したあるいは消費電力が低減できる半導体装置の駆動方法(特に、トランジスタの駆動方法)を提供することを課題とする。さらに、性能の向上したあるいは消費電力が低減できる半導体装置の作製方法(特に、トランジスタの作製方法)を提供することを課題とする。本発明では以上の課題の少なくとも1つを解決する。

【課題を解決するための手段】

【0012】

本発明の一態様は、フローティングゲートの材料として、インジウムあるいは亜鉛の少なくとも一つと窒素とを有する仕事関数が5.5電子ボルト以上の高仕事関数のn型半導体(以下、高仕事関数化合物半導体ともいう)を用いることを特徴とするFGメモリ装置である。

10

【0013】

上記のFGメモリ装置において、フローティングゲートの材料のキャリア濃度は $1 \times 10^{19} \text{ cm}^{-3}$ 以上であることが好ましい。さらに、上記のFGメモリ装置において、フローティングゲート絶縁膜の厚さは2nm以上4nm以下とすることが好ましい。

【0014】

ここで高仕事関数化合物半導体は、5原子%以上50原子%以下の濃度の窒素を有する。また、高仕事関数化合物半導体は、5原子%以上66.7原子%以下の濃度の亜鉛あるいは、5原子%以上50原子%以下の濃度のインジウムを有することが望ましい。

【0015】

20

また、高仕事関数化合物半導体では、原子番号が20以下の金属元素の濃度を1%以下、好ましくは0.01%以下とするとよい。また、高仕事関数化合物半導体は、酸素や他の原子番号21以上の金属元素を有していてもよい。また、高仕事関数化合物半導体は水素を0.01原子%乃至10原子%含有していてもよい。

【0016】

また、好ましくは、高仕事関数化合物半導体は、ウルツ鉱型の結晶構造を有する単結晶もしくは多結晶体である。なお、高仕事関数化合物半導体はウルツ鉱型以外の六方晶の結晶構造を有してもよい。

【0017】

上述の高仕事関数化合物半導体の電子親和力は5.5電子ボルト以上である。そのため、真空準位から4電子ボルト乃至5電子ボルト下の準位(典型的には真空準位から4.9電子ボルト下の準位)に形成される多くの欠陥準位がドナーとなり、特にドーピング処理を施さずとも、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上、好ましくは $1 \times 10^{20} \text{ cm}^{-3}$ 以上の電子濃度を有するn型の半導体となる(詳しくは、W. Walukiewicz, "Intrinsic limitations to the doping of wide-gap semiconductors", Physica B 302-303, p123-134 (2001). 参照)。

30

【0018】

上述の高仕事関数化合物半導体の一例として化学式InNとして知られる窒化インジウムがある。窒化インジウムはバンドギャップが0.7電子ボルト以下の半導体であるが、その電子親和力は5.6電子ボルトである。窒化インジウムはウルツ鉱型構造であることが知られている。

40

【0019】

他の例として化学式Zn₃N₂として知られる窒化亜鉛がある。窒化亜鉛についてはその物性値についての詳細は知られていないが、電子親和力は5.5電子ボルト程度である。窒化亜鉛は立方晶型構造であることが知られている。

【0020】

このような高仕事関数化合物半導体の作製には、公知のスputtering法、真空蒸着法、イオンプレーティング法、MBE(molecular beam epitaxy)法、CVD法(MOCVD(metal organic CVD)法やALD(atom

50

ic layer deposition)法)等を用いればよい。

【0021】

例えば、窒化ガリウムインジウム ($\text{In}_{1-x}\text{Ga}_x\text{N}$) を MOCVD 法で作製するのであれば、原料ガスとして、トリメチルインジウム ($(\text{CH}_3)_3\text{In}$) とトリメチルガリウム ($(\text{CH}_3)_3\text{Ga}$) とアンモニアを用い、基板温度は 350 乃至 550 とすればよい。

【発明の効果】

【0022】

上記のように、高仕事関数化合物半導体の仕事関数は 5.5 電子ボルト以上である。そのため、これに酸化シリコンを接合した場合、酸化シリコンの伝導帯下端と高仕事関数化合物半導体のフェルミ準位との差は 4.6 電子ボルトとなる。これは、酸化シリコンの伝導帯下端と n 型シリコンのフェルミ準位との差の 3.2 電子ボルトや酸化シリコンの伝導帯下端と p 型シリコンのフェルミ準位との差の 4.3 電子ボルトよりも大きいため、フローティングゲートの材料とした場合には、フローティングゲート絶縁膜がより大きなポテンシャル障壁となる。

【0023】

そのため、フローティングゲート絶縁膜を従来以上に薄くしても、トンネル効果によるフローティングゲートからの電荷の流出を防止できる。フローティングゲート絶縁膜を薄くすることにより、よりチャネル長を小さくすることができる。例えば、フローティングゲート絶縁膜の厚さを 2 nm とすると、チャネル長 7 nm の FG メモリ装置も作製できる。

【0024】

なお、上記では、フローティングゲート絶縁膜として酸化シリコンを例にして説明したが、他の絶縁材料であっても同様である。

【図面の簡単な説明】

【0025】

【図1】本発明の半導体メモリ装置の例を示す図である。

【図2】本発明の半導体メモリ装置の例を示す図である。

【図3】本発明の半導体メモリ装置の作製方法の例を説明する図である。

【図4】本発明の半導体メモリ装置のバンド状態と電気特性の例を説明する図である。

【図5】本発明の半導体メモリ装置の例を示す図である。

【発明を実施するための形態】

【0026】

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

【0027】

(実施の形態1)

図1(A)に、本実施の形態の FG メモリ装置の例を図示する。ここでは、トランジスタのチャネル方向の断面模式図を示す。トランジスタは p 型の単結晶シリコンの基板 101 上に厚さ 5 nm 以上 100 nm 以下の高仕事関数化合物半導体よりなるフローティングゲート 104 と基板 101 との間に適切な厚さのフローティングゲート絶縁膜 103 を有する。

【0028】

なお、基板 101 はシリコン以外にもゲルマニウム、砒化ガリウム、アンチモン化ガリウム等の電子親和力が 3.5 電子ボルト乃至 4.5 電子ボルトで、バンドギャップが 1.5 電子ボルト以下の半導体材料を用いることができる。

【0029】

フローティングゲート 104 の幅は、トランジスタのチャネル長を決定する上で重要な要素であるが、50 nm 以下、好ましくは 20 nm 以下とする。さらに、フローティングゲ

10

20

30

40

50

ート絶縁膜 103 の厚さは 2 nm 乃至 4 nm とするとよい。

【0030】

基板 101 には、ソース 102 a、ドレイン 102 b を形成する。その際には、図に示すように、ソース 102 a およびドレイン 102 b は公知の VLSI 技術で使用される、いわゆるエクステンション領域と同様に形成すると短チャネル効果を防止する上で効果的である。なお、短チャネル効果を防止するには、基板 101 の不純物濃度も適切な値とするとよい。

【0031】

フローティングゲート 104 上には、適切な厚さのコントロールゲート絶縁膜 105 を介して、コントロールゲート 106 を設ける。コントロールゲート絶縁膜 105 の厚さも 2 nm 乃至 20 nm とできる。コントロールゲート絶縁膜 105 はフローティングゲート絶縁膜 103 よりも厚いほうが好ましい。

10

【0032】

なお、高仕事関数化合物半導体の仕事関数は 5.5 eV と p 型シリコン（仕事関数は 5.15 eV）よりも大きいため、チャネル領域の電子状態に大きな影響を与える。具体的には、チャネル表面に正孔を誘起する作用が大きい。その結果、トランジスタが n 型で、チャネル表面が p 型であると、しきい値が過大となり、スイッチングが適切にできないこともある。そこで、図 1 (B) に示すようにフローティングゲート 104 の直下の部分に n 型領域 107 を形成してもよい。

【0033】

また、短チャネル効果を防止するために図 1 (C) に示すように、ソース 102 a、ドレイン 102 b の周囲に、ハロー領域 108 a、108 b（基板 101 よりも p 型不純物の濃度の高い領域）を設けてもよい。ハロー領域 108 a、108 b を形成する場合には、チャネル近傍のソース 102 a、ドレイン 102 b の深さを比較的厚くしてもよい。例えば、図 1 (C) に示す深さ d1 をチャネル長の 2 倍以下としてもよい。

20

【0034】

もちろん、図 1 (A) に示す構造のトランジスタにおいてもハロー領域 108 a、108 b を形成してもよい（図 5 (A) 参照）。なお、このようにハロー領域 108 a、108 b で、ソース 102 a、ドレイン 102 b を囲む場合には、基板 101 の不純物濃度は極めて低くしてもよく、また、その導電型は n 型でも p 型でもよい。

30

【0035】

基板 101 はチャネルの形成される領域を含むが、その部分の不純物濃度を低くすることにより、短チャネルのトランジスタのしきい値のばらつきを低減できる。例えば、チャネル長 20 nm 以下で十分にしきい値のばらつきを低減するには、チャネルの形成される部分の不純物濃度は $1 \times 10^{15} \text{ cm}^{-3}$ 以下、好ましくは、 $1 \times 10^{13} \text{ cm}^{-3}$ 以下とするとよい。

【0036】

なお、高仕事関数化合物半導体をフローティングゲートとして用いる場合には、その仕事関数の大きさにより、チャネル近傍の正孔濃度が非常に大きくなり、例えば、p 型不純物が全くドーピングされていなくとも、ソース 102 a、ドレイン 102 b からの電子の流入を阻止できる。

40

【0037】

その効果に着目すれば、チャネルの形成される部分に p 型不純物をドーピングする必要はなく、例えば、図 5 (B) に示すように、ソース 102 a、ドレイン 102 b の下部にのみハロー領域（あるいはそれに相当する不純物領域）108 a、108 b を設けてもよい。

【0038】

この場合には、チャネルの形成される部分に濃度の高い p 型の不純物を導入する必要がないため、さらにトランジスタのしきい値のばらつきを低減できる。なお、短チャネル効果を防止する上では、ソース 102 a、ドレイン 102 b の深さ d3 は、チャネル長の 0.5 倍以下とするとよい。

50

7.5倍以下、好ましくは0.5倍以下とするとよい。図5(B)に示す技術思想を図1(A)のトランジスタに適用すれば、図5(C)に示すようなハロー領域108a、108bを有するトランジスタが得られる。

【0039】

特に図5(B)および図5(C)のように、ハロー領域108aおよび108bがチャネル領域の外側に形成されるということは、イオン注入法によりハロー領域108aおよび108bを形成する際に、イオンがチャネル領域上のフローティングゲート絶縁膜103を通過することもないので、フローティングゲート絶縁膜103にトラップ準位等が形成されることがなく、トランジスタの信頼性を高める上で好ましい。

【0040】

図1(A)に示すトランジスタの中央部の線分ABにおけるエネルギーバンドの状態の例を図4(A)に示す。なお、ここでは、コントロールゲート106、ソース102a、ドレイン102bの電位は等しく、フローティングゲートには電荷がないものとする。また、Efはフェルミ準位、Ecは伝導帯下端、Evは価電子帯上端を意味する。コントロールゲートとしては、仕事関数4.9電子ボルトの金属を想定するが、一般によく用いられるn型シリコンであっても同様である。

【0041】

図4(A)はコントロールゲート106から、フローティングゲート104を経由して、基板101に向かう部分のエネルギーバンドの様子である。基板101は極めて不純物濃度が低いものとするが、表面付近では、高仕事関数化合物半導体(図では仕事関数は5.5電子ボルト)よりなるフローティングゲート104の影響を受けて正孔濃度が高くなる。

【0042】

なお、上述のとおり、高仕事関数化合物半導体はn型となるので、そのフェルミ準位は伝導帯下端と同程度か上となる。図ではキャリア濃度が $1 \times 10^{21} \text{ cm}^{-3}$ 程度の縮退した状態である場合を示している。

【0043】

図中のエネルギー差E1は、(フローティングゲート104の仕事関数) - (フローティングゲート絶縁膜103の電子親和力)、エネルギー差E2は、(基板101の仕事関数) - (フローティングゲート絶縁膜103の電子親和力)で与えられる。フローティングゲート絶縁膜103を酸化シリコン(電子親和力0.9電子ボルト)とすると、 $E1 = 4.6$ [電子ボルト]、 $E2 = 4.0$ [電子ボルト]である。

【0044】

また、E4はフローティングゲート絶縁膜103に接する部分の基板101の伝導帯下端Ecとフェルミ準位Efのエネルギー差であり、上述の通り、仕事関数の大きな高仕事関数化合物半導体をフローティングゲート104に用いるため、通常、0.8電子ボルト以上となる。

【0045】

さらに、E3は、 $E1 - E2 - E4$ で与えられる。 $E4 = 1.1$ [電子ボルト]とした場合、 $E3 = 1.2$ [電子ボルト]である。ここで、何らかの要因で伝導帯に存在する電子がフローティングゲート104に移動する場合には、 $E2 + E3 = 4.4$ [電子ボルト]のポテンシャル障壁を越える必要がある。

【0046】

一方、公知のFGメモリ装置のようにシリコンをフローティングゲートとして用いた場合には、同様なポテンシャル障壁は3.2電子ボルトでしかない。このように、高仕事関数化合物半導体をフローティングゲート104に用いると、ポテンシャル障壁が、1電子ボルト以上も高いため、電子が移動する確率(トンネル確率)は著しく小さい。したがって、高仕事関数化合物半導体をフローティングゲートに用いる場合には、フローティングゲート絶縁膜103をより薄くできる。

【0047】

10

20

30

40

50

図1(A)に示すトランジスタはフローティングゲート104が帯電していない場合には、図4(B)に曲線301で示すゲート電圧(V_g) - ドレイン電流(I_d)特性を示す。そして、フローティングゲート104が正に帯電していると、曲線302で示すように、特性がマイナス側に移動し、フローティングゲート104が負に帯電していると、曲線303で示すように、特性がプラス側に移動する。なお、図4(B)は、特性の変化をわかりやすく説明するためのものである。

【0048】

高仕事関数化合物半導体をフローティングゲート104に用いると、公知のFGメモリ装置よりしきい値が1ボルト以上も大きい。しきい値は基板101(あるいはチャンネルが形成される部分)の不純物濃度にも依存するが1.6ボルト以上となる。このような大きなしきい値を持つトランジスタは通常のMOSトランジスタでは使用しづらいが、FGメモリ装置であれば問題とならないこともある。

10

【0049】

例えば、データ1はフローティングゲート104が正に帯電(しきい値が0.6ボルト程度)、データ0はフローティングゲート104が帯電していない(しきい値が1.6ボルト程度)、とすると、コントロールゲート106の電圧が1Vのとき、データ1であればトランジスタはオンであり、データ0のときはオフである。また、コントロールゲート106の電圧を0Vとすれば、データ1もデータ0でもオフである。すなわち、NOR型のメモリ回路として用いるのに好適である。

20

【0050】

(実施の形態2)

図2(A)に、本実施の形態のFGメモリ装置の例を図示する。なお、一部の記載については実施の形態1を参照できる。ここでは、トランジスタのチャンネル方向の断面模式図を示す。トランジスタはn型の単結晶シリコンの基板201上に厚さ5nm以上100nm以下の高仕事関数化合物半導体よりなるフローティングゲート204と、基板201との間に適切な厚さのフローティングゲート絶縁膜203を有する。

【0051】

フローティングゲート204の幅は、50nm以下、好ましくは20nm以下、より好ましくは10nm以下とする。さらに、フローティングゲート絶縁膜203の厚さは2nm乃至4nmとするとよい。

30

【0052】

基板201には、p型の不純物をドーピングして、ソース202a、ドレイン202bを形成する。フローティングゲート204上には、適切な厚さのコントロールゲート絶縁膜205を介して、コントロールゲート206を設ける。コントロールゲート絶縁膜205の厚さも2nm乃至20nmとできる。

【0053】

フローティングゲート204に高仕事関数化合物半導体を用いているため、基板201のフローティングゲート204直下の部分は正孔濃度が高くなっている。フローティングゲート204を正に帯電させると、基板201のフローティングゲート204直下の部分の正孔濃度が低下する。

40

【0054】

ソース202a、ドレイン202bとの間のパンチスルー電流を防止するためには、図2(B)に示すようにソース202a、ドレイン202bの底面及び側面に接する領域の一部にn型不純物をドーピングしてn型領域208を形成してもよい。なお、このような方法を採用すれば、基板201(および、n型領域208で基板201から分離される弱いn型領域207)の不純物濃度は可能な限り低くできるので、しきい値ばらつきを低減する上で好適である。

【0055】

また、図2(C)に示すように、フローティングゲート204とソース202a、ドレイン202bとの間に幅d2のオフセット領域を形成してもよい。

50

【0056】

(実施の形態3)

図2(B)と図2(C)の特徴を併せ持つFGメモリ装置の作製方法の例について図3を用いて簡単に説明する。なお、多くの工程は公知の半導体技術を用いればよいので詳細はそれらを参照できる。

【0057】

まず、n型高抵抗単結晶シリコン(不純物濃度は $1 \times 10^{13} \text{ cm}^{-3}$ 乃至 $1 \times 10^{17} \text{ cm}^{-3}$)の基板201の深さ10nm乃至200nmの部分にn型不純物をドーピングしてn型領域208を形成する。n型不純物元素としては砒素のように深さを精密に制御できるものを用い、不純物濃度としては $1 \times 10^{18} \text{ cm}^{-3}$ 乃至 $1 \times 10^{20} \text{ cm}^{-3}$ とすればよい。この結果、基板表面付近の浅い部分に弱いn型領域207(基板201と同じ不純物濃度を有する)が分離される。

10

【0058】

あるいは、n型領域208の表面に、弱いn型領域207をエピタキシャル成長させてもよい。その場合には、弱いn型領域207の厚さは5nm乃至50nm(好ましくは5nm乃至20nm)、不純物濃度は、 $1 \times 10^{11} \text{ cm}^{-3}$ 乃至 $1 \times 10^{17} \text{ cm}^{-3}$ とすればよく、また、弱いn型領域207の不純物濃度は基板201と異なってもよい。

【0059】

そして、弱いn型領域207上にフローティングゲート絶縁膜203を形成する。フローティングゲート絶縁膜203としては、例えば、厚さ2nm乃至4nmの熱酸化によって得られる酸化シリコン膜を用いればよい(図3(A)参照)。

20

【0060】

その後、反応性スパッタリング法で酸化亜鉛もしくは酸化インジウム、酸化インジウム亜鉛、酸化インジウム亜鉛ガリウム(組成式は $\text{In}_a\text{Ga}_b\text{Zn}_c\text{O}_d\text{N}_e$ 、($0 \leq a \leq 1$ 、 $0 \leq b \leq 1$ 、 $0 \leq c \leq 1$ 、 $0 \leq d \leq 1$ 、 $0 \leq e \leq 1$))等の仕事関数の高い酸化物膜(以下、高仕事関数酸化物膜という)を成膜する。

【0061】

例えば、酸化亜鉛を成膜するには、酸化亜鉛をターゲットにして、酸素濃度が50%以上かつ酸素濃度が5%以下の雰囲気という条件を採用すればよい。同様に、酸化インジウム、酸化インジウム亜鉛、酸化インジウム亜鉛ガリウムを成膜するには、酸素濃度が50%以上かつ酸素濃度が5%以下の雰囲気、それぞれ、酸化インジウム、酸化インジウム亜鉛、酸化インジウム亜鉛ガリウムをターゲットとして用いればよい。

30

【0062】

また、その際には、基板温度は100乃至600、好ましくは150乃至450とするとよい。また、成膜後、100乃至600、好ましくは150乃至450の非酸化性雰囲気中で熱処理してもよい。

【0063】

なお、スパッタリング法以外にも、ALD法やCVD法(MOCVD法等)を採用してもよい。特に、基板へのダメージの少ないALD法やCVD法を用いることが好ましい。

【0064】

40

高仕事関数酸化物膜の厚さは5nm乃至100nmとすればよい。厚さ5nm未満では、仕事関数の影響が基板201表面に及ばず、また、厚さが100nmを超えると、高仕事関数酸化物膜の抵抗が大きくなり、回路の特性に好ましくない。上述のように、高仕事関数酸化物膜では界面近傍の欠陥準位がドナーとなるため、界面から遠い部分ではドナー濃度が低下し、導電性が悪化することがある。導電性を維持するには、別にドナーをドーピングすればよい。

【0065】

酸化インジウム亜鉛ガリウムの例として、組成式 InGaZnO_4 で表されるものは、YbFe₂O₄構造と呼ばれる結晶構造を取ることが知られている(例えば、M. Nakamura, N. Kimizuka, and T. Mohri "The Ph

50

ase Relations in the $\text{In}_2\text{O}_3 - \text{Ga}_2\text{ZnO}_4 - \text{ZnO}$ System at 1350 °, J. Solid State Chem., Vol. 93, p. 298 - 315 (1991). 参照)。

【0066】

しかしながら、例えば、5原子%以上の窒素が添加されるとウルツ鉱型構造が安定相となり、それによっても電子状態も劇的に変化する。また、 YbFe_2O_4 構造に比べるとウルツ鉱型構造は結晶化が容易であるため、比較的低温で結晶化する。

【0067】

電子状態に関しては、例えば、バンドギャップは YbFe_2O_4 構造のものが3.2電子ボルト程度であるが、ウルツ鉱型構造のものでは2.2電子ボルト以下となり、また、電子親和力も、前者が4.3電子ボルト程度のものが、後者では5.5電子ボルト以上となる。電子親和力が4.9電子ボルト以上となるため、欠陥準位によりn型の導電性を呈することとなる。なお、水素はドナーとして機能するため、水素を添加することによってもキャリア濃度を高めることもできる。

【0068】

なお、高仕事関数酸窒化物膜は、窒素や亜鉛、インジウム以外に酸素を窒素の2乃至5倍含有していると、酸化珪素との界面でのトラップ準位の発生を抑制する上で好ましい。また、高仕事関数酸窒化物膜は、水素を1原子%乃至10原子%含有していると、界面の状況が改善され、かつ、キャリアが増加して導電率が向上するため好ましい。高仕事関数酸窒化物膜への水素の添加は成膜時以外に、ドーピング工程の終了後の水素化処理でもおこなえる。

【0069】

なお、酸化インジウム亜鉛ガリウム($\text{In} - \text{Ga} - \text{Zn} - \text{O}$)の代わりに、二元系金属酸化物である、 $\text{In} - \text{Sn} - \text{O}$ 、 $\text{Sn} - \text{Zn} - \text{O}$ 、 $\text{Al} - \text{Zn} - \text{O}$ 、 $\text{In} - \text{Ga} - \text{O}$ や、三元系金属酸化物である $\text{In} - \text{Sn} - \text{Zn} - \text{O}$ 、 $\text{In} - \text{Al} - \text{Zn} - \text{O}$ 、 $\text{Sn} - \text{Ga} - \text{Zn} - \text{O}$ 、 $\text{Al} - \text{Ga} - \text{Zn} - \text{O}$ 、 $\text{Sn} - \text{Al} - \text{Zn} - \text{O}$ や、四元系金属酸化物である $\text{In} - \text{Sn} - \text{Ga} - \text{Zn} - \text{O}$ などをターゲットに用いてもよい。ここで、例えば、 $\text{In} - \text{Ga} - \text{Zn} - \text{O}$ とは、インジウム(In)、ガリウム(Ga)、亜鉛(Zn)を有する酸化物という意味である。

【0070】

その後、高仕事関数酸窒化物膜をエッチングして、フローティングゲート204を形成する。さらに、フローティングゲート204上に絶縁膜と導電性の高い金属膜や金属化合物膜を適切な厚さだけ形成する。絶縁膜としては、酸化シリコンや酸窒化シリコン以外にも、酸化ハフニウム、酸化アルミニウム、酸化ランタン等の高誘電率材料を用いることができる。例えば、酸化シリコンと高誘電率材料の積層構造とするとよい。

【0071】

金属膜としてはアルミニウム、チタン、タンタル、タングステン等やそれらを50%以上有する合金を用いることができ、金属化合物膜としては、それらの窒化物膜を用いることができる。

【0072】

そして、絶縁膜と金属膜や金属化合物膜を必要な形状に加工して、コントロールゲート絶縁膜205、コントロールゲート206を形成する。次に、コントロールゲート206の側面に側壁209aおよび209bを形成する(図3(B)参照)。

【0073】

さらに、イオン注入法によりホウ素イオンを注入してソース202a、ドレイン202bを形成する。この際、ソース202a、ドレイン202bの底面は、n型領域208の底面より浅くなるように形成するとよい(図3(C)参照)。イオン注入に用いるイオン種は、ボロン等のホウ素を含む化合物でもよい。

【0074】

以上の工程により、トランジスタの主要な構造が形成される。その後は公知の半導体作製

10

20

30

40

50

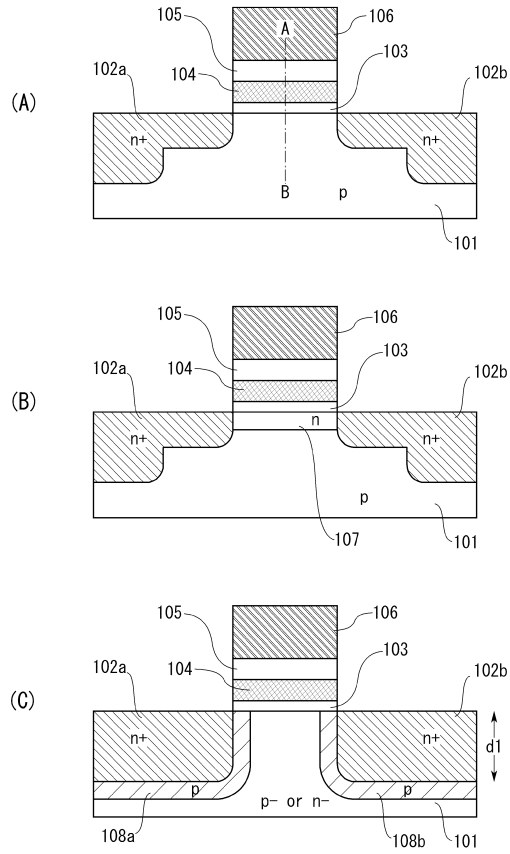
技術を用いて、シリサイド化、多層配線や電極の形成、水素化処理等をおこなえばよい。
本実施の形態では基板 2 0 1 として、単結晶シリコンを用いる例を示したが、基板としては絶縁膜上に単結晶シリコン層が形成された、いわゆるシリコン・オン・インシュレータ - (S O I) 基板を用いてもよい。

【符号の説明】

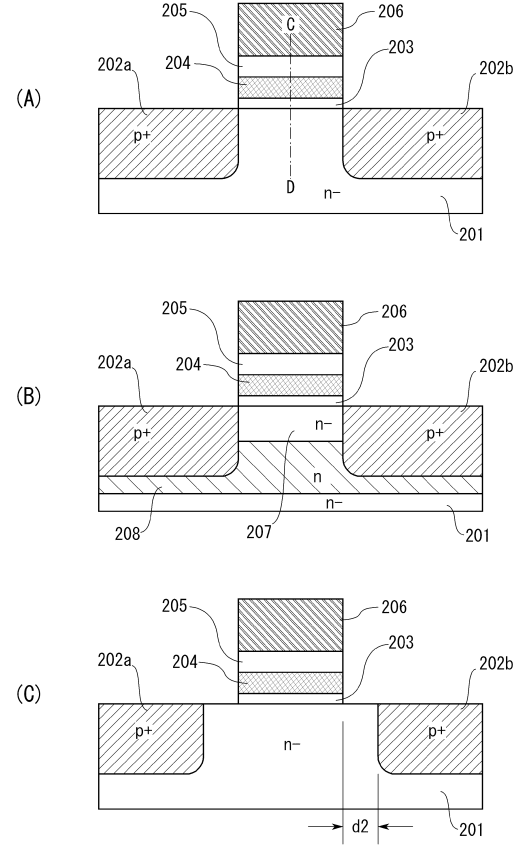
【 0 0 7 5 】

1 0 1	基板	
1 0 2 a	ソース	
1 0 2 b	ドレイン	
1 0 3	フローティングゲート絶縁膜	10
1 0 4	フローティングゲート	
1 0 5	コントロールゲート絶縁膜	
1 0 6	コントロールゲート	
1 0 7	n 型領域	
1 0 8 a	ハロー領域	
1 0 8 b	ハロー領域	
2 0 1	基板	
2 0 2 a	ソース	
2 0 2 b	ドレイン	
2 0 3	フローティングゲート絶縁膜	20
2 0 4	フローティングゲート	
2 0 5	コントロールゲート絶縁膜	
2 0 6	コントロールゲート	
2 0 7	弱い n 型領域	
2 0 8	n 型領域	
2 0 9 a	側壁	
2 0 9 b	側壁	

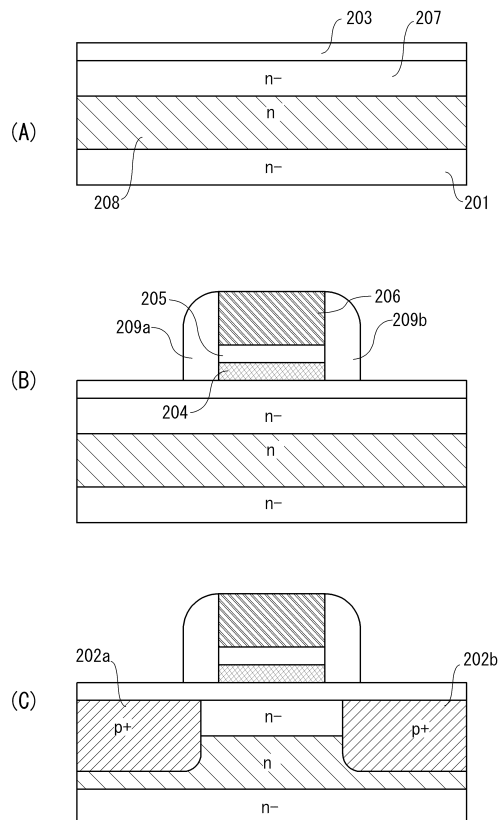
【図 1】



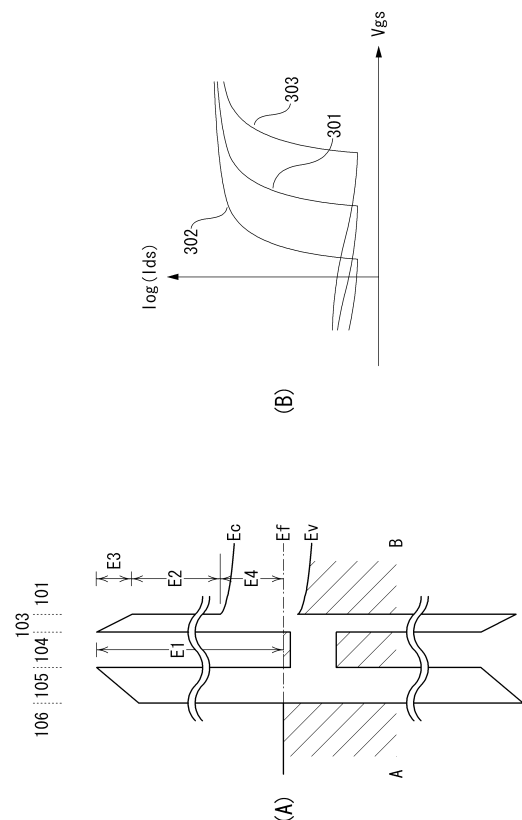
【図 2】



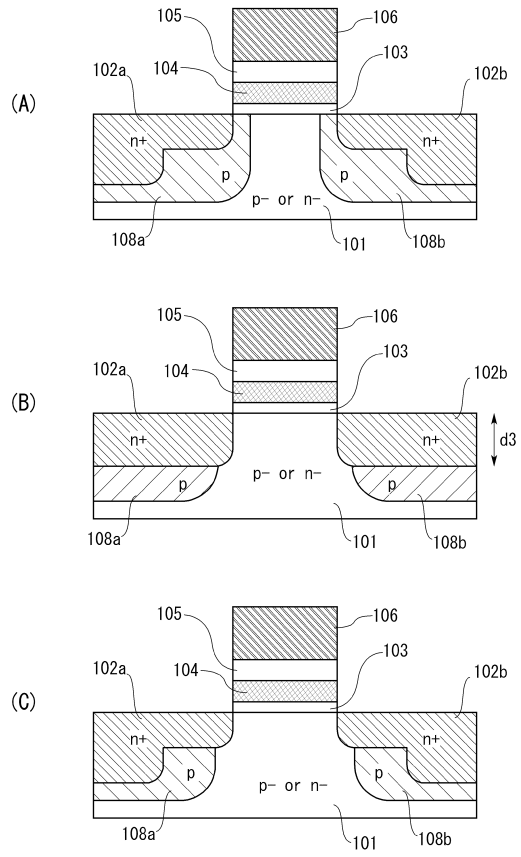
【図 3】



【図 4】



【図 5】



フロントページの続き

(56)参考文献 特開2010-212618(JP,A)
特開2007-134681(JP,A)
特開2007-080944(JP,A)
特開2010-093070(JP,A)
特開2009-182252(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L	21/336
H01L	21/8247
H01L	27/115
H01L	29/788
H01L	29/792