



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0110579
(43) 공개일자 2014년09월17일

(51) 국제특허분류(Int. Cl.)
G11C 29/00 (2006.01) G11C 16/34 (2006.01)
G11C 17/16 (2006.01)
(21) 출원번호 10-2013-0025173
(22) 출원일자 2013년03월08일
심사청구일자 2013년03월08일
기술이전 희망 : 기술양도

(71) 출원인
창원대학교 산학협력단
경상남도 창원시 의창구 창원대학교 20(퇴촌동)
(72) 발명자
김영희
경상남도 창원시 성산구 외동반림로 219, 112동
1001호 (반림동, 현대아파트)
(74) 대리인
김중선, 이형석

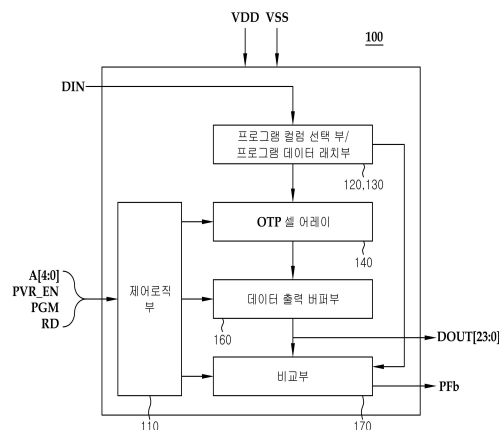
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 이퓨즈 OTP 메모리 장치

(57) 요약

본 발명은 이퓨즈 OTP 메모리 장치에 관한 것이다. 이를 위해 본 발명은 리드(read) 모드, 프로그램(program) 모드 및 프로그램 검증 리드 (program-verify-read) 모드를 위한 제어신호를 공급하는 제어 로직부와, 상기 프로그램 모드에서 프로그램되는 열(column)을 선택하는 프로그램 컬럼 선택부와, 상기 프로그램 컬럼 선택부에 의하여 선택된 열에 프로그램 데이터를 저장하는 데이터 래치부와, eFuse를 프로그램하거나 데이터를 리드하는 동작을 수행하도록 복수의 차동 쌍 eFuse 셀(Differential paired eFuse cell)로 구성된 OTP 셀 어레이와, 상기 OTP 셀 어레이로부터 데이터를 리드하여 저장하는 데이터 출력 버퍼부와, 상기 프로그램 검증 리드 모드가 수행되면 상기 데이터 래치부에 저장된 프로그램 데이터와 상기 데이터 출력 버퍼부의 리드 데이터를 비교하는 비교부, 및 상기 비교부의 비교 결과를 출력하는 하나의 패스-페일-바(PFb) 핀을 포함한다. 또한 프로그램 검증 리드 모드와 상기 리드 모드에서 사용되는 비트라인(Bit Line) 프리차지 회로의 풀-업 부하의 임피던스를 가변시키도록 센싱 마진 테스트를 위한 가변 풀-업 부하 회로가 구성된다. 이와 같은 본 발명에 따르면, 패키지 상태에서 eFuse OTP의 프로그램 상태를 알 수 있고, 프로그램된 eFuse 링크 저항이 줄어들더라도 센싱 불량이 발생하는 것을 방지할 수 있는 이점이 있다.

대표도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호	10039239
부처명	지식경제부
연구사업명	융복합 혁신 반도체 기술 개발
연구과제명	스마트폰 및 스마트 디바이스를 위한 다중 배터리셀 다중 에너지원 지원 전력관리 시스템
SoC 개발	
기 여 율	1/1
주관기관	창원대학교산학협력단
연구기간	2012.03.01 ~ 2013.02.28

특허청구의 범위

청구항 1

리드(read) 모드, 프로그램(program) 모드 및 프로그램 검증 리드 (program-verify-read) 모드를 위한 제어신호를 공급하는 제어 로직부;

상기 프로그램 모드에서 프로그램되는 열(column)을 선택하는 프로그램 컬럼 선택부;

상기 프로그램 컬럼 선택부에 의하여 선택된 열에 프로그램 데이터를 저장하는 데이터 래치부;

eFuse를 프로그램하거나 데이터를 리드하는 동작을 수행하도록 복수의 차동 쌍 eFuse 셀(Differential paired eFuse cell)로 구성된 OTP 셀 어레이;

상기 OTP 셀 어레이로부터 데이터를 리드하여 저장하는 데이터 출력 버퍼부;

상기 프로그램 검증 리드 모드가 수행되면 상기 데이터 래치부에 저장된 프로그램 데이터와 상기 데이터 출력 버퍼부의 리드 데이터를 비교하는 비교부; 및

상기 비교부의 비교 결과를 출력하는 하나의 패스-페일-바(PFb) 핀을 포함하는 이퓨즈 OTP 메모리 장치.

청구항 2

제 1항에 있어서,

상기 차동 쌍 eFuse 셀은,

프로그램 데이터를 저장하는 제1 데이터저장부; 및

상보적(complementary) 프로그램 데이터를 저장하도록 상기 제1 데이터저장부와 대칭되는 구조의 제2 데이터저장부를 포함하는 것을 특징으로 하는 이퓨즈 OTP 메모리 장치.

청구항 3

제 2항에 있어서,

상기 제1 데이터저장부는, 직렬로 연결되는 제1 NMOS 트랜지스터(MN1) 및 제2 NMOS 트랜지스터(MN2), 그리고 상기 제1 NMOS 트랜지스터(MN1) 및 제2 NMOS 트랜지스터(MN2)가 연결되는 라인에 구성된 제1 eFuse(eFuse 1)를 포함하고,

상기 제2 데이터저장부는, 직렬로 연결되는 제3 NMOS 트랜지스터(MN3)와 제4 NMOS 트랜지스터(MN4), 그리고 상기 제3 NMOS 트랜지스터(MN3)와 제4 NMOS 트랜지스터(MN4)가 연결되는 라인에 구성된 제2 eFuse(eFuse 2)를 포함하며,

상기 제1 eFuse와 제2 eFuse는 서로 연결되고,

상기 제1 eFuse와 제2 eFuse의 연결 노드에는 상기 프로그램 모드에서 5.5V의 프로그램 전압을 인가하며 상기 리드 모드 및 프로그램 검증 리드 모드에서 0V를 구동하는 스위칭 전원인 소스 라인(Source Line)이 연결됨을 특징으로 하는 이퓨즈 OTP 메모리 장치.

청구항 4

제 3항에 있어서,

상기 제1 NMOS 트랜지스터(MN1) 및 제3 NMOS 트랜지스터(MN3)는 프로그램 트랜지스터이고,

상기 제2 NMOS 트랜지스터(MN2) 및 제4 NMOS 트랜지스터(MN4)는 상기 리드 모드 시의 전류를 감소하기 위한 리드 전용 트랜지스터임을 특징으로 하는 이퓨즈 OTP 메모리 장치.

청구항 5

제 3항에 있어서,

상기 차동 쌍 eFuse 셀의 프로그램 데이터가 '1'인 경우에 상기 제1 eFuse가 블로잉(blowing) 상태가 되고, 상기 차동 쌍 eFuse 셀의 프로그램 데이터가 '0'인 경우에 상기 제2 eFuse가 블로잉(blowing) 상태가 되는 것을 특징으로 하는 이퓨즈 OTP 메모리 장치.

청구항 6

제 1항에 있어서,

상기 OTP 셀 어레이는 상기 차동 쌍 eFuse 셀이 1행 × 24열로 구성됨을 특징으로 하는 이퓨즈 OTP 메모리 장치.

청구항 7

제 1항에 있어서,

센싱 마진 테스트를 위한 가변 풀-업 부하 회로가 더 구성되며,

상기 가변 풀-업 부하 회로는, 상기 프로그램 검증 리드 모드와 상기 리드 모드에서 사용되는 비트라인(Bit Line) 프리차지 회로의 풀-업 부하의 임피던스를 가변시키는 것을 특징으로 하는 이퓨즈 OTP 메모리 장치.

청구항 8

제 7항에 있어서,

상기 가변 풀-업 부하 회로는,

상기 프로그램 검증 리드 모드와 상기 리드 모드에서 센싱 가능한 eFuse 저항의 차이 값을 이용하는 것을 특징으로 하는 이퓨즈 OTP 메모리 장치.

청구항 9

제 8항에 있어서,

상기 가변 풀-업 부하 회로는,

PMOS 소자로 구성되면서 게이트 단이 서로 연결되며, BL_LOADb 신호를 인가받는 제1 풀-업 부하 트랜지스터(MP1) 및 제2 풀-업 부하 트랜지스터(MP2);

PMOS 소자로 구성되며 TM_LOADb 신호를 인가받는 프로그램 검증 리드용 제3 풀-업 부하 트랜지스터(MP3) 및 제4 풀-업 부하 트랜지스터(MP4);

NMOS 소자로 구성되며 비트라인(Bit Line) 프리 차지를 위한 BL_PCG 신호를 인가받는 NMOS용 제1 트랜지스터(MN5) 및 제2 트랜지스터(MN6)를 포함하며,

상기 제1 내지 제4 풀-업 트랜지스터(MP1)(MP2)(MP3)(MP4)는 하이-임피던스(high-impedance)를 유지함을 특징으로 하는 이퓨즈 OTP 메모리 장치.

청구항 10

제 1항에 있어서,

상기 프로그램 데이터와 상기 리드 데이터는 모두 24 비트이고,

상기 비트가 모두 일치한 경우에는 상기 PFb 핀을 통해 '1'을 출력하며,

상기 비트 중 적어도 한 비트 이상이 불일치하면 상기 PFb 핀을 통해 '0'을 출력하는 것을 특징으로 하는 이퓨즈 OTP 메모리 장치.

명세서

기술분야

[0001] 본 발명은 OTP 메모리에 관한 것으로서, 더욱 상세하게는 이퓨즈(eFuse) OTP 메모리가 정상적으로 프로그램되었는지를 패키지(Package) 상태에서 테스트(Test)를 수행하고 또한 프로그램된 eFuse 저항의 변동을 고려하여 가변 풀-업 부하를 이용한 센싱 마진 테스트를 수행할 수 있도록 설계된 이퓨즈 OTP 메모리 셀을 구비하는 이퓨즈 OTP 메모리 장치에 관한 것이다.

배경 기술

[0002] 일반적으로 PMIC(Power Management IC)와 같은 파워 IC는 아날로그 트리밍 기능을 수행하기 위해 소용량의 비휘발성 메모리를 필요로 한다. 그런데 비휘발성 메모리로서 EEPROM이나 Flash 메모리와 같은 메모리는 긴 공정, 낮은 신뢰성, 높은 제조비용을 초래하는 부가적인 공정이 필요하다.

[0003] 따라서 추가 공정이 필요없는 eFuse OTP(electrical Fuse One-Time Programmable) 메모리가 많이 사용된다.

[0004] eFuse OTP 메모리는 eFuse에 과전류(High current)를 흘려 프로그램하며, 프로그램 이전 저항은 50~100Ω 정도이고, eFuse를 통해 프로그램 전류가 흐르면서 프로그램 이후의 eFuse 저항은 수 십kΩ 이상이 된다. 이러한 eFuse OTP 메모리는 1-비트(bit) 데이터를 전도 상태(conductive state)와 고저항 상태(high resistive state) 중 하나로 프로그램한다.

[0005] 한편, eFuse OTP 메모리 장치는 다음과 같은 2가지의 설계 조건이 만족되는 것이 우선적으로 고려되어야 할 것이다.

[0006] 그 중 첫 번째 조건으로는, eFuse OTP 메모리가 정상적으로 프로그램되었는지를 패키지가 이루어진 완제품 상태의 eFuse OTP 메모리 장치에서 테스트할 수 있어야 한다.

[0007] 즉 패키지 전 상태의 조립 단계 등에서 eFuse OTP 메모리의 프로그램 여부를 테스트할 수 있지만, 이 경우에는 주변 소자 등의 영향 등이 반영되지 않은 상태이기 때문에, 패키지 전 후의 특성이 상이할 수 있기 때문이다. 그렇기 때문에 패키지 상태에서 eFuse OTP 메모리 상태를 확인할 필요성이 요구된다.

[0008] 하지만, 이 경우 eFuse OTP 메모리 장치가 패키지화된 상태에서는 그에 사용되는 PMIC 칩의 핀 개수가 문제가 된다. 즉 PMIC 칩은 그 사용 핀(pin) 수가 몇 개 되지 않기 때문에 패키지 상태에서는 실질적으로 8-비트 이상의 데이터를 리드(read)할 수 없는 문제가 발생한다.

[0009] 다음 두 번째 조건으로는, eFuse OTP 메모리가 데이터 보존시간 동안에 프로그램된 eFuse 링크의 저항이 줄어들더라도 센싱 불량이가 발생하지 않도록 해야한다. 예컨대 eFuse 링크가 센싱 가능한 최소 저항 부근에 프로그램되는 경우, 실제 사용 중에 프로그램된 eFuse의 저항이 센싱 가능한 최소 저항 이하로 변동할 수 있으며, 이때 데이터를 센싱할 수 없는 현상이 일어날 수 있기 때문이다.

[0010] 주지된 바와 같이 eFuse OTP 메모리는 소용량의 OTP 메모리 응용에 많이 응용되고 있고 표준 CMOS 공정으로 구현 가능한 여러 이점이 제공되고 있지만, 기술한 바와 같이 몇 가지 필요한 설계조건이 요구되고 있다. 만약 요구된 설계 조건을 고려하지 않고 설계된 경우 eFuse OTP 메모리가 정상적으로 프로그램되었는지를 테스트하는 공정 및 장비가 추가되어야 한다. 아울러 데이터 센싱 불량 가능성도 그만큼 높아질 수밖에 없다.

[0011] 이는 eFuse OTP 메모리 및 이를 이용한 각종 장치의 성능 저하를 초래하게 된다.

선행기술문헌

특허문헌

[0012] (특허문헌 0001) 대한민국공개특허 KR 10-2010-0099845

(특허문헌 0002) 미국공개특허 US 2009-0251943

발명의 내용

해결하려는 과제

[0013] 본 발명의 목적은 상기한 문제점을 해결하기 위한 것으로, 패키지(Package) 상태에서 eFuse OTP 메모리가 정상적으로 프로그램되었는지를 테스트 할 수 있는 이퓨즈 OTP 메모리 장치를 제공하는 것이다.

[0014] 본 발명의 다른 목적은 데이터 보존(retention) 시간 동안 프로그램된 eFuse 링크의 저항 변동에 대한 마진 테스트가 가능하도록 하여 데이터 센싱이 가능하도록 하는 이퓨즈 OTP 메모리 장치를 제공하는 것이다.

과제의 해결 수단

[0015] 상기한 목적을 달성하기 위한 본 발명의 특징에 따르면, 리드(read) 모드, 프로그램(program) 모드 및 프로그램 검증 리드 (program-verify-read) 모드를 위한 제어신호를 공급하는 제어 로직부; 상기 프로그램 모드에서 프로그램되는 열(column)을 선택하는 프로그램 컬럼 선택부; 상기 프로그램 컬럼 선택부에 의하여 선택된 열에 프로그램 데이터를 저장하는 데이터 래치부; eFuse를 프로그램하거나 데이터를 리드하는 동작을 수행하도록 복수의 차동 쌍 eFuse 셀(Differential paired eFuse cell)로 구성된 OTP 셀 어레이; 상기 OTP 셀 어레이로부터 데이터를 리드하여 저장하는 데이터 출력 버퍼부; 상기 프로그램 검증 리드 모드가 수행되면 상기 데이터 래치부에 저장된 프로그램 데이터와 상기 데이터 출력 버퍼부의 리드 데이터를 비교하는 비교부; 및 상기 비교부의 비교 결과를 출력하는 하나의 패스-페일-바(PFb) 핀을 포함하는 이퓨즈 OTP 메모리 장치가 제공된다.

[0016] 그리고 상기 차동 쌍 eFuse 셀은, 프로그램 데이터를 저장하는 제1 데이터저장부; 및 상보적(complementary) 프로그램 데이터를 저장하도록 상기 제1 데이터저장부와 대칭되는 구조의 제2 데이터저장부를 포함한다.

[0017] 상기 제1 데이터저장부는, 직렬로 연결되는 제1 NMOS 트랜지스터(MN1) 및 제2 NMOS 트랜지스터(MN2), 그리고 상기 제1 NMOS 트랜지스터(MN1) 및 제2 NMOS 트랜지스터(MN2)가 연결되는 라인에 구성된 제1 eFuse(eFuse 1)를 포함하고, 상기 제2 데이터저장부는, 직렬로 연결되는 제3 NMOS 트랜지스터(MN3)와 제4 NMOS 트랜지스터(MN4), 그리고 상기 제3 NMOS 트랜지스터(MN3)와 제4 NMOS 트랜지스터(MN4)가 연결되는 라인에 구성된 제2 eFuse(eFuse 2)를 포함하며, 여기서 상기 제1 eFuse와 제2 eFuse는 서로 연결되고, 상기 제1 eFuse와 제2 eFuse의 연결 노드에는 상기 프로그램 모드에서 5.5V의 프로그램 전압을 인가하며 상기 리드 모드 및 프로그램 검증 리드 모드에서 0V를 구동하는 스위칭 전원인 소스 라인(Source Line)이 연결된다.

[0018] 또한 상기 제1 NMOS 트랜지스터(MN1) 및 제3 NMOS 트랜지스터(MN3)는 프로그램 트랜지스터이고, 상기 제2 NMOS 트랜지스터(MN2) 및 제4 NMOS 트랜지스터(MN4)는 상기 리드 모드 시의 전류를 감소하기 위한 리드 전용 트랜지스터이다.

[0019] 그리고 상기 차동 쌍 eFuse 셀의 프로그램 데이터가 '1'인 경우에 상기 제1 eFuse가 블로잉(blowing) 상태가 되고, 상기 차동 쌍 eFuse 셀의 프로그램 데이터가 '0'인 경우에 상기 제2 eFuse가 블로잉(blowing) 상태가 된다.

[0020] 그리고 상기 OTP 셀 어레이는 상기 차동 쌍 eFuse 셀이 1행 × 24열로 구성되고 있다.

[0021] 한편 본 발명은 센싱 마진 테스트를 위한 가변 풀-업 부하 회로가 더 구성되며, 상기 가변 풀-업 부하 회로는, 상기 프로그램 검증 리드 모드와 상기 리드 모드에서 사용되는 비트라인(Bit Line) 프리차지 회로의 풀-업 부하의 임피던스를 가변시키게 된다.

[0022] 그리고 상기 가변 풀-업 부하 회로는, 상기 프로그램 검증 리드 모드와 상기 리드 모드에서 센싱 가능한 eFuse 저항의 차이 값을 이용하는 것이다.

[0023] 상기 가변 풀-업 부하 회로는, PMOS 소자로 구성되면서 게이트 단이 서로 연결되며, BL_LOADb 신호를 인가받는 제1 풀-업 부하 트랜지스터(MP1) 및 제2 풀-업 부하 트랜지스터(MP2); PMOS 소자로 구성되며 TM_BL_LOADb 신호를 인가받는 프로그램 검증 리드용 제3 풀-업 부하 트랜지스터(MP3) 및 제4 풀-업 부하 트랜지스터(MP4); NMOS 소자로 구성되며 비트라인(Bit Line) 프리 차지를 위한 BL_PCG 신호를 인가받는 NMOS용 제1 트랜지스터(MN5) 및 제2 트랜지스터(MN6)를 포함하며, 상기 제1 내지 제4 풀-업 트랜지스터(MP1)(MP2)(MP3)(MP4)는 하이-임피던스(high-impedance)를 유지한다.

[0024] 또한 상기 프로그램 데이터와 상기 리드 데이터는 모두 24 비트이고, 상기 비트가 모두 일치한 경우에는 상기 PFb 핀을 통해 '1'을 출력하며, 상기 비트 중 적어도 한 비트 이상이 불일치하면 상기 PFb 핀을 통해 '0'을 출력하게 된다.

발명의 효과

[0025] 이와 같은 본 발명의 이퓨즈 OTP 메모리 장치에 따르면 다음과 같은 효과가 있다.

[0026] 먼저 본 발명은 이퓨즈 OTP 메모리 장치에 프로그램 검증 리드 모드를 제안하고 있다.

[0027] 프로그램 검증 모드에서는 프로그램 데이터와 리드 데이터를 비교하여 PFb 핀으로 비교 결과를 출력하기

때문에, 패키지 상태에서 하나의 핀으로 출력되는 PFb를 통해 eFuse OTP가 정상적으로 프로그램되었는지를 알 수 있다.

- [0028] 또한 프로그램 검증 모드에서는 가변 풀-업 부하 저항회로를 이용하여 프로그램된 eFuse 링크의 저항 변동에 대한 마진 테스트를 수행할 수 있다. 따라서 로그램된 eFuse 링크의 저항이 줄어들더라도 센싱 불량이 발생하는 현상을 방지할 수 있다.

도면의 간단한 설명

- [0029] 도 1은 본 발명의 실시 예에 따른 이퓨즈(eFuse) OTP 메모리 장치의 블록 구성도
 도 2는 도 1에 도시된 프로그램 컬럼 선택부(PGM_COL_SEL)의 회로구성도
 도 3은 도 1에 도시된 프로그램 데이터 래치부(PD latch)의 회로 구성도
 도 4는 도 1의 셀 어레이를 구성하는 differential paired eFuse 셀을 보인 회로 구성도
 도 5는 도 1에 도시된 셀 어레이에서 프로그램된 eFuse 저항의 변동을 고려하여 센싱 마진 테스트를 수행하기 위한 가변 풀-업 부하 회로 구성도
 도 6은 도 5의 가변 풀-업 부하 회로에 의하여 비트라인(BL)(BLb)의 전압이 풀-업된 경우 그 비트라인인 BL과 BLb의 차동 전압(Differential voltage)을 감지하는 BL 감지 증폭기(BL S/A, BL Sense Amplifier)의 회로 구성도
 도 7은 도 1에 도시된 비교부의 회로 구성도
 도 8은 본 발명의 실시 예에 따른 eFuse OTP 메모리 장치가 프로그램 검증 리드 모드로 동작할 때의 타이밍 다이어그램
 도 9는 본 발명의 실시 예에 따른 프로그램 검증 리드 모드에서의 실험 결과를 보인 타이밍 다이어그램
 도 10의 (a)는 본 발명에 적용된 Differential paired eFuse OTP의 레이아웃 사진이고, (b)는 듀얼 포트 eFuse OTP의 레이아웃 사진

발명을 실시하기 위한 구체적인 내용

- [0030] 이하 본 발명에 의한 이퓨즈 OTP 메모리 장치의 실시 예를 첨부된 도면을 참조하여 상세하게 설명한다.
- [0031] 본 발명은 패키지 상태에서 eFuse OTP 메모리 장치의 eFuse OTP 메모리가 정상적으로 프로그램되었는지를 테스트하는 테스트 모드(Test mode) 지원 및 가변 풀-업 부하(variable pull-up load)를 이용하여 데이터 보존 시간 동안 프로그램된 eFuse 링크의 저항 변동에 대한 마진 테스트가 가능하도록 하는 것을 기술적 특징으로 제공한다.
- [0032] 그리고 설명의 편의를 위하여 전술한 기술적 특징을 갖는 eFuse OTP 메모리 장치에 대한 설명은 각 회로들의 구성을 설명하면서 그에 따른 작용도 함께 설명하기로 한다.
- [0033] 도 1에는 본 발명의 실시 예에 따른 eFuse OTP 메모리 장치의 블록 구성도가 도시되어 있다.
- [0034] 도 1을 설명함에 있어 eFuse OTP 메모리 장치의 각 구성에 대해서는 대응하는 도 2 내지 도 7을 참조하여 설명하기로 할 것이다.
- [0035] 우선, 도 1과 같이 eFuse OTP 메모리 장치(100)는 일련의 제어신호에 따른 동작 모드에 따라 적합한 내부 제어 신호(control signal)를 공급하는 제어 로직부(110)가 구비된다. 제어 로직부(110)에 인가되는 상기 제어신호에는 리드(RD: read) 신호, 프로그램 (PGM: Program) 신호 및 프로그램 검증 리드 인에이블(PVR_EN : Program-verify-read_Enable) 신호 등이 있다. 여기서 PVR_EN 신호는 프로그램 검증 리드 (program-verify-read) 모드와 리드(read) 모드를 구분하는 역할을 한다. 리드 모드는 프로그램 검증을 위한 리드 모드와는 상이하게 단지 프로그램을 리드하는 노말(normal) 리드 모드이다.
- [0036] 그리고 eFuse OTP 메모리 장치(100)는 상기 제어신호에 따라서 리드 모드, 프로그램 모드 및 프로그램 검증 리드 모드를 지원하고 있다. 본 실시 예에서는 상기 모드 중 프로그램 검증 리드 모드를 지원하는 것을 특징으로 하는바, 이 모드에 대해서 중점적으로 설명할 것이다. 즉 프로그램 검증 리드 모드는 프로그램된 eFuse 저항의 변동을 고려하여 가변 풀-업 부하를 이용한 센싱 마진 테스트를 수행함은 물론 프로그램 데이터와 read 데이터

가 일치하는지를 비교하여 eFuse OTP 메모리가 정상적으로 프로그램되었는지를 확인하는 테스트를 지원하기 때문이다.

- [0037] 또한 eFuse OTP 메모리 장치(100)는 어드레스 신호(ADD[4:0])를 디코딩하여 프로그램되는 열(column)을 선택하는 프로그램 컬럼 선택부(PGM_COL_SEL)(120)와, 프로그램된 데이터를 저장하는 프로그램 데이터 래치부(PD latch)(130)를 구비하고 있다. 여기서 프로그램 데이터 래치부(130)는 프로그램 모드에서 eFuse OTP 메모리를 프로그램하는데 사용하는 프로그램 입력 데이터(DIN)를 래치하게 된다.
- [0038] 또한 eFuse OTP 메모리 장치(100)는 각 모드에 따라 eFuse를 프로그램하거나 데이터를 리드하는 동작 등을 수행하는 OTP 셀 어레이(이하, '셀 어레이'라고 하기도 함)(140)를 구비하고 있다. 실시 예에 따른 셀 어레이(140)는 1행 × 24열로 구성되며, 듀얼포트 eFuse OTP 셀에 비해 eFuse 링크의 센싱 저항이 작은 차동 쌍 이퓨즈 OTP 셀(differential paired eFuse OTP cell: 이하, '메모리 셀'이라고 하기도 함)을 사용하였다. 그리고 eFuse에 사용되는 링크는 'p-poly silicon' 또는 'Ti-silicon'을 사용한다. 이와 같은 상기 OTP 셀 어레이(140)를 구성하는 메모리 셀에 대해서는 도 2를 참조하여 아래에서 상세하게 설명할 것이다.
- [0039] 또한 eFuse OTP 메모리 장치(100)는 제어 로직부(110)의 제어동작에 따라 셀 어레이(140)로부터 제공받는 데이터를 출력하는 데이터 출력 버퍼부(160)가 구성된다. 데이터 출력 버퍼부(160)는 출력 데이터를 출력 포트([23:0])(DOUT/DOUTb)를 통해 출력하거나 아래에서 설명하는 비교부(170)에 전달한다.
- [0040] 프로그램 데이터 래치부(130)에 래치된 프로그램 데이터(PD[23:0])와 데이터 출력 버퍼부(160)에 저장된 리드 데이터(DOUT[23:0])가 서로 일치하는지 비교하는 비교부(170)가 구비된다. 비교부(170)는 PFb(pass fail bar) 핀을 통해 '1' 또는 '0' 신호를 선택하여 출력한다. 신호 '1'은 24-비트가 모두 일치하여 정상적으로 프로그램된 경우에 출력되는 신호이고, 신호 '0'은 24 비트 중 적어도 하나의 비트가 일치하지 않아 정상적으로 프로그램이 되지 않았을 때 출력되는 신호이다.
- [0041] 이와 같이 구성되는 eFuse OTP 메모리 장치의 특징을 살펴본다.
- [0042] eFuse OTP 메모리 장치(100)는 1-비트의 프로그램 비트와 24-비트의 리드 비트를 사용한다. 그리고 메모리 셀에 데이터를 프로그램하는 프로그램 시간은 200 μ s 이다. 또한 사용되는 전원전압은 VDD의 단일 전원이 사용된다. VDD 전압은 프로그램 모드에서는 eFuse 링크에 충분한 프로그램 파워(power)를 공급하기 위하여 5.5V가 사용되고, 리드 모드에서는 4.5 ~ 5.5V가 사용된다. 또한 5V MOS 트랜지스터만 사용하였다.
- [0043] 그리고 위에서 설명한 eFuse OTP 메모리 장치의 주요 특징을 표 1로 나타내면 다음과 같다.

표 1

[0044]

항목	주요 특징
제조공정	Magna chip 0.18 μ m 공정
OTP cell array size	1행 * 24열
Fuse Type	p-poly silicon (Ti-silicide)
공급전압	4.5V ~ 5.5V
온도	-40 °C ~ 85 °C
동작모드	프로그램 모드 (Program mode)
	프로그램 검증 리드 모드 (Program -Verify -Read mode)
	리드 모드 (Read mode)
Program bit/Read bit	1bit/24bit
Program 전압	5.5V
Program 시간	200 μ s μ s
엑세스 시간	200ns

- [0045] 다음에는 도 1에 도시된 각 구성요소들에 대해 좀 더 상세하게 살펴보기로 한다.
- [0046] 도 2에는 도 1에 도시된 프로그램 컬럼 선택부(PGM_COL_SEL)의 회로구성도가 도시되어 있다.
- [0047] 프로그램 컬럼 선택부(120)는, 프로그램 모드에서 프로그램되는 열을 선택하기 위한 회로로서 동작한다.
- [0048] 이를 위해 도 2에 도시된 바와 같이 제1 프로그램 컬럼 선택부(PGM_COL_SEL)(122)와 제2 프로그램 컬럼 선택부(PGM_COL_SELb)(124)를 포함하며, 실시 예에서는 3개의 NAND 소자 및 4개의 인버터 소자가 포함되어 구성된다.

즉 'IPGM', 'YPRE210' 및 'YPRE43' 신호를 NAND 처리하는 NAND 논리소자가 구비된 상태에서, 제1 프로그램 컬럼선택부(122)는, 상기 NAD 논리소자의 출력신호와 DLb 신호를 인가받아 반전하여 출력하는 제1 인버터, 제1 인버터의 출력신호와 입력데이터를 인가받아 NAND 처리하는 제1 NAND 논리소자, 및 제1 NAND 논리소자의 출력을 PGM_BL_SEL 신호로 출력하는 제2 인버터를 포함하고 있다. 또한 제2 프로그램 컬럼 선택부(124)는, 입력데이터를 인가받는 제2 인버터와, 제2 인버터의 출력과 DL 신호를 NADN 처리하는 제2 NAND 논리소자, 및 제2 NAND 논리소자의 출력을 PGM_Blb_SEL 신호로 출력하는 제2 인버터를 포함하고 있다.

[0049] 이와 같은 프로그램 컬럼 선택부(120)는 프로그램 모드 및 리드 모드에 따라서 PGM_COL_SEL와 PGM_COL_SELb신호를 각각 다른 레벨로 구동시킨다. 즉, 프로그램 모드에서는 행 어드레스인 A[4:0]을 디코딩하여 프로그램되는 PGM_COL_SEL과 PGM_COL_SELb만 각각 VDD 및 0V로 구동하고, 프로그램되지 않는 PGM_COL_SEL와 PGM_COL_SELb는 각각 0V 및 VDD를 유지하도록 한다. 반면 리드 모드에서는 PGM_COL_SEL[23:0]와 PGM_COL_SELb[23:0]는 모두 0V를 유지하도록 한다.

[0050] 도 3은 도 1에 도시된 프로그램 데이터 래치부(PD latch)의 회로 구성도이다.

[0051] 도 3을 보면, 프로그램 데이터 래치부(130)는 'positive level sensitive D 래치' 구조로서, 이는 프로그램 모드에서 프로그램 데이터를 저장하는 역할을 수행한다. 이와 같은 구조를 갖는 프로그램 데이터 래치부(130)는 공지 공용의 기술이기 때문에 상세한 설명은 생략하기로 한다.

[0052] 다음에는 eFuse OTP 메모리 설계에 사용된 메모리 셀(141)의 구성을 도 4를 참조하여 살펴본다. 도 4는 도 1의 셀 어레이(140)를 구성하는 메모리 셀(141)인 differential paired eFuse 셀을 보인 회로 구성도이다.

[0053] 도 4에 도시된 바와 같이 메모리 셀(141)은 총 4개의 MOS 트랜지스터 및 2개의 eFuse 소자로 구성되며 서로 대칭되는 구조이다.

[0054] 구체적으로 보면 메모리 셀(141)은 프로그램 데이터를 저장하는 제1 데이터저장부(142) 및 상보적(complementary) 프로그램 데이터를 저장하는 제2 데이터저장부(144)로 구분된다.

[0055] 제1 데이터저장부(142)는 제1 NMOS 트랜지스터(MN1)와 제2 NMOS 트랜지스터(MN2)가 직렬 연결되는 구성이며, 그 연결라인에 제1 eFuse(eFuse 1)가 연결된다. 제1 NMOS 트랜지스터(MN1)는 게이트 단자를 통해 프로그램 비트라인(BL)의 선택을 위한 'PGM_BL_SEL' 신호를 인가받고 소스 단자에는 접지전압(Vss) 라인이 연결된다. 그리고 제2 NMOS 트랜지스터(MN2)는 게이트 단자에 리드 워드 라인(RWL : read word line)이 연결되고, 드레인 단자에 비트 라인(BL)이 연결된다.

[0056] 제2 데이터저장부(144)는 제1 데이터저장부(142)를 구성하는 동일한 소자가 제공되며 서로 대칭되어 구성된다. 즉 제3 NMOS 트랜지스터(MN3)와 제4 NMOS 트랜지스터(MN4)는 직렬 연결된다. 그리고 그 연결 라인상에 제2 eFuse(eFuse 2)가 연결된다. 또한 제3 NMOS 트랜지스터(MN3)는 게이트 단자를 통해 프로그램 비트라인(BLb) 선택을 위한 'PGM_Blb_SEL' 신호를 인가받고 소스 단자에는 접지전압(Vss) 라인이 연결된다. 그리고 제4 NMOS 트랜지스터(MN4)는 게이트 단자에 리드 워드 라인(RWL : read word line)이 연결되고, 드레인 단자에 비트 라인이 연결된다.

[0057] 한편, 제1 NMOS 트랜지스터(MN1) 및 제3 NMOS 트랜지스터(MN3)는 큰 프로그램 전류를 흐를 수 있는 프로그램 트랜지스터이고, 제2 NMOS 트랜지스터(MN2) 및 제4 NMOS 트랜지스터(MN4)는 리드 모드 시의 전류를 줄일 수 있는 리드 전용 트랜지스터로 사용된다.

[0058] 또한, 제1 eFuse(eFuse 1) 및 제2 eFuse(eFuse 2)가 연결되는 연결라인에 소스 라인(SL)이 연결된다. 소스 라인은 프로그램 모드에서는 5.5V의 프로그램 전압을 인가하여 과전류를 흘려주고, 리드 모드 및 프로그램 검증 리드 모드 신호에서는 0V를 구동해주는 스위칭 전원으로 동작한다.

[0059] 한편, 메모리 셀(141)의 제 1 내지 제 4 NMOS 트랜지스터(MN1)(MN2)(MN3)(MN4)는 '0' 또는 '1'의 프로그램 데이터에 따라 서로 다른 상태를 갖는다.

[0060] 즉 프로그램 데이터가 '1'인 경우를 먼저 설명한다. 이때는 PGM_BL_SEL 신호 및 PGM_Blb_SEL 신호는 각각 5.5V 및 0V로 인가된다. 따라서 제1 eFuse(eFuse 1)와 제1 NMOS 트랜지스터(MN1)를 통해 과전류가 흐르면서 제1 eFuse(eFuse 1)는 블로잉(blowing) 상태가 된다. 상기 블로잉은 eFuse 링크가 오픈(open)된 상태를 말하며 이 경우 저항은 수십 kΩ이 되어 프로그램을 할 수 없는 상태이다. 그리고 제3 NMOS(MN3)는 오프 상태이기 때문에 제2 eFuse(eFuse 2)는 블로잉(blowing) 되지 않는다.

[0061] 반면, 프로그램 데이터가 '0'인 경우이다. 이때는 반대로 제1 NMOS(MN1)는 오프 상태, 제3 NMOS(MN2)는 온 상태를 갖는다. 따라서 제2 eFuse(eFuse 2)만 블로잉(blowing) 상태가 되고, 제1 eFuse(eFuse 1)는 블로잉(blowing) 되지 않는다.

[0062] 상기 메모리 셀(141)은 프로그램 모드와 리드 모드시에 서로 다른 셀 바이어스 조건을 제공한다. 프로그램 모드와 리드 모드에 따른 셀 바이어스 조건은 [표 2]에 나타내고 있다.

표 2

[0063]

	프로그램 모드				리드 모드	
	Unselected Cell		Selected Cell			
DIN	0	1	0	1	0	1
RWL	0V	0V	0V	0V	0.67VDD	0.67VDD
PD	0V	0V	0V	4.2V	0V	0V
PD _b	0V	0V	4.2V	0V	0V	0V
SL	4.2V	4.2V	4.2V	4.2V	0V	0V
BL	Floating	Floating	Floating	Floating	0V	VDD
BL _b	Floating	Floating	Floating	Floating	VDD	0V

[0064] 표 2를 참조하여, 프로그램 모드와 리드 모드 시에 입력데이터(DIN), 리드 워드 라인(RWL), 프로그램 데이터(PD, PD_b), 소스라인(SL), 비트라인(BL, BL_b)의 상태를 살펴보기로 한다.

[0065] 프로그램 모드 시, 리드 워드 라인(RWL)은 0V로 유지되어 제2 NMOS 트랜지스터(MN2) 및 제4 NMOS 트랜지스터(MN4)를 오프(off)시킨다. 또한 행 어드레스인 A[4:0]에 미 선택된 메모리 셀의 프로그램 데이터(PD, PD_b)은 0V로 유지되며, 반면 선택된 메모리 셀(141)의 프로그램 데이터(PD, PD_b)은 입력데이터가 0인 경우 0V와 4.2V, 입력데이터가 1인 경우 4.2V와 0V를 구동된다. 그리고 입력 데이터가 0인 경우에는 선택된 메모리 셀(141)의 비트라인(BL_b)에 연결된 제 2eFuse(eFuse 2)는 블로잉 상태가 되고, 입력 데이터(DIN)가 1인 경우에는 비트라인(BL)에 연결된 제 1eFuse(eFuse 1)가 블로잉 상태가 된다. 아울러 소스라인은 모두 4.2V로 구동된다.

[0066] 리드 모드 시, 리드 워드 라인(RWL)은 0.67 VDD로 구동되며, 프로그램 데이터(PD, PD_b)는 모두 0V를 유지하여 제1 NMOS 트랜지스터(MN1) 및 제3 NMOS 트랜지스터(MN3)를 오프시킨다. 그리고 소스 라인(SL)은 0V로 바이어싱된다. 아울러 비트라인(BL, BL_b)의 전압은 입력 데이터가 0인 경우 0V 및 VDD가 되고, 입력 데이터가 1인 경우에는 VDD 및 0V가 된다.

[0067] 도 5는 도 1에 도시된 셀 어레이에서 프로그램된 eFuse 저항의 변동을 고려하여 센싱 마진 테스트를 수행하기 위한 가변 풀-업 부하 회로 구성도이다.

[0068] 도 5에 도시된 바와 같이, 가변 풀-업 부하회로(150)는 프로그램되지 않은 셀에 흐르는 리드 전류를 감소하기 위하여 BL 및 BL_b를 접지전압(VSS)으로 프리차지(precharge) 하는 방식을 사용한다. 즉 전술한 바와 같이 프로그램된 eFuse 링크의 저항은 데이터 보존 시간동안 eFuse 저항이 줄어드는 경우 센싱 불량 현상이 발생할 수 있기 때문에, 프로그램된 eFuse의 저항 변동을 고려해야만 한다. 따라서 가변 풀-업 부하회로(150)는 프로그램 검증 리드 모드 및 리드 모드에서 사용되는 BL 프리차지 회로의 풀-업 부하의 임피던스를 가변시키게 된다.

[0069] 이와 같은 기능을 제공하기 위한 가변 풀-업 부하회로(150)의 구성은 다음과 같다.

[0070] 즉 도 5를 보면, PMOS 소자로 구성되며 BL_LOAD_b 신호를 인가받는 제1 및 제2 풀-업 부하 트랜지스터(MP1)(MP2)와, PMOS 소자로 구성되며 TM_BL_LOAD_b 신호를 인가받는 프로그램 검증 리드용 제3 및 제4 풀-업 부하 트랜지스터(MP3)(MP4)를 포함한다. 그리고 제1 및 제3 풀-업 부하 트랜지스터(MP1)(MP3)는 비트라인(BL)과 연결되며, 제2 및 제4 풀-업 부하트랜지스터(MP2)(MP4)는 비트라인(BL_b)과 연결된다. 이와 같은 제1 내지 제4 풀-업 트랜지스터(MP1)(MP2)(MP3)(MP4)는 모두 하이-임피던스(high-impedance)를 유지하도록 설계된다.

[0071] 아울러 가변 풀-업 부하회로(150)에는 BL 프리차지를 위한 BL_PCG 신호를 인가받는 NMOS용 제1 및 제2 트랜지스터(MN5)(MN6)가 포함되고 있다.

[0072] 한편 제1 트랜지스터(MN5)는 제1 및 제3 풀-업 부하 트랜지스터(MP1)(MP3)와 연결되고, 제2 트랜지스터(MN6)는 제2 및 제4 풀-업 부하 트랜지스터(MP2)(MP4)와 연결되는 구성도 포함된다.

[0073] 가변 풀-업 부하회로(150)는 메모리 셀(141)의 리드 워드 라인(RWL) 신호가 0.67VDD로 활성화되면 BL_LOAD_b 신

호가 0V 구간 동안 제1 및 제2 풀-업 부하 트랜지스터(MP1)(MP2)에 의해 비트라인(BL, BLb)는 VDD로 풀-업되며, 이때 제3 및 제4 풀-업 부하 트랜지스터(MP3)(MP4)는 오프 상태가 된다.

- [0074] 그리고 제1 내지 제4 풀-업 트랜지스터(MP1)(MP2)(MP3)(MP4)의 임피던스는 크기 때문에, 프로그램되지 않은 eFuse에 연결된 비트라인(BL)은 접지전압(VSS)을 유지하고, 반면 프로그램된 eFuse에 연결된 비트라인(BL)은 전원전압(VDD)으로 풀-업 된다. 만약 프로그램되지 않은 메모리 셀(141)을 리드하는 경우 비트라인(BL)의 프리차지 전압인 전원전압(VDD)은 도 4에 도시된 제2 NMOS 트랜지스터(MN2) 및 제4 NMOS 트랜지스터(MN4)와 제1 eFuse(eFuse 1) 및 제2 eFuse(eFuse 2)를 통해 그라운드(GND)로 방전된다.
- [0075] 한편 제3 및 제4 풀-업 부하 트랜지스터(MP3)(MP4)는 OTP IP의 테스트 동안에만 사용되며, 이때 제1 및 제2 풀-업 부하 트랜지스터(MP1)(MP2)는 오프 상태이다.
- [0076] 다음에는 비트라인 BL과 BLb의 차동 전압을 감지하여 출력하는 회로를 도 6을 참조하여 설명한다.
- [0077] 도 6에는 도 5에 도시된 가변 풀-업 부하 회로에 의하여 비트라인(BL)(BLb)의 전압이 풀-업된 경우 그 비트라인인 BL과 BLb의 차동 전압(Differential voltage)을 감지하는 BL 감지 증폭기(BL S/A, BL Sense Amplifier)의 회로 구성도가 도시되어 있다.
- [0078] BL S/A(161)는 BL과 BLb의 차동전압(differential voltage)을 센싱하는 S/A 기반의 D 플립플롭 회로로서 'negative edge triggered D F/F'를 사용하고 있다. 아울러 센싱된 차동전압을 래치하도록 SR 래치회로가 함께 구비된다.
- [0079] BS S/A(161)는 SAENb가 하이(high) 구간 동안에는 노드 N1과 N2는 접지전압(VSS)을 유지한다. 그리고 SR 래치 회로는 이전 상태의 데이터를 래치한다. 그러다가 로우(low) 상태가 되면 비트라인 BL과 BLb의 차동전압(differential voltage)을 센싱하고 이를 데이터 출력포트인 DOUT와 DOUTb를 통해 출력하는 역할을 한다.
- [0080] 이처럼 BL 감지 증폭기(161)는 데이터 출력 버퍼부(160)의 기능을 수행하는 것이다. 즉 데이터 출력 버퍼부(160)가 BL 감지 증폭기(161)의 일부 또는 전부의 기능을 수행한다고 할 수 있다.
- [0081] 도 7은 도 1에 도시된 비교부의 회로 구성도이다.
- [0082] 도 7에 도시된 비교부(170)는 동적 의사 NMOS(Dynamic pseudo NMOS) 로직 회로를 이용한다. 비교부(170)는 프로그램 모드 이후에 프로그램 검증 리드 모드가 수행되면, 프로그램 데이터 래치부(130)에 래치된 프로그램 데이터(PD[23:0])와 데이터 출력 버퍼부(160)에 저장된 리드 데이터(DOUT[23:0])가 서로 일치하는지 비교하고 그 결과를 PFb 핀을 통해 출력하는 역할을 한다.
- [0083] 비교부(170)는 프로그램 데이터(PD[23:0])와 리드 데이터(DOUT[23:0])를 비교하기 위한 인에이블 신호(COMP_EN)가 0V인 경우 매치(MATCH) 신호는 전원전압(VDD)으로 프리-차지 상태를 유지하고 PFb는 VDD를 출력한다. 그리고 리드 데이터(DOUT[23:0])가 셋업된 상태에서 인에이블 신호가 하이 상태로 활성화되면 프로그램 검증 리드 모드가 수행된다.
- [0084] 그 프로그램 검증 리드 모드의 수행에 따라 프로그램 데이터(PD[23:0])와 리드 데이터(DOUT[23:0])가 모두 일치하면 매치(Match) 신호는 전원전압(VDD)을 유지하며, PFb는 전원전압(VDD)을 출력한다. 반면 프로그램 데이터(PD[23:0])와 리드 데이터(DOUT[23:0]) 중 적어도 한 비트 이상이 상이하면 매치 신호는 0V로 방전되고 PFb는 0V를 출력한다.
- [0085] 도 8은 본 발명의 실시 예에 따른 eFuse OTP 메모리 장치가 프로그램 검증 리드 모드로 동작할 때의 타이밍 다이어그램이다.
- [0086] 타이밍 다이어그램을 보면, 리드 신호와 PVR_EN 신호 모두 하이(high) 상태로 활성화된 시점(a)이 되면 소정의 액세스 시간(t_{AC})이 지난 이후에 출력 데이터가 출력된다.
- [0087] 그러면 비교부(170)는 프로그램 데이터(PD[23:0])와 리드 데이터(DOUT[23:0])를 비교하고 그 결과를 PFb 핀을 통해 출력하게 된다.
- [0088] 이와 같이 구성되는 메모리 셀(141)을 구비한 이퓨즈 OTP 메모리 장치는 패키지 상태에서 eFuse OTP 메모리가 정상적으로 프로그램되었는지를 테스트함과 동시에 가변 풀-업 부하(variable pull-up load)를 이용하여 프로그램된 eFuse 링크의 저항 변동에 대한 마진 테스트를 수행할 수가 있다.
- [0089] 즉 리드 모드시에 리드 워드 라인(RWL)에 의해 도 4에 도시된 리드 전용 트랜지스터인 제2 NMOS 트랜지스터

(MN2) 및 제4 NMOS 트랜지스터(MN4)가 선택되고, 도 6의 가변 풀-업 부하회로에 의하여 비트라인 BL과 BLb의 전압이 풀-업 상태가 되면 데이터 출력포트인 DOUT와 DOUTb를 통해 출력하는 전압의 차동 전압을 감지한다. 이때 가변 풀-업 부하회로(150)는 프로그램 검증 리드 모드와 리드 모드에서 사용되는 비트라인 프리 차지 회로의 풀-업 부하를 가변시킨다.

- [0090] 그리고 프로그램 검증 리드 모드에서 센싱 가능한 eFuse 저항은 리드 모드보다 크기 때문에, 프로그램 검증 리드 모드와 리드 모드에서 센싱 가능한 eFuse 저항의 차이 값이 데이터 보존 시간 동안 마진(margin) 저항이 되는 것이다.
- [0091] 따라서 프로그램 검증 리드 모드에서는 프로그램된 eFuse 저항의 변동을 고려하여 가변 풀-업 부하회로(150)를 이용하여 센싱 마진 테스트를 수행하게 된다.
- [0092] 이와 함께 비교부(170)는 프로그램 데이터(PD[23:0])와 리드 데이터(DOUT[23:0])를 비교하게 된다. 이때 비교부(170)는 하나의 핀으로 출력되는 PFb를 통해 그 비교 값을 출력하기 때문에 패키지 상태에서도 메모리 셀이 정상적으로 프로그램되었는지를 알 수 있다.
- [0093] 이어서는 본 실시 예인 이퓨즈 OTP 메모리 장치에서 프로그램된 eFuse 링크의 센싱 저항에 대한 실험 결과를 알아보기로 한다.
- [0094] 이는 듀얼 포트 eFuse OTP와 비교하였다. 비교 결과는 표 3에 나타내고 있다.

표 3

	프로그램 검증 리드 모드	리드 모드
본 실시 예 (Differential paired eFuse OTP)	9k Ω	4k Ω
Dual port eFuse OTP	110k Ω	50k Ω

- [0095] 표 3을 보면, 본 실시 예에 적용된 Differential paired eFuse OTP의 프로그램된 eFuse의 센싱 저항이 Dual port eFuse OTP의 센싱 저항보다 작음을 알 수 있다.
- [0096] 도 9는 본 발명의 실시 예에 따른 프로그램 검증 리드 모드에서의 실험 결과로서, (a)는 '1'로 프로그램된 경우, (b)는 '0'으로 프로그램된 경우이다.
- [0097] 이를 보면, 리드 신호가 활성화되면 소정의 액세스 시간이 지난 후 출력 데이터가 출력된다.
- [0098] 그리고 이후에 비교를 위한 인에이블 신호가 활성화되면 비교부(170)의 PFb는 프로그램 데이터(PD[23:0])와 리드 데이터(DOUT[23:0])를 비교하고 그 결과를 출력하고 있다. 비교 결과, 프로그램 데이터(PD[23:0])와 리드 데이터(DOUT[23:0])가 일치하면 'PASS'를 출력하고 있고 반대로 일치하지 않는 경우에는 'FAIL'를 출력하고 있다.
- [0099] 도 10은 본 발명에 따른 Differential paired eFuse OTP와 기존의 듀얼 포트 eFuse OTP를 레이아웃한 도면이다.
- [0100] 도 10의 (a)가 본 발명에 적용된 Differential paired eFuse OTP의 레이아웃 사진이고, (b)가 듀얼 포트 eFuse OTP의 레이아웃 사진이다. 이는 매그나칩 0.18 μm BCD 공정을 이용한 결과이다.
- [0101] 그 사이즈를 보면, Differential paired eFuse OTP이 $367.965\mu\text{m} \times 107.34\mu\text{m}(=0.0395\text{mm}^2)$ 이고, 듀얼 포트 eFuse OTP이 $239.6\mu\text{m} \times 111.6\mu\text{m}(=0.0284\text{mm}^2)$ 로서, Differential paired eFuse OTP이 더 큰 것을 알 수 있다.
- [0102] 한편 매그나칩 0.35 μm BCD 공정을 이용한 경우에는 $289.9\mu\text{m} \times 163.65\mu\text{m}(=0.0475\text{mm}^2)$ 이다.
- [0103] 이상에서 설명한 바와 같이 본 발명은 이퓨즈 OTP 메모리 장치에 프로그램 검증 리드 모드를 제안함으로써, 프로그램 데이터와 리드 데이터를 비교하여 PFb 핀으로 비교 결과를 출력하기 때문에, 패키지 상태에서 하나의 핀으로 출력되는 PFb를 통해 eFuse OTP가 정상적으로 프로그램되었는지를 알 수 있고, 또한 가변 풀-업 부하 저항 회로를 이용하여 프로그램된 eFuse 링크의 저항 변동에 대한 마진 테스트가 가능함을 알 수 있다.
- [0104] 이상과 같이 본 발명의 도시된 실시 예를 참고하여 설명하고 있으나, 이는 예시적인 것들에 불과하며, 본 발명이 속하는 기술 분야의 통상의 지식을 가진 자라면 본 발명의 요지 및 범위에 벗어나지 않으면서도 다양한 변형, 변경 및 균등한 타 실시 예들이 가능하다는 것을 명백하게 알 수 있을 것이다. 따라서 본 발명의 진정한 기술적

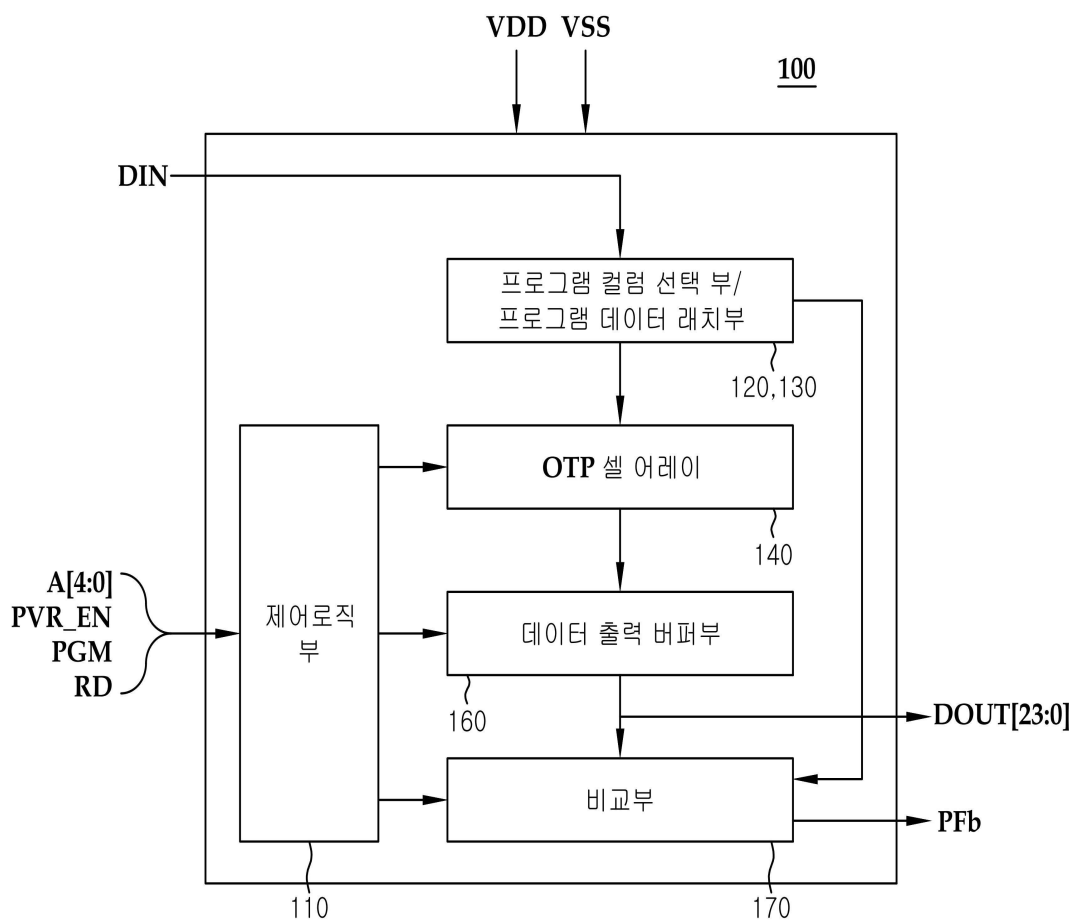
보호 범위는 첨부된 청구범위의 기술적인 사상에 의해 정해져야 할 것이다.

부호의 설명

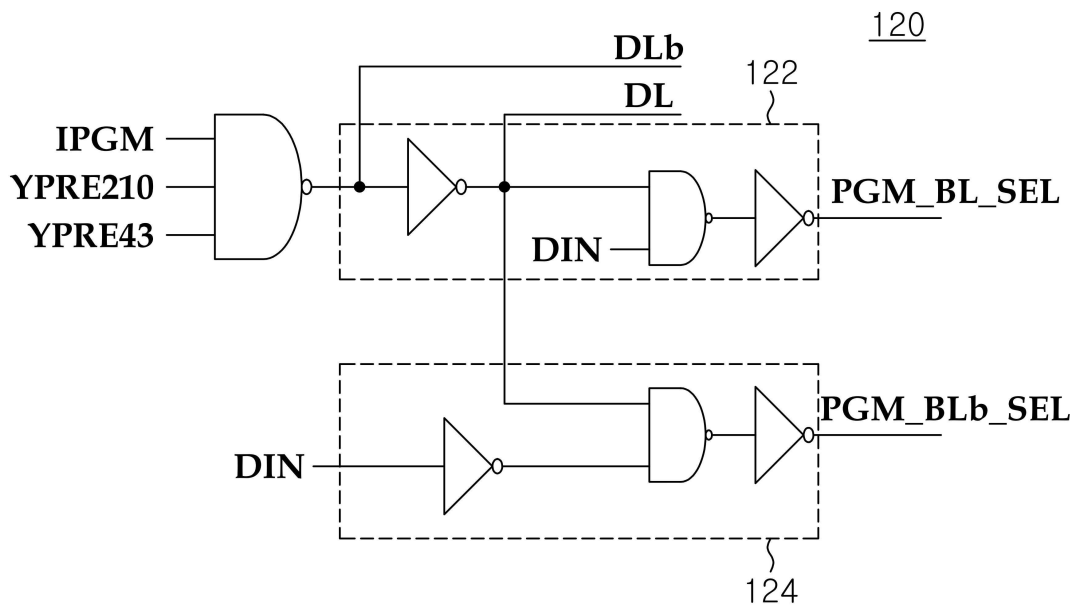
[0106]	100 : 이퓨즈 OTP 메모리 장치	110 : 제어 로직부
	120 : 프로그램 컬럼 선택부	130 : 프로그램 데이터 래치부
	140 : OTP 셀 어레이	141 : 메모리 셀
	150 : 가변 풀-업 부하회로	160 : 데이터 출력 버퍼부
	161 : BL 감지 증폭기	170 : 비교부

도면

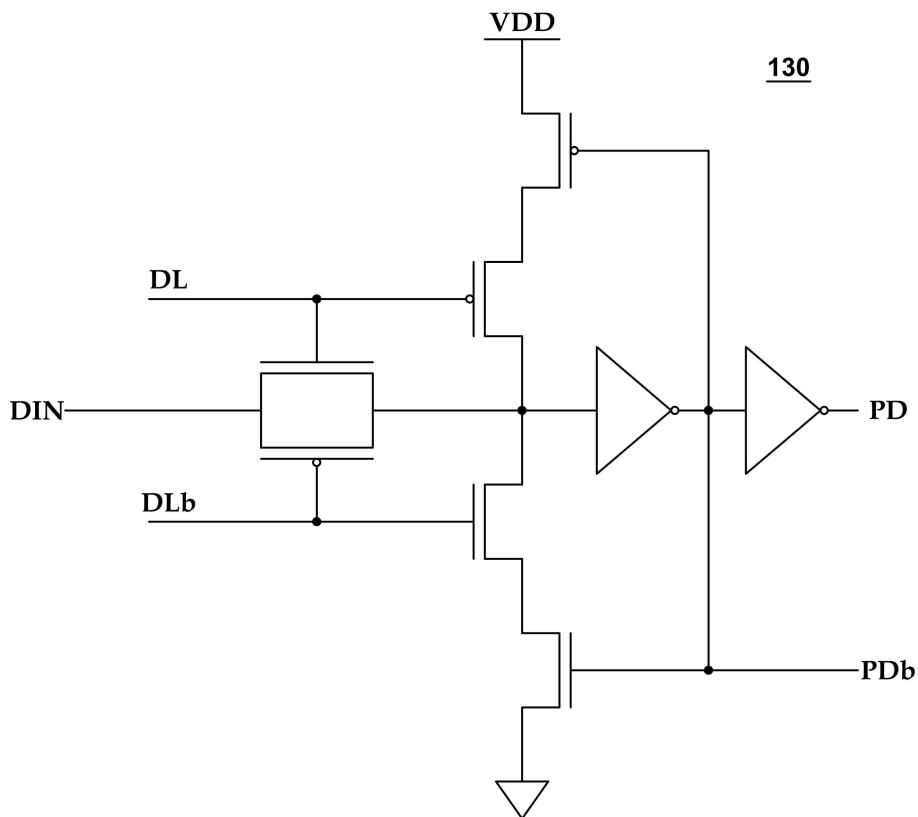
도면1



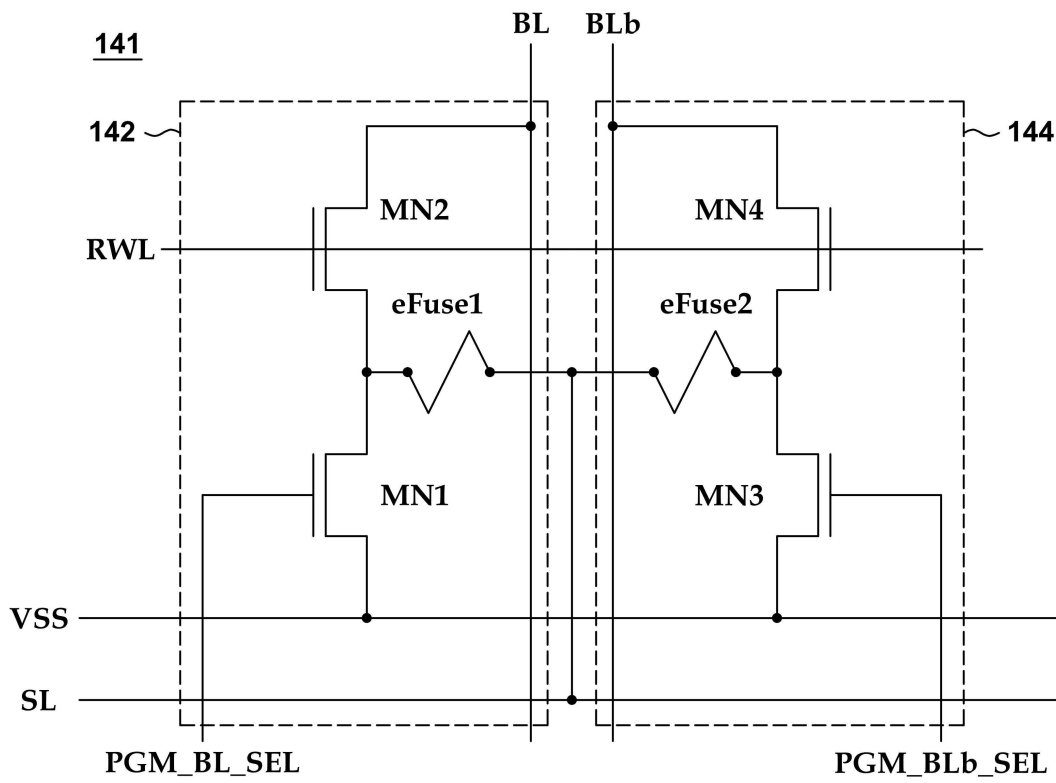
도면2



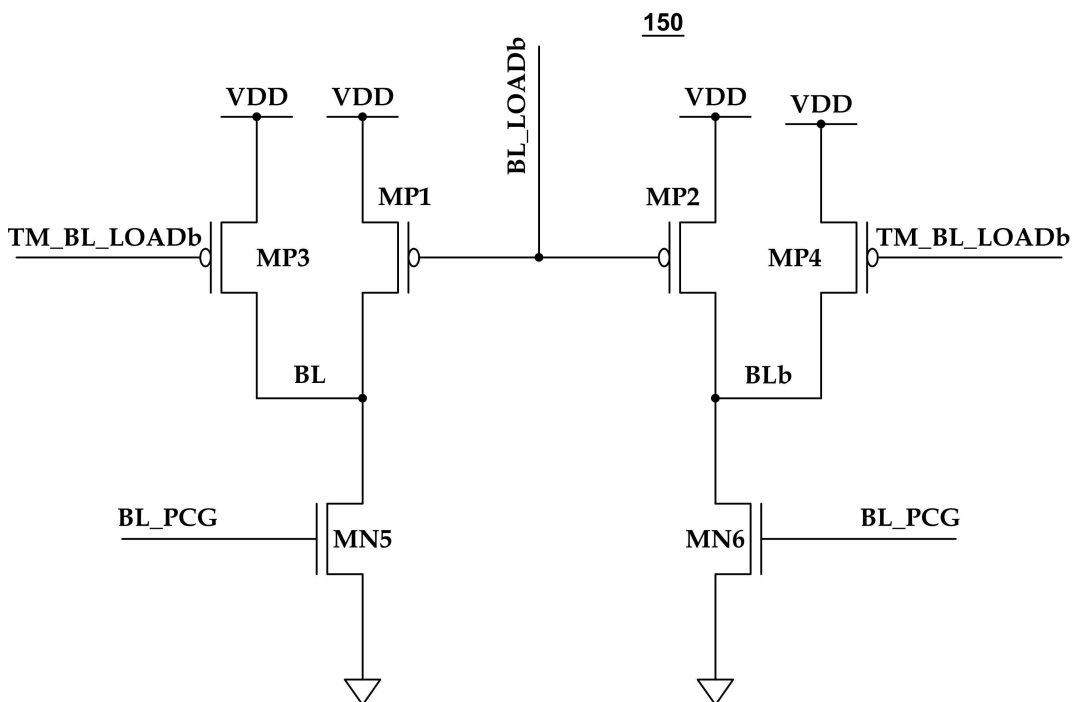
도면3



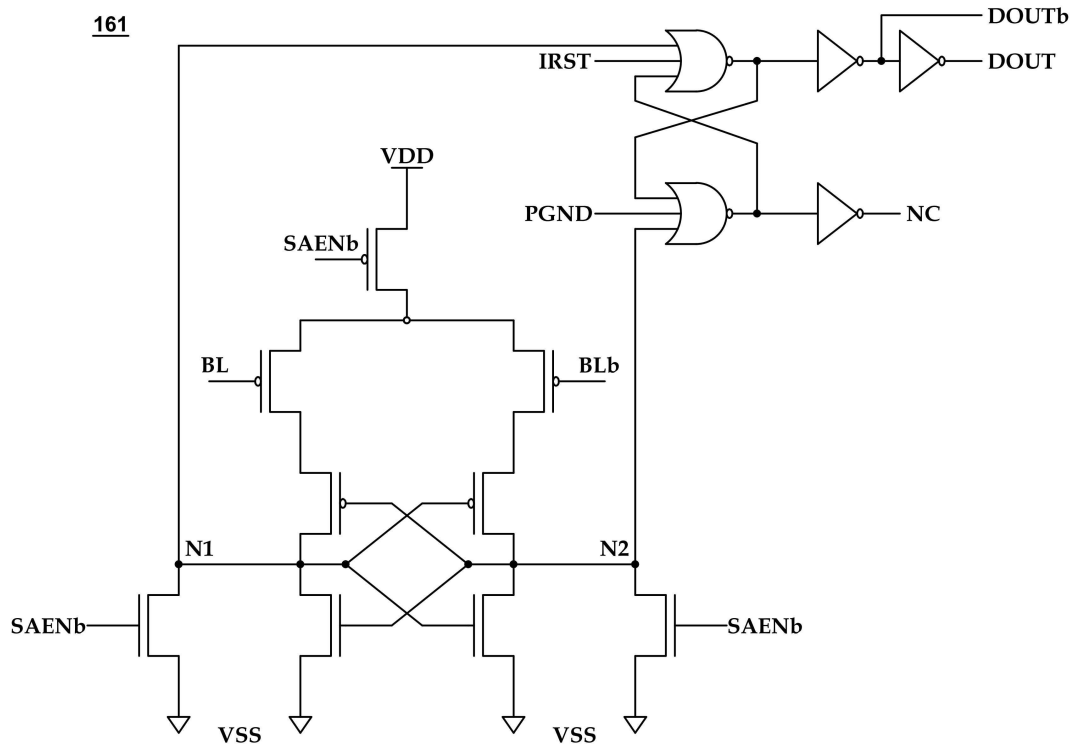
도면4



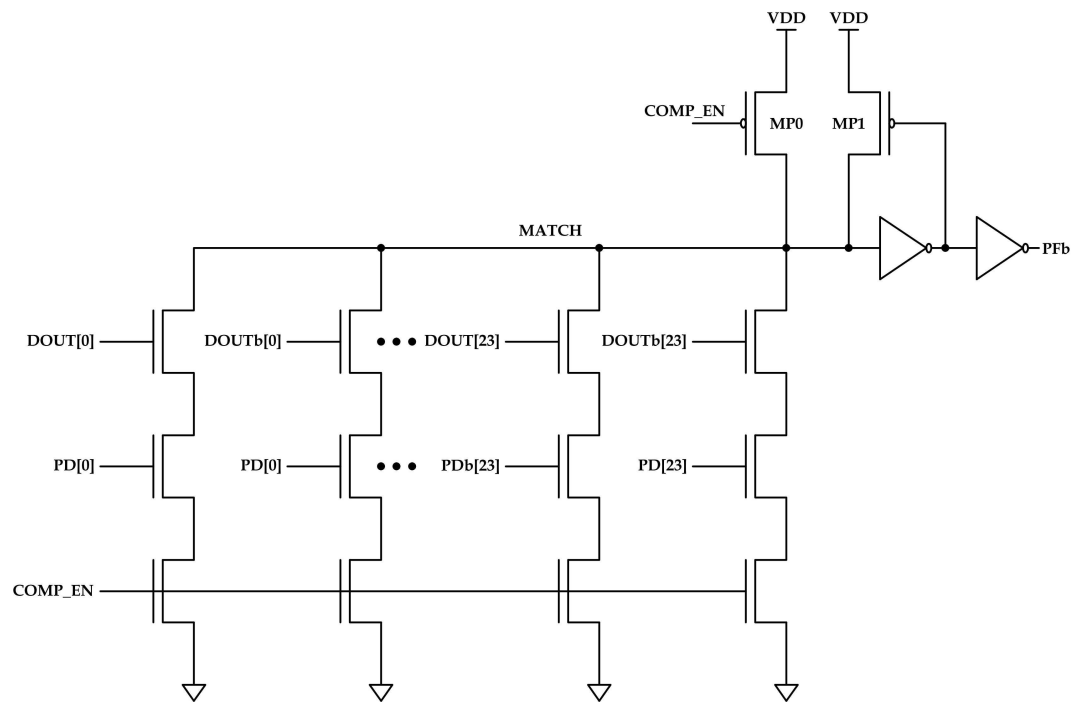
도면5



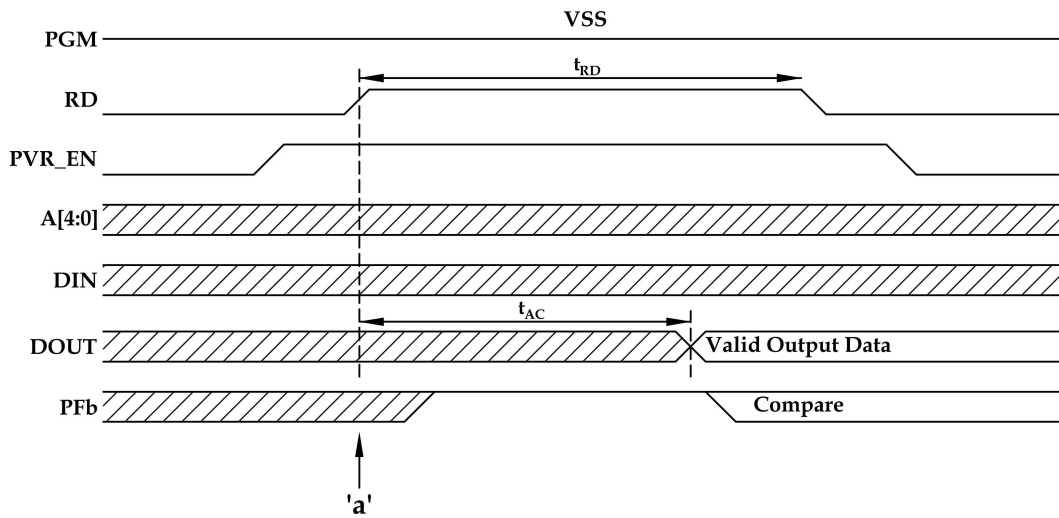
도면6



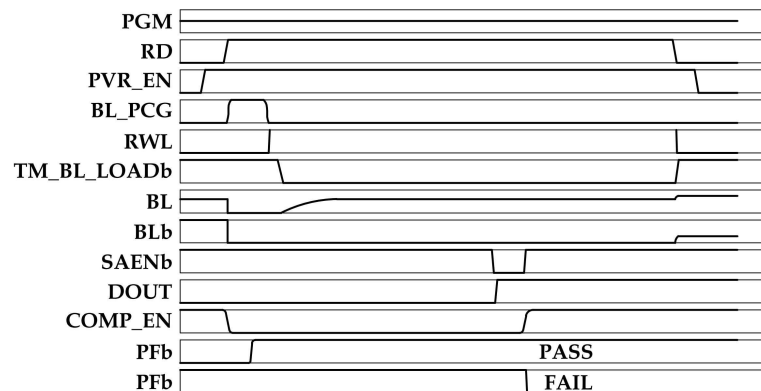
도면7



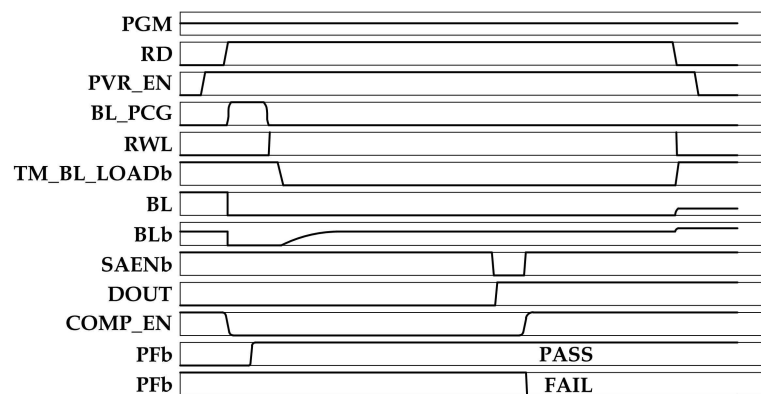
도면8



도면9

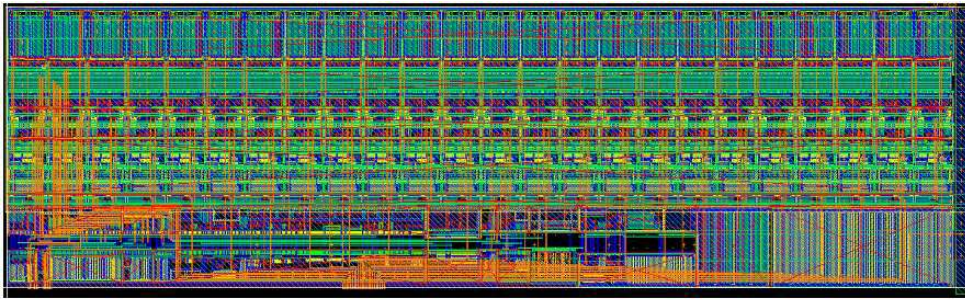


(a)

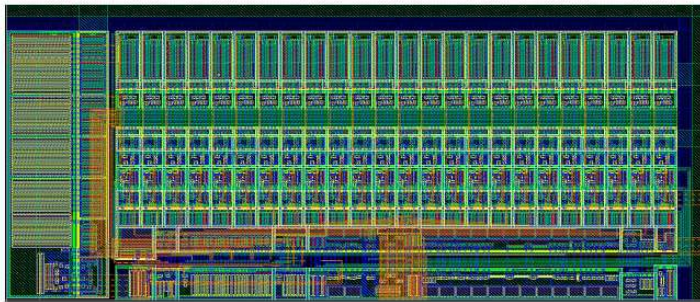


(b)

도면10



(a)



(b)