(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年9月19日(19.09.2024)

WIPO | PCT

(10) 国際公開番号
WO 2024/190520 A1

(51) 国際特許分類:
H02M 3/155 (2006.01)

(21) 国際出願番号： PCT/JP2024/008202

(22) 国際出願日： 2024年3月5日(05.03.2024)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2023-038587 2023年3月13日(13.03.2023) JP

(71) 出願人: 株式会社村田製作所 (**MURATA MANUFACTURING CO., LTD.**) [JP/JP]; 〒6178555 京都府長岡京市東神足１丁目１０番１号 Kyoto (JP).

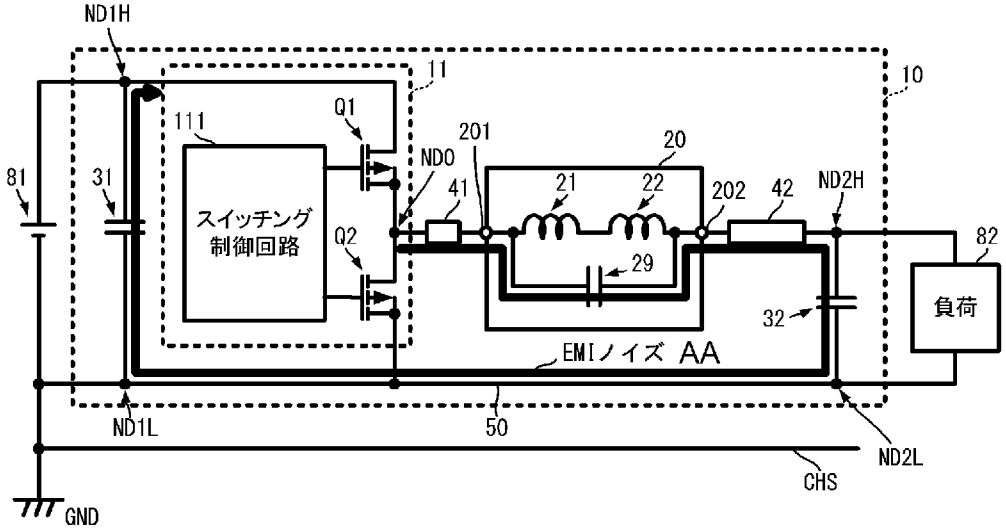
(72) 発明者: 高辻 寛之 (**TAKATSUJI Hiroyuki**); 〒6178555 京都府長岡京市東神足１丁目１０番１号 株式会社村田製作所内 Kyoto (JP). 細谷 達也 (**HOSOTANI Tatsuya**); 〒6178555 京都府長岡京市東神足１丁目１０番１号 株式会社村田製作所内 Kyoto (JP).

(74) 代理人: 弁理士法人 楓国際特許事務所 (**KAEDE PATENT ATTORNEYS' OFFICE**); 〒5400011 大阪府大阪市中央区農人橋１丁目４番３４号 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,

(54) **Title:** SWITCHING POWER SUPPLY DEVICE

(54) 発明の名称： スイッチング電源装置



82 Load
111 Switching control circuit
AA EMI noise

(57) **Abstract:** A circuit board (60) has: a wiring pattern (41) that electrically connects a first terminal (201) and a node (ND0) of a switching element (Q2) and a switching element (Q1); and a wiring pattern (42) that electrically connects a second terminal (202) and an output capacitor (32). An inductor (20) is provided with a first winding (21) which is disposed at a position close to the circuit board (60), a second winding (22) which is disposed at a position further from the circuit board (60) than the first winding (21), and which is connected in series with the first winding (21), and a magnetic core (200) in which the first winding (21) and the second winding (22) are provided. The inductor (20) is configured such that the first winding (21) is electrically connected to the first terminal (201) and the second winding (22) is electrically

WO 2024/190520 A1

［続葉有］

EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能)：ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一　国際調査報告（条約第21条(3)）

connected to the second terminal (202). The area of the wiring pattern (41) is such that the physical size thereof is smaller than the projected area of the inductor (20). The area of the wiring pattern (42) is such that the physical size thereof is substantially the same as or larger than the projected area of the inductor (20).

(57) 要約：回路基板（６０）は、スイッチング素子（Ｑ１）およびスイッチング素子（Ｑ２）のノード（ＮＤ０）と第１端子（２０１）とを電気接続する配線パターン（４１）と、第２端子（２０２）と出力キャパシタ（３２）を電気接続する配線パターン（４２）と、を有する。インダクタ（２０）は、回路基板（６０）から近い位置に配置された第１巻線（２１）と、第１巻線（２１）よりも回路基板（６０）から離れた位置に配置され、第１巻線（２１）に直列接続される第２巻線（２２）と、第１巻線（２１）と第２巻線（２２）とが内蔵される磁性コア（２００）を備え、第１巻線（２１）は第１端子（２０１）に電気接続され、第２巻線（２２）は第２端子（２０２）に電気接続された構成を有する。配線パターン（４１）の面積は、物理的な大きさがインダクタ（２０）の投影面積よりも小さい。配線パターン（４２）の面積は、物理的な大きさがインダクタ（２０）の投影面積と略同じまたは大きい。

明　細　書

発明の名称 ： スイッチング電源装置

技術分野

[0001]　本発明は、電力変換用のスイッチング素子を備えたスイッチング電源装置に関する。

背景技術

[0002]　特許文献１には、ＤＣ－ＤＣコンバータが記載されている。特許文献１のＤＣ－ＤＣコンバータは、スイッチング素子と、スイッチング素子の出力側に接続されたインダクタとを備える。また、特許文献１のＤＣ－ＤＣコンバータは、シールド部材を備える。

[0003]　スイッチング素子、インダクタ、および、シールド部材は、基板に実装されている。シールド部材は、インダクタを覆うように基板に配置される。

先行技術文献

特許文献

[0004] 特許文献1：特開２０１８－９８８５３号公報

発明の概要

発明が解決しようとする課題

[0005]　しかしながら、電力変換に関係しないシールド部材を備えることで、ＤＣ－ＤＣコンバータ（スイッチング電源装置）は、不所望に大型化してしまう。また、特許文献１の構成において、シールド部材を備えていないと、インダクタから生じるＥＭＩノイズが外部に輻射または伝導されてしまう。

[0006]　したがって、本発明の目的は、スイッチングノイズの輻射の抑制やこの輻射に起因してシャーシを伝導するコモンモードノイズを抑制した高効率かつ小型のスイッチング電源装置を提供することにある。

課題を解決するための手段

[0007]　この発明のスイッチング電源装置は、入力キャパシタと、入力キャパシタに対して電気接続された第１スイッチング素子および第２スイッチング素子

と、第１端子と第２端子とを有するインダクタと、出力キャパシタと、入力キャパシタ、第１スイッチング素子、第２スイッチング素子、インダクタ、および、出力キャパシタが実装された回路基板と、を備える。

[0008] 回路基板は、第１スイッチング素子および第２スイッチング素子の接続ノードと第１端子とを電気接続する第１配線パターンと、第２端子と出力キャパシタを電気接続する第２配線パターンと、を有する。

[0009] インダクタは、回路基板から近い位置に配置された第１巻線と、第１巻線よりも回路基板から離れた位置に配置され、第１巻線に直列接続される第２巻線と、第１巻線と第２巻線とが内蔵される磁性コアと、を備え、第１巻線は第１端子に電気接続され、第２巻線は第２端子に電気接続された構成を有する。

[0010] 第１配線パターンの面積は、物理的な大きさがインダクタの投影面積よりも小さい。第２配線パターンの面積は、物理的な大きさがインダクタの投影面積と略同じまたは大きい。

[0011] この構成では、入力キャパシタと、第１配線パターン、第２配線パターンと、および、出力キャパシタは、ノイズ平衡化回路を構成し、ノイズ平衡化回路は、第１スイッチング素子および第２スイッチング素子のスイッチング動作に起因する電磁雑音の発生を相殺し、インダクタの第１巻線から輻射した電界ノイズが基準グランド（シャーシ）に結合することによって生じるコモンモードノイズの発生を抑制することができる。

発明の効果

[0012] この発明によれば、ノイズ低減部品を用いることなくノイズ平衡化回路を構成し、かつ、スイッチング動作に起因する電磁雑音の発生を相殺し、スイッチングノイズの輻射または伝導に起因してシャーシを伝導するコモンモードノイズを抑制するスイッチング電源装置を高効率かつ小型に形成できる。

図面の簡単な説明

[0013] [図1]図１は、本発明の第１の実施形態に係るスイッチング電源装置の概略構成を示す回路図である。

[図2]図２は、本発明の第1の実施形態に係るインダクタの等価回路図である。

[図3]図３（Ａ）は、本発明の第１の実施形態に係るインダクタの平面図であり、図３（Ｂ）は、このインダクタの側面図である。

[図4]図４（Ａ）は、本発明の第１の実施形態に係るインダクタの巻線導体の構成を示す平面透視図であり、図４（Ｂ）は、このインダクタの巻線導体の構成を示す側面透視図であり、図４（Ｃ）、図４（Ｄ）は、各巻線導体を視た平面透視図である。

[図5]図５（Ａ）は、本発明の第１の実施形態に係るスイッチング電源装置におけるインダクタの実装部分を含む構成を示す平面図であり、図５（Ｂ）は、その側面断面図である。

[図6]図６は、本発明の第１の実施形態に係るスイッチング電源装置におけるＥＭＩノイズの流れを概略的に示す図である。

[図7]図７は、比較構成のスイッチング電源装置におけるＥＭＩノイズの流れを概略的に示す図である。

[図8]図８（Ａ）は本願構成および比較構成の伝導ノイズのレベルを示すグラフであり、図８（Ｂ）は本願構成および比較構成の放射ノイズのレベルを示すグラフである。

[図9]図９は、本発明の第２の実施形態に係るスイッチング電源装置におけるインダクタの実装部分を含む構成の側面断面図である。

[図10]図１０は、本発明の第３の実施形態に係るスイッチング電源装置におけるインダクタの実装部分を含む構成の側面断面図である。

[図11]図１１は、本発明の第３の実施形態に係るスイッチング電源装置の等価回路図である。

[図12]図１２は、本発明の第４の実施形態に係るスイッチング電源装置におけるインダクタの実装部分を含む構成の側面断面図である。

[図13]図１３は、本発明の第５の実施形態に係るインダクタの巻線導体の構成を示す側面透視図である。

[図14]図１４（Ａ）、図１４（Ｂ）は、本発明の第６の実施形態に係るインダクタの各巻線導体を視た平面透視図である。

[図15]図１５は、本発明の第７の実施形態に係るインダクタの巻線導体の構成を示す側面透視図である。

[図16]図１６（Ａ）は、本発明の第８の実施形態に係るインダクタの構成を示す側面図であり、図１６（Ｂ）は、このインダクタにおける磁性コアに対する導体パターンの巻き付け状態を概念的に示した図である。

[図17]図１７は、本発明の第９の実施形態に係るインダクタの構成を示す側面図である。

[図18]図１８は、本発明の第１０の実施形態に係るスイッチング電源装置の概略構成を示す回路図である。

発明を実施するための形態

[0014] ［第１の実施形態］

本発明の第１の実施形態に係るスイッチング電源装置について、図を参照して説明する。

[0015] （スイッチング電源装置１０の構成）

図１は、本発明の第１の実施形態に係るスイッチング電源装置の概略構成を示す回路図である。

[0016] 図１に示すように、スイッチング電源装置１０は、スイッチングＩＣ１１、インダクタ２０、入力キャパシタ３１、および、出力キャパシタ３２を備える。スイッチングＩＣ１１は、スイッチング制御回路１１１、スイッチング素子Ｑ１、および、スイッチング素子Ｑ２を備える。スイッチング素子Ｑ１が「第１スイッチング素子」に対応し、スイッチング素子Ｑ２が「第２スイッチング素子」に対応する。スイッチング素子Ｑ１およびスイッチング素子Ｑ２は、電力用半導体素子であり、例えば、Ｎ型のＭＯＳ－ＦＥＴによって構成される。

[0017] スイッチング電源装置１０は、直流電源８１に電気接続されており、負荷８２に電気接続されている。

[0018] より具体的には、入力キャパシタ３１は、直流電源８１に並列に電気接続されている。直流電源８１の正極と入力キャパシタ３１との接続点がノードＮＤ１Ｈであり、直流電源８１の負極と入力キャパシタ３１との接続点がノードＮＤＩＬである。

[0019] スイッチング素子Ｑ１とスイッチング素子Ｑ２とは、直列に電気接続される。より具体的には、スイッチング素子Ｑ１のソースとスイッチング素子Ｑ２のドレインとは、電気接続されている。スイッチング素子Ｑ１とスイッチング素子Ｑ２との接続点がノードＮＤ０である。

[0020] スイッチング素子Ｑ１およびスイッチング素子Ｑ２は、入力キャパシタ３１に電気接続されている。より具体的には、スイッチング素子Ｑ１のドレインは、入力キャパシタ３１のＨｉ側のノードＮＤ１Ｈに接続されている。スイッチング素子Ｑ２のソースは、入力キャパシタ３１のＬｏｗ側のノードＮＤ１Ｌに接続されている。

[0021] スイッチング素子Ｑ１のゲートおよびスイッチング素子Ｑ２のゲートには、スイッチング制御回路１１１が電気接続されている。スイッチング素子Ｑ１およびスイッチング素子Ｑ２は、スイッチング制御回路１１１からのスイッチング制御信号によって、ドレインソース間を電気的に導通または開放する。

[0022] インダクタ２０は、第１端子２０１と第２端子２０２とを備える。なお、インダクタ２０の具体的な電気的構成、物理的構成、および、インダクタ２０に接続される具体的な配線パターンについては後述し、ここでは省略する。

[0023] スイッチングＩＣ１１のノードＮＤ０には、インダクタ２０の第１端子２０１が接続されている。インダクタ２０の第２端子２０２には、出力キャパシタ３２の一方端子（Ｈｉ側端子）が接続されている。インダクタ２０の第２端子２０２と出力キャパシタ３２の一方端子との接続点が、ノードＮＤ２Ｈである。

[0024] 出力キャパシタ３２の他方端子（Ｌｏｗ側端子）は、基準電位側配線パタ

ーン５０に接続されている。出力キャパシタ３２の他方端子と基準電位側配線パターン５０との接続点が、ノードＮＤ２Ｌである。

[0025] 基準電位側配線パターン５０は、ノードＮＤ１Ｌ（直流電源８１の負極と入力キャパシタ３１との接続点）に接続されている。

[0026] このような構成によって、スイッチング電源装置１０は、降圧型ＤＣＤＣコンバータを実現する。

[0027] 負荷８２は、出力キャパシタ３２に対して並列に電気接続されている。より具体的には、負荷８２の一方端子は、ノードＮＤ２Ｈに接続されており、負荷８２の他方端子は、ノードＮＤ２Ｌに接続されている。

[0028] さらに、スイッチング電源装置１０のノードＮＤ１Ｌ（直流電源８１の負極と入力キャパシタ３１との接続点）は、スイッチング電源装置１０、直流電源８１、および、負荷８２が搭載される車両等のシャーシＣＨＳに電気接続される。なお、シャーシＣＨＳは、適宜、グランド電位に接続されている。

[0029] スイッチングＩＣ１１、インダクタ２０、入力キャパシタ３１、および、出力キャパシタ３２は、実装型電子部品によって実現される。また、スイッチング電源装置１０の上述の回路構成を実現する配線パターンは、回路基板６０（後述の図５（Ｂ）等参照）に形成されている。スイッチングＩＣ１１、インダクタ２０、入力キャパシタ３１、および、出力キャパシタ３２が回路基板６０に実装されることで、スイッチング電源装置１０が実現される。そして、この回路基板６０がシャーシＣＨＳに物理的電気的に接続される。

[0030] （インダクタ２０の具体的な構成およびインダクタ２０に接続する配線パターンの具体的な構成）

（インダクタ２０の等価回路）

図２は、本発明の第1の実施形態に係るインダクタの等価回路図である。インダクタ２０は、第１巻線２１、第２巻線２２、第１端子２０１、および、第２端子２０２を備える。第１巻線２１と第２巻線２２とは、第１端子２０１と第２端子２０２との間に直列接続されている。

[0031] また、インダクタ２０は、第１端子２０１と第２端子２０２との間に接続される寄生キャパシタ２９を有する。言い換えれば、インダクタ２０は、第１巻線２１と第２巻線２２の直列回路に対して並列に接続される寄生キャパシタ２９を有する。

[0032] さらに、インダクタ２０は、磁性コアによる抵抗成分Ｒｃｍを第１端子２０１と第２端子２０２との間に有する。

[0033] （インダクタ２０の具体的構造）

図３（Ａ）は、本発明の第１の実施形態に係るインダクタの平面図であり、図３（Ｂ）は、このインダクタの側面図である。図４（Ａ）は、本発明の第１の実施形態に係るインダクタの巻線導体の構成を示す平面透視図であり、図４（Ｂ）は、このインダクタの巻線導体の構成を示す側面透視図であり、図４（Ｃ）、図４（Ｄ）は、各巻線導体を視た平面透視図である。

[0034] 図３（Ａ）、図３（Ｂ）、図４（Ａ）、図４（Ｂ）に示すように、構造的に、インダクタ２０は、第１巻線２１、第２巻線２２、磁性コア２００、第１端子２０１、および、第２端子２０２を備える。

[0035] 磁性コア２００は、略直方体形状であり、天面ＦＵ２００、底面ＦＢ２００、側面ＦＳ２０１、側面ＦＳ２０２、および、その他の二側面を備える。側面ＦＳ２０１と側面ＦＳ２０２とは対向する。その他の二側面は、対向し、側面ＦＳ２０１と側面ＦＳ２０２とに直交し、連接する。

[0036] 第１巻線２１は、平面視して巻回形であり、所定の高さを有する。第１巻線２１の高さは、第１巻線２１を構成する平板導体の厚みよりも大きい。第１巻線２１は、巻回形の内端部Ｅｉ２１と外端部Ｅｏ２１を備える。

[0037] 第２巻線２２は、第１巻線２１と同様の構成を備える。第２巻線２２は、巻回形の内端部Ｅｉ２２と外端部Ｅｏ２２を備える。

[0038] 第１巻線２１と第２巻線２２とは、平面視して巻回形となるように磁性コア２００に内蔵されている。すなわち、磁性コア２００は、第１巻線２１および第２巻線２２の周りを覆うとともに、第１巻線２１および第２巻線２２の巻回形の中央開口の内部にも充填されている。

[0039] 第１巻線２１および第２巻線２２は、磁性コア２００の高さ方向に積層されている。第１巻線２１は、第２巻線２２よりも底面ＦＢ２００側に配置される。言い換えれば、磁性コア２００の底面ＦＢ２００から天面ＦＵ２００に向かって、第１巻線２１、第２巻線２２の順に配置されている。この構成によって、第１巻線２１と第２巻線２２とは、容量結合し、寄生キャパシタ２９が形成される。

[0040] 第１巻線２１の内端部Ｅｉ２１と第２巻線２２の内端部Ｅｉ２２とは、接続導体２８によって接続されている。

[0041] 第１巻線２１の外端部Ｅｏ２１は、磁性コア２００の側面ＦＳ２０１に露出する。第２巻線２２の外端部Ｅｏ２２は、磁性コア２００の側面ＦＳ２０２に露出する。

[0042] 磁性コア２００の側面ＦＳ２０１から底面ＦＢ２００にかけては、導電体の第１端子２０１が形成されている。これにより、第１巻線２１の外端部Ｅｏ２１は、第１端子２０１に電気接続されている。

[0043] 磁性コア２００の側面ＦＳ２０２から底面ＦＢ２００にかけては、導電体の第２端子２０２が形成されている。これにより、第２巻線２２の外端部Ｅｏ２２は、第２端子２０２に電気接続されている。

[0044] このような構成によって、インダクタ２０は、図２に示す等価回路の構成を実現する。

[0045] （インダクタ２０に対する配線の構成）

インダクタ２０に対する配線の回路構成としては、図１に示す構成となる。

[0046] インダクタ２０は、配線パターン４１を通じてスイッチングＩＣ１１に接続され、配線パターン４２によって出力キャパシタ３２の一方端子に接続されている。より具体的には、インダクタ２０の第１端子２０１は、配線パターン４１を通じて、スイッチング素子Ｑ１とスイッチング素子Ｑ２のノードＮＤ０に接続されている。また、インダクタ２０の第２端子２０２は、配線パターン４２を通じて、出力キャパシタ３２のＨｉ側のノードＮＤ２Ｈに接

続されている。

[0047] （インダクタ２０に対する配線の物理的構成）

図５（Ａ）は、本発明の第１の実施形態に係るスイッチング電源装置におけるインダクタの実装部分を含む構成を示す平面図であり、図５（Ｂ）は、その側面断面図である。図５（Ａ）では、インダクタ２０の内部の配線が分かるように、インダクタ２０の内部の第１巻線２１と第２巻線２２とを図示している。

[0048] 回路基板６０は、絶縁性基材と、絶縁性基材に形成された各種の導体パターンとを備える。回路基板６０は、表面６１を備える。スイッチングＩＣ１１、インダクタ２０、入力キャパシタ３１、および、出力キャパシタ３２は、回路基板６０の表面６１に実装される。また、各種の導体パターンは、配線パターン４１、配線パターン４２、基準電位側配線パターン５０を含み、スイッチングＩＣ１１、インダクタ２０、入力キャパシタ３１、および、出力キャパシタ３２とともに、図１に示すスイッチング電源装置１０の回路構成を実現するように、回路基板６０に形成されている。

[0049] インダクタ２０の実装部分の具体的な構造は、以下の通りである。

[0050] 図５（Ａ）、図５（Ｂ）に示すように、回路基板６０の表面６１には、それぞれが導体パターンからなる配線パターン４１、および、配線パターン４２が形成されている。

[0051] 配線パターン４１の一方端には、スイッチングＩＣ１１のスイッチング素子Ｑ１のソース端子が実装されるランド、および、スイッチングＩＣ１１のスイッチング素子Ｑ２のドレイン端子が実装されるランドが接続されている。スイッチング素子Ｑ１のソース端子およびスイッチング素子Ｑ２のドレイン端子は、それぞれバンプＢＰ１１１、ＢＰ１１２によってランドに実装される。したがって、配線パターン４１の一方端が、ノードＮＤ０に対応する。本実施形態では、配線パターン４１は、スイッチング素子Ｑ１、Ｑ２が実装されるランドの部分を含まない。

[0052] 配線パターン４１の他方端には、インダクタ用第１ランドが接続されてい

る。インダクタ２０の第１端子２０１は、インダクタ用第１ランドにはんだ等によって実装されている。これにより、インダクタ２０の第１端子２０１は、配線パターン４１に電気的物理的に接続されている。本実施形態では、配線パターン４１は、インダクタ２０の第１端子２０１が実装されるランドの部分を含まない。

[0053] 配線パターン４２の一方端は、配線パターン４１の他方端に対して、インダクタ２０の平面形状に応じた距離で離間して配置されている。配線パターン４２の一方端には、インダクタ用第２ランドが接続されている。インダクタ２０の第２端子２０２は、インダクタ用第２ランドにはんだ等によって実装されている。これにより、インダクタ２０の第２端子２０２は、配線パターン４２に電気的物理的に接続されている。本実施形態では、配線パターン４２は、インダクタ２０の第２端子２０２が実装されるランドの部分を含まない。

[0054] なお、図示をしていないが、配線パターン４２の所定位置には、出力キャパシタ３２の一方端子（Ｈｉ側端子）および負荷８２の一方端子が電気的物理的に接続されている。

[0055] このように、第１巻線２１は、第２巻線２２よりも回路基板６０に近い側に配置されている。言い換えれば、第２巻線２２は、回路基板６０の表面６１に直交する方向において、回路基板６０の表面６１を基準として第１巻線２１よりも外方に配置される。さらに言い換えれば、第１巻線２１は、第２巻線２２と回路基板６０の表面６１との間に配置されている。

[0056] 配線パターン４１の一方端は、スイッチング素子Ｑ１とスイッチング素子Ｑ２のノードＮＤ０に対応する。このため、配線パターン４１には、スイッチング素子Ｑ１、Ｑ２のスイッチング動作によるノイズが流れる。すなわち、配線パターン４１は、スイッチングノードパターンといえる。

[0057] 配線パターン４１の他方端は、第１巻線２１に接続している。したがって、第１巻線２１には、スイッチングノイズが流入する。

[0058] 一方、第２巻線２２の一方端は、スイッチング素子Ｑ１とスイッチング素

子Ｑ２のノードＮＤ０に直接接続されておらず、第１巻線２１を通じてノードＮＤ０に接続されている。さらに、第２巻線２２の他方端は、配線パターン４２に接続されている。配線パターン４２は、出力キャパシタ３２に接続されており、電位が安定している。すなわち、配線パターン４２は、安定電位パターンといえる。

[0059] そして、上述のように、回路基板６０の表面６１を基準として、スイッチングノードパターンに接続される第１巻線２１の外方には、安定電位パターンに接続される第２巻線２２が配置されている。このため、第１巻線２１からスイッチングノイズが輻射されても、このスイッチングノイズがスイッチング電源装置１０の外部へ輻射することは、第２巻線２２によって抑制される。

[0060] また、図５（Ａ）に示すように、配線パターン４１の面積は、配線パターン４２の面積よりも小さい。すなわち、スイッチングノードパターンの面積は、安定電位パターンの面積よりも小さい。したがって、スイッチングノイズの輻射源である配線パターン４１からスイッチングノイズがスイッチング電源装置１０の外部へ輻射することは、抑制される。

[0061] さらに、図５（Ａ）に示すように、配線パターン４１は、小面積化にあたって、幅をできる限り狭くすることなく、長さを短くすることによって対応している。これにより、配線パターン４１の抵抗成分は低下する。これにより、スイッチング電源装置１０は、電流による損失を抑制でき、高効率な電力変換を実現できる。特に、スイッチング電源装置１０は、大電流を必要とする場合、より効率的な電力変換を実現できる。

[0062] また、図５（Ａ）に示すように、配線パターン４１の面積は、インダクタ２０を回路基板６０の表面６１に投影した面積（インダクタ２０の投影面積）よりも小さい。これにより、スイッチング電源装置１０は、スイッチングノイズが外部へ輻射することを抑制できる。

[0063] なお、この際、配線パターン４２の面積は、インダクタ２０の投影面積と略同じ、または、インダクタ２０の投影面積よりも大きい。これにより、ス

イッチング電源装置１０を平面視した全体面積に対して、相対的に安定した電位の面が大きくなる。したがって、スイッチング電源装置１０の外部へのＥＭＩノイズ（スイッチングノイズおよびコモンモードノイズ）の影響を抑制できる。

[0064] さらに、スイッチング電源装置１０では、上述の構成を備えることで、外部に輻射（漏洩）しないスイッチングノイズは、次のように閉じ込められる。

[0065] 図６は、本発明の第１の実施形態に係るスイッチング電源装置におけるＥＭＩノイズの流れを概略的に示す図である。

[0066] 上述のように、インダクタ２０は、寄生キャパシタ２９を備え、寄生キャパシタ２９は、第１端子２０１と第２端子２０２との間に接続されている。したがって、図６の太線矢印に示すように、スイッチングＩＣ１１のノードＮＤ０からのスイッチングノイズ（ノーマルモードノイズ）は、配線パターン４１、インダクタ２０の寄生キャパシタ２９、配線パターン４２、出力キャパシタ３２、基準電位側配線パターン５０、入力キャパシタ３１、および、入力側Ｈｉ電位パターン４３を通じて、スイッチングＩＣ１１に戻る。なお、入力側Ｈｉ電位パターン４３とは、入力キャパシタ３１のＨｉ側端子とスイッチングＩＣ１１のＨｉ側入力端子（スイッチング素子Ｑ１のドレイン端子に接続される端子）とを接続する配線パターンである。入力側Ｈｉ電位パターン４３は、「入力配線パターン」に対応する。

[0067] すなわち、スイッチング電源装置１０は、スイッチングＩＣ１１、配線パターン４１、インダクタ２０の寄生キャパシタ２９、配線パターン４２、出力キャパシタ３２、基準電位側配線パターン５０、入力キャパシタ３１、および、入力側Ｈｉ電位パターンによる電気閉回路を備える。

[0068] スイッチングＩＣ１１から発生したスイッチングノイズは、この電気閉回路によって閉じ込められ、シャーシＣＨＳに生じるコモンモードノイズは抑制される。また、第１巻線２１から輻射したスイッチングノイズは、第２巻線２２によって、この電気閉回路に導かれる。そして、連続的に発生するス

イッチングノイズの位相は一定ではないので、電気閉回路に閉じ込められることで、互いに相殺される。すなわち、この電気閉回路は、スイッチングノイズを平衡化してコモンモードノイズの発生を抑制するノイズ平衡化回路として機能する。言い換えれば、スイッチング電源装置１０は、ノイズ平衡化回路を備える。

[0069] このように、上述の構成を備えることによって、スイッチング電源装置１０は、スイッチングノイズの外部への輻射とシャーシＣＨＳへの伝導を抑制することでコモンモードノイズの発生を抑制するとともに、ノイズ平衡化回路によってスイッチングノイズのレベルを抑制できる。すなわち、スイッチング電源装置１０は、スイッチングノイズの輻射およびコモンモードノイズの発生をより効果的に抑制できる。この際、スイッチング電源装置１０は、スイッチングノイズの輻射の抑制用およびコモンモードノイズの発生の抑制用の部材（シールド部材）を別部品として必要としないので、簡素な構成および小型化を実現できる。

[0070] そして、スイッチング電源装置１０がスイッチングノイズの輻射を抑制することで、スイッチングノイズのシャーシＣＨＳへの重畳は、抑制され、スイッチングノイズに起因するコモンモードノイズの発生は、抑制される。これにより、スイッチング電源装置１０は、シャーシＣＨＳを備える車両の各種の電子機器へのスイッチングノイズによる悪影響を抑制できる。

[0071] なお、本実施形態に係るスイッチング電源装置１０の構成を備えない比較構成のスイッチング電源装置１０Ｐでは、シャーシＣＨＳにコモンモードノイズが流れてしまう。

[0072] 図７は、比較構成のスイッチング電源装置におけるＥＭＩノイズの流れを概略的に示す図である。配線パターン４１を本願のスイッチング電源装置１０のように構成しないと、図７に示すように、スイッチングＩＣ１１のノードＮＤ０に接続するスイッチングノードパターンとシャーシＣＨＳとが電気的に結合し、寄生容量Ｃｐｓを形成する。コモンモードノイズは、寄生容量Ｃｐｓを通じてシャーシＣＨＳに流れる。

[0073] このように、比較構成のスイッチング電源装置１０Ｐでは、シャーシＣＨＳにコモンモードノイズが漏洩してしまう。しかしながら、上述の構成を備えることで、本実施形態のスイッチング電源装置１０は、シャーシＣＨＳにスイッチングノイズが結合することによるコモンモードノイズの発生（伝導）を抑制できる。

[0074] また、比較構成のスイッチング電源装置１０Ｐでは、本実施形態のインダクタ２０の構成を採用してないインダクタ２０Ｐを備える。インダクタ２０Ｐは、例えば、磁性コアに単純な巻線導体を内蔵した構成である。このような構成では、インダクタ２０Ｐからもスイッチングノイズが輻射してしまい、コモンモードノイズがシャーシＣＨＳに伝導し、外部に悪影響を与えてしまう。しかしながら、上述のように、インダクタ２０の構成を備えることで、スイッチング電源装置１０は、スイッチングノイズのインダクタからの輻射を抑制でき、コモンモードノイズがシャーシＣＨＳに伝導することを抑制できる。

[0075] 図８（Ａ）は本願構成および比較構成の伝導ノイズのレベルを示すグラフであり、図８（Ｂ）は本願構成および比較構成の放射ノイズのレベルを示すグラフである。なお、図８（Ａ）は、一部の周波数帯域を示しているが、より広い周波数帯域においても同様のノイズが分布している。図８（Ａ）、図８（Ｂ）において、実線が本願発明のノイズレベルを示し、破線が比較構成のノイズレベルを示す。また、本願発明のノイズレベルと比較構成のノイズレベルとが重なる箇所は、本願発明のノイズレベルが比較構成のノイズレベルを上書きするように図示している。

[0076] 図８（Ａ）に示すように、スイッチング電源装置１０の構成を備えることで、各周波数帯の伝導ノイズレベルを小さく抑制できる。図８（Ｂ）に示すように、スイッチング電源装置１０の構成を備えることで、各周波数帯の放射ノイズレベルを小さく抑制でき、例えば、比較構成において１０［ｄＢｕＶ／ｍ］よりも大きい１０ＭＨｚ帯の放射ノイズレベルを、１０［ｄＢｕＶ／ｍ］よりも小さく抑制できる。

[0077] ［第２の実施形態］

本発明の第２の実施形態に係るスイッチング電源装置について、図を参照して説明する。図９は、本発明の第２の実施形態に係るスイッチング電源装置におけるインダクタの実装部分を含む構成の側面断面図である。

[0078] 第２の実施形態に係るスイッチング電源装置１０Ａは、第１の実施形態に係るスイッチング電源装置１０に対して、基準電位側配線パターン５０の配線パターンにおいて異なる。スイッチング電源装置１０Ａの他の構成は、スイッチング電源装置１０と同様であり、同様の箇所の説明は省略する。

[0079] スイッチング電源装置１０Ａは、回路基板６０Ａによって形成される。回路基板６０Ａは、導体パターンからなる基準電位側配線パターン５０を備える。

[0080] 基準電位側配線パターン５０は、回路基板６０Ａの内部に形成されている。基準電位側配線パターン５０は、平面視して（表面６１に直交する方向に視て）、インダクタ２０および配線パターン４１に重なっている。

[0081] このような構成によって、インダクタ２０および配線パターン４１と、基準電位側配線パターン５０との間に、寄生キャパシタが構成される。この寄生キャパシタは、電力変換用の主たる電流が流れるものではなく、それよりも周波数が高いスイッチングノイズが流れる程度のものである。これにより、スイッチングノイズは、ノイズ平衡化回路にさらに効果的に閉じ込められ、コモンモードノイズの発生は、さらに効果的に抑制される。

[0082] したがって、スイッチング電源装置１０Ａは、スイッチングノイズの外部への輻射およびコモンモードノイズの発生および伝導を、より効果的に抑制できる。

[0083] なお、基準電位側配線パターン５０は、インダクタ２０と配線パターン４１の少なくとも一方の一部に重なっていればよいが、インダクタ２０と配線パターン４１との両方に重なっていることが好ましい。

[0084] ［第３の実施形態］

本発明の第３の実施形態に係るスイッチング電源装置について、図を参照

して説明する。図１０は、本発明の第３の実施形態に係るスイッチング電源装置におけるインダクタの実装部分を含む構成の側面断面図である。図１１は、本発明の第３の実施形態に係るスイッチング電源装置の等価回路図である。

[0085] 第３の実施形態に係るスイッチング電源装置１０Ｂは、第１の実施形態に係るスイッチング電源装置１０に対して、入力側Ｈｉ電位パターン４３の配線パターンにおいて異なる。スイッチング電源装置１０Ｂの他の構成は、スイッチング電源装置１０と同様であり、同様の箇所の説明は省略する。

[0086] 図１１に示すように、入力側Ｈｉ電位パターン４３は、入力キャパシタ３１のＨｉ電位側のノードＮＤ１Ｈとスイッチング ＩＣ１１とを接続する配線パターンである。

[0087] スイッチング電源装置１０Ｂは、回路基板６０Ｂによって形成される。回路基板６０Ｂは、導体パターンからなる入力側Ｈｉ電位パターン４３を備える。

[0088] 入力側Ｈｉ電位パターン４３は、回路基板６０Ｂの内部に形成されている。入力側Ｈｉ電位パターン４３は、平面視して、インダクタ２０および配線パターン４１に重なっている。

[0089] このような構成によって、インダクタ２０および配線パターン４１と、入力側Ｈｉ電位パターン４３との間に、寄生キャパシタが構成される。この寄生キャパシタは、電力変換用の主たる電流が流れるものではなく、それよりも周波数が高いスイッチングノイズが流れる程度のものである。これにより、スイッチングノイズは、ノイズ平衡化回路にさらに効果的に閉じ込められ、コモンモードノイズの発生は、さらに効果的に抑制される。

[0090] したがって、スイッチング電源装置１０Ｂは、スイッチングノイズの外部への輻射およびコモンモードノイズの発生および伝導を、より効果的に抑制できる。

[0091] なお、入力側Ｈｉ電位パターン４３は、インダクタ２０と配線パターン４１の少なくとも一方の一部に重なっていればよいが、インダクタ２０と配線

パターン４１との両方に重なっていることが好ましい。

[0092] ［第４の実施形態］

本発明の第４の実施形態に係るスイッチング電源装置について、図を参照して説明する。図１２は、本発明の第４の実施形態に係るスイッチング電源装置におけるインダクタの実装部分を含む構成の側面断面図である。

[0093] 第４の実施形態に係るスイッチング電源装置１０Ｃは、第１の実施形態に係るスイッチング電源装置１０に対して、配線パターン４２Ｃにおいて異なる。スイッチング電源装置１０Ｃの他の構成は、スイッチング電源装置１０と同様であり、同様の箇所の説明は省略する。

[0094] スイッチング電源装置１０Ｃは、回路基板６０Ｃによって形成される。回路基板６０Ｃは、導体パターンからなる配線パターン４２Ｃを備える。

[0095] 配線パターン４２Ｃは、配線パターン４２０、配線パターン４２１、接続導体ＶＩＡ４２を備える。配線パターン４２０は、回路基板６０Ｃの表面６１に形成されている。配線パターン４２０は、インダクタ２０用のランドを備える。配線パターン４２１は、回路基板６０Ｃの内部に形成されている。配線パターン４２１は、接続導体ＶＩＡ４２を通じて配線パターン４２０に接続されている。配線パターン４２１は、平面視して、インダクタ２０および配線パターン４１に重なっている。

[0096] このような構成によって、インダクタ２０および配線パターン４１と、配線パターン４２１との間に、寄生キャパシタが構成される。この寄生キャパシタは、電力変換用の主たる電流が流れるものではなく、それよりも周波数が高いスイッチングノイズが流れる程度のものである。これにより、スイッチングノイズは、ノイズ平衡化回路にさらに効果的に閉じ込められ、コモンモードノイズの発生は、さらに効果的に抑制される。

[0097] したがって、スイッチング電源装置１０Ｃは、スイッチングノイズの外部への輻射およびコモンモードノイズの発生および伝導を、より効果的に抑制できる。

[0098] なお、配線パターン４２１は、インダクタ２０と配線パターン４１の少な

くとも一方の一部に重なっていればよいが、インダクタ２０と配線パターン４１との両方に重なっていることが好ましい。

[0099] ［第５の実施形態］

本発明の第５の実施形態に係るスイッチング電源装置について、図を参照して説明する。図１３は、本発明の第５の実施形態に係るインダクタの巻線導体の構成を示す側面透視図である。

[0100] 第５の実施形態に係るスイッチング電源装置は、第１の実施形態に係るスイッチング電源装置１０に対して、インダクタ２０Ｄにおいて異なる。第５の実施形態に係るスイッチング電源装置の他の構成は、スイッチング電源装置１０と同様であり、同様の箇所の説明は省略する。

[0101] 図１３に示すように、インダクタ２０Ｄは、第１端子２０１Ｄおよび第２端子２０２Ｄを備える。第１端子２０１Ｄは、磁性コア２００の側面ＦＳ２０１および底面ＦＢ２００に亘って形成されている。第２端子２０２Ｄは、磁性コア２００の側面ＦＳ２０２および底面ＦＢ２００に亘って形成されている。

[0102] 第１端子２０１Ｄの高さＨ２０１Ｄは、第２端子２０２Ｄの高さＨ２０２Ｄよりも低い。第１端子２０１Ｄは、側面ＦＳ２０１に全幅に亘って形成されている。第２端子２０２Ｄは、側面ＦＳ２０２に全幅に亘って形成されている。これにより、第１端子２０１Ｄが側面ＦＳ２０１に形成される面積は、第２端子２０２Ｄが側面ＦＳ２０２に形成される面積よりも小さい。したがって、スイッチングノイズの輻射面積は小さく抑制され、第１端子２０１Ｄからのスイッチングノイズの輻射は、抑制される。

[0103] ［第６の実施形態］

本発明の第６の実施形態に係るスイッチング電源装置について、図を参照して説明する。図１４（Ａ）、図１４（Ｂ）は、本発明の第６の実施形態に係るインダクタの各巻線導体を視た平面透視図である。

[0104] 第６の実施形態に係るスイッチング電源装置は、第１の実施形態に係るスイッチング電源装置１０に対して、インダクタ２０Ｅにおいて異なる。第６

の実施形態に係るスイッチング電源装置の他の構成は、スイッチング電源装置１０と同様であり、同様の箇所の説明は省略する。

[0105] 図１４（Ａ）、図１４（Ｂ）に示すように、インダクタ２０Ｅは、第１巻線２１Ｅ、および、第２巻線２２Ｅを備える。第２巻線２２Ｅの巻回数は、第１巻線２１Ｅの巻回数よりも多く、平面視において、第２巻線２２Ｅの外形形状の面積Ｓ２２Ｅは、第１巻線２１Ｅの外形形状の面積Ｓ２１Ｅよりも大きい。

[0106] さらに、平面視において、第２巻線２２Ｅの巻回形部分は、第１巻線２１Ｅの巻回形部分に重なっている。

[0107] このような構成によって、第２巻線２２Ｅは、第１巻線２１Ｅからのスイッチングノイズの外部への輻射を、より効果的に抑制できる。

[0108] ［第７の実施形態］

本発明の第７の実施形態に係るスイッチング電源装置について、図を参照して説明する。図１５は、本発明の第７の実施形態に係るインダクタの巻線導体の構成を示す側面透視図である。

[0109] 第７の実施形態に係るスイッチング電源装置は、第１の実施形態に係るスイッチング電源装置１０に対して、インダクタ２０Ｆにおいて異なる。第７の実施形態に係るスイッチング電源装置の他の構成は、スイッチング電源装置１０と同様であり、同様の箇所の説明は省略する。

[0110] 図１５に示すように、インダクタ２０Ｆは、第１巻線２１Ｆ、第２巻線２２Ｆ、および、第３巻線２３Ｆを備える。第１巻線２１Ｆ、第２巻線２２Ｆ、および、第３巻線２３Ｆは、上述の第１巻線２１、第２巻線２２と同様に巻線導体である。

[0111] 第１巻線２１Ｆ、第２巻線２２Ｆ、および、第３巻線２３Ｆは、磁性コア２００の底面ＦＢ２００から天面ＦＵ２００に向かって、第１巻線２１Ｆ、第３巻線２３Ｆ、第２巻線２２Ｆの順で配置されている。言い換えれば、第３巻線２３Ｆは、第１巻線２１Ｆと第２巻線２２Ｆとの間に配置されている。

[0112] 第１巻線２１Ｆの内端部Ｅｉ２１は、接続導体２８１を通じて、磁性コア２００の側面と底面に亘って形成された第１端子２０１Ｆにおける磁性コア２００の底面に形成されている部分（底面部）に接続されている。より具体的には、第１巻線２１Ｆの内端は、第１端子２０１Ｆの底面部における第１巻線２１Ｆを平面視した中央に近い位置に接続されている。なお、第１端子２０１Ｆは磁性コア２００の底面のみに形成されてもよい。

[0113] 第１巻線２１Ｆの外端部Ｅｏ２１は、接続導体２８２を通じて、第３巻線２３Ｆの外端部Ｅｏ２３に接続されている。第３巻線２３Ｆの内端部Ｅｉ２３は、接続導体２８３を通じて、第２巻線２２Ｆの内端部Ｅｉ２２に接続されている。第２巻線２２Ｆの外端部Ｅｏ２２は、第２端子２０２Ｆに接続されている。

[0114] このように、スイッチング電源装置に利用するインダクタは、三層以上の巻線導体によって構成されていてもよい。

[0115] この際、インダクタ２０Ｆのように、スイッチングノードパターンおよび第１端子２０１Ｆに電気回路的に最も近い第１巻線２１Ｆは、内端部Ｅｉ２１を通じて第１端子２０１Ｆおよびスイッチングノードパターンに接続されている。これにより、ノイズレベルの大きな箇所は、インダクタ２０Ｆを平面視した中央部分となる。したがって、インダクタ２０Ｆから外部へのノイズの輻射は、より効果的に抑制される。

[0116] ［第８の実施形態］

本発明の第８の実施形態に係るスイッチング電源装置について、図を参照して説明する。図１６（Ａ）は、本発明の第８の実施形態に係るインダクタの構成を示す側面図であり、図１６（Ｂ）は、このインダクタにおける磁性コアに対する導体パターンの巻き付け状態を概念的に示した図である。

[0117] 第８の実施形態に係るスイッチング電源装置は、第１の実施形態に係るスイッチング電源装置１０に対して、インダクタ２０Ｇにおいて異なる。第８の実施形態に係るスイッチング電源装置の他の構成は、スイッチング電源装置１０と同様であり、同様の箇所の説明は省略する。

[0118] インダクタ２０Ｇは、磁性コア２００Ｇ、第４巻線２１Ｇ、第５巻線２２Ｇ、第１端子２０１Ｇ、および、第２端子２０２Ｇを備える。

[0119] 磁性コア２００Ｇは、底板２００１、天板２００２、および、支柱２００３を備える。支柱２００３は、底板２００１と天板２００２との間に配置され、底板２００１と天板２００２とに接続されている。

[0120] 第４巻線２１Ｇは、支柱２００３に巻き付けられた巻線導体である。第４巻線２１Ｇの一方端は、底板２００１に形成された第１端子２０１Ｇに接続されている。

[0121] 第５巻線２２Ｇは、第４巻線２１Ｇを間に挟んで支柱２００３に巻き付けられた巻線導体である。すなわち、第５巻線２２Ｇは、支柱２００３を基準として第４巻線２１Ｇの外側に配置されている。第５巻線２２Ｇの一方端は、第４巻線２１Ｇの他方端に接続されている。第５巻線２２Ｇの他方端は、底板２００１に形成された第２端子２０２Ｇに接続されている。

[0122] 第１端子２０１Ｇは、スイッチングノードパターンである配線パターン４１に接続されている。第２端子２０２Ｇは、安定電位パターンである配線パターン４２に接続されている。

[0123] このような構成のインダクタ２０Ｇを用いても、上述のインダクタ２０を用いたスイッチング電源装置１０と同様の作用効果を奏することができる。

[0124] ［第９の実施形態］

本発明の第９の実施形態に係るスイッチング電源装置について、図を参照して説明する。図１７は、本発明の第９の実施形態に係るインダクタの構成を示す側面図である。

[0125] 第９の実施形態に係るスイッチング電源装置は、第１の実施形態に係るスイッチング電源装置１０に対して、インダクタ２０Ｈにおいて異なる。第９の実施形態に係るスイッチング電源装置の他の構成は、スイッチング電源装置１０と同様であり、同様の箇所の説明は省略する。

[0126] インダクタ２０Ｈは、磁性コア２００Ｈ、第６巻線２３Ｈ、第１端子２０１Ｈ、および、第２端子２０２Ｈを備える。

[0127] 磁性コア２００Ｈは、底板２００１、天板２００２、および、支柱２００３を備える。支柱２００３は、底板２００１と天板２００２との間に配置され、底板２００１と天板２００２とに接続されている。

[0128] 第１端子２０１Ｈは、底板２００１の底面から一方側面に亘って形成されている。第２端子２０２Ｈは、底板２００１の側面から他方側面に亘って形成されている。第２端子２０２Ｈは、天板２００２まで届く高さで形成されている。

[0129] 第６巻線２３Ｈは、支柱２００３に巻き付けられた巻線導体である。第６巻線２３Ｈは、一方端部Ｅ２３１と他方端部Ｅ２３２とを備える。一方端部Ｅ２３１は、底板２００１に隣接し、他方端部Ｅ２３２は、天板２００２に隣接する。

[0130] 一方端部Ｅ２３１は、第１端子２０１Ｈに接続されている。他方端部Ｅ３２３は、第２端子２０２Ｈに接続されている。

[0131] このような構成によって、第６巻線２３Ｈにおける高さ方向の下側になる一方端部Ｅ２３１が配線パターン４１（スイッチングノードパターン）に接続される。第６巻線２３Ｈにおける高さ方向の上側になる他方端部Ｅ２３２が配線パターン４２（安定電位パターン）に接続される。言い換えれば、第６巻線２３Ｈの一方端部Ｅ２３１は、他方端部Ｅ２３２よりも回路基板６０から近い位置に配置されている。

[0132] このような構成のインダクタ２０Ｈを用いても、上述のインダクタ２０を用いたスイッチング電源装置１０と同様の作用効果を奏することができる。

[0133] ［第１０の実施形態］

本発明の第１０の実施形態に係るスイッチング電源装置について、図を参照して説明する。図１８は、本発明の第１０の実施形態に係るスイッチング電源装置の概略構成を示す回路図である。

[0134] 第１の実施形態に係るスイッチング電源装置１０が降圧型ＤＣＤＣコンバータであったのに対して、第１０の実施形態に係るスイッチング電源装置１０Ｈは、昇圧型ＤＣＤＣコンバータである。スイッチング電源装置１０Ｈに

おけるインダクタ２０の構成、配線パターン４１、および、配線パターン４２の形状は、スイッチング電源装置１０と同様である。

[0135] 図１８に示すように、スイッチング電源装置１０Ｈは、スイッチングＩＣ１１Ｈ、インダクタ２０、入力キャパシタ３１、および、出力キャパシタ３２を備える。スイッチングＩＣ１１Ｈは、スイッチング制御回路（図示を省略）、スイッチング素子Ｄ１、および、スイッチング素子Ｑ２を備える。スイッチング素子Ｄ１が「第１スイッチング素子」に対応し、スイッチング素子Ｑ２が「第２スイッチング素子」に対応する。スイッチング素子Ｄ１およびスイッチング素子Ｑ２は、電力用半導体素子である。

[0136] スイッチング電源装置１０Ｈは、直流電源８１に電気接続されており、負荷８２に電気接続されている。

[0137] より具体的には、入力キャパシタ３１は、直流電源８１に並列に電気接続されている。直流電源８１の正極と入力キャパシタ３１との接続点がノードＮＤ１Ｈであり、直流電源８１の負極と入力キャパシタ３１との接続点がノードＮＤＩＬである。

[0138] スイッチング素子Ｄ１とスイッチング素子Ｑ２とは、直列に電気接続される。より具体的には、スイッチング素子Ｄ１のアノードとスイッチング素子Ｑ２のドレインとは、電気接続されている。スイッチング素子Ｄ１とスイッチング素子Ｑ２との接続点がノードＮＤ０である。

[0139] ノードＮＤ１Ｌには、配線パターン４２が接続されている。配線パターン４２には、インダクタ２０の第２端子２０２が接続されている。インダクタ２０の第１端子２０１には、配線パターン４１が接続されており、配線パターン４１は、ノードＮＤ０に接続されている。

[0140] スイッチング素子Ｄ１のカソードには、出力キャパシタ３２の一方端子（Ｈｉ側端子）が接続されている。スイッチング素子Ｄ１のカソードと出力キャパシタ３２の一方端子との接続点が、ノードＮＤ２Ｈである。

[0141] 出力キャパシタ３２の他方端子（Ｌｏｗ側端子）は、基準電位側配線パターン５０に接続されている。出力キャパシタ３２の他方端子と基準電位側配

線パターン５０との接続点が、ノードＮＤ２Ｌである。

[0142] 基準電位側配線パターン５０は、ノードＮＤ１Ｌ（直流電源８１の負極と入力キャパシタ３１との接続点）に接続されている。

[0143] このような構成によって、スイッチング電源装置１０Ｈは、配線パターン４１、インダクタ２０、配線パターン４２、入力キャパシタ３１、基準電位側配線パターン５０、および、出力キャパシタ３２を含んで構成されるノイズ平衡化回路を実現できる。これにより、スイッチング電源装置１０Ｈは、スイッチング電源装置１０と同様に、スイッチングノイズの外部への輻射およびコモンモードノイズの発生および伝導を抑制するとともに、ノイズ平衡化回路によってレベルを抑制できる。したがって、スイッチング電源装置１０Ｈは、スイッチングノイズの輻射およびコモンモードノイズの発生および伝導をより効果的に抑制できる。

[0144] なお、上述の各実施形態のスイッチング電源装置１０において、コモンモードノイズの抑制効果は、例えば、次のように確認できる。

[0145] 第１例としては、直流電源８１の正極側および負極側の配線パターンにデルタ型ＬＩＳＮを接続し、デルタ型ＬＩＳＮにスペクトラムアナライザを接続する。スペクトラムアナライザによって、デルタ型ＬＩＳＮの出力電圧を計測することで、コモンモードノイズの抑制効果を確認できる。

[0146] 第２例としては、直流電源８１の正極側および負極側の配線パターンに電流センサ（電流プローブ）を設置し、電流センサにスペクトラムアナライザを接続する。スペクトラムアナライザによって、電流センサの出力電流を計測することで、コモンモードノイズの抑制効果を確認できる。

[0147] 第３例としては、直流電源８１の負極側の配線パターンにＬＩＳＮを接続し、このＬＩＳＮをシャーシＣＨＳに接続する。ＬＩＳＮとシャーシＣＨＳとの接続ラインに電流センサ（電流プローブ）を設置し、電流センサにスペクトラムアナライザを接続する。スペクトラムアナライザによって、電流センサの出力電流を計測することで、コモンモードノイズの抑制効果を確認できる。

[0148] なお、上述の各実施形態の構成は、適宜組み合わせることができ、それぞれの組み合わせに応じた作用効果を奏することができる。

[0149] ＜１＞ 入力キャパシタと、

前記入力キャパシタに対して電気接続された第１スイッチング素子および第２スイッチング素子と、

第１端子と第２端子とを有するインダクタと、

出力キャパシタと、

前記入力キャパシタ、前記第１スイッチング素子、前記第２スイッチング素子、前記インダクタ、および、前記出力キャパシタが実装された回路基板と、

を備え、

前記回路基板は、

前記第１スイッチング素子および前記第２スイッチング素子の接続ノードと前記第１端子とを電気接続する第１配線パターンと、

前記第２端子と前記出力キャパシタを電気接続する第２配線パターンと、

を有し、

前記インダクタは、

前記回路基板から近い位置に配置された第１巻線と、

前記第１巻線よりも前記回路基板から離れた位置に配置され、前記第１巻線に直列接続される第２巻線と、

前記第１巻線と前記第２巻線が内蔵される磁性コアと、

を備え、

前記第１巻線は前記第１端子に電気接続され、前記第２巻線は前記第２端子に電気接続された構成を有し、

前記第１配線パターンの面積は、物理的な大きさがインダクタの投影面積よりも小さく、

前記第２配線パターンの面積は、物理的な大きさが前記インダクタの投影

面積と略同じまたは大きく、

前記入力キャパシタ、前記第１配線パターン、前記第２配線パターン、および、前記出力キャパシタは、前記第１スイッチング素子および前記第２スイッチング素子のスイッチング動作に起因する電磁雑音の発生を相殺し、前記インダクタの前記第１巻線から輻射するコモンモードノイズの発生を抑制する電気閉回路からなるノイズ平衡化回路を構成する、スイッチング電源装置。

[0150] ＜２＞ 前記回路基板は、前記スイッチング電源装置の基準電位を形成する基準電位パターンを有し、

前記基準電位パターンは、前記回路基板を平面視して、前記インダクタの実装領域に重なる領域に形成されている、＜１＞のスイッチング電源装置。

[0151] ＜３＞ 前記回路基板は、前記入力キャパシタに電気接続する入力配線パターンを有し、

前記入力配線パターンは、前記回路基板を平面視して、前記インダクタの実装領域に重なる領域に形成されている、＜１＞または＜２＞のスイッチング電源装置。

[0152] ＜４＞ 前記第２配線パターンの一部は、前記回路基板を平面視して、前記インダクタの実装領域に重なる領域に形成されている、＜１＞乃至＜３＞のいずれかのスイッチング電源装置。

[0153] ＜５＞ 前記磁性コアは、底面、第１側面、および、第２側面を有し、

前記第１端子は、前記底面と前記第１側面とに亘って形成され、

前記第２端子は、前記底面と前記第２側面とに亘って形成され、

前記第１端子における前記第１側面に形成される面積は、前記第２端子における前記第２側面に形成される面積よりも小さい、＜１＞乃至＜４＞のいずれかのスイッチング電源装置。

[0154] ＜６＞ 前記インダクタを平面視して、前記第２巻線の外形形状は、前記第１巻線の外形形状よりも大きい、＜１＞乃至＜５＞のいずれかのスイッチング電源装置。

[0155] ＜７＞ 前記インダクタは、

前記第１巻線と前記第２巻線との間に電気接続された少なくとも１つの第３巻線を有し、

前記第１巻線の内端が前記第１端子に電気接続され、前記第２巻線の外端が前記第２端子に電気接続される、＜１＞乃至＜６＞のいずれかのスイッチング電源装置。

[0156] ＜８＞ 入力キャパシタと、

前記入力キャパシタに対して電気接続された第１スイッチング素子および第２スイッチング素子と、

第１端子と第２端子とを有するインダクタと、

出力キャパシタと、

前記入力キャパシタ、前記第１スイッチング素子、第２スイッチング素子、前記インダクタ、および、前記出力キャパシタが実装された回路基板と、を備え、

前記回路基板は、

前記第１スイッチング素子および前記第２スイッチング素子の接続ノードと前記第１端子とを電気接続する第１配線パターンと、

前記第２端子と前記出力キャパシタを電気接続する第２配線パターンと、

を有し、

前記インダクタは、

柱状の磁性コアと、

前記磁性コアに巻き付けられた第４巻線と、

前記磁性コアに対して前記第４巻線よりも外側に巻き付けられ、前記第４巻線に直列接続される第５巻線と、を備え、

前記第４巻線が前記第１端子に電気接続され、前記第５巻線が前記第２端子に電気接続された構成を有し、

前記第１配線パターンの面積は、前記第２配線パターンの面積よりも小さ

く、

前記インダクタと、前記第１配線パターンと、前記第２配線パターンとは、物理的な大きさが前記インダクタと略同じで、前記インダクタの前記第３巻線から輻射するコモンモードノイズの発生を抑制する電気閉回路からなるノイズ平衡化回路を構成する、スイッチング電源装置。

[0157] ＜９＞ 入力キャパシタと、

第１端子と第２端子とを有するインダクタと、

前記インダクタに対して電気接続された第１スイッチング素子および第２スイッチング素子と、

出力キャパシタと、

前記入力キャパシタ、前記第１スイッチング素子、前記第２スイッチング素子、前記インダクタ、および、前記出力キャパシタが実装された回路基板と、

を備え、

前記回路基板は、

前記第１スイッチング素子および前記第２スイッチング素子の接続ノードと前記第１端子とを電気接続する第１配線パターンと、

前記第２端子と前記入力キャパシタを電気接続する第２配線パターンと、

を有し、

前記インダクタは、

前記回路基板から近い位置に配置された第１巻線と、

前記第１巻線よりも前記回路基板から離れた位置に配置され、前記第１巻線に直列接続される第２巻線と、

前記第１巻線と前記第２巻線が内蔵される磁性コアと、

を備え、

前記第１巻線は前記第１端子に電気接続され、前記第２巻線は前記第２端子に電気接続された構成を有し、

前記第１配線パターンの面積は、物理的な大きさがインダクタの投影面積よりも小さく、

前記第２配線パターンの面積は、物理的な大きさが前記インダクタの投影面積と略同じまたは大きく、前記入力キャパシタと前記第２配線パターンと前記出力キャパシタは、前記第１スイッチング素子および前記第２スイッチング素子のスイッチング動作に起因する電磁雑音の発生を相殺し、前記インダクタの前記第１巻線から輻射するコモンモードノイズの発生を抑制する電気閉回路からなるノイズ平衡化回路を構成する、スイッチング電源装置。

[0158] ＜１０＞　入力キャパシタと、

前記入力キャパシタに対して電気接続された第１スイッチング素子および第２スイッチング素子と、

第１端子と第２端子とを有するインダクタと、

出力キャパシタと、

前記入力キャパシタ、前記第１スイッチング素子、前記第２スイッチング素子、前記インダクタ、および、前記出力キャパシタが実装された回路基板と、

を備え、

前記回路基板は、

前記第１スイッチング素子および前記第２スイッチング素子の接続ノードと前記第１端子とを電気接続する第１配線パターンと、

前記第２端子と前記出力キャパシタを電気接続する第２配線パターンと、

を有し、

前記インダクタは、

前記第１端子に電気接続される一方端部と、前記第２端子に電気接続される他方端部とを備えた第６巻線と、

前記第６巻線が巻き付けられる磁性コアと、

を備え、

前記第６巻線は、前記一方端部が前記他方端部よりも前記回路基板から近い位置に配置されており、

前記第１配線パターンの面積は、物理的な大きさがインダクタの投影面積よりも小さく、

前記第２配線パターンの面積は、物理的な大きさが前記インダクタの投影面積と略同じまたは大きく、

前記入力キャパシタ、前記第１配線パターン、前記第２配線パターン、および、前記出力キャパシタは、前記第１スイッチング素子および前記第２スイッチング素子のスイッチング動作に起因する電磁雑音の発生を相殺し、前記インダクタの前記第１巻線から輻射するコモンモードノイズの発生を抑制する電気閉回路からなるノイズ平衡化回路を構成する、スイッチング電源装置。

符号の説明

[0159] １０、１０Ａ、１０Ｂ、１０Ｃ、１０Ｈ、１０Ｐ：スイッチング電源装置

１１、１１Ｈ：スイッチングＩＣ

２０、２０Ｄ、２０Ｅ、２０Ｆ、２０Ｇ、２０Ｈ、２０Ｐ：インダクタ

２１、２１Ｅ、２１Ｆ：第１巻線

２２、２２Ｅ、２２Ｆ：第２巻線

２３Ｆ：第３巻線

２１Ｇ：第４巻線

２２Ｇ：第５巻線

２３Ｈ：第６巻線

２８：接続導体

２９：寄生キャパシタ

３１：入力キャパシタ

３２：出力キャパシタ

４１、４２、４２Ｃ：配線パターン

４３：入力側Ｈｉ電位パターン

５０：基準電位側配線パターン

６０、６０Ａ、６０Ｂ、６０Ｃ：回路基板

６１：表面

８１：直流電源

８２：負荷

１１１：スイッチング制御回路

２００、２００Ｇ、２００Ｈ：磁性コア

２０１、２０１Ｄ、２０１Ｆ、２０１Ｇ、２０１Ｈ：第１端子

２０２、２０２Ｄ、２０２Ｆ、２０２Ｇ、２０２Ｈ：第２端子

２８１、２８２、２８３：接続導体

４２０、４２１：配線パターン

２００１：底板

２００２：天板

２００３：支柱

ＣＨＳ：シャーシ

Ｃｐｓ：寄生容量

Ｄ１、Ｑ１、Ｑ２：スイッチング素子

Ｅｉ２１、Ｅｉ２２、Ｅｉ２３：内端部

Ｅｏ２１、Ｅｏ２２、Ｅｏ２３：外端部

ＦＢ２００：底面

ＦＳ２０１、ＦＳ２０２：側面

ＦＵ２００：天面

Ｈ２０１Ｄ、Ｈ２０２Ｄ：高さ

ＮＤ０、ＮＤ１Ｈ、ＮＤ１Ｌ、ＮＤ２Ｈ、ＮＤ２Ｌ、ＮＤＩＬ：ノード

ＶＩＡ４２：接続導体

請求の範囲

[請求項1] 入力キャパシタと、

前記入力キャパシタに対して電気接続された第１スイッチング素子および第２スイッチング素子と、

第１端子と第２端子とを有するインダクタと、

出力キャパシタと、

前記入力キャパシタ、前記第１スイッチング素子、前記第２スイッチング素子、前記インダクタ、および、前記出力キャパシタが実装された回路基板と、

を備え、

前記回路基板は、

前記第１スイッチング素子および前記第２スイッチング素子の接続ノードと前記第１端子とを電気接続する第１配線パターンと、

前記第２端子と前記出力キャパシタを電気接続する第２配線パターンと、

を有し、

前記インダクタは、

前記回路基板から近い位置に配置された第１巻線と、

前記第１巻線よりも前記回路基板から離れた位置に配置され、前記第１巻線に直列接続される第２巻線と、

前記第１巻線と前記第２巻線が内蔵される磁性コアと、

を備え、

前記第１巻線は前記第１端子に電気接続され、前記第２巻線は前記第２端子に電気接続された構成を有し、

前記第１配線パターンの面積は、物理的な大きさがインダクタの投影面積よりも小さく、

前記第２配線パターンの面積は、物理的な大きさが前記インダクタの投影面積と略同じまたは大きく、

前記入力キャパシタ、前記第１配線パターン、前記第２配線パターン、および、前記出力キャパシタは、前記第１スイッチング素子および前記第２スイッチング素子のスイッチング動作に起因する電磁雑音の発生を相殺し、前記インダクタの前記第１巻線から輻射するコモンモードノイズの発生を抑制する電気閉回路からなるノイズ平衡化回路を構成する、

スイッチング電源装置。

[請求項2] 前記回路基板は、前記スイッチング電源装置の基準電位を形成する基準電位パターンを有し、

前記基準電位パターンは、前記回路基板を平面視して、前記インダクタの実装領域に重なる領域に形成されている、

請求項１に記載のスイッチング電源装置。

[請求項3] 前記回路基板は、前記入力キャパシタに電気接続する入力配線パターンを有し、

前記入力配線パターンは、前記回路基板を平面視して、前記インダクタの実装領域に重なる領域に形成されている、

請求項１または請求項２に記載のスイッチング電源装置。

[請求項4] 前記第２配線パターンの一部は、前記回路基板を平面視して、前記インダクタの実装領域に重なる領域に形成されている、

請求項１乃至請求項３のいずれかに記載のスイッチング電源装置。

[請求項5] 前記磁性コアは、底面、第１側面、および、第２側面を有し、

前記第１端子は、前記底面と前記第１側面とに亘って形成され、

前記第２端子は、前記底面と前記第２側面とに亘って形成され、

前記第１端子における前記第１側面に形成される面積は、前記第２端子における前記第２側面に形成される面積よりも小さい、

請求項１乃至請求項４のいずれかに記載のスイッチング電源装置。

[請求項6] 前記インダクタを平面視して、前記第２巻線の外形形状は、前記第１巻線の外形形状よりも大きい、

請求項１乃至請求項５のいずれかに記載のスイッチング電源装置。

[請求項7] 前記インダクタは、

前記第１巻線と前記第２巻線との間に電気接続された少なくとも１つの第３巻線を有し、

前記第１巻線の内端が前記第１端子に電気接続され、

前記第２巻線の外端が前記第２端子に電気接続される、

請求項１乃至請求項６のいずれかに記載のスイッチング電源装置。

[請求項8] 入力キャパシタと、

前記入力キャパシタに対して電気接続された第１スイッチング素子および第２スイッチング素子と、

第１端子と第２端子とを有するインダクタと、

出力キャパシタと、

前記入力キャパシタ、前記第１スイッチング素子、第２スイッチング素子、前記インダクタ、および、前記出力キャパシタが実装された回路基板と、

を備え、

前記回路基板は、

前記第１スイッチング素子および前記第２スイッチング素子の接続ノードと前記第１端子とを電気接続する第１配線パターンと、

前記第２端子と前記出力キャパシタを電気接続する第２配線パターンと、

を有し、

前記インダクタは、

柱状の磁性コアと、

前記磁性コアに巻き付けられた第４巻線と、

前記磁性コアに対して前記第４巻線よりも外側に巻き付けられ、前記第４巻線に直列接続される第５巻線と、を備え、

前記第４巻線が前記第１端子に電気接続され、前記第５巻線が前

記第２端子に電気接続された構成を有し、

前記第１配線パターンの面積は、前記第２配線パターンの面積よりも小さく、

前記インダクタと、前記第１配線パターンと、前記第２配線パターンとは、物理的な大きさが前記インダクタと略同じで、前記インダクタの前記第４巻線から輻射するコモンモードノイズの発生を抑制する電気閉回路からなるノイズ平衡化回路を構成する、

スイッチング電源装置。

[請求項9] 入力キャパシタと、

第１端子と第２端子とを有するインダクタと、

前記インダクタに対して電気接続された第１スイッチング素子および第２スイッチング素子と、

出力キャパシタと、

前記入力キャパシタ、前記第１スイッチング素子、前記第２スイッチング素子、前記インダクタ、および、前記出力キャパシタが実装された回路基板と、

を備え、

前記回路基板は、

前記第１スイッチング素子および前記第２スイッチング素子の接続ノードと前記第１端子とを電気接続する第１配線パターンと、

前記第２端子と前記入力キャパシタを電気接続する第２配線パターンと、

を有し、

前記インダクタは、

前記回路基板から近い位置に配置された第１巻線と、

前記第１巻線よりも前記回路基板から離れた位置に配置され、前記第１巻線に直列接続される第２巻線と、

前記第１巻線と前記第２巻線が内蔵される磁性コアと、

を備え、

前記第１巻線が前記第１端子に電気接続され、前記第２巻線が前記第２端子に電気接続された構成を有し、

前記第１配線パターンの面積は、物理的な大きさがインダクタの投影面積よりも小さく、

前記第２配線パターンの面積は、物理的な大きさが前記インダクタの投影面積と略同じまたは大きく、前記入力キャパシタと前記第２配線パターンと前記出力キャパシタは、前記第１スイッチング素子および前記第２スイッチング素子のスイッチング動作に起因する電磁雑音の発生を相殺し、前記インダクタの前記第１巻線から輻射するコモンモードノイズの発生を抑制する電気閉回路からなるノイズ平衡化回路を構成する、

スイッチング電源装置。

[請求項10] 入力キャパシタと、

前記入力キャパシタに対して電気接続された第１スイッチング素子および第２スイッチング素子と、

第１端子と第２端子とを有するインダクタと、

出力キャパシタと、

前記入力キャパシタ、前記第１スイッチング素子、前記第２スイッチング素子、前記インダクタ、および、前記出力キャパシタが実装された回路基板と、

を備え、

前記回路基板は、

前記第１スイッチング素子および前記第２スイッチング素子の接続ノードと前記第１端子とを電気接続する第１配線パターンと、

前記第２端子と前記出力キャパシタを電気接続する第２配線パターンと、

を有し、

前記インダクタは、

前記第１端子に電気接続される一方端部と、前記第２端子に電気接続される他方端部とを備えた第６巻線と、

前記第６巻線が巻き付けられる磁性コアと、

を備え、

前記第６巻線は、前記一方端部が前記他方端部よりも前記回路基板から近い位置に配置されており、

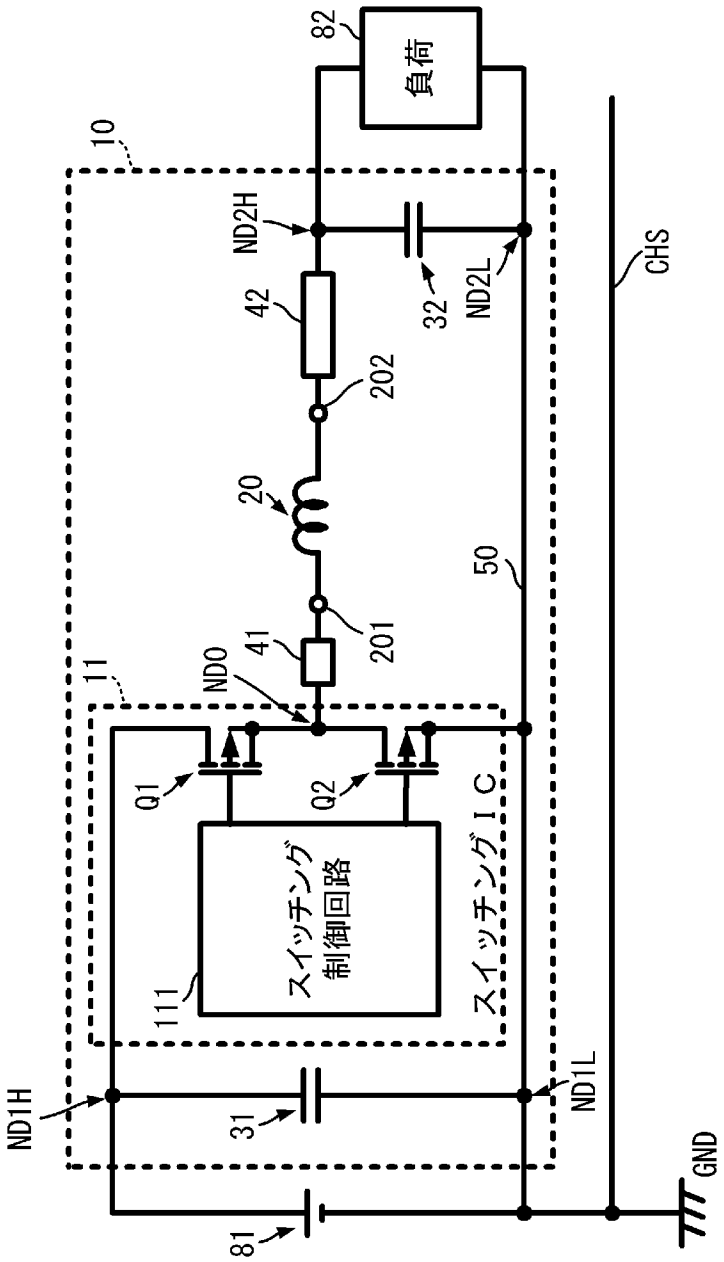
前記第１配線パターンの面積は、物理的な大きさがインダクタの投影面積よりも小さく、

前記第２配線パターンの面積は、物理的な大きさが前記インダクタの投影面積と略同じまたは大きく、

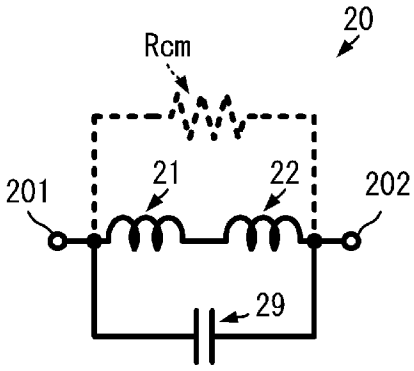
前記入力キャパシタ、前記第１配線パターン、前記第２配線パターン、および、前記出力キャパシタは、前記第１スイッチング素子および前記第２スイッチング素子のスイッチング動作に起因する電磁雑音の発生を相殺し、前記インダクタの前記第１巻線から輻射するコモンモードノイズの発生を抑制する電気閉回路からなるノイズ平衡化回路を構成する、

スイッチング電源装置。

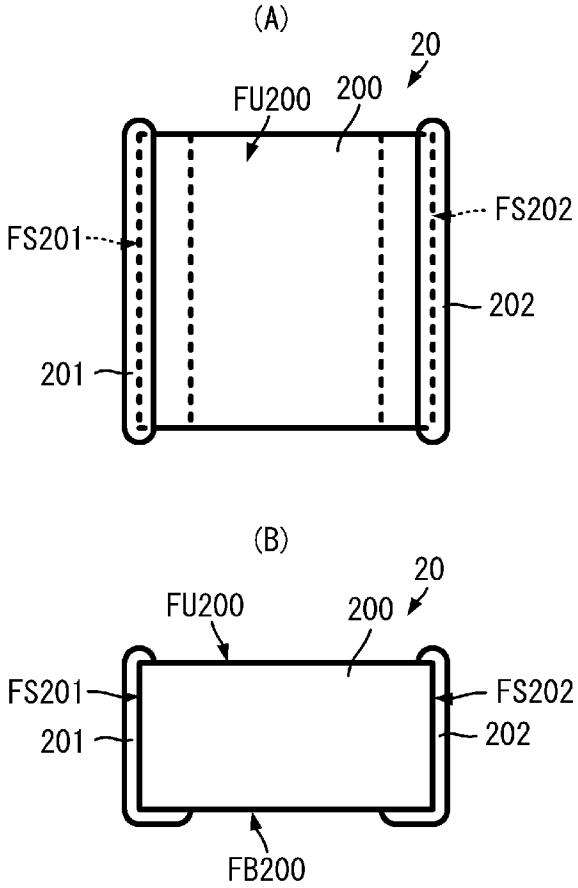
[図1]


82
負荷
10
ND2H
42
32
ND2L
CHS
202
20
50
201
41
ND0
11
Q1
Q2
スイッチング制御回路
111
スイッチングIC
ND1H
31
ND1L
GND
81

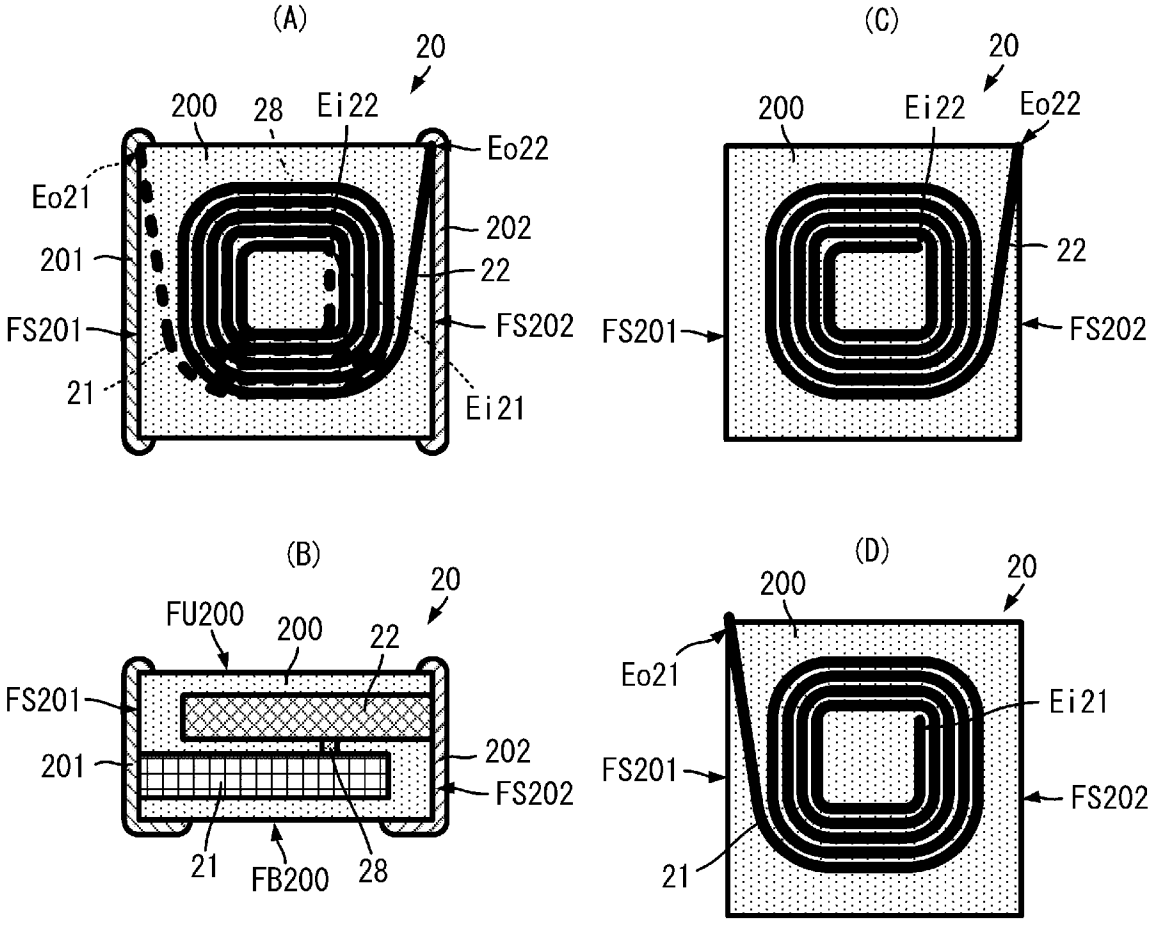
[図2]


20
Rcm
201
21
22
202
29

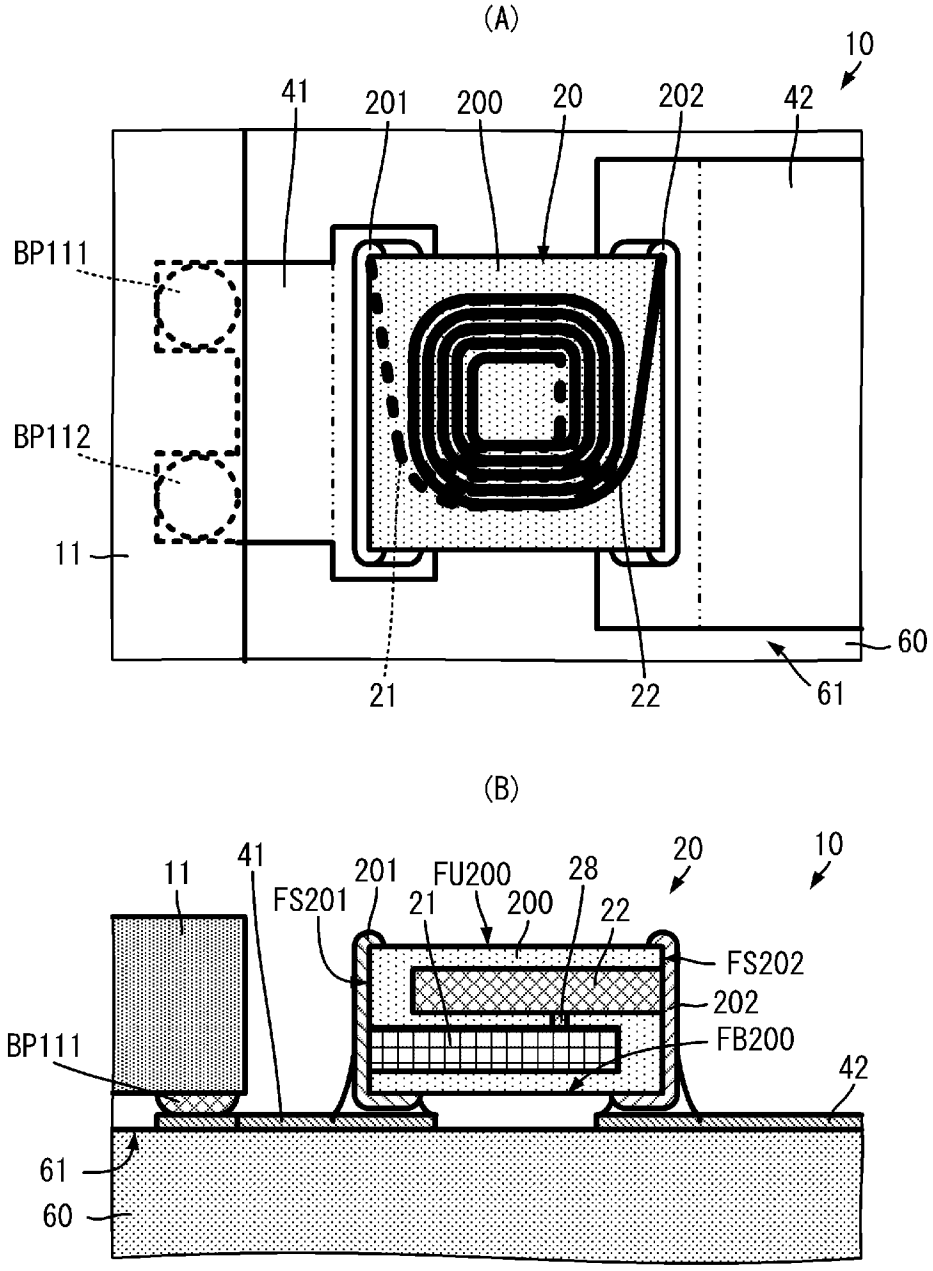
[図3]


(A)
20
FU200
200
FS201
FS202
202
201
(B)
20
FU200
200
FS201
FS202
201
202
FB200

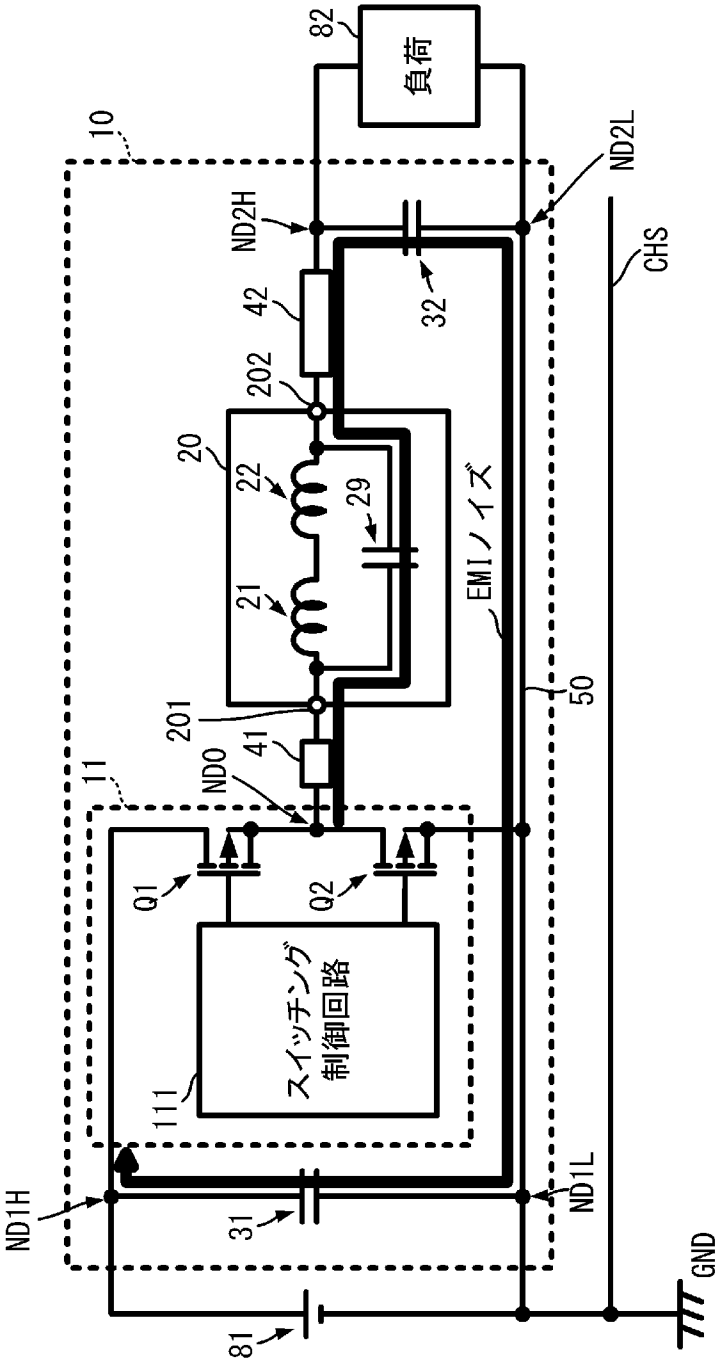
[図4]


(A)
20
200
28
Ei22
Eo22
Eo21
202
201
22
FS201
FS202
21
Ei21
(C)
20
200
Ei22
Eo22
22
FS201
FS202
(B)
20
FU200
200
22
FS201
202
201
FS202
21
FB200
28
(D)
200
20
Eo21
Ei21
FS201
FS202
21

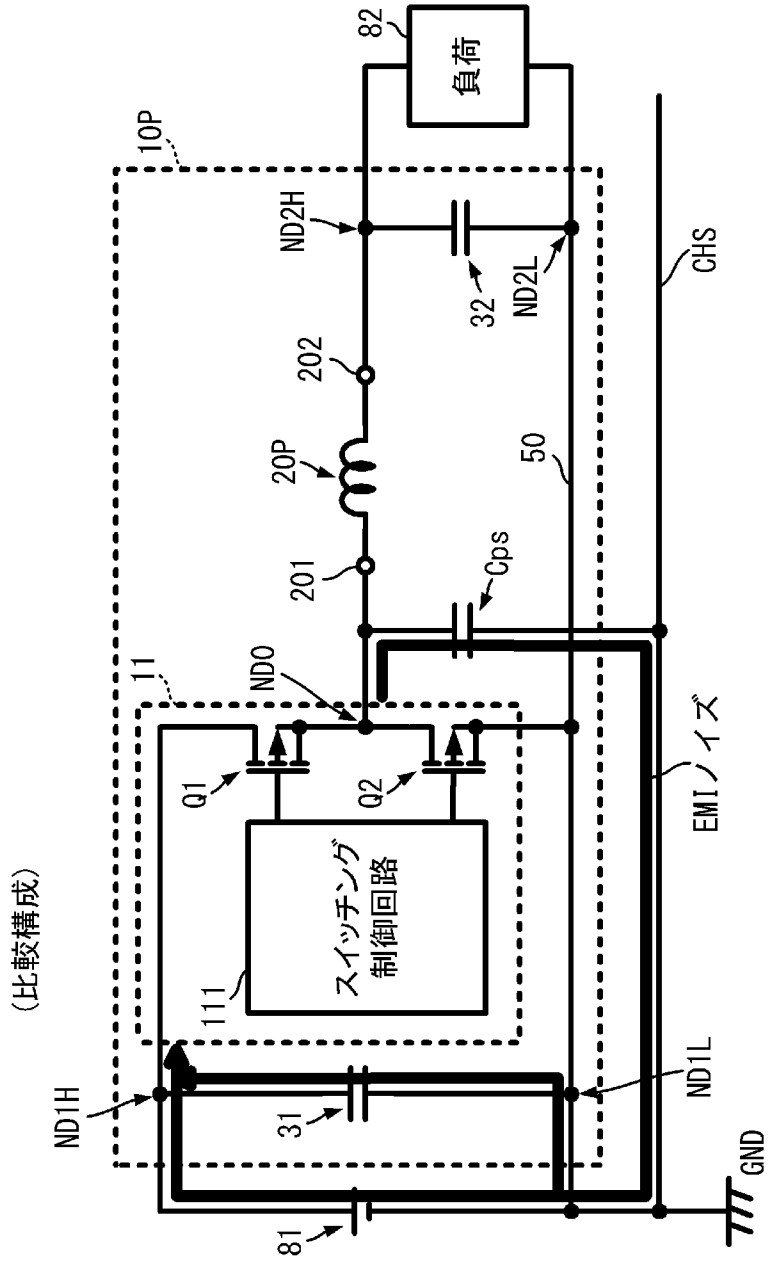
[図5]


(A)
10
41
201
200
20
202
42
BP111
BP112
11
60
21
22
61
(B)
11
41
201
FU200
28
20
10
FS201
21
200
22
FS202
202
BP111
FB200
42
61
60

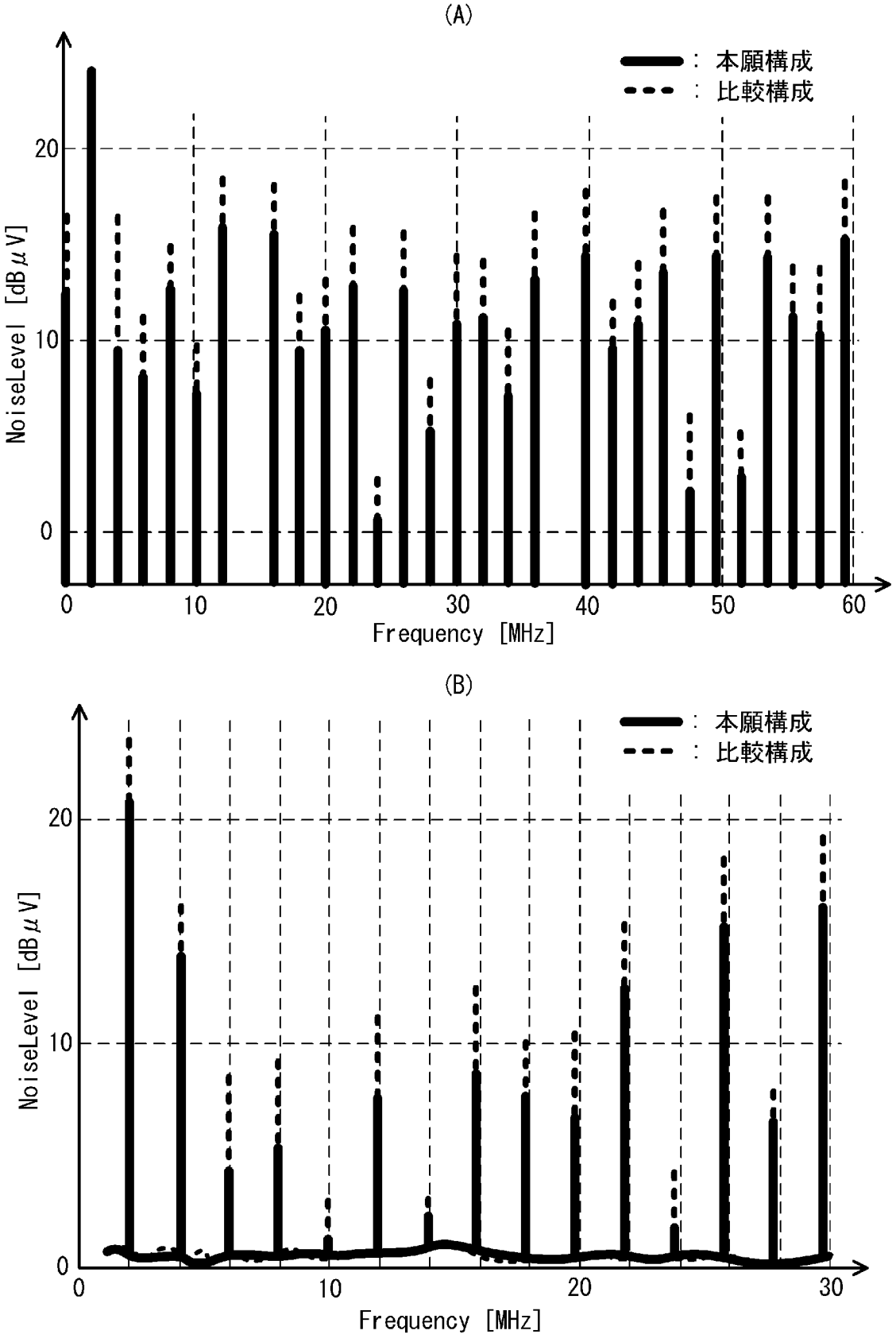
[図6]


82
負荷
10
ND2L
ND2H
CHS
42
32
202
20
22
29
EMIノイズ
21
50
201
41
ND0
11
Q1
Q2
スイッチング
制御回路
111
ND1H
31
ND1L
GND
81

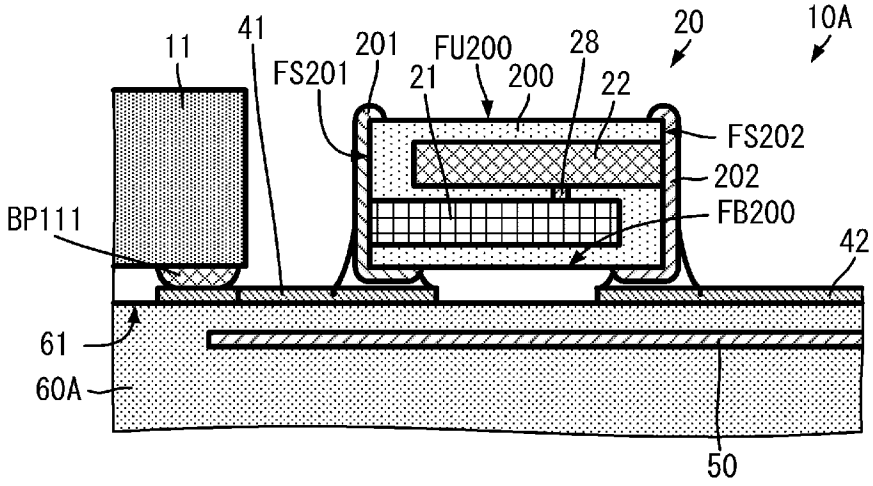
[図7]


82
負荷
10P
ND2H
32
ND2L
CHS
202
20P
50
201
Cps
11
ND0
Q1
Q2
スイッチング
制御回路
111
EMIノイズ
(比較構成)
ND1H
31
ND1L
GND
81

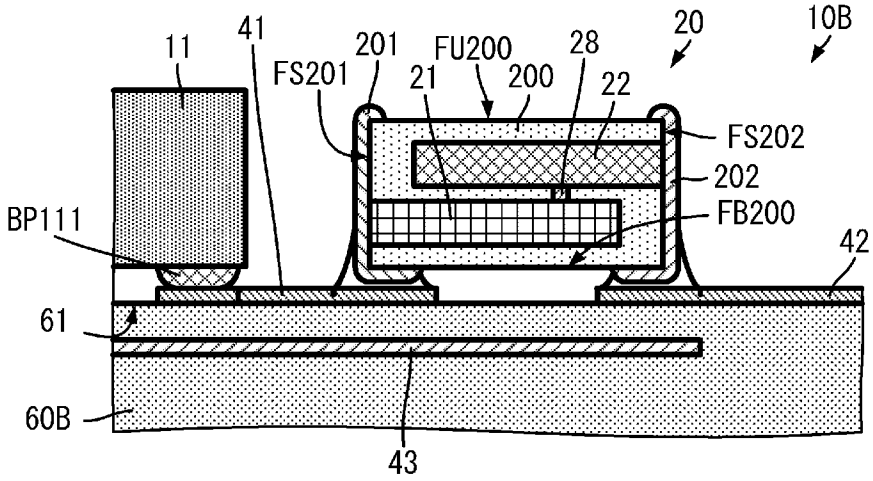
[図8]


(A)
：本願構成
：比較構成
NoiseLevel [dBμV]
20
10
0
0
10
20
30
40
50
60
Frequency [MHz]
(B)
：本願構成
：比較構成
NoiseLevel [dBμV]
20
10
0
0
10
20
30
Frequency [MHz]

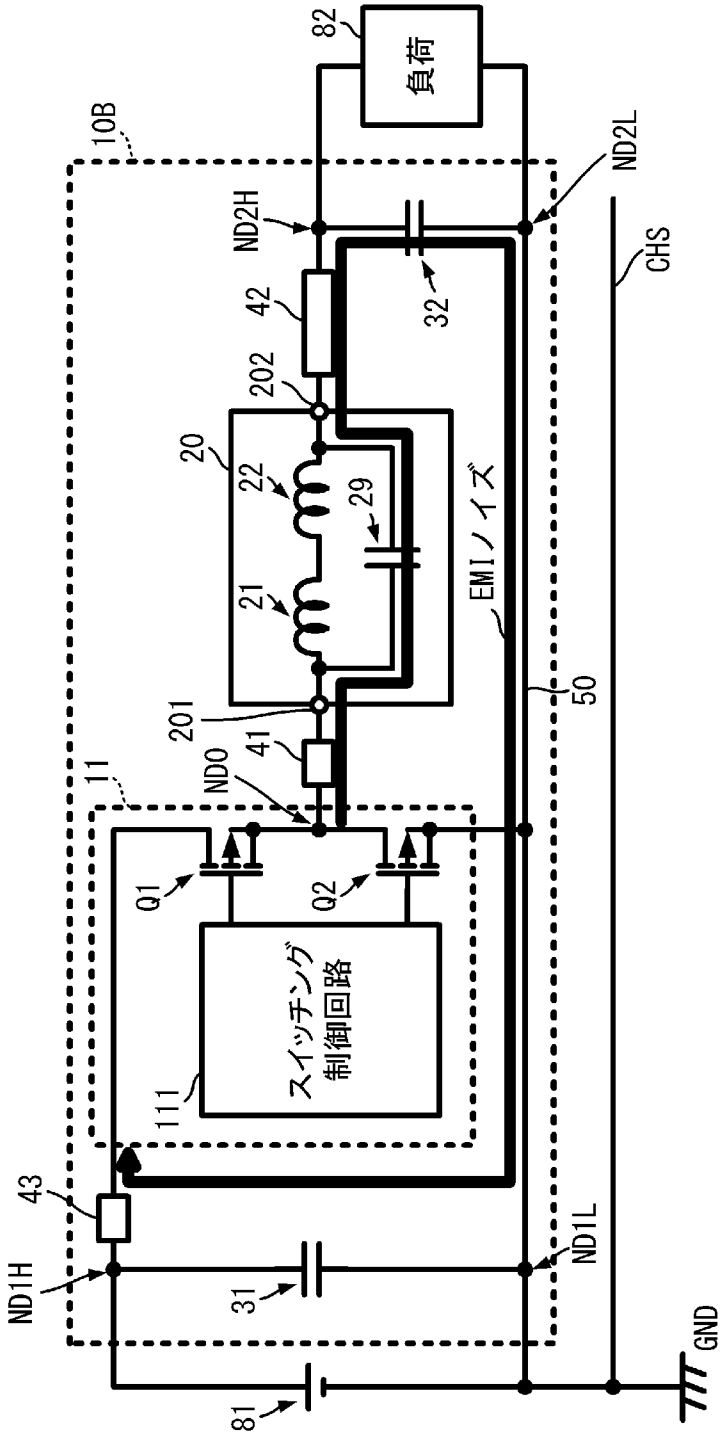
[図9]


11
41
FS201
201
FU200
21
200
28
22
20
10A
FS202
202
FB200
BP111
42
61
60A
50

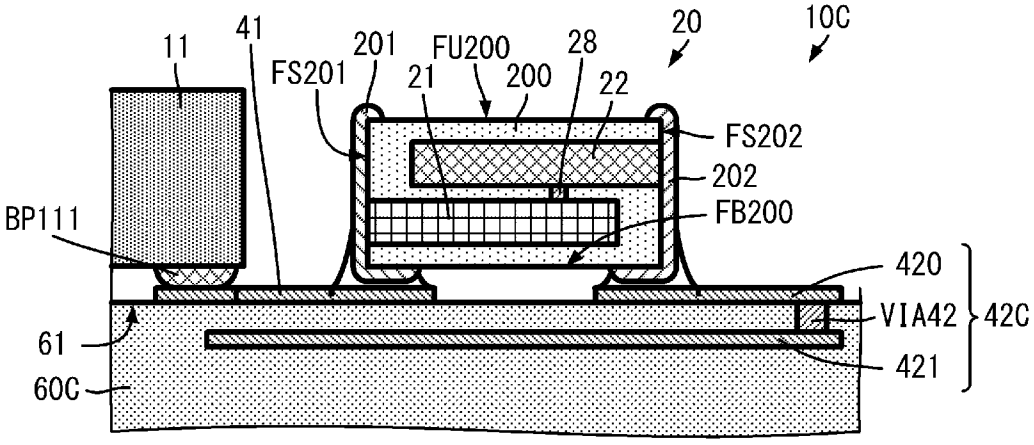
[図10]


11
41
FS201
201
FU200
21
200
28
22
20
10B
FS202
202
FB200
BP111
42
61
60B
43

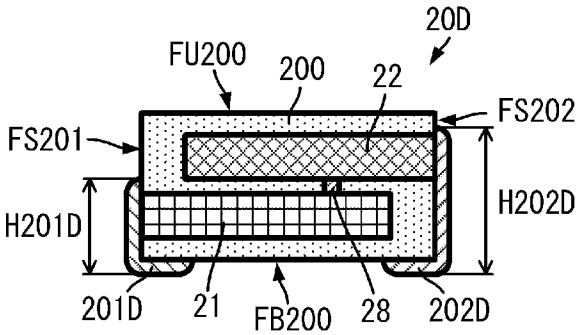
[図11]


82
負荷
10B
ND2L
ND2H
CHS
42
32
202
20
22
29
21
EMIノイズ
50
201
41
ND0
11
Q1
Q2
スイッチング
制御回路
111
43
ND1H
31
ND1L
GND
81

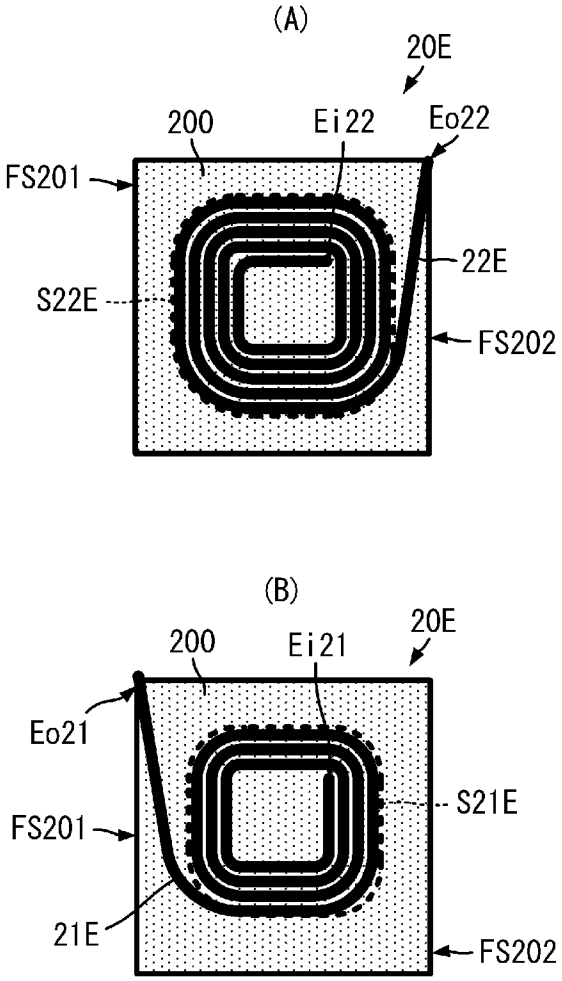
[図12]


11
41
FS201
201
FU200
21
200
28
22
20
10C
FS202
202
FB200
BP111
420
VIA42
42C
421
61
60C

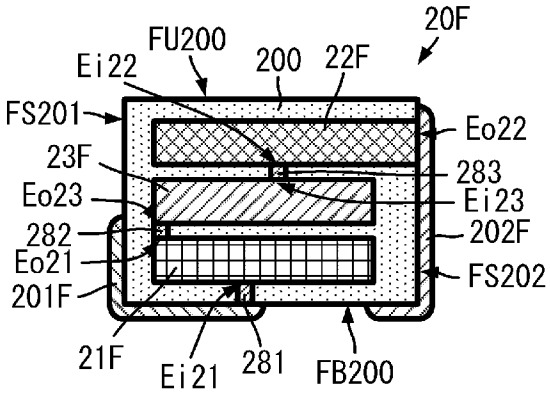
[図13]


20D
FU200
200
22
FS202
FS201
H202D
H201D
201D
21
FB200
28
202D

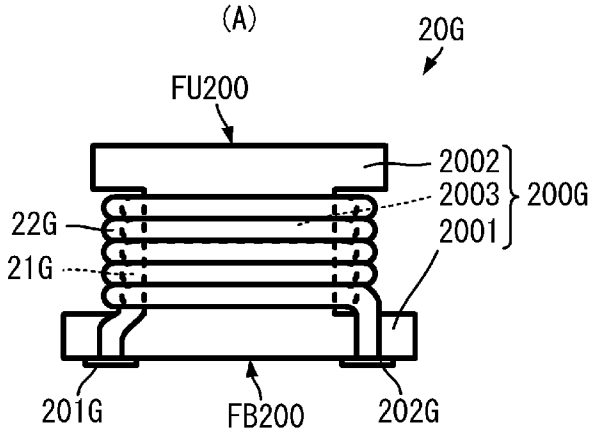
[図14]


(A)
20E
200
Ei22
Eo22
FS201
22E
S22E
FS202
(B)
200
Ei21
20E
Eo21
S21E
FS201
21E
FS202

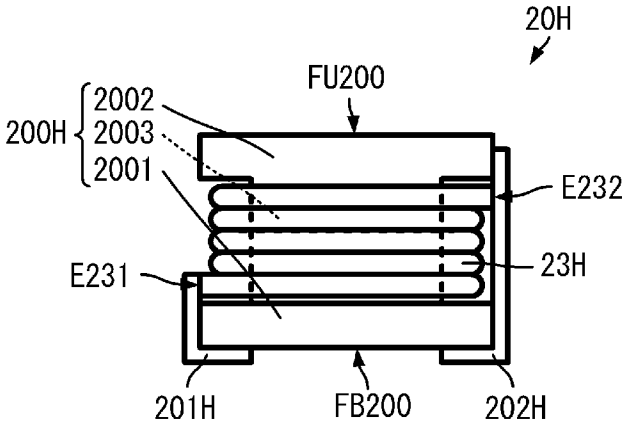
[図15]


20F
FU200
Ei22
200
22F
FS201
Eo22
23F
283
Eo23
Ei23
282
202F
Eo21
FS202
201F
21F
Ei21
281
FB200

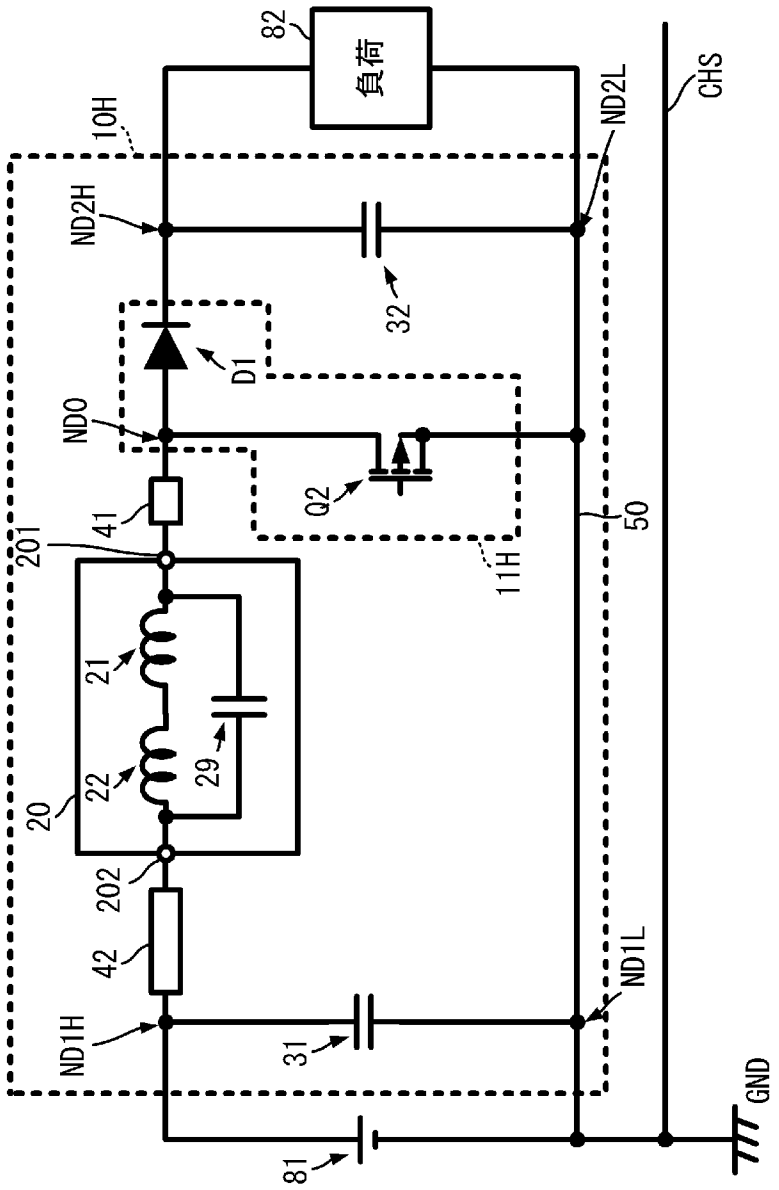
[図16]


(A)
20G
FU200
2002
2003
2001
200G
22G
21G
201G
FB200
202G
(B)
21G
2003
22G

[図17]


20H
FU200
2002
200H
2003
2001
E232
E231
23H
201H
FB200
202H

[図18]


82
負荷
10H
ND2L
CHS
ND2H
32
D1
NDO
Q2
41
50
201
11H
21
29
22
20
202
42
ND1L
ND1H
31
GND
81

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2024/008202

A. CLASSIFICATION OF SUBJECT MATTER

H02M 3/155(2006.01)i
FI: H02M3/155 E; H02M3/155 Y

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M3/155

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2020/039625 A1 (MURATA MANUFACTURING CO., LTD.) 27 February 2020 (2020-02-27) paragraph [0016], fig. 1	1-10
A	JP 2014-124091 A (MURATA MANUFACTURING CO., LTD.) 03 July 2014 (2014-07-03) paragraphs [0045]-[0050], fig. 8-9	1-10
A	US 2018/0110123 A1 (FERRIC INC.) 19 April 2018 (2018-04-19) paragraphs [0029]-[0037], fig. 1	1-10

☐ Further documents are listed in the continuation of Box C.

☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
08 April 2024	**23 April 2024**

Name and mailing address of the ISA/JP	Authorized officer
Japan Patent Office (ISA/JP) **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/008202

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO 2020/039625 A1	27 February 2020	US 2021/0111626 A1 paragraph [0024], fig. 1	
JP 2014-124091 A	03 July 2014	(Family: none)	
US 2018/0110123 A1	19 April 2018	US 2015/0036308 A1	

国際調査報告

国際出願番号
PCT/JP2024/008202

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H02M 3/155(2006.01)i
FI: H02M3/155 E; H02M3/155 Y

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H02M3/155

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２４年
日本国実用新案登録公報	１９９６－２０２４年
日本国登録実用新案公報	１９９４－２０２４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	WO 2020/039625 A1 (株式会社村田製作所) 27.02.2020 (2020-02-27) 段落[0016],図1	1-10
A	JP 2014-124091 A (株式会社村田製作所) 03.07.2014 (2014-07-03) 段落[0045]-[0050],図8-9	1-10
A	US 2018/0110123 A1 (FERRIC INC.) 19.04.2018 (2018-04-19) 段落[0029]-[0037],FIG.1	1-10

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
08.04.2024	23.04.2024

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
安食　泰秀 3H 3740
電話番号 03-3581-1101 内線 3316

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2024/008202

引用文献	公表日	パテントファミリー文献	公表日
WO 2020/039625 A1	27.02.2020	US 2021/0111626 A1 段落[0024],FIG.1	
JP 2014-124091 A	03.07.2014	（ファミリーなし）	
US 2018/0110123 A1	19.04.2018	US 2015/0036308 A1	