(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
H03K 3/037 (2006.01)

(45) 공고일자 2006년08월10일
(11) 등록번호 10-0611309
(24) 등록일자 2006년08월03일

(21) 출원번호 10-2005-0056961
(22) 출원일자 2005년06월29일

(65) 공개번호
(43) 공개일자

(73) 특허권자 고려대학교 산학협력단
서울 성북구 안암동5가1 고려대학교 내

(72) 발명자 김철우
서울 노원구 공릉2동 81번지 태강아파트 1021-1103

곽영호
서울 마포구 연남동 258-16

김무영
전라남도 광주광역시 북구 북동 238번지 402호

정인화
서울 성북구 안암동5가 103-34번지 201호

(74) 대리인 현종철

(56) 선행기술조사문헌
JP09130213 A
JP10149681 A
JP2000090689 A
KR1020000043230 A
* 심사관에 의하여 인용된 문헌

심사관 : 여인홍

(54) 래치 및 이를 구비하는 플립플롭

요약

래치와 상기 래치를 구비하는 플립플롭이 개시된다. 그 래치는 소정의 펄스신호의 논리값(high 또는low)에 따라 입력신호를 전달하거나 차단시키는 신호전달부, 신호전달부에서 신호전달이 차단되어 있는 동안에 상기 신호전달부의 출력단을 프리차지(precharge)시키는 프리차지부, 신호전달부에서 신호전달이 되는 경우, 상기 입력신호를 출력단으로 전달하고 신호전달부에서 신호전달이 차단되는 경우에는 이전 신호를 그대로 유지하는 래치부를 구비함을 특징으로 한다.

본 발명에 의하면, 단순한 구조를 가지며 적은 전력을 소비하고, 적은 입력-출력 지연시간을 갖는 장점이 있다. 또한 입력신호를 전달하는 NMOS트랜지스터의 출력단을 프리차지시켜 낮은 전원전압 하에서도 NMOS트랜지스터의 구동능력이 떨어지는 것을 막아준다.

대표도

도 3

명세서

도면의 간단한 설명

도 1은 종래의 ep_SFF의 블럭도를 도시한 것이다.

도 2는 도 1에 도시된 펄스 발생기의 타이밍도를 도시한 것이다.

도 3은 본 발명의 실시예에 따른 플립플롭의 블럭도를 도시한 것이다.

도 4는 본 발명의 실시예에 따른 PSPL의 회로도를 도시한 것이다.

도 5a 내지 도 5d는 PSPL의 타이밍도를 도시한 것이다.

<도면의 주요부분에 대한 부호의 설명>

100...플립 플롭 110...펄스 발생기

111, 113, 115, 119...복수의 인버터

117...NAND 게이트 130...래치

131...전송 게이트 133, 137, 139...복수의 인버터

135...트라이-스테이트 버퍼

210...PSPL 211...입력단

213...신호전달부(NMOS 트랜지스터) 215...제1노드

217...프리차지부 219...PMOS 트랜지스터

221, 223...NMOS 트랜지스터 225...제2노드

227...인버터 229...백투백 인버터

240...래치부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 래치와 이를 이용한 데이터 저장장치에 관한 것으로, 보다 상세하게는 적은 전력을 소비하고 적은 지연시간을 갖는 프리차지드 싱글-엔디드 펄스드 래치(precharged single-ended pulsed latch; PSPL) 및 상기 PSPL을 구비하는 플립플롭에 관한 것이다.

일반적으로 마스터-슬래이브 래치 타입의 플립플롭은 적은 전력을 소모하는 장점이 있다. 하지만 상기 플립플롭은 매우 긴 입력-출력(D-Q)지연시간을 갖기 때문에, 에너지 지연시간 프로덕트가 다른 플립플롭보다 매우 크다는 단점이 있다.

그리고, 동적 회로를 이용한 플립플롭은 짧은 D-Q 지연시간을 갖는다는 장점이 있다. 하지만 상기 플립플롭은 매 클럭 주기마다 충전과 방전을 하기 때문에, 상기 플립플롭은 매우 큰 전력을 소모한다. 또한 상기 플립플롭의 회로는 매우 복잡하다.

또한, 센스 앰프를 기반으로 한 플립플롭은 두 개의 데이터를 입력으로 수신한다. 상기 플립플롭은 상기 센스 앰프를 기반으로 하기 때문에 데이터 입력의 작은 차이를 감지하여 출력에 전할 수 있다는 장점을 갖는다. 하지만 상기 플립플롭도 동적 회로를 사용하고 있으므로 큰 전력을 소모하고, 긴 D-Q 지연시간을 갖는다는 단점이 있다.

따라서 본 발명은 종래의 플립플롭이 갖는 복잡한 구조, 큰 전력 소모, 긴 지연시간 중에서 적어도 한 개 이상의 단점을 가지고 있으므로, 종래의 플립플롭은 매우 큰 에너지 지연시간 프로덕트를 갖게 된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명이 이루고자 하는 첫 번째 기술적 과제는 적은 전력을 소비하고 적은 지연시간을 갖는 프리차지드 싱글-엔디드 펄스드 래치를 제공하는 것이다.

본 발명이 이루고자 하는 두 번째 기술적 과제는 상기 프리차지드 싱글-엔디드 펄스드 래치를 구비하는 플립플롭을 제공하는 것이다.

발명의 구성 및 작용

본 발명은 상기 첫 번째 기술적 과제를 달성하기 위하여,

소정의 펄스신호의 논리값(high 또는low)에 따라 입력신호를 전달하거나 차단시키는 신호전달부; 상기 신호전달부에서 신호전달이 차단되어 있는 동안에 상기 신호전달부의 출력단을 프리차지(precharge)시키는 프리차지부; 상기 신호전달부에서 신호전달이 되는 경우, 상기 입력신호를 출력단으로 전달하고, 상기 신호전달부에서 신호전달이 차단되는 경우에는 이전 신호를 그대로 유지하는 래치부를 구비하는 것을 특징으로 하는 프리차지드 싱글-엔디드 펄스드 래치를 제공한다.

본 발명의 일 실시예에 의하면, 상기 신호전달부는 입력단과 제1노드사이에 접속되고, 펄스를 수신하는 게이트를 구비하는 제1NMOS 트랜지스터이고, 상기 프리차지부는 전원전압과 상기 제1노드사이에 접속되고, 상기 펄스를 수신하는 게이트를 구비하는 제1PMOS트랜지스터일 수 있다.

본 발명의 다른 실시예에 의하면, 상기 래치부는 전원전압과 제2노드 사이에 접속되고, 상기 제1노드와 연결되는 게이트를 구비하는 제2PMOS트랜지스터; 상기 제2노드와 연결되는 드레인과 상기 펄스를 수신하는 게이트를 구비하는 제2NMOS트랜지스터; 상기 제2NMOS트랜지스터의 소스와 접지 사이에 연결되고, 상기 제1노드와 연결되는 게이트를 구비하는 제3MOS트랜지스터; 상기 제2노드의 신호를 반전시키는 제1인버터; 및 상기 제1인버터 출력단과 상기 제2노드 사이에 연결되고, 상기 제1인버터의 출력신호를 반전시키는 제2인버터를 구비하는 것일 수 있다.

본 발명은 상기 두 번째 기술적 과제를 달성하기 위하여,

클럭신호를 수신하고 적어도 하나의 펄스를 발생하는 펄스 발생기; 및 상기 펄스의 상태에 기초하여 입력단으로 입력되는 입력신호를 출력단으로 전송하거나 래치하는 프리차지드 싱글-엔디드 펄스드 래치를 구비하며; 상기 프리차지드 싱글-엔디드 펄스드 래치는 소정의 펄스신호의 논리값(high 또는low)에 따라 입력신호를 전달하거나 차단시키는 신호전달부; 상기 신호전달부에서 신호전달이 차단되어 있는 동안에 상기 신호전달부의 출력단을 프리차지(precharge)시키는 프리차지부; 상기 신호전달부에서 신호전달이 되는 경우, 상기 입력신호를 출력단으로 전달하고, 상기 신호전달부에서 신호전달이 차단되는 경우에는 이전 신호를 그대로 유지하는 래치부를 구비하는 것을 특징으로 하는 플립플롭을 제공한다.

본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.

도 1은 종래의 ep_SFF의 블럭도를 도시한 것이다. 도 1을 참조하면, 익스플리싯-펄스드 혼성의 정적 플립플롭(explicit-pulsed hybrid static flip-flop; ep_SFF; 100)은 펄스 발생기(110) 및 래치(130)를 구비한다.

상기 펄스 발생기(110)는 다수개의 인버터들(111, 113, 115, 및 119)과 NAND게이트(117)를 구비한다. 상기 펄스 발생기(110)는 도 2에 도시된 바와 같은 클럭신호(CLK)를 수신하여 펄스들(dck과 dckb)을 발생한다.

상기 래치(130)는 상기 펄스들(dck과 dckb)에 기초하여 입력신호(D)를 출력신호(Q와 Qb)로서 전달하거나 래치한다.

상기 래치(130)는 전송 게이트(131), 다수개의 인버터들(133, 137, 및 139)과 트라이-스테이트 버퍼(135)를 구비한다. 상기 전송 게이트(131)는 MOS 트랜지스터와 NMOS 트랜지스터로 구성되고, 클럭신호(dck)와 상보 클럭신호(dckb)에 기초하여 입력신호(D)를 대응되는 인버터(133과 137)로 전송한다.

일반적으로 NMOS 트랜지스터의 전자의 이동도(mobility)는 PMOS트랜지스터의 정공(hole)의 이동도에 비하여 2배 이상 크다. 따라서 PMOS 트랜지스터의 동작속도는 NMOS트랜지스터의 동작속도보다 느리다.

그러므로, 상기 전송 게이트(131)가 원하는 동작속도를 만족시키기 위해서는, 상기 PMOS 트랜지스터의 크기를 증가시켜야 한다. 상기 PMOS 트랜지스터의 크기가 증가될수록 상기 PMOS 트랜지스터가 사용하는 전력은 증가하므로, 상기 전송 게이트(131)를 구비하는 ep_SFF(100)가 사용하는 전력도 또한 증가한다.

도 3은 본 발명의 실시예에 따른 플립플롭의 블럭도를 도시한 것이다. 도 3을 참조하면, 본 발명에 따른 플립플롭(200)은 펄스 발생기(110) 및 PSPL(210)를 구비한다. 상기 펄스 발생기(110)의 구조와 동작은 도 1과 도2에 도시된 펄스 발생기(110)의 구조와 동작과 각각 같다.

상기 PSPL(210)는 상기 펄스 발생기(110)에 의하여 발생된 펄스(dck)에 응답하여 입력신호(D)를 전송하거나 래치하며, 신호전달부(213), 프리차지부(217) 및 래치부(240)를 구비한다.

상기 신호전달부(213)는 소정의 펄스신호(dck)의 논리값 즉 논리 하이(high) 또는논리 로(low)에 따라 입력신호(D)를 전달하거나 차단시킨다. 예를 들어, 펄스신호의 논리값이 논리 하이(high)일 경우에는 입력신호(D)를 전달하고, 논리 로(low)일 경우에는 입력신호(D)를 차단시킨다. 상기 프리차지부(217)는 상기 신호전달부(213)에서 신호전달이 차단되어 있는 동안에 상기 신호전달부(213)의 출력단을 프리차지(precharge)시킨다. 그리고 상기 신호전달부(213)에서 신호전달이 이루어지면 상기 프리차지부에 의해 상기 신호전달부(213)의 출력단이 프리차지됨으로 인해 낮은 전압하에서도 상기 신호전달부(213)의 출력단의 구동능력이 떨어지는 것을 방지한다. 상기 래치부(240)는 상기 신호전달부(213)에서 신호전달이 되는 경우, 상기 입력신호를 출력단으로 전달하고, 상기 신호전달부(213)에서 신호전달이 차단되는 경우에는 이전 신호를 그대로 유지한다.

도 4는 본 발명의 실시예에 따른 PSPL의 회로도를 도시한 것이다. 도 4를 참조하면, PSPL(210)은 신호전달부(213), 프리차지부(217), 래치부(240)를 구비한다. 상기 래치부(240)는 인버터 기능을 하는 세 개의 MOS트랜지스터(219, 221, 223) 및 두 개의 인버터(227, 229)를 구비한다.

상기 신호전달부(213)는 펄스신호(dck)에 응답하는 하나의 NMOS 트랜지스터 (213)로 구현되고, 상기 NMOS 트랜지스터(213)는 입력단(211)과 노드(215)사이에 접속된다.

상기 프리차지부(217)는 PMOS 트랜지스터로 구현되고, 상기 PMOS 트랜지스터(217)는 전원전압(VDD)과 상기 노드(215)사이에 접속되며, 그 게이트는 상기 클럭신호(dck)와 연결된다. 상기 PMOS 트랜지스터(217)는 상기 펄스신호(dck)에 응답하여, 예를 들어 펄스신호(dck)가 논리 로우가 되면, 노드(215)의 전압을 전원(VDD)레벨로 끌어올린다. 따라서 노드(215)의 전압은 전원 (VDD)레벨까지 스윙한다. 뿐만 아니라 상기 NMOS트랜지스터(213)가 턴 오프(turn off) 되었을 때, 상기 신호전달부(213)에 해당하는 NMOS트랜지스터(213)의 구동전압을 프리차지시키는 기능을 한다. 특히 요즘 전원전압(VDD)이 점점 낮아지는 추세에서, 상기 프리차지 기능은 낮은 전원전압(VDD)이라도 상기 NMOS트랜지스터(213)의 구동능력이 떨어지는 것을 방지하는 큰 잇점이 있다.

PMOS트랜지스터(219), NMOS트랜지스터(221) 및 NMOS트랜지스터(223)는 클럭신호(dck)가 논리 하이가 될 때 인버터 기능을 한다. 즉, 클럭신호(dck)가 논리 하이이면, NMOS트랜지스터(213)이 턴 온이 되어 제1노드에 입력신호가 전달되고, NMOS트랜지스터(221)는 턴 온이 되어 PMOS트랜지스터(219)와 NMOS트랜지스터(223)이 바로 연결된 형태가 되어 인버터 기능을 한다.

상기 PMOS트랜지스터(219)는 전원전압(VDD)와 제2노드(225) 사이에 접속되고, 게이트는 상기 제1노드(215)와 연결된다. 상기 NMOS트랜지스터(221)는 상기 PMOS 트랜지스터(219)와 상기 NMOS트랜지스터(223) 사이에 접속된다. 즉, 상기 NMOS트랜지스터(221)의 드레인(drain)은 제2노드(225)와 연결되고, 그 게이트는 상기 펄스를 수신한다. 상기 NMOS트랜지스터(223)는 상기 NMOS트랜지스터(221)의 소스와 접지 사이에 연결되고, 게이트는 상기 제1노드(215)와 연결된다.

상기 제2노드(225)를 입력신호로 하는 인버터(227)는 노드(225)의 출력신호를 반전시키고, 그 결과를 출력단자(Qb)에 출력신호로서 출력한다. 그리고 백투백(back to back) 인버터(229)는 상기 인버터(227)의 출력신호를 반전시키고 그 결과를 출력단자(Q)에 출력신호로서 출력한다.

상기 본 발명의 실시예에 따른 PSPL(210)의 입력-출력(D-Qb)지연시간은 종래의 ep_SFF(100)의 일력-출력 지연시간(D-Qb)보다 짧다. 또한, 상기 본 발명의 실시예에 따른 PSPL(210)는 종래의 ep_SFF(100)의 전송-게이트(131)대신에 NMOS 트랜지스터(213)를 사용하므로 작동속도가 빠르다. 또한, 상기 본 발명의 실시예에 따른 PSPL(210)에서 소비되는 전력은 종래의 ep_SFF(100)에서 소비되는 전력보다 작다.

도 5a 내지 도 5d는 PSPL의 타이밍도를 나타낸다. 도 4, 도 5a 내지 도5d를 참조하여 PSPL(210)의 동작을 간단히 설명하면 다음과 같다.

펄스(dck)가 논리 하이인 경우, 입력단(211)으로 입력되는 입력신호(D)는 NMOS 트랜지스터(213)를 통해 노드(215)로 전송된다. 그리고 상기 PMOS트랜지스터(219), NMOS트랜지스터(221) 및 NMOS트랜지스터(223)는 상술한 바와 같이 인버터 기능을 한다. 따라서 입력신호(D)는 제2노드(225)에서는 반전된 신호가 나타나고, 이는 다시 인버터(227)를 통해 재 반전되어 입력신호(D)가 그대로 출력단(Q)에 전달된다. 또한 상기 출력단(Q) 신호는 백투백 인버터(229)를 통해 반전되어 출력단(Qb)에 출력된다. 따라서 즉, 입력신호(D)가 논리 하이(high)인 경우, 출력신호(Qb)는 논리 로우(low)이고 출력신호(Q)는 논리 하이이다. 반대로 상기 입력신호(D)가 논리 로우인 경우, 출력신호(Qb)는 논리 하이이고 출력신호(Q)는 논리 로우이다.

상기 펄스(dck)가 논리 로우(low)인 경우, 상기 NMOS 트랜지스터(213)는 턴-오프(turn-off)되고, 상기 제1노드(215)는 VDD 전압이 유지된다. 그리고 이어지는 뒷 단의 PMOS트랜지스터(219) 및 NMOS트랜지스터(221)는 턴 오프가 되고 NMOS트랜지스터(221)는 턴 온이 되어 제2노드(225)의 신호는 백투백 인버터(229)에 의해 출력신호(Q)는 이전 데이터를 그대로 유지 또는 래치하게 된다.

당업자는 도 4를 참조하여 도 5a 내지 도 5d 각각에 도시된 SPTPL의 동작을 용이하게 이해할 수 있다. 따라서 도 5a 내지 도 5d 각각에 대한 상세한 설명은 생략한다.

본 발명은 도면에 도시된 일 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

발명의 효과

상술한 바와 같이 본 발명에 따른 PSPL, 이를 이용한 플립플롭은 단순한 구조를 가지며 적은 전력을 소비하고, 적은 입력-출력 지연시간을 갖는 장점이 있다. 또한 PMOS트랜지스터(219)가 프리차지 되어 낮은 전원전압 하에서도 상기 NMOS트랜지스터(213)의 구동능력이 떨어지는 것을 막아준다.

또한 펄스트 클럭을 사용하여 래치 한 단만으로 플립플롭 동작을 하며, Floating 노드도 제거되어 잡음의 영향이 줄어들었다. 따라서 고속 디지털 회로에 많이 사용되는 플립플롭을 개선시킴으로서 시스템 레벨에서 전력소모를 줄이는데 큰 역할을 하므로 많은 저전력 SOC 제품에 응용가능하며, 시장성도 크다 할 수 있다.

(57) 청구의 범위

청구항 1.

소정의 펄스신호의 논리값(high 또는low)에 따라 입력신호를 전달하거나 차단시키는 신호전달부;

상기 신호전달부에서 신호전달이 차단되어 있는 동안에 상기 신호전달부의 출력단을 프리차지(precharge)시키는 프리차지부;

상기 신호전달부에서 신호전달이 되는 경우, 상기 입력신호를 출력단으로 전달하고, 상기 신호전달부에서 신호전달이 차단되는 경우에는 이전 신호를 그대로 유지하는 래치부를 구비하는 것을 특징으로 하는 프리차지드 싱글-엔디드 펄스드 래치.

청구항 2.

제1항에 있어서, 상기 신호전달부는

입력단과 제1노드사이에 접속되고, 펄스를 수신하는 게이트를 구비하는 제1NMOS 트랜지스터이고,

상기 프리차지부는

전원전압과 상기 제1노드사이에 접속되고, 상기 펄스를 수신하는 게이트를 구비하는 제1PMOS트랜지스터인 것을 특징으로 하는 프리차지드 싱글-엔디드 펄스드 래치.

청구항 3.

제2항에 있어서, 상기 래치부는

전원전압과 제2노드 사이에 접속되고, 상기 제1노드와 연결되는 게이트를 구비하는 제2PMOS트랜지스터;

상기 제2노드와 연결되는 드레인과 상기 펄스를 수신하는 게이트를 구비하는 제2NMOS트랜지스터;

상기 제2NMOS트랜지스터의 소스와 접지 사이에 연결되고, 상기 제1노드와 연결되는 게이트를 구비하는 제3MOS트랜지스터;

상기 제2노드의 신호를 반전시키는 제1인버터; 및

상기 제1인버터 출력단과 상기 제2노드 사이에 연결되고, 상기 제1인버터의 출력신호를 반전시키는 제2인버터를 구비하는 것을 특징으로 하는 프리차지드 싱글-엔디드 펄스드 래치.

청구항 4.

플립플롭에 있어서,

클럭신호를 수신하고 적어도 하나의 펄스를 발생하는 펄스 발생기;

상기 펄스의 상태에 기초하여 입력단으로 입력되는 입력신호를 출력단으로 전송하거나 래치하는 프리차지드 싱글-엔디드 펄스드 래치를 구비하며,

상기 프리차지드 싱글-엔디드 펄스드 래치는

소정의 펄스신호의 논리값(high 또는low)에 따라 입력신호를 전달하거나 차단시키는 신호전달부;

상기 신호전달부에서 신호전달이 차단되어 있는 동안에 상기 신호전달부의 출력단을 프리차지(precharge)시키는 프리차지부;

상기 신호전달부에서 신호전달이 되는 경우, 상기 입력신호를 출력단으로 전달하고, 상기 신호전달부에서 신호전달이 차단되는 경우에는 이전 신호를 그대로 유지하는 래치부를 구비하는 것을 특징으로 하는 플립플롭.

청구항 5.

제4항에 있어서, 상기 신호전달부는

입력단과 제1노드사이에 접속되고, 펄스를 수신하는 게이트를 구비하는 제1NMOS 트랜지스터이고,

상기 프리차지부는

전원전압과 상기 제1노드사이에 접속되고, 상기 펄스를 수신하는 게이트를 구비하는 제1PMOS트랜지스터인 것을 특징으로 하는 플립플롭.

청구항 6.

제5항에 있어서, 상기 래치부는

전원전압과 제2노드 사이에 접속되고, 상기 제1노드와 연결되는 게이트를 구비하는 제2PMOS트랜지스터;

상기 제2노드와 연결되는 드레인과 상기 펄스를 수신하는 게이트를 구비하는 제2NMOS트랜지스터;

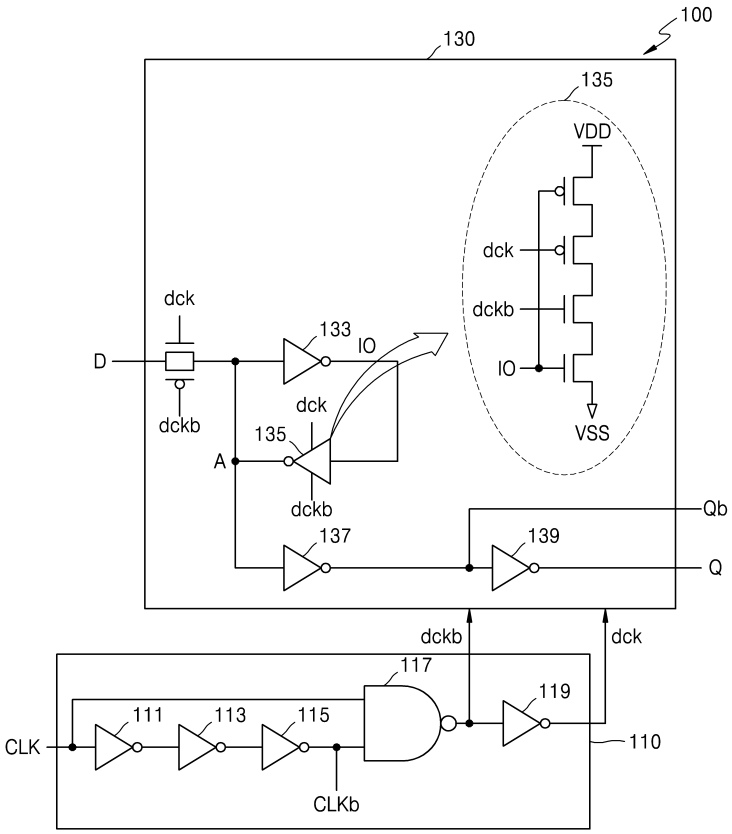
상기 제2NMOS트랜지스터의 소스와 접지 사이에 연결되고, 상기 제1노드와 연결되는 게이트를 구비하는 제3MOS트랜지스터;

상기 제2노드의 신호를 반전시키는 제1인버터; 및

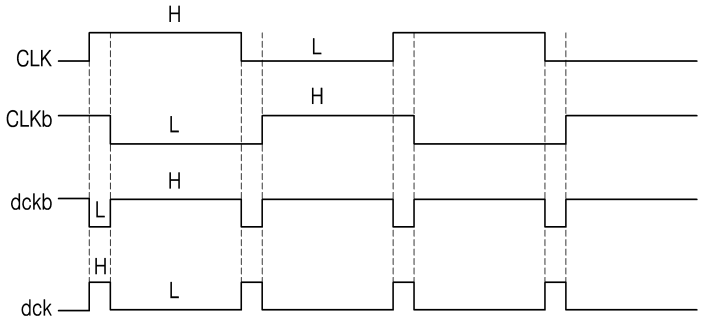
상기 제1인버터 출력단과 상기 제2노드 사이에 연결되고, 상기 제1인버터의 출력신호를 반전시키는 제2인버터를 구비하는 것을 특징으로 하는 플립플롭.

도면

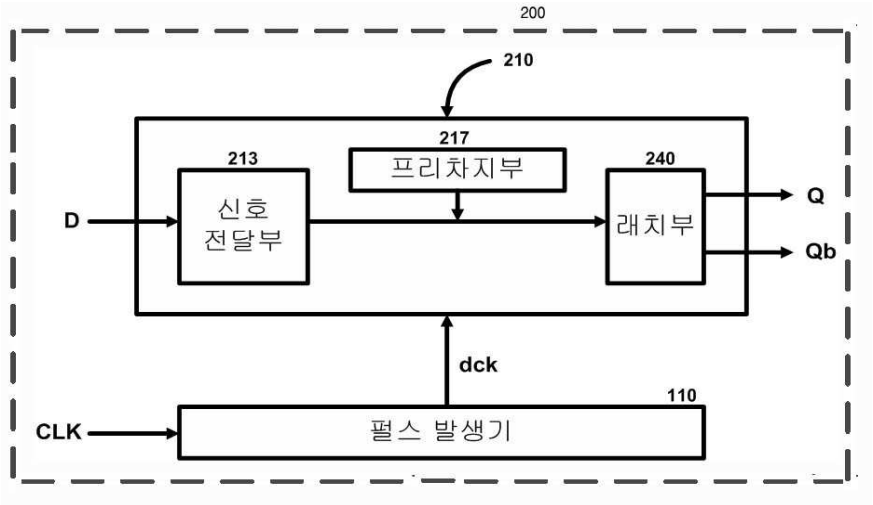
도면1


100
130
135
VDD
dck
dckb
IO
VSS
dck
D
dckb
133
IO
dck
135
A
dckb
137
139
Qb
Q
dckb
dck
117
119
111
113
115
CLK
110
CLKb

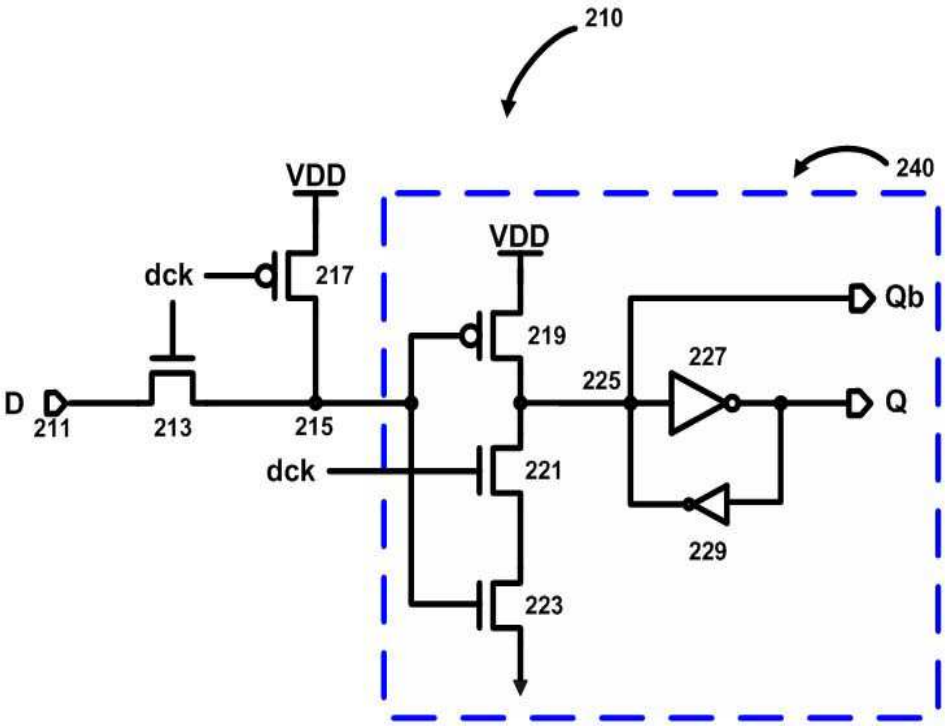
도면2


H
CLK
L
H
CLKb
L
H
dckb
L
H
dck
L

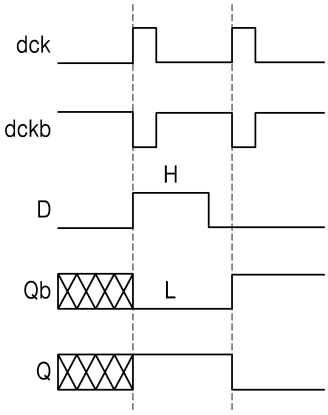
도면3


200
210
217
프리차지부
213
신호
전달부
240
래치부
D
Q
Qb
dck
110
펄스 발생기
CLK

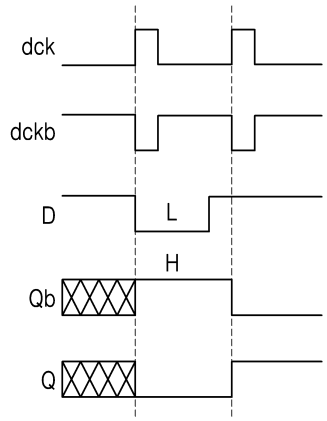
도면4


210
240
VDD
VDD
dck
217
219
Qb
227
225
D
211
213
215
Q
dck
221
229
223

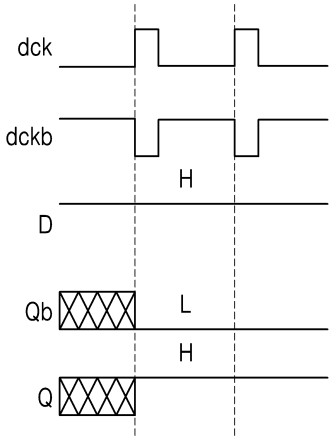
도면5a


dck
dckb
H
D
Qb
L
Q

도면5b



도면5c



도면5d

