



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I601181 B

(45)公告日：中華民國 106 (2017) 年 10 月 01 日

(21)申請案號：102126199

(22)申請日：中華民國 102 (2013) 年 07 月 22 日

(51)Int. Cl. : **H01J37/32 (2006.01)****H01L21/3065(2006.01)**

(30)優先權：2012/07/20 法國

1257037

(71)申請人：帕斯馬舍門有限責任公司(美國) PLASMA-THERM, LLC (US)
美國

(72)發明人：皮歐喬 吉勒斯 BEAUJON, GILLES (FR)；吉多堤 艾曼努爾 GUIDOTTI, EMMANUEL (FR)；皮洛克斯 楊尼克 PILLOUX, YANNICK (FR)；拉賓森 派翠克 RABINZOHN, PATRICK (FR)；李察 朱利安 RICHARD, JULIEN (FR)；席格斯 馬克 SEGERS, MARC (FR)

(74)代理人：閻啟泰；林景郁

(56)參考文獻：

TW 200807545A

TW 201028804A

CN 201228282Y

JP 2007-523459A

US 5296272

US 2007/0090092A1

審查人員：林迺信

申請專利範圍項數：15 項 圖式數：15 共 38 頁

(54)名稱

利用電漿處理工件之系統、複合工件之選擇性電漿處理法及利用相同方法獲得的經蝕刻之複合工件
SYSTEM FOR THE PROCESSING OF AN OBJECT BY PLASMA, SELECTIVE PLASMA
PROCESSING PROCESS OF A COMPOSITE OBJECT, AND ETCHED COMPOSITE OBJECT
OBTAINED BY THE SAME PROCESS

(57)摘要

本發明係關於一種用於電漿處理工件(3)之系統(1)，其包含：處理真空室(10)，其包含上面放置有待處理之工件的支撐物；至少兩個次總成(21、22)，其各自包含至少一個電漿源(210、220)，該至少一個電漿源適於產生電漿且由射頻功率 P_i 及流速 n_i 之氣體 i 獨立供應。根據本發明，由該等次總成中之一者(21)產生之電漿為部分電離之氣體或氣體混合物，其化學性質與其他次總成(22)產生之電漿不同。

本發明亦關於一種實施該裝置之選擇性處理複合工件方法。

The invention concerns a system (1) for the plasma processing of an object (3) comprising a processing vacuum chamber (10) comprising a support on which the object to be treated is placed, at least two subassemblies (21, 22) each comprising at least one plasma source (210, 220) suitable for generating a plasma and being supplied independently by radiofrequency power P_i and by a gas i at a flow rate n_i . According to the invention, the plasma generated by one of the subassemblies (21) is a partially ionized gas or a gas mixture, of different chemical nature from the plasma generated by the other subassembly or subassemblies (22).

The present invention also concerns a selective processing process of a composite object implementing such a device.

指定代表圖：

符號簡單說明：

21 . . . 次總成

22 . . . 次總成

210 . . . 電漿源

211 . . . 電漿源

212 . . . 電漿源

220 . . . 電漿源

221 . . . 電漿源

222 . . . 電漿源

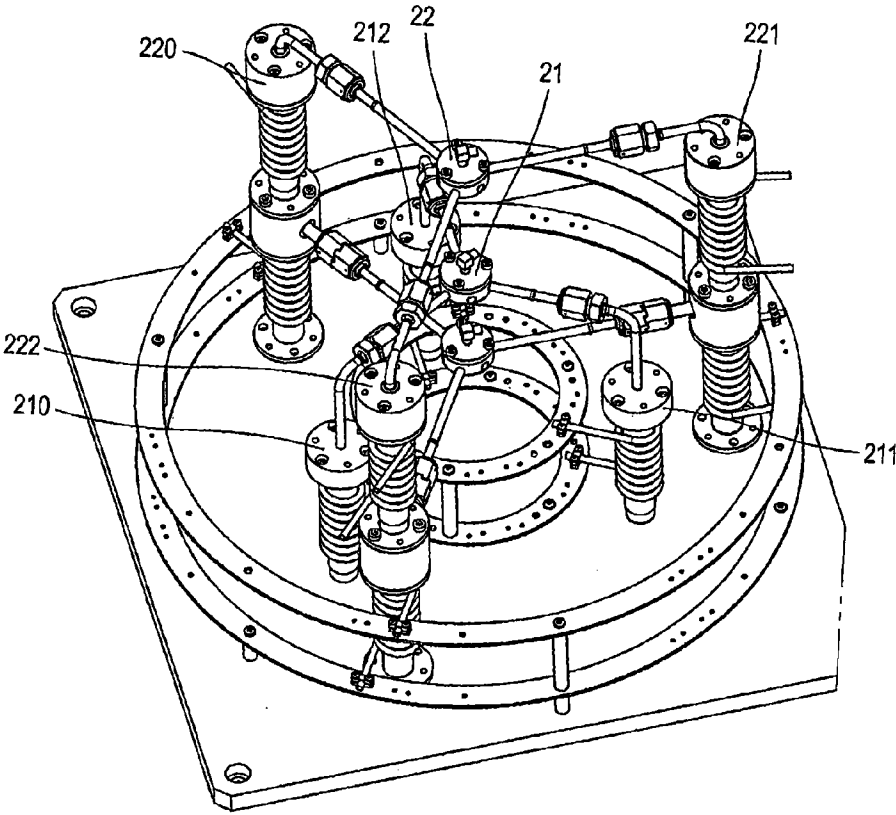


圖3

發明摘要

公告本

※ 申請案號：102126199

※ 申請日：102/07/22

※IPC 分類：H01J 37/32 (2006.01)
H01L 21/3065 (2006.01)

【發明名稱】(中文/英文)

利用電漿處理工件之系統、複合工件之選擇性電漿處理法及利用相同方法獲得的經蝕刻之複合工件

SYSTEM FOR THE PROCESSING OF AN OBJECT BY PLASMA, SELECTIVE PLASMA PROCESSING PROCESS OF A COMPOSITE OBJECT, AND ETCHED COMPOSITE OBJECT OBTAINED BY THE SAME PROCESS

【中文】

本發明係關於一種用於電漿處理工件(3)之系統(1)，其包含：處理真空室(10)，其包含上面放置有待處理之工件的支撐物；至少兩個次總成(21、22)，其各自包含至少一個電漿源(210、220)，該至少一個電漿源適於產生電漿且由射頻功率 P_i 及流速 n_i 之氣體 i 獨立供應。根據本發明，由該等次總成中之一者(21)產生之電漿為部分電離之氣體或氣體混合物，其化學性質與其他次總成(22)產生之電漿不同。

本發明亦關於一種實施該裝置之選擇性處理複合工件方法。

【英文】

The invention concerns a system (1) for the plasma processing of an object (3) comprising a processing vacuum chamber (10) comprising a support on which the object to be treated is placed, at least two subassemblies (21, 22) each comprising at least one plasma source (210, 220) suitable for generating a plasma and being supplied independently by radiofrequency power P_i and by a gas i at a flow rate n_i . According to the invention, the plasma generated by one of the subassemblies (21) is a partially ionized gas or a gas mixture, of different chemical nature from the plasma

generated by the other subassembly or subassemblies (22).

The present invention also concerns a selective processing process of a composite object implementing such a device.

【代表圖】

【本案指定代表圖】：第（3）圖。

【本代表圖之符號簡單說明】：

21：次總成

22：次總成

210：電漿源

211：電漿源

212：電漿源

220：電漿源

221：電漿源

222：電漿源

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

利用電漿處理工件之系統、複合工件之選擇性電漿處理法及利用相同方法獲得的經蝕刻之複合工件

SYSTEM FOR THE PROCESSING OF AN OBJECT BY PLASMA, SELECTIVE PLASMA PROCESSING PROCESS OF A COMPOSITE OBJECT, AND ETCHED COMPOSITE OBJECT OBTAINED BY THE SAME PROCESS

【技術領域】

【0001】 本發明係關於電漿表面處理之領域。

【0002】 電漿表面處理在本發明意義上應理解為不同應用類型。

【0003】 可特別列舉由以下組成之應用：移除（或蝕刻）材料（且尤其諸如感光樹脂、金屬、介電質或半導體等之材料）；蝕刻（典型地在利用光微影術將表面圖案印刷於感光樹脂中之後）矽基板或包含金屬、介電質或其他物質之層中諸如孔洞或溝槽之結構；或由移除犧牲層組成之應用。

【0004】 此外可列舉由以下組成之應用：清除殘餘物及污染物；或表面活化（亦即「末端表面」之物理及/或化學修飾）；或表面鈍化（亦即保護表面以防物理及/或化學侵蝕）。

【0005】 此等應用特別關於微電子學及半導體領域，而且關於例如平面螢幕及光伏打面板之製造。

【先前技術】

【0006】 電漿為部分電離之氣體，其含有帶電物質（離子及電子）以及呈電中性但極具化學活性之物質，自由基：此等自由基為呈電子「激發」狀態但並未失去電子之原子及分子。藉助於此等自由基及/或離子以及經控制之真空環境，電漿為材料之沉積、蝕刻及移除提供獨特可能性。

【0007】 目前，存在兩種主導類型之用於半導體表面處理之電漿技

術：微波電漿及感應耦合電漿。現存技術中之每一者都存在優點及不便之處。

【0008】 微波電漿之主要優點來自其產生高密度活性化學物質(大於 10^{17} cm^{-3}) 之能力。然而，此技術存在許多不便之處，諸如電漿源之複雜性及處理之不均勻性。電漿源需要具有許多零件（波導管、磁控管等）之垂直總成，該總成產生相當大的體積且變得不可靠。另外，電漿源定位於上游（相對於氣流）且在處理室中心，且由此使得活性電漿物質之密度的均勻性不足，且因此基板（定位於處理室中）在腔室中心（其中活性物質密度極高）與其邊緣（其中活性物質密度極低）之間的處理均勻性不足。此外，此電漿源類型存在需要極高電功率以及極高氣體流速的不便之處。所有此等不便之處使得此電漿處理昂貴，難以變得可靠且難以控制。

【0009】 感應耦合電漿或 ICP 比微波電漿容易實施：該技術比微波技術簡單，沒那麼昂貴且容易控制。然而，此技術之主要不便之處來自由此獲得之低密度化學活性物質（約 10^{15} cm^{-3} ）。此外，與微波電漿一樣，ICP 電漿亦遭遇腔室中心（其中活性物質密度較高）與其邊緣（其中活性物質密度較低）之間的活性物質密度不均勻之問題，使得表面處理不均勻。使用者要求的處理速度迫使使用高功率 RF 產生器，該等高功率 RF 產生器極昂貴且導致加熱所用氣體。最後，視處理室之設計而定，ICP 源產生之電漿可誘發基板（例如半導體晶圓）的顯著自主（RIE 模式（反應性離子蝕刻）或非自主離子轟擊。

【0010】 因此，當前電漿技術遇到的主要問題之一為活性物質密度不均勻的問題，且因此為適用於基板大小增大（或按比例放大）之裝置之設

計的問題。實際上，從 200 mm 直徑基板變為 300 mm 直徑基板對於設備製造商實施電漿技術而言已經很困難且極昂貴。此基板大小變化實際上需要電漿源（無論感應耦合電漿源（或 ICP）或微波源）大小可觀增加，且需要添加雜項零件（諸如漫射體或磁體）以人為減少均勻性不足。因此，此兩種技術（ICP 及微波）現今極昂貴且對於其使用者（半導體製造商）而言較複雜。因此，從 300 mm 直徑基板變為 450 mm 直徑基板之可行性為仍待解決之複雜問題。

【0011】 此外，ICP 源及微波源獲得不超過 30% 之氣體解離速率，此使產生之活性物質大量稀釋及氣體極高消耗。該等源以單式方式使用：每個處理室使用單個源且源大小與所處理之體積成正比。這些都迫使實施在高功率下操作之龐大源，對基板產生不良熱效應且顯著提高此等系統之成本。在此兩種源類型之中，微波電漿的化學活性物質最緻密，但難以控制過程。

【0012】 因此，中等化學活性物質密度之 ICP 電漿技術現今占主導地位。

【0013】 此外，除了呈電中性之自由基以外，電漿含有破壞半導體裝置之離子、電子及呈高能光子形式之 UV 輻射。隨著奈米尺度之微型化，半導體對此破壞愈來愈敏感。

【0014】 基板（或「晶圓」）上存在金屬可產生與微波及極高加熱結合的破壞組件之風險。此為微電機系統（亦由首字母縮寫 MEMS 命名）之超敏結構以及將在後代半導體中實施之三維總成及互連的情況。

【0015】 最後，在積體電路製造之構架中，已知電漿處理半導體裝置

由特別以薄層堆疊形式存在之極不同材料之總成構成。爲了自半導體裝置製造積體電路，電漿處理必須作用於單種材料，使總成之其他材料不受影響。此爲所謂選擇性。此時，選擇性未充分提高，導致組件效能降級。

【0016】 對於矽晶圓（其爲製造積體電路晶圓所用之普通基底材料）的積體電路製造，現今積體電路在奈米尺度之積體程度迫使新表面處理技術具有極端靈敏度，亦即不消耗其他暴露之材料。

【0017】 選擇性之問題在使用金屬柵格及「高 k 」型介電質柵格及「低 k 」型介電質互連網路之堆疊的情況下尤其重要。此等材料尤其容易受材料之物理化學改變及損失的影響。

【0018】 直至本發明，才容許由表面處理引起之輕微材料損失，因爲對電路效能不具負面影響，且主要目的爲清除所有非所要材料及污染物。現今，表面處理（尤其剝離及清除）可藉由尺寸及/或材料之改變直接影響積體電路效能。因此，表面處理之另一目的爲使此等改變減至最少且控制此等改變。

【0019】 因此，由於積體電路大小之減小及新材料之使用（尤其對於邏輯組件（典型地爲微處理器）及記憶電路而言）而存在愈來愈多的選擇性問題。

【0020】 因此，當前電漿技術存在四個主要不便之處：電離物質對裝置的破壞、特別針對 ICP 電漿之低密度化學活性物質、低均勻性及缺乏選擇性。

【0021】 因此，真實需要彌補先前技術之此等缺陷、不便之處及障礙且特定言之旨在提高電漿處理選擇性及特別改良較大直徑（諸如 300 mm 或

450 mm) 基板之電漿處理均勻性的電漿處理系統。

【0022】 熟習此項技術者已知使用複數個電漿源之電漿處理系統，諸如美國專利申請案 US 2005/0178746 中所述之電漿處理系統。該系統旨在藉由將發射相同化學上均質電漿之複數個電漿源平行安置來改良電漿處理之均勻性。

【發明內容】

【0023】 因此，本發明之主旨為提供一種用於電漿處理工件之系統及一種將補救此等不便之處的實施該裝置之方法。

【0024】 為了解決此等缺陷及不便之處，申請者已開發出一種電漿處理系統，其包含處理真空室及複數個組態於各自產生化學上不同電漿之獨立次總成中的電漿源。

【0025】 更特定言之，本發明之主旨為一種用於電漿處理工件之系統，該系統包含：

- 處理真空室，其包含上面放置有待處理之工件的支撐物；及
- 至少兩個次總成，其各自包含至少一個允許產生電漿之電漿源，次總成之各電漿源由射頻功率 P_i 及氣體 i 之流速 n_i 獨立供應。

【0026】 根據本發明，由次總成產生之電漿為部分電離之氣體或氣體混合物，其化學性質與其他次總成產生之電漿不同。

【0027】 有利的是，次總成之各電漿源包含：

- 進氣口系統；
- 由對電漿呈惰性之材料製成之放電室，例如呈管道形式；
- 用於將射頻（RF）功率與放電室耦合之裝置；及

○ 出氣口。

【0028】 有利的是，控制裝置視特定組態而定藉由施加對各次總成特定之射頻功率 P_i 及/或氣體流速 n_i 來控制該等次總成中之每一者。

【0029】 有利的是，各次總成包含對連接至次總成之各電漿源之進氣口之次總成特定的進氣口。

【0030】 有利的是，各次總成包含連接至次總成之各電漿源之耦合裝置的導體元件。

【0031】 有利的是，次總成以同心環形式排列。

【0032】 有利的是，次總成平行排列。

【0033】 有利的是，在包含至少兩個電漿源之各次總成中，各電漿源包含至少兩個串聯的放電室。

【0034】 本發明之主旨亦為一種用於處理複合工件之選擇性電漿處理方法，該複合工件包含至少兩種不同材料 A 及 B，該方法實施本發明之處理系統且包含以下步驟：

- 利用該等次總成中之第一者產生第一電漿且使用該第一電漿處理該工件之步驟；

- 利用該等次總成中之第二者產生第二電漿且使用該第二電漿處理該工件之步驟；

【0035】 如本發明所定義，應理解複合工件為由性質極不同的材料組成之總成，其尤其能夠採用薄膜堆疊形式。作為能夠利用本發明方法處理之複合工件之實例，可列舉半導體裝置（且特定言之包含電晶體結構及材料之矽晶圓及積體電路之其他構成元件），其由經氮化矽 Si_3N_4 覆蓋之一個或

複數個氧化矽 SiO_2 層覆蓋。

【0036】 有利的是，產生電漿之步驟交替重複，或部分或完全重疊，且較佳各步驟部分重疊至多 25%。

【0037】 根據一尤其有利具體實例，本發明之方法可由蝕刻處理複合工件組成，該複合工件包含至少兩層不同材料 A 及 B，材料 A 之層至少部分覆蓋材料 B 之層，該方法包含：

- 使用第一電漿處理表面上包含材料 B 之工件的至少第一區域，該使用第一電漿之處理由材料 B 之鈍化或活化步驟組成；及
- 使用第二電漿處理表面上包含材料 A 之工件的至少第二區域，該使用第二電漿之處理由部分或全部移除材料 A 組成，可導致當完全移除材料 A 時形成表面包含材料 B 之區域，

該方法能夠以使用第一電漿之鈍化或活化步驟開始，或者以使用第二電漿移除之步驟開始。

【0038】 作為根據本發明方法選擇性蝕刻之複合工件的實例，可列舉間隔件（更特定言之薄化或移除間隔件）、STI（「淺槽隔離（*Shallow Trench Isolation*）」）結構（更特定言之全部或部分移除「撤回」STI 遮罩）、電晶體及高級 CMOS 電路（處理器、記憶體），其在氧化矽 SiO_2 （材料 B）之層上包含氮化矽 Si_3N_4 （材料 A）之層，氮化矽通常為犧牲材料。

【0039】 本發明方法之此具體實例的主要優點為結合高選擇性與高蝕刻速度。

【0040】 在本發明中，選擇性應理解為目標材料（材料 A，例如 Si_3N_4 ）之蝕刻速度與另一暴露材料或處理期間可能暴露之材料（此處為材料 B，例

如 SiO_2 ，其在理想情況下不應被蝕刻）之蝕刻速度的比率。

【0041】 此為材料移除（或蝕刻）處理的基本性質，其對「乾式」類型處理（諸如本發明之電漿處理）與對例如使用磷酸之「濕式」處理一樣關鍵。

【0042】 舉例而言，製造高級 CMOS 電路（處理器、記憶體）需要以極高選擇性（尤其與 SiO_2 及/或 Si 相比）移除氮化矽 Si_3N_4 ： Si_3N_4 之移除不可破壞其他材料。此時，用於執行此氮化矽移除步驟之兩種處理一方面為使用磷酸之「濕式」處理，且另一方面為使用含有氣體混合物 $\text{C}_x\text{F}_y\text{H}_z/\text{O}_2/\text{H}_2/\text{N}_2$ 之碳氟化合物電漿的「乾式」電漿處理。此等當前處理不允許待實現之氮化矽移除的極高選擇性，因為其典型地僅為 50。

【0043】 此外， Si_3N_4 間隔件之製造藉由定向蝕刻先前沉積之 Si_3N_4 層來進行。根據由 Lam 公司在期刊 Solid State Technology-2012 年 4 月（第 15 頁、第 16 頁、第 17 頁及第 26 頁）中公開之科學研究文章「*Plasma Etch Challenges for FinFET transistors*」，當前蝕刻處理之主要難點在於獲得具有極特殊形狀之間隔件而不消耗矽基板。此文章中提出的用於獲得此目的之解決方案在於調節電漿條件（「電漿參數之時間調節」）。舉例而言，同步脈衝為由以約 $100\ \mu\text{s}$ 之週期接通/斷開 RF 源功率及基板載體之 RF 功率組成的技術。此類定向蝕刻常用於稍後移除間隔件。然而，此類處理存在在間隔件根部誘發矽損失以及相鄰圖案（諸如主動區域之邊緣或柵格之邊緣）之小面化的不便之處。

【0044】 本發明之蝕刻方法解決先前技術之不便之處且允許結合高靈敏度與高蝕刻速度。

【0045】 有利的是，使用第一電漿處理及使用第二電漿處理之步驟根據一定週期性以交替方式進行，該週期性在 0.5 秒至 120 秒範圍內，且較佳在 2 秒至 30 秒範圍內，以便複數次重複電漿處理步驟之順序直至獲得材料 A 之所要移除。

【0046】 有利的是，活化步驟或鈍化步驟之持續時間與移除之持續時間的比率在 0.1 至 10 範圍內且較佳在 0.5 至 2 範圍內。

【0047】 本發明之主旨另外為可利用諸如上文所定義之蝕刻方法獲得的經蝕刻複合工件。其可能尤其為集成電路晶圓，或用於平面螢幕之基板，或用於太陽電池之基板，或用於以電子方式印刷之裝置的基板。

【圖式簡單說明】

【0048】 本發明之其他優點及特徵將由以下說明產生，該說明作為非限制性實例給出，且參照附圖及實施例進行：

圖 1 為對應於先前技術之電漿處理系統的根據一具體實例之處理室的截面功能圖；

圖 2 為圖 1 中所示之系統之電漿源的截面功能圖；

圖 3 為根據本發明之一具體實例之兩個獨立次總成中電漿源之組態的功能透視圖；

圖 4 為根據本發明之另一具體實例之電漿處理系統之電漿源的透視功能圖，該電漿源包含兩個串聯之放電室；

圖 5 展示先前技術之電漿蝕刻機，其在比較實施例 2 中實施；

圖 6 展示先前技術之另一電漿蝕刻機，其在比較實施例 3 中實施；

圖 7 展示利用實施圖 6 之機器之過程獲得的選擇性及蝕刻速度（比較

實施例 3)；

圖 8 展示隨在比較實施例 3 中實施之處理期間量測的氣體混合物變化的蝕刻速度及選擇性之演變；

圖 9 及圖 10 展示在本發明之實施例中實施的本發明之裝置之兩個電漿源總成的使用；

圖 11A、圖 11B、圖 11C 展示圖 10 之兩個次總成之操作的時間圖；

圖 12 至圖 14 展示使用本發明之實施例中所述且實施圖 9 及圖 10 中示意性展示之裝置之處理獲得的結果；及

圖 15A 和 15B 展示根據關於用於製造絕緣複合結構的經氮化矽覆蓋之氧化矽層所述之處理蝕刻的結果。

【實施方式】

特定具體實例

【0049】 諸如圖 1 中所示，先前技術之用於電漿處理之裝置由不同元件組成：處理室 10、電漿源 201、202、203 之總成 20、氣體分散氣體系統 30 及/或使處理室 10 與由各電漿源產生之破壞性物質分離之系統、氣體限制系統及泵送系統 40。處理室 10 由經特殊處理之材料的腔室構成，以免與電漿中形成之活性物質相互作用，且具有適用於處理所要零件之形狀，其可為圓柱形、立方形或將允許腔室之工業使用的另一形式。處理室之一個面欲用於裝載。其為「門」。其他面欲用於供物質進入，那裏連接有電漿源 201、202、203，且最通常相對於源或在腔室 10 之基部的另一面欲用於抽排腔室。

【0050】 此處，各電漿源（諸如圖 2 中所示）由進氣口系統 25、呈

管道 201、202、203 及對電漿呈惰性之材料形式的放電室組成，且其直徑適用於藉由經耦合裝置 26（例如天線）感應來使射頻功率轉移最佳化，該耦合裝置具有連接至調諧器及 RF 產生器上游及絕緣放電電容下游（未展示）之幾個線圈。

【0051】 藉由使用泵 40 抽排獲得電漿形成及氣體循環所必需之處理室 10 中之真空。泵 40 為例如連接至腔室 10 之基部的低真空泵或渦輪分子泵，最通常面向源 201、202、203。活性物質增濃之氣體在腔室 10 中循環，隨後經抽排。

【0052】 在圖 3 中，展示根據本發明之處理系統之一具體實例的兩個獨立次總成 21、22 中電漿源組態的功能透視圖。在圖 3 中說明之具體實例中，次總成 21、22 根據同心環排列。然而，視待獲得之所要最終結果而定，可能為其他組態。

【0053】 各次總成 21、22 包含至少一個允許產生電漿之電漿源。圖 3 展示各次總成包含三個電漿源：用於次總成 21 之 210、211 及 212 以及用於次總成 22 之 220、221 及 222）。在次總成 21 中，各源包含單個放電室（此處呈管道形式），而在次總成 22 中，各源 220、221 及 222 包含兩個串聯的放電室（此處亦呈管道形式：如圖 4 中所示之管道 2201 及 2202）。

【0054】 次總成之各電漿源獨立地由射頻功率 P_i 及流速 n_i 之氣體 i 供應。由次總成（例如次總成 21）產生之電漿為部分電離之氣體或氣體混合物，其化學性質與另一次總成 22 產生之電漿不同。

【0055】 控制裝置視特定組態而定藉由施加對各次總成特定之射頻功率及氣體流速來控制該等次總成 21、22 中之每一者。

【0056】 本發明之電漿處理系統允許藉由針對電漿源之各次總成施用不同射頻功率及/或氣體流速來彼此獨立地控制電漿源，以便能夠控制處理均勻性，尤其是在待處理之零件的中心與邊緣之間的處理均勻性。

【0057】 不同電漿源 210、211、212、220、221、222 在小尺寸之放電室情況下宜為小尺寸，此處呈小直徑管道形式，因此允許其次總成倍增（在源包含單個放電室（此處呈管道形式）之情況下）或源倍增（在源包含串聯之放電室的情況下）。

【0058】 源倍增另外允許由處理室中該次總成產生之活性物質數目增加。即使對於較大直徑晶圓，其亦允許處理最佳化及均質化。實際上，藉由源之漫射光錐的充分組合，利用其重疊及/或其疊加，且藉由經腔室之抽排管理氣體循環，有可能獲得表面之均勻處理。

【0059】 另一方面，此等電漿源可放置於不同戰略位置以便與待處理形式對應，以達成其處理之最佳化或其處理之均勻性。

【0060】 就獨立次總成中電漿源之組態、其小體積及次總成獨立管理（在氣體及射頻功率兩者方面）而言，在電漿處理系統中，有可能將不同次總成分配至處理室中之不同幾何區域中。此等區域彼此獨立，其或多或少經活化（在氣體及射頻功率兩者方面），以便允許控制處理室 10 中局部活化物質之作用。

【0061】 因此，在利用區域及使用獨立次總成之工作中，主動控制處理之幾何形狀。

【0062】 此排列不僅允許在基板上控制處理之均勻性，而且該處理可藉由相繼添加另外的周邊區而發展，且不限制待處理之工件的大小，特定

言之對於 300 mm 至 450 mm 之晶圓直徑。

【0063】 對於 300 mm 直徑之基板或晶圓，可使用包含例如排列成兩個同心環之兩個次總成的處理系統，如圖 3 中所示。

【0064】 此處，中心環 21 包含構成電漿源（一般一至六個放電室）的三個放電室（此處呈管道 210、211 及 212 形式），該等放電室排列在電漿源中心且由射頻功率 P1 及氣體供應，該氣體包含例如在區塊 F1 中混合之 O_2 、Ar、 CF_4 、 CHF_3 、 NF_3 、 H_2O 、 H_2 、 Cl_2 、 CF_3Br 、 $C_xH_yF_z$ 等之混合物，其中 F1 實施流速 1.1 之氣體 1、流速 2.1 之氣體 2、流速 3.1 之氣體 3 等至流速 n.1 之氣體 n 的混合操作。

【0065】 第二環 22 圍繞中心環，其包含例如三個源（但較佳四至八個源），該等源各自包含兩個串聯之放電室，環 22 與中心環 21 同心。環 22 之不同放電室（此處呈管道形式）由射頻功率 P2 及區塊 F2 中混合之氣體（此處為例如氣體 O_2 、Ar、 CF_4 、 CHF_3 、 NF_3 、 H_2O 、 H_2 、 Cl_2 、 CF_3Br 、 $C_xH_yF_z$ 等之混合物）供應，其中區塊 F2 實施流速 1.2 之氣體 1、流速 2.2 之氣體 2、流速 3.2 之氣體 3 等至流速 n.2 之氣體 n 的混合操作。

【0066】 亦可使用三個或三個以上區域（300 mm）。

【0067】 對於直徑為 450 mm 之晶圓，使用相同原理，視均勻性要求而定，宜向已存在者添加一個或數個電漿源同心環（各環對應於一個次總成）。

【0068】 舉例而言，可使用圍繞先前所述之環 22 的第三環，此環包含八至十六個放電室（此處呈管道形式），該等管道藉由射頻功率 P3 及區塊 F3 中混合之氣體供應，該等氣體為例如 O_2 、Ar、 CF_4 、 CHF_3 、 NF_3 、 H_2O 、

H_2 、 Cl_2 、 CF_3Br 、 $C_xH_yF_z$ 等，其中區塊 F3 實施流速 1.3 之氣體 1、流速 2.3 之氣體 2、流速 3.3 之氣體 3 等至流速 n.3 之氣體 n 的混合操作。

【0069】 處理之均勻性藉由在氣體流速 F1、F2、F3 及射頻功率 P1、P2、P3 方面獨立控制不同源區域來確保。

【0070】 為此，各環對應於源之次總成，該次總成包含對該次總成特定之進氣口，該次總成連接至所考慮之次總成之各電漿源的進氣口。控制裝置控制各次總成之進氣口中的氣體流速。控制裝置另外控制注射於各次總成之進氣口的氣體混合物。

【0071】 在電氣實施方面，此處，各次總成包含連接至次總成之各放電室（此處呈管道形式）之天線 26 的傳導元件。控制裝置對供應至次總成之傳導元件的射頻功率進行控制。

【0072】 另外，根據一有利排列，轉動基板以使處理速度平均且因此改良均勻性。

【0073】 根據另一有利排列，典型地將呈經陽極氧化處理之鋁或石英形式的同心環添加至各源與待處理基板之間，典型地在處理室 10 之上部中，此等環為蓮蓬式噴頭，該等蓮蓬式噴頭當前用於半導體製造設備，在幾百個注射點分配化學物質之注射。形成小孔刺入與待處理基板相對之下部表面的環。在本發明情況下，其允許愈加改良處理均勻性且甚至減少處理 300 mm 及 450 mm 之基板所必需的放電室數目。

【0074】 根據另一有利排列，氣體流速及射頻功率之參數根據處理均勻性方面之效能的量度來調節。

【0075】 使用量測處理之局部效能之裝置（例如利用光譜法直接量測

或利用厚度量測間接量測)，藉由使源多路化，有可能主動校正處理以便處理在速度、均質性及均勻性方面之品質最佳化同時保證處理之無害性。

【0076】 氣流及射頻功率之該參數調節例如以密閉環形式或以前饋環形式進行。

【0077】 此處，前饋調節由在處理之前量測晶圓表面狀態（諸如樹脂厚度）組成以便調節處理參數，從而彌補已存在之不均勻性。

【0078】 此處，密閉環由在處理之後量測晶圓表面狀態組成以便在處理以下晶圓之前調節處理參數。

【0079】 由所述電漿處理系統帶來之優點特別為在處理速度方面的較佳均勻性及較佳效率。另外，源之多路化允許在數量、解離速率、化學組成及某些工作區域上的能量方面獨立控制活性物質之流動，且因此允許主動校正敏感組件之處理。因此，該系統允許以無大小限制之方式處理基板，其促成除清除及剝離應用以外的極大應用潛力。

【0080】 該系統亦允許獲得活性物質之氣體通量的均勻分佈。其允許改良殘餘物清除效率及蝕刻速度，同時與當前效能相比顯著增加選擇性。

【0081】 選擇性為目標材料（例如氮化矽 Si_3N_4 ）之蝕刻速度與另一暴露材料（其理想地不可蝕刻（例如氧化矽 SiO_2 ））之蝕刻速度的比率。選擇性為關鍵的且必須隨著新一代技術的出現不斷增加。具有多個放電室（此處呈管道形式）之裝置允許藉由獨立控制目標材料之蝕刻速度及一或多種其他暴露材料之蝕刻速度增加電漿處理之選擇性。該裝置允許獲得無限選擇性。

【0082】 特定言之，由次總成產生之剝離電漿及由另一次總成產生之

鈍化電漿的交替使用或部分重疊允許此選擇性實質上提高。

實施例

產品

- 矽半導體基板（晶圓），其由作為待蝕刻目標材料之氮化矽（ Si_3N_4 ）之層覆蓋，且由作為不經蝕刻之氧化矽 SiO_2 之層覆蓋，或由前述材料之複合區域覆蓋；

- 矽半導體基板（晶圓），其由經 Si_3N_4 （待蝕刻之目標材料）之層覆蓋的氧化矽 SiO_2 （不經蝕刻之材料）之層覆蓋；

- 矽半導體基板（晶圓），其包含前述堆疊之複合區域

測試：選擇性之量測

【0083】 藉由以下方式量測選擇性：在處理後，計算相同處理時間自材料 A 移除之厚度相較於自材料 B 移除之厚度的比率。此亦可以兩種材料之蝕刻或剝離速度之比率形式表示。

比較實施例 1

【0084】 由氮化矽（ Si_3N_4 ）層覆蓋之矽基板及由氧化矽（ SiO_2 ）層覆蓋之矽基板已分別藉由磷酸濕式處理來蝕刻。

結果

【0085】 獲得 50:1 之選擇性。

比較實施例 2

【0086】 為了測定 SiO_2 之蝕刻速度，使用僅覆蓋在 SiO_2 中之 Si 基板，亦即 SiO_2/Si ，自該基板部分移除 SiO_2 。為了測定 Si_3N_4 之蝕刻速度，使用僅覆蓋在 Si_3N_4 中之 Si 基板，亦即 $\text{Si}_3\text{N}_4/\text{Si}$ ，或最通常為 SiO_2 上有 Si_3N_4 的 Si 基

板，亦即 $\text{Si}_3\text{N}_4/\text{SiO}_2/\text{Si}$ ，自該基板部分移除 Si_3N_4 。接著將該處理應用至 Si 基板上的真實結構。真實結構最通常為複合物，亦即由 SiO_2 區域及 $\text{Si}_3\text{N}_4/\text{SiO}_2$ 區域製成。區域之幾何形狀及外形視製造步驟而定（圖 15 為其一個實例）。

【0087】 諸如上文所述之測試晶圓利用由 IMEC R&D Centre(比利時) 在 Grenoble 之 PESM 2012 會議期間呈現之先前技術的電漿處理蝕刻。電漿蝕刻處理在諸如圖 5 中說明之 LAM RESEARCH 公司之蝕刻機中進行：其包含單個放電室及單個化學處理。

結果

• 電漿（所用氣體混合物）	$\text{NF}_3/\text{O}_2/\text{CH}_3\text{F}$
• Si_3N_4 之蝕刻速度 v_1	44 nm/min
• SiO_2 之蝕刻速度 v_2	0.8 nm/min
• 選擇性 v_1/v_2	55:1

比較實施例 3

【0088】 基於包含諸如圖 6 中說明之包含數個放電室(此處呈管道形式) 之電漿源之設備，本申請者已進行 Si_3N_4 之選擇性蝕刻實驗。在此裝置中，放電管均平行連接且由單個發電機控制。不可能獨立控制管道，亦即不可能向不同管道施用不同 RF 功率。混合 O_2 、 N_2 、 CF_4 等類型之活性氣體，隨後將其注射至放電管中。亦不可能向不同管道中注射不同氣體。申請者所用之電漿源雖然由複數個放電管組成，但在處理室中產生單一類型之電漿，正如傳統電漿源（微波或電感耦合）一樣。

【0089】 圖 7 展示隨不同氣體混合物改變之選擇性及蝕刻速度。此圖展示：

- O_2 之添加為提高 Si_3N_4 蝕刻速度的主要參數；及
- H_2 之添加大大改良 $Si_3N_4:SiO_2$ 選擇性，但 Si_3N_4 之蝕刻速度仍然較低。

【0090】 圖 8 展示隨氣體混合物中 H_2 之量改變的選擇性及蝕刻速度。應注意：

- Si_3N_4 之蝕刻速度及 $Si_3N_4:SiO_2$ 選擇性緊密相關：當 SiO_2 選擇性增加時， Si_3N_4 之蝕刻速度降低。不可能使傳統電漿源組態中之兩者去相關（亦即在處理室中產生單一類型電漿）；

- 對於 110:1 之 $Si_3N_4:SiO_2$ 選擇性， Si_3N_4 之蝕刻速度為約 80 Å/min；
- 對於約 35:1 之 $Si_3N_4:SiO_2$ 選擇性， Si_3N_4 之蝕刻速度為約 250 Å/min。

【0091】 因此，比較實施例展示不可能結合高選擇性與高蝕刻速度（參見圖 8 及比較實施例 2 中呈現之結果）。

實施例 1 根據本發明

【0092】 諸如先前所述覆蓋於氧化矽中及/或覆蓋於氮化矽（ Si_3N_4/SiO_2 ）中之矽基板使用根據本發明之一具體實例的電漿蝕刻處理蝕刻，該處理包含重複以下兩個基本步驟直至獲得所要結果：

- 鈍化步驟：其用於保護（或「鈍化」）某些表面免於在蝕刻步驟期間發生化學侵蝕。鈍化由將例如 $C_xF_yH_z$ 類型（例如 CF_4 ，或 C_4F_8 或 C_2F_6 、 CHF_3 、 CH_3F 等）之聚合物沉積至基板上組成，

- 移除或蝕刻步驟：其用於部分或完全移除（「蝕刻」）材料。在步驟 2 期間，鈍化層可部分或完全移除，

各步驟之持續時間若非幾十秒則約為幾秒，但亦可能極短，約為 0.1 秒。

【0093】 此處理使用本發明之電漿處理裝置實施，該電漿處理裝置包

含不同電漿源之兩個次總成（此處由圖 9 中管道 1 及 2 表示），各管道進行本發明步驟（鈍化或蝕刻）（如圖 10 中所說明）。各源之操作時間圖分別展示於圖 11A、圖 11B 及圖 11C 中以用於無重疊的操作移除及鈍化之交替步驟（圖 11A）、部分重疊的操作移除及鈍化步驟（圖 11B）及全部重疊的操作移除及鈍化步驟（圖 11C）。

【0094】 如圖 12 至圖 14 中所示，

- 所述處理允許 Si_3N_4 之蝕刻速度得以控制且不明顯消耗 SiO_2 ；
- 對於使用 $\text{CF}_4/\text{O}_2/\text{H}_2$ 電漿的約 700:1 之 $\text{Si}_3\text{N}_4:\text{SiO}_2$ 選擇性， Si_3N_4 之蝕刻速度為約 120 Å/min。

【0095】 因此，此等測試表明本發明之電漿蝕刻處理允許獨立控制 Si_3N_4 之蝕刻速度及 SiO_2 之蝕刻速度，且因此獲得極高選擇性。

【0096】 本發明之蝕刻測試的實驗條件詳述於下文且說明於圖 11A、圖 11B 及圖 11C 中。

每個管道所用處理：	值	最小值	最大值
鈍化步驟（管道 2）：			
條件 1			
- RF 功率 =	120 W	80	360
- 流速 CF_4 =	40 sccm	20	80
- 流速 H_2 =	13.5 sccm	5	30
- t_{ON_2} =	20 秒	2	35
- 週期 2 =	35 秒	3	80

或

條件 2

- RF 功率 =	360 W	120	360
- 流速 C_4F_8 =	45 sccm	20	50
- 流速 O_2 =	5 sccm	0	20
- t_{ON_2} =	20 秒	2	35
- 週期 2 =	35 秒	3	80

或

條件 3

- RF 功率 =	240 W	120	360
- 流速 C_2F_6 =	30 sccm	30	70
- 流速 O_2 =	0 sccm	0	5
- t_{ON_2} =	20 秒	2	35
- 週期 2 =	35 秒	3	50

移除步驟 (管道 1)

條件 1

- RF 功率 =	120 W	120	360
- 流速 CF_4 =	40 sccm	20	80
- 流速 O_2 =	5 sccm	0	10
- t_{ON_1} =	15 秒	1	35
- 週期 1 =	35 秒	3	85

或

條件 2

- RF 功率 =	240 W	120	360
- 流速 CHF ₃ =	40 sccm	0	100
- 流速 O ₂ =	30 sccm	0	60
- tON ₁ =	15 秒	1	35
- 週期 1 =	35 秒	3	85

其他參數：

- 基板溫度 = 135℃ 至 150℃
- 壓力 = 200 毫托至 1 托
- 總處理時間 = 1 分鐘至 3 分鐘
- RF 功率 = 50 W 至 1000 W/放電管且對於由複數個放電管組成之次總成至多 5000 W。
- 氣體流速 = 1 sccm 至 5000 sccm
- tON = 0.1 秒至 30 秒

可用於本發明框架之其他電漿氣體：

- 對於鈍化步驟：CF₄、CHF₃、CH₃F、C₂F₆、C₄F₈、CF₃Br、HBr（具有或不具有 H₂、具有或不具有 N₂）及其混合物
- 對於蝕刻步驟：CF₄、CHF₃、CH₃F、NF₃、Cl₂、HBr、SF₆（具有或不具有 O₂、具有或不具有 N₂）及其混合物
- 添加劑氣體：O₂、N₂、Ar、H₂、Xe、He

實例 2 根據本發明

【0097】 自氧化矽覆蓋及/或覆蓋在氮化矽中之矽組成的基板，選擇性蝕刻氮化矽 Si₃N₄ 層，該層充當用於製造所謂 STI（淺槽隔離）結構之複

合物的遮罩。爲此，將實施實施例 1 之條件 1 的鈍化及移除步驟順序重複八次，分別持續 7 秒及 15 秒之時間。移除之前的複合結構說明於圖 15A（左側）中，而在處理之後的複合結構說明於圖 15B（右側）中。氮化矽 Si_3N_4 作爲 151 提及且氧化矽作爲 153 提及。指示氮化矽之抑制，而氧化矽爲完整的。

【符號說明】**【0098】**

- 10：處理真空室
- 20：電漿源之總成
- 21、22：次總成
- 25：進氣口系統
- 26：耦合裝置
- 30：氣體分散氣體系統
- 40：泵送系統
- 151：氮化矽
- 153：氧化矽
- 201、202、203：電漿源
- 210、211、212：電漿源
- 220、221、222：電漿源
- 2201、2202：管道

申請專利範圍

1. 一種利用電漿處理工件之系統，該系統包含：
處理真空室（10），其包含上面放置有待處理之該工件的支撐物；及
內次總成，其包含至少三個放電室，該內次總成係由氣體 i 之第一獨立射頻功率 P_i 與第一獨立流速 n_i 供應，還有中次總成，其包含至少三個放電室，該中次總成係由氣體 I 之第二獨立射頻功率 P_i 與第二獨立流速 n_i 供應，其特徵在於由該內次總成產生之電漿為部分電離之氣體或氣態混合物，其化學性質與該中次總成產生之電漿不同，其中欲使用該內次總成來處理經該中次總成處理之該工件的不同特定區域。
2. 如申請專利範圍第 1 項之系統，其中控制裝置視特定參數化而定及藉由施加對該內次總成與中次總成特定之射頻功率 P_i 及/或氣體流速 n_i 來控制該內次總成與中次總成。
3. 如申請專利範圍第 1 項或第 2 項之系統，其中該內次總成與中次總成係沿同心環排列。
4. 如申請專利範圍第 1 項或第 2 項之系統，其中該內次總成與中次總成係平行排列。
5. 如申請專利範圍第 1 項或第 2 項之系統，其進一步包含外次總成，其包含至少三個放電室，該放電室係由氣體 I 之第三獨立射頻功率 P_i 與第三獨立流速 n_i 供應。
6. 一種複合工件之選擇性電漿處理法，該複合工件包含至少兩種不同材料 A 及 B，該方法實施如申請專利範圍第 1 項或第 2 項之系統且包含以下步驟：

利用該內次總成產生第一電漿且使用該第一電漿處理該工件之步驟；

利用該中次總成產生第二電漿且使用該第二電漿處理該工件之步驟。

7. 如申請專利範圍第 6 項之方法，其中該等電漿產生步驟係交替重複或在部分或完全重疊之情況下重複。

8. 如申請專利範圍第 6 項或第 7 項之方法，其中該等電漿產生步驟在該等步驟係在部分重疊至多 25%情況下重複。

9. 如申請專利範圍第 6 項或第 7 項之方法，其係由包含至少兩層不同材料 A 及 B 之該複合工件之蝕刻處理組成，該材料 A 之層至少部分覆蓋該材料 B 之層，該方法包含：

使用第一電漿處理表面上包含該材料 B 之該工件的至少第一區域，該使用第一電漿之處理由該材料 B 之鈍化或活化步驟組成，及

使用第二電漿處理表面上包含該材料 A 之該工件的至少第二區域 (32)，該使用第二電漿之處理由部分或全部移除該材料 A 組成，可導致當完全移除時形成表面包含材料 B 之區域 (32)，

該方法能夠以使用該第一電漿之鈍化或活化步驟開始，或者以使用該第二電漿之移除步驟開始。

10. 如申請專利範圍第 9 項之方法，其中該使用第一電漿之處理步驟及該使用第二電漿之處理步驟根據在 0.5 秒至 120 秒範圍內，且較佳在 2 秒至 30 秒範圍內之週期性以交替方式進行，以便複數次重複該使用第一電漿之處理步驟及該使用第二電漿之處理步驟之順序直至達成該材料 A 之所要移除。

11. 如申請專利範圍第 9 項之方法，其中該活化步驟或該鈍化步驟之持續時

間與該移除之持續時間的比率在 0.1 至 10 範圍內且較佳在 0.5 至 2 範圍內。

12. 如申請專利範圍第 9 項之方法，其中該材料 A 為氮化矽 Si_3N_4 且該材料 B 為氧化矽 SiO_2 。
13. 一種經蝕刻之複合工件，其能夠利用如申請專利範圍第 9 項至第 12 項中任一項之方法獲得。
14. 如申請專利範圍第 13 項之複合工件，其由以下組成：積體電路晶圓，或用於平面螢幕之基板，或用於光伏電池之基板，或用於以電子方式印刷之裝置之基板。
15. 如申請專利範圍第 6 項或第 7 項之方法，其進一步包含利用外次總成產生第三電漿且使用該第三電漿處理該工件之步驟。