

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-183604

(P2017-183604A)

(43) 公開日 平成29年10月5日(2017.10.5)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 29/78 (2006.01)	H O 1 L 29/78 6 5 2 J	
H O 1 L 29/12 (2006.01)	H O 1 L 29/78 6 5 2 T	
H O 1 L 29/739 (2006.01)	H O 1 L 29/78 6 5 3 A	
	H O 1 L 29/78 6 5 5 A	
	H O 1 L 29/78 6 5 2 D	
審査請求 未請求 請求項の数 11 O L (全 17 頁)		

(21) 出願番号 特願2016-71217(P2016-71217)
(22) 出願日 平成28年3月31日(2016.3.31)

(71) 出願人 000002130
住友電気工業株式会社
大阪府大阪市中央区北浜四丁目5番33号
(74) 代理人 110001195
特許業務法人深見特許事務所
(72) 発明者 日吉 透
大阪府大阪市此花区島屋一丁目1番3号
住友電気工業株式会社 大阪製作所内

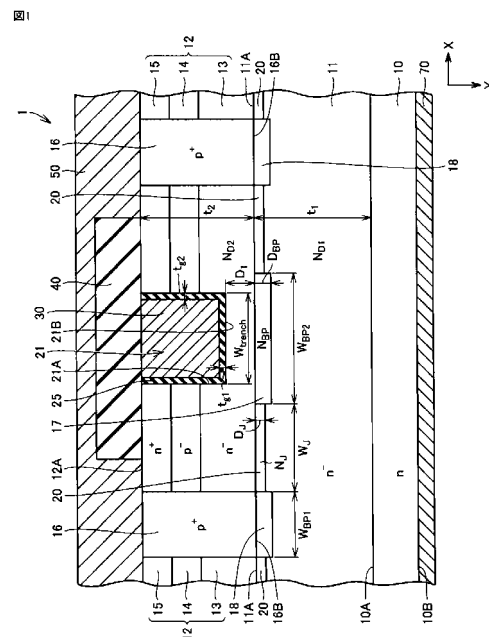
(54) 【発明の名称】 炭化珪素半導体装置

(57) 【要約】 (修正有)

【課題】 オン抵抗の増加を招くことなく、アバランシェブレイクダウンの発生時におけるゲート絶縁膜の損傷の可能性を低くすることができる炭化珪素半導体装置を提供する。

【解決手段】 炭化珪素半導体装置1は、炭化珪素基板10と、炭化珪素エピタキシャル層11と、ドリフト領域13と、ボディ領域14と、ソース領域15と、ディープ領域16とを備える。炭化珪素半導体装置1は、トレンチ21の壁に接触したゲート絶縁膜25と、ゲート電極30と、埋込領域17、18、20とを備える。埋込領域17は、トレンチ21の下方にトレンチ21の底部から離間して配置され、p型を有する。埋込領域18は、ディープ領域16に接するようにディープ領域16の下方に形成され、p型を有し、埋込領域17に電氣的に接続される。埋込領域20は、埋込領域17と埋込領域18との間に形成され、p型を有する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

炭化珪素半導体装置であって、
炭化珪素基板と、
前記炭化珪素基板上に配置され、第 1 の導電型を有する、第 1 の炭化珪素層と、
前記第 1 の炭化珪素層上に配置され、前記第 1 の導電型を有する第 2 の炭化珪素層と、
前記第 2 の炭化珪素層上に配置され、前記第 1 の導電型と異なる第 2 の導電型を有する
、第 3 の炭化珪素層と、
前記第 3 の炭化珪素層上に配置され、前記第 1 の導電型を有する、第 4 の炭化珪素層と
、
前記第 2 の炭化珪素層、前記第 3 の炭化珪素層および前記第 4 の炭化珪素層を貫通する
ように形成され、前記第 2 の導電型を有する第 1 の不純物領域とを備え、
トレンチが、前記第 4 の炭化珪素層から前記第 3 の炭化珪素層を貫通して前記第 2 の炭
化珪素層に達するように、前記炭化珪素半導体装置に形成され、
前記炭化珪素半導体装置は、
前記トレンチの壁に接触したゲート絶縁膜と、
前記ゲート絶縁膜に接触し、かつ、前記トレンチに充填されたゲート電極と、
前記トレンチの下方に前記トレンチの底部から離間して配置され、前記第 2 の導電型を
有する、第 2 の不純物領域と、
前記第 1 の不純物領域に接するように前記第 1 の不純物領域の下方に形成され、前記第
2 の導電型を有し、かつ、前記第 2 の不純物領域に電氣的に接続された第 3 の不純物領域
と、
前記第 2 の不純物領域と前記第 3 の不純物領域との間に形成され、前記第 1 の導電型を
有する第 4 の不純物領域とを備える、炭化珪素半導体装置。

【請求項 2】

前記第 2 の炭化珪素層の不純物濃度は、前記第 1 の炭化珪素層の不純物濃度よりも大き
く、
前記第 4 の不純物領域の不純物濃度は、前記第 2 の炭化珪素層の不純物濃度よりも大き
く、
前記第 2 の不純物領域の不純物濃度は、前記第 4 の不純物領域の不純物濃度よりも大き
い、請求項 1 に記載の炭化珪素半導体装置。

【請求項 3】

前記第 1 の炭化珪素層と前記第 2 の炭化珪素層との界面からの前記第 4 の不純物領域の
深さは、前記界面からの前記第 2 の不純物領域の深さよりも小さい、請求項 1 または請求
項 2 に記載の炭化珪素半導体装置。

【請求項 4】

前記トレンチの前記底部から前記第 2 の不純物領域までの距離を D_1 と表すと、
 $0.1 \mu\text{m} \leq D_1 \leq 3.0 \mu\text{m}$
の関係が成り立つ、請求項 1 から請求項 3 のいずれか 1 項に記載の炭化珪素半導体装置
。

【請求項 5】

前記第 3 の不純物領域の横方向の幅は、前記第 2 の不純物領域の横方向の幅よりも小さ
い、請求項 1 から請求項 4 のいずれか 1 項に記載の炭化珪素半導体装置。

【請求項 6】

前記第 2 の不純物領域の横方向の幅は、前記トレンチの横方向の幅よりも大きい、請求
項 1 から請求項 5 のいずれか 1 項に記載の炭化珪素半導体装置。

【請求項 7】

前記トレンチの底部における前記ゲート絶縁膜の厚さは、前記トレンチの側壁に接する
前記ゲート絶縁膜の部分の厚さよりも大きい、請求項 1 から請求項 6 のいずれか 1 項に記
載の炭化珪素半導体装置。

10

20

30

40

50

【請求項 8】

前記トレンチの側壁の結晶面方位が $\langle 1-100 \rangle$ または $\langle 11-20 \rangle$ である、請求項 1 から請求項 7 のいずれか 1 項に記載の炭化珪素半導体装置。

【請求項 9】

前記トレンチは、 $\{000-1\}$ 面に対して傾斜した側壁面を有する、請求項 1 から請求項 8 のいずれか 1 項に記載の炭化珪素半導体装置。

【請求項 10】

前記炭化珪素半導体装置は、MOSFETであり、

前記炭化珪素基板は、前記第 1 の導電型を有する、請求項 1 から請求項 9 のいずれか 1 項に記載の炭化珪素半導体装置。

10

【請求項 11】

前記炭化珪素半導体装置は、IGBTであり、

前記炭化珪素基板は、前記第 2 の導電型を有する、請求項 1 から請求項 9 のいずれか 1 項に記載の炭化珪素半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、炭化珪素半導体装置に関する。

【背景技術】

【0002】

20

近年、半導体装置の高耐圧化、低損失化、高温環境下での使用などを可能とするため、半導体装置を構成する材料として炭化珪素 (SiC) の採用が進められつつある。

【0003】

オン抵抗の低減にとって有利であるという観点から、炭化珪素半導体装置の分野において、トレンチゲートを有する MOSFET (Metal Oxide Semiconductor Field Effect Transistor) またはトレンチゲートを有する IGBT (Insulated Gate Bipolar Transistor) の開発が進められている。トレンチゲートを有する炭化珪素半導体装置においては、トレンチ構造の底部においてゲート絶縁膜の絶縁破壊が生じやすいという課題が存在する。

【0004】

30

このような課題を解決するための様々な構造が提案されている。たとえば国際公開 2012/077617 号 (特許文献 1)、特開 2012-99601 号公報 (特許文献 2) および特開 2013-69964 号公報 (特許文献 3) は、トレンチの下部に形成された p 型拡散層を含む炭化珪素半導体装置を開示する。

【0005】

特開 2013-145770 号公報 (特許文献 4) は、ソース領域に形成された深い p 型領域を有する炭化珪素半導体装置を開示する。特開 2014-41990 号公報 (特許文献 5) は、埋め込まれた p 型領域を有する炭化珪素半導体装置を開示する。

【先行技術文献】

【特許文献】

40

【0006】

【特許文献 1】国際公開 2012/077617 号

【特許文献 2】特開 2012-99601 号公報

【特許文献 3】特開 2013-69964 号公報

【特許文献 4】特開 2013-145770 号公報

【特許文献 5】特開 2014-41990 号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

特許文献 1～3 に開示された炭化珪素半導体装置においては、p 型領域がトレンチの底

50

部に配置される。しかし、このような構造においては、狭窄抵抗が、その p 型領域と、p 型のボディ領域との間に生じやすい。狭窄抵抗の抵抗値が高いことによって、炭化珪素半導体装置のオン抵抗の増大をもたらす。

【0008】

また、その p 型領域においてアバランシェブレイクダウンが生じた場合には、ゲート絶縁膜を貫通してトレンチゲートに大電流が流れる可能性がある。すなわち、アバランシェブレイクダウンによって、ゲート絶縁膜が損傷する可能性がある。

【0009】

本発明の目的は、オン抵抗の増加を招くことなく、アバランシェブレイクダウンの発生時におけるゲート絶縁膜の損傷の可能性を低くすることができる炭化珪素半導体装置を提供することである。

【課題を解決するための手段】

【0010】

本発明の一態様に係る炭化珪素半導体装置は、炭化珪素基板と、第 1 の炭化珪素層と、第 2 の炭化珪素層と、第 3 の炭化珪素層と、第 4 の炭化珪素層と、第 1 の不純物領域とを備える。第 1 の炭化珪素層は、炭化珪素基板上に配置され、第 1 の導電型を有する。第 2 の炭化珪素層は、第 1 の炭化珪素層上に配置され、第 1 の導電型を有する。第 3 の炭化珪素層は、第 2 の炭化珪素層上に配置され、第 1 の導電型と異なる第 2 の導電型を有する。第 4 の炭化珪素層は、第 3 の炭化珪素層上に配置され、第 1 の導電型を有する。第 1 の不純物領域は、第 2 の炭化珪素層、第 3 の炭化珪素層および第 4 の炭化珪素層を貫通するように形成され、第 2 の導電型を有する。トレンチが、第 4 の炭化珪素層から第 3 の炭化珪素層を貫通して第 2 の炭化珪素層に達するように、炭化珪素半導体装置に形成される。炭化珪素半導体装置は、トレンチの壁に接触したゲート絶縁膜と、ゲート電極と、第 2 の不純物領域と、第 3 の不純物領域と、第 4 の不純物領域とを備える。ゲート電極は、ゲート絶縁膜に接触し、かつ、トレンチに充填される。第 2 の不純物領域は、トレンチの下方にトレンチの底部から離間して配置され、第 2 の導電型を有する。第 3 の不純物領域は、第 1 の不純物領域に接するように第 1 の不純物領域の下方に形成され、第 2 の導電型を有し、かつ、第 2 の不純物領域に電氣的に接続される。第 4 の不純物領域は、第 2 の不純物領域と第 3 の不純物領域との間に形成され、第 1 の導電型を有する。

【発明の効果】

【0011】

上記によれば、オン抵抗の増加を招くことなく、アバランシェブレイクダウン時におけるゲート絶縁膜の破壊の可能性を低くすることができる炭化珪素半導体装置を実現できる。

【図面の簡単な説明】

【0012】

【図 1】本発明の一実施形態に係る炭化珪素半導体装置の構造を示した断面図である。

【図 2】本発明の実施の形態に係る炭化珪素半導体装置のオン時の動作を説明するための図である。

【図 3】本発明の実施の形態に係る炭化珪素半導体装置のオフ状態を説明するための図である。

【図 4】本発明の実施の形態に係る炭化珪素半導体装置の比較例の一部を示した断面図である。

【図 5】本発明の実施の形態に係る炭化珪素半導体装置に逆バイアス電圧が印加された時にトレンチの底部の近傍に印加される電圧を説明するための部分拡大図である。

【図 6】本発明の実施の形態に係る炭化珪素半導体装置の比較例の構成を説明するための部分拡大図である。

【図 7】本発明の実施の形態に係る炭化珪素半導体装置のオン時に流れる電流を説明するための部分拡大図である。

【図 8】本発明の実施の形態に係る炭化珪素半導体装置の別の構成の例を示した断面図で

ある。

【図 9】本発明の実施の形態に係る炭化珪素半導体装置のさらに別の構成の例を示した断面図である。

【図 10】図 9 に示された IGBT の変形例を示した図である。

【発明を実施するための形態】

【0013】

[本発明の実施形態の説明]

以下、図面を参照しつつ、本発明の実施の形態について説明する。以下の説明では、同一または対応する要素には同一の符号を付して、それらについての詳細な説明は繰り返さない。

【0014】

本明細書中の結晶学的記載においては、個別方位を $[\]$ 、集合方位を $\langle \rangle$ 、個別面を $(\)$ 、集合面を $\{ \}$ でそれぞれ示している。結晶学上の指数が負であることは、通常、“ $-$ ” (バー) を数字の上に付すことによって表現されるが、本明細書中では数字の前に負の符号を付すことで結晶学上の負の指数が表現される。また角度の記載には、全方位角を 360 度とする系を用いている。

【0015】

最初に本発明の実施態様を列記して説明する。

(1) 本発明の一態様に係る炭化珪素半導体装置 (1) は、炭化珪素基板 (10) と、第 1 の炭化珪素層 (11) と、第 2 の炭化珪素層 (13) と、第 3 の炭化珪素層 (14) と、第 4 の炭化珪素層 (15) と、第 1 の不純物領域 (16) とを備える。第 1 の炭化珪素層 (11) は、炭化珪素基板 (10) 上に配置され、第 1 の導電型を有する。第 2 の炭化珪素層 (13) は、第 1 の炭化珪素層 (11) 上に配置され、第 1 の導電型を有する。第 3 の炭化珪素層 (14) は、第 2 の炭化珪素層 (13) 上に配置され、第 1 の導電型と異なる第 2 の導電型を有する。第 4 の炭化珪素層 (15) は、第 3 の炭化珪素層 (14) 上に配置され、第 1 の導電型を有する。第 1 の不純物領域 (16) は、第 2 の炭化珪素層 (13)、第 3 の炭化珪素層 (14) および第 4 の炭化珪素層 (15) を貫通するように形成され、第 2 の導電型を有する。トレンチ (21) が、第 4 の炭化珪素層 (15) から第 3 の炭化珪素層 (14) を貫通して第 2 の炭化珪素層 (13) に達するように、炭化珪素半導体装置 (1) に形成される。炭化珪素半導体装置 (1) は、トレンチ (21) の壁に接触したゲート絶縁膜 (25) と、ゲート電極 (30) と、第 2 の不純物領域 (17) と、第 3 の不純物領域 (18) と、第 4 の不純物領域 (20) とを備える。ゲート電極 (30) は、ゲート絶縁膜 (25) に接触し、かつ、トレンチ (21) に充填される。第 2 の不純物領域 (17) は、トレンチ (21) の下方にトレンチ (21) の底部から離間して配置され、第 2 の導電型を有する。第 3 の不純物領域 (18) は、第 1 の不純物領域 (16) に接するように第 1 の不純物領域 (16) の下方に形成され、第 2 の導電型を有し、かつ、第 2 の不純物領域 (17) に電気的に接続される。第 4 の不純物領域 (20) は、第 2 の不純物領域 (17) と第 3 の不純物領域 (18) との間に形成され、第 1 の導電型を有する。

【0016】

上記によれば、オン抵抗の増加を招くことなく、アバランシェブレイクダウン時におけるゲート絶縁膜の破壊の可能性を低くすることができる炭化珪素半導体装置を実現できる。第 2 の不純物領域が、トレンチの下方にトレンチの底部から離間して配置される。したがって、狭窄抵抗によるオン抵抗の増大を抑えることができる。さらに、アバランシェブレイクダウンが発生した際にも、ゲート絶縁膜を貫通する電流が生じる可能性を小さくすることができる。したがって、ゲート絶縁膜の破壊の可能性を低くすることができる。

【0017】

(2) 上記 (1) の炭化珪素半導体装置において、第 2 の炭化珪素層 (13) の不純物濃度 (N_{D2}) は、第 1 の炭化珪素層 (11) の不純物濃度 (N_{D1}) よりも大きい。第 4 の不純物領域 (20) の不純物濃度 (N_J) は、第 2 の炭化珪素層 (13) の不純物濃度 (N_{D2}) よりも大きい。

N_{D2}) よりも大きい。第2の不純物領域(17)の不純物濃度(N_{BP})は、第4の不純物領域(20)の不純物濃度(N_J) よりも大きい。

【0018】

第2の炭化珪素層の不純物濃度が第1の炭化珪素層の不純物濃度よりも大きいことにより、炭化珪素半導体装置のオン抵抗を下げることができる。さらに、第4の不純物領域の不純物濃度が第2の炭化珪素層の不純物濃度よりも大きいことにより、炭化珪素半導体装置のオン抵抗を下げるすることができる。一方で、第2の不純物領域の不純物濃度は、第4の不純物領域の不純物濃度よりも大きい。これにより、これにより所定の大きさの逆バイアス電圧が炭化珪素半導体装置にドレイン電極に印加された場合にも、第2の不純物領域が完全に空乏化しにくくなる。ゲート絶縁膜に印加される電界を緩和することができるので、ゲート絶縁膜が破壊する可能性を小さくすることができる。

10

【0019】

(3) 上記(1)または(2)の炭化珪素半導体装置において、第1の炭化珪素層(11)と第2の炭化珪素層(13)との界面(11A)からの第4の不純物領域(20)の深さ(D_J)は、その界面(11A)からの第2の不純物領域(17)の深さ(D_{BP})よりも小さい。

【0020】

上記によれば、炭化珪素半導体装置のオン抵抗が上昇することを抑えることができる。

(4) 上記(1)から(3)のいずれかの炭化珪素半導体装置において、トレンチ(21)の底部(21B)から第2の不純物領域(17)までの距離を D_1 と表すと、 $0.1 \mu m \leq D_1 \leq 3.0 \mu m$ の関係が成り立つ。

20

【0021】

上記によれば、オン抵抗の増大を抑えることができるとともに、アバランシェブレークダウンが生じた際にゲート絶縁膜が破壊する可能性を小さくすることができる。

【0022】

(5) 上記(1)から(4)のいずれかの炭化珪素半導体装置において、第3の不純物領域(18)の横方向の幅(W_{BP1})は、第2の不純物領域(17)の横方向の幅(W_{BP2})よりも小さい。

【0023】

上記によれば、第2の不純物領域に比べて第3の不純物領域のほうがアバランシェブレークダウンが生じやすい。したがってアバランシェブレークダウンが生じた際にゲート絶縁膜が破壊する可能性を小さくすることができる。

30

【0024】

(6) 上記(1)から(5)のいずれかの炭化珪素半導体装置において、第2の不純物領域(17)の横方向の幅(W_{BP2})は、トレンチ(21)の横方向の幅(W_{trench})よりも大きい。

【0025】

上記によれば、第2の不純物領域から広がる空乏層の横方向の幅を、トレンチの横方向の幅よりも大きくすることができる。したがって、トレンチの底部において、ゲート絶縁膜に印加される電界を低減することができる。

40

【0026】

(7) 上記(1)から(6)のいずれかの炭化珪素半導体装置において、トレンチ(21)の底部におけるゲート絶縁膜(25)の厚さ(t_{g1})は、トレンチ(21)の側壁に接するゲート絶縁膜(25)の部分の厚さ(t_{g2})よりも大きい。

【0027】

上記によれば、トレンチの底部においてアバランシェブレークダウンが生じた場合にも、ゲート絶縁膜が破壊する可能性を小さくすることができる。

【0028】

(8) 上記(1)から(7)のいずれかの炭化珪素半導体装置において、トレンチ(21)の側壁(21A)の結晶面方位が $\langle 1-100 \rangle$ または $\langle 11-20 \rangle$ である。

50

【0029】

上記によれば、炭化珪素半導体装置のオン抵抗を小さくすることができる。

(9) 上記(1)から(8)のいずれかの炭化珪素半導体装置において、トレンチ(21)は、{0001}面に対して傾斜した側壁面(21A)を有する。

【0030】

上記によれば、炭化珪素半導体装置のオン抵抗を小さくすることができる。

(10) 上記(1)から(9)のいずれかの炭化珪素半導体装置は、MOSFETである。炭化珪素基板(10)は、第1の導電型を有する。

【0031】

上記によれば、炭化珪素半導体装置によって、トレンチゲートを有するMOSFETを実現できる。

【0032】

(11) 上記(1)から(9)のいずれかの炭化珪素半導体装置は、IGBTである。炭化珪素基板(10)は、第2の導電型を有する。

【0033】

上記によれば、炭化珪素半導体装置によって、トレンチゲートを有するIGBTを実現できる。

【0034】

[本発明の実施形態の詳細]

本発明の実施の形態に係る炭化珪素半導体装置の一例として、MOSFETが以下に例示される。

【0035】

図1は、本発明の一実施形態に係る炭化珪素半導体装置の構造を示した断面図である。図1を参照して、炭化珪素半導体装置1は、炭化珪素基板10と、炭化珪素エピタキシャル層11、12と、ゲート絶縁膜25と、ゲート電極30と、層間絶縁膜40と、ソース電極50と、ドレイン電極70とを含む。

【0036】

炭化珪素基板10は、主面10A、10Bを有する。主面10A、10Bは互いに反対の側に位置する。炭化珪素エピタキシャル層11(第1の炭化珪素層)は、主面10A上に配置される。炭化珪素エピタキシャル層12は、炭化珪素エピタキシャル層11上に配置される。

【0037】

炭化珪素基板10、および炭化珪素エピタキシャル層11、12は、第1の導電型を有する。この実施の形態では、第1の導電型はn型である。炭化珪素基板10、および炭化珪素エピタキシャル層11、12は、たとえばN(窒素)などのn型不純物を含む。

【0038】

炭化珪素エピタキシャル層12は、ドリフト領域13、ボディ領域14、ソース領域15およびディープ領域16(第1の不純物領域)を含む。ドリフト領域13、ボディ領域14、ソース領域15は、層状に形成される。すなわち、ドリフト領域13、ボディ領域14、ソース領域15は、それぞれ、第2の炭化珪素層、第3の炭化珪素層、および第4の炭化珪素層に相当する。

【0039】

ドリフト領域13の導電型はn型である。ドリフト領域13の不純物濃度は、炭化珪素エピタキシャル層12の不純物濃度に実質的に等しい。

【0040】

ボディ領域14は、ドリフト領域13上に形成される。ボディ領域14は、第1の導電型と異なる第2の導電型を有する。この実施の形態では、第2の導電型はp型である。ボディ領域14は、たとえばAl(アルミニウム)やB(硼素)などのp型不純物を含む。

【0041】

ソース領域15は、ボディ領域14上に形成される。ソース領域15の導電型はn型で

10

20

30

40

50

ある。ソース領域 15 は、たとえば P（リン）などの n 型不純物を含む。ソース領域 15 に含まれる n 型不純物の濃度は、ドリフト領域 13 の n 型不純物の濃度よりも高い。

【0042】

ディープ領域 16 は、ソース電極 50 に接触する。ディープ領域 16 は、ソース領域 15、ボディ領域 14 およびドリフト領域 13 を貫通する。ディープ領域 16 の底部 16B は、炭化珪素エピタキシャル層 11 と炭化珪素エピタキシャル層 12 との界面 11A に接触する。

【0043】

ディープ領域 16 の導電型は p 型である。ディープ領域 16 は、たとえば Al（アルミニウム）などの p 型不純物を含む。ディープ領域 16 の p 型不純物濃度は、ボディ領域 14 の p 型不純物濃度よりも高い。ディープ領域 16 は、ボディ領域 14 およびソース電極 50 に電氣的に接続される。

【0044】

トレンチ 21 は、炭化珪素エピタキシャル層 12 に形成される。トレンチ 21 は、炭化珪素エピタキシャル層 12 の主面 12A 側に開口する。主面 12A は、界面 11A とは反対側に位置する、炭化珪素エピタキシャル層 12 の面である。

【0045】

トレンチ 21 は、ソース領域 15 およびボディ領域 14 を貫通しつつ、ドリフト領域 13 に達する。トレンチ 21 は、側壁面 21A および底部 21B を有する。トレンチ 21 の底部 21B は、界面 11A には接していない。すなわち、主面 12A からの深さ方向において、トレンチ 21 の深さよりも、ディープ領域 16 の深さのほうが大きい。「深さ方向」とは、図 1 に示された Y 方向に対応する。

【0046】

側壁面 21A の結晶面方位は、 $\langle 1-100 \rangle$ または $\langle 11-20 \rangle$ である。MOSFET のオン時には、チャンネルがボディ領域 14 において、トレンチ 21 の側壁面 21A の近傍に形成される。上記の結晶面方位を選択することにより、炭化珪素半導体装置 1 のオン抵抗を下げることができる。

【0047】

ゲート絶縁膜 25 は、主面 10A に接触するとともに、トレンチ 21 の側壁面 21A および底部 21B に接触する。この実施の形態では、ゲート絶縁膜 25 の材質は、SiO₂（二酸化珪素）である。

【0048】

ゲート電極 30 は、ゲート絶縁膜 25 に接触するとともに、トレンチ 21 を充填するようにトレンチ 21 の内部に配置される。ゲート電極 30 は、たとえば不純物が添加されたポリシリコンからなる。

【0049】

炭化珪素エピタキシャル層 11 は、埋込領域 17, 18, 20 を含む。埋込領域 17, 18, 20 の各々は、界面 11A に接する。

【0050】

埋込領域 17（第 2 の不純物領域）は、トレンチ 21 の底部 21B の下方に配置される。埋込領域 17 は、トレンチ 21 の底部 21B から離される。埋込領域 17 の導電型は p 型である。埋込領域 17 は、たとえば Al（アルミニウム）などの p 型不純物を含む。図 1 には示されていないが、埋込領域 17 は、埋込領域 18 に電氣的に接続される。

【0051】

埋込領域 18 は、ディープ領域 16 の底部 16B に接する。埋込領域 18 の導電型は p 型である。埋込領域 18 は、たとえば Al（アルミニウム）などの p 型不純物を含む。埋込領域 18 は、ディープ領域 16 に電氣的に接続される。したがって、ディープ領域 16、埋込領域 17、埋込領域 18 は互いに電氣的に接続される。

【0052】

埋込領域 20 は、横方向において、埋込領域 17 と埋込領域 18 との間に配置される。

10

20

30

40

50

横方向とは、深さ方向に直交する方向であり、図 1 に示された X 方向に対応する。埋込領域 20 の導電型は n 型である。埋込領域 20 は、たとえば P（リン）などの n 型不純物を含む。

【0053】

層間絶縁膜 40 は、たとえば SiO_2 （二酸化珪素）からなり、主面 12A 上に配置される。層間絶縁膜 40 は、ゲート絶縁膜 25 およびゲート電極 30 に接触する。層間絶縁膜 40 は、ゲート絶縁膜 25 とともにゲート電極 30 を取り囲むように配置されて、ゲート電極 30 をソース電極 50 から電氣的に絶縁する。

【0054】

ソース電極 50 は、ソース領域 15 およびディープ領域 16 に接触する。したがってソース電極 50 は、ソース領域 15 およびディープ領域 16 に電氣的に接続される。

【0055】

ドレイン電極 70 は、炭化珪素基板 10 の主面 10B に接触する。ドレイン電極 70 は、たとえばソース電極 50 と同様の材料からなる。ドレイン電極 70 は、炭化珪素基板 10 に電氣的に接続される。

【0056】

次に、炭化珪素半導体装置 1 の構成についてさらに詳細に説明する。以下の記載において、厚さとは、深さ方向（Y 方向）に沿った幅を意味する。

【0057】

炭化珪素エピタキシャル層 11 の不純物濃度 N_{D1} は、 $1 \times 10^{14} \text{ cm}^{-3} \sim 2 \times 10^{16} \text{ cm}^{-3}$ の範囲内にある。炭化珪素エピタキシャル層 11 の厚さ t_1 は、 $3 \mu\text{m} \sim 150 \mu\text{m}$ の範囲内にある。好ましくは、不純物濃度 N_{D1} は、 $5 \times 10^{15} \text{ cm}^{-3}$ 程度であり、厚さ t_1 は、 $10 \mu\text{m}$ 程度である。

【0058】

炭化珪素エピタキシャル層 12 の不純物濃度 N_{D2} は、 $1 \times 10^{15} \text{ cm}^{-3} \sim 5 \times 10^{17} \text{ cm}^{-3}$ の範囲内にある。炭化珪素エピタキシャル層 12 の厚さ t_2 は、 $1 \mu\text{m} \sim 5 \mu\text{m}$ の範囲内にある。好ましくは、不純物濃度 N_{D2} は、 $5 \times 10^{16} \text{ cm}^{-3}$ 程度であり、厚さ t_2 は、 $2 \mu\text{m}$ 程度である。上記の通り、炭化珪素エピタキシャル層 12 の不純物濃度 N_{D2} は、ドリフト領域 13 の不純物濃度に実質的に等しい。

【0059】

ボディ領域 14 の不純物濃度は、 $1 \times 10^{17} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$ の範囲内にある。ボディ領域 14 の厚さは、 $0.2 \mu\text{m} \sim 1.5 \mu\text{m}$ の範囲内にある。好ましくは、ボディ領域 14 の不純物濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 程度であり、ボディ領域 14 の厚さは、 $0.5 \mu\text{m}$ 程度である。

【0060】

ソース領域 15 の不純物濃度は、 $5 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ の範囲内にある。ソース領域 15 の主面 12A からの深さは、 $0.1 \mu\text{m} \sim 0.5 \mu\text{m}$ の範囲内にある。好ましくは、ソース領域 15 の不純物濃度は、 $5 \times 10^{19} \text{ cm}^{-3}$ 程度であり、ソース領域 15 の主面 12A からの深さは、 $0.3 \mu\text{m}$ 程度である。

【0061】

ディープ領域 16 の不純物濃度は、 $1 \times 10^{19} \text{ cm}^{-3} \sim 2 \times 10^{20} \text{ cm}^{-3}$ の範囲内にある。ディープ領域 16 の主面 12A からの深さは、 $1.0 \mu\text{m} \sim 5.0 \mu\text{m}$ の範囲内にある。好ましくは、ディープ領域 16 の不純物濃度は、 $1 \times 10^{20} \text{ cm}^{-3}$ 程度であり、ディープ領域 16 の主面 12A からの深さは、 $2.0 \mu\text{m}$ 程度である。なお、ディープ領域 16 の主面 12A からの深さは、炭化珪素エピタキシャル層 12 の厚さ t_2 に実質的に等しい。

【0062】

埋込領域 17 および埋込領域 18 は、実質的に同じ不純物濃度 N_{BP} および実質的に同じ厚さを有する。埋込領域 17、18 の厚さとは、界面 11A からの深さに相当する。

【0063】

埋込領域 17, 18 の不純物濃度 N_{BP} は、 $5 \times 10^{16} \text{ cm}^{-3} \sim 5 \times 10^{19} \text{ cm}^{-3}$ の範囲内にあり、埋込領域 17, 18 の界面 11A からの深さ D_{BP} は、 $0.1 \mu\text{m} \sim 1.0 \mu\text{m}$ の範囲内にある。好ましくは、不純物濃度 N_{BP} は、 $5 \times 10^{18} \text{ cm}^{-3}$ 程度であり、深さ D_{BP} は、 $0.4 \mu\text{m}$ 程度である。

【0064】

D_1 は、トレンチ 21 の底部 21B から埋込領域 17 までの深さ方向の距離である。距離 D_1 が $0.1 \mu\text{m}$ 未満である場合、埋込領域 17 は、トレンチ 21 の底部 21B に実質的に接触する。このために、耐圧が低下する可能性がある。一方、距離 D_1 を $3.0 \mu\text{m}$ よりも大きくすると、ゲート絶縁膜 25 への電界集中を緩和する効果が弱くなる。したがって、距離 D_1 の範囲は、 $0.1 \mu\text{m} \leq D_1 \leq 3.0 \mu\text{m}$ であることが好ましい。

10

【0065】

埋込領域 20 の不純物濃度 N_J は、 $1 \times 10^{16} \text{ cm}^{-3} \sim 5 \times 10^{18} \text{ cm}^{-3}$ の範囲内にあり、埋込領域 20 の界面 11A からの深さ D_J は、 $0.1 \mu\text{m} \sim 1.0 \mu\text{m}$ の範囲内にある。好ましくは、不純物濃度 N_J は、 $1 \times 10^{17} \text{ cm}^{-3}$ 程度であり、深さ D_{BP} は、 $0.2 \mu\text{m}$ 程度である。

【0066】

トレンチ 21 の底部 21B におけるゲート絶縁膜 25 の厚さ t_{g1} は、 $50 \text{ nm} \sim 500 \text{ nm}$ の範囲内にあり、好ましくは 200 nm である。トレンチ 21 の側壁面 21A におけるゲート絶縁膜 25 の厚さ t_{g2} は、 50 nm 程度である。厚さ t_{g1} は、厚さ t_{g2} よりも大きいことが好ましい。

20

【0067】

不純物濃度 N_{D1} , N_{D2} , N_J , N_{BP} の間には、 $N_{D1} < N_{D2} < N_J < N_{BP}$ の関係が成立する。埋込領域 20 の界面 11A からの深さ D_J と埋込領域 17 の界面 11A からの深さ D_{BP} との間には、 $D_J < D_{BP}$ の関係が成立する。

【0068】

トレンチ 21 の底部 21B の幅を W_{trench} と表し、埋込領域 17 の幅を W_{BP2} と表すと、 $W_{\text{trench}} < W_{BP2}$ の関係が成立する。さらに、埋込領域 18 の幅を W_{BP1} と表すと、幅 W_{BP1} および幅 W_{BP2} の間には、 $W_{BP1} < W_{BP2}$ の関係が成立する。なお、埋込領域 20 の幅 W_J は、特に限定されない。幅 W_J は、 $0 \mu\text{m}$ よりも大きく、かつ、炭化珪素半導体装置 1 に要求される特性（耐圧、ターンオン時の抵抗値など）を達成するための適切な値に定められる。

30

【0069】

次に、炭化珪素半導体装置 1 の動作について説明する。なお、以下の説明では、「電圧」とは、ソース電極 50 の電位を基準とした電位差を意味する。たとえばソース電極 50 の電位は、接地電位に設定される。

【0070】

図 1 には、炭化珪素半導体装置 1 が n 型 MOSFET である例が示される。n 型 MOSFET の場合、ドレインに正電圧が印加されたとしても、ゲート電極 30 の電圧が閾値電圧未満のときには、MOSFET は非導通状態である。

【0071】

図 2 は、本発明の実施の形態に係る炭化珪素半導体装置 1 のオン時の動作を説明するための図である。図 2 に示されるように、ゲート電極 30 に閾値電圧以上の電圧が印加されたときには、チャネル 14a が、ボディ領域 14 に形成される。ドレイン電極 70 には正電圧が印加されているので、ドレイン電極 70 からソース電極 50 に向けて電流が流れる。矢印によって示されるように、電流は、ドレイン電極 70 から、炭化珪素基板 10、炭化珪素エピタキシャル層 11、埋込領域 20、ドリフト領域 13、チャネル 14a、およびソース領域 15 を通り、ソース電極 50 へと流れる。

40

【0072】

埋込領域 17 は、埋込領域 18 に電氣的に接続され、埋込領域 18 は、ディープ領域 16 に電氣的に接続される。さらに、ディープ領域 16 は、ボディ領域 14 に電氣的に接続

50

されるとともに、ソース電極 50 に電氣的に接続される。一方、炭化珪素基板 10、炭化珪素エピタキシャル層 11、埋込領域 20 およびドリフト領域 13 は、互いに電氣的に接続されるとともに、正の電圧が印加される。

【0073】

逆バイアス電圧が p 型領域と n 型領域との間に印加されることにより、空乏層が、接合から p 型領域および n 型領域の各々に広がる。各領域の空乏層の幅は、p 型領域および n 型領域の不純物濃度と、逆バイアス電圧とに依存する。以下では、「空乏層が広がる側」とは、p 型領域と n 型領域とのうち、接合からの空乏層の幅が大きいほうの領域を指す。

【0074】

ボディ領域 14、ディープ領域 16、領域 17 埋込領域 17、および埋込領域 18 は第 2 の導電型 (p 型) を有し、かつ、互いに電氣的に接続されている。同じく、炭化珪素基板 10、炭化珪素エピタキシャル層 11、埋込領域 20、およびドリフト領域 13 は、第 1 の導電型 (n 型) を有し、かつ、互いに電氣的に接続されている。

【0075】

逆バイアス電圧によって、空乏層 11a, 13a, 17a, 17b が形成される。空乏層 11a は、埋込領域 18 と炭化珪素エピタキシャル層 11 との界面から炭化珪素エピタキシャル層 11 側に広がる。空乏層 13a は、ドリフト領域 13 とボディ領域 14 との界面からドリフト領域 13 側に広がる。空乏層 17a は、埋込領域 17 とドリフト領域 13 との界面 (接合面) からドリフト領域 13 側に広がる。空乏層 17b は、埋込領域 17 と炭化珪素エピタキシャル層 11 との界面 (接合面) から炭化珪素エピタキシャル層 11 側に広がる。

【0076】

図 3 は、本発明の実施の形態に係る炭化珪素半導体装置 1 のオフ状態を説明するための図である。図 3 を参照して、炭化珪素半導体装置 1 (MOSFET) のオフ時には、ゲート電極 30 の電圧は、閾値電圧以下である。たとえばゲート電極 30 の電位は、ソース電極 50 の電位に等しい。すなわちゲート電極 30 の電圧は 0 V である。

【0077】

炭化珪素半導体装置 1 のスイッチングによって、炭化珪素半導体装置 1 のオフ時には、高い電圧 (たとえば 1200 V) がドレイン電極 70 に印加されうる。空乏層 17a, 13a がともにドリフト領域 13 側に広がる。したがって、図 3 に例示されるように、空乏層 13a, 17a が合わさる。同じように、空乏層 11a, 17b が炭化珪素エピタキシャル層 11 側に広がる。これにより、空乏層 11a, 17b が合わさる。

【0078】

炭化珪素エピタキシャル層 11 側に形成された空乏層によって、炭化珪素エピタキシャル層 11 における電界集中を緩和することができる。また、ドリフト領域 13 において、ゲート絶縁膜 25 の周囲の領域が空乏化されているので、ゲート絶縁膜 25 における電界集中を緩和することができる。これにより、アバランシェブレイクダウンが生じたとしても、ゲート絶縁膜 25 が破壊する可能性を小さくすることができる。

【0079】

図 4 は、本発明の実施の形態に係る炭化珪素半導体装置の比較例の一部を示した断面図である。図 4 を参照して、炭化珪素半導体装置 101 において、埋込領域 17 は、トレンチ 21 の底部 21B に接する。ターンオン時には、電流は、空乏層 17a と空乏層 13a との間にある、空乏化されていない部分を流れる。しかしながら、空乏層 17a, 13a が、ドリフト領域 13 の側に広がるため、チャンネル 14a の近傍では、電流の流れる経路が狭い。すなわちチャンネル 14a の近傍では、狭窄抵抗が生じる。チャンネル 14a の近傍の抵抗値が大きいために、オン抵抗が増大する。

【0080】

これに対して、本発明の実施の形態によれば、埋込領域 17 と、トレンチ 21 の底部 21B とが離れている。したがって、炭化珪素半導体装置 1 のオン時のドレイン電圧によって、空乏層 17a, 13a がともにドリフト領域 13 の側に広がる。しかし、図 4 に示さ

れた構成に比べて、本発明の実施の形態では、チャンネル 14a の近傍における電流の経路の幅が大きい。これにより、オン抵抗の増大を抑えることができる。

【0081】

オン抵抗の増大を抑える観点からは、トレンチ 21 の底部 21B から埋込領域 17 までの距離（図 1 に示した D_1 ）は、少なくとも $0.1 \mu\text{m}$ であることが好ましい。オン抵抗の増大を抑える観点からは、距離 D_1 が大きいほうが好ましい。一方では、距離 D_1 が大きくなるほど、炭化珪素半導体装置 1 のオフ時において、ゲート絶縁膜 25 に、ゲート絶縁膜 25 の絶縁耐圧を上回る電圧が印加される可能性が高くなる。ゲート絶縁膜 25 に印加される電界を抑制する観点からは、距離 D_1 は $3.0 \mu\text{m}$ 以下であることが好ましい。このため、距離 D_1 は、 $0.1 \mu\text{m} \leq D_1 \leq 3.0 \mu\text{m}$ であることが好ましい。

10

【0082】

ドリフト領域 13（炭化珪素エピタキシャル層 12）の不純物濃度 N_{D2} は、炭化珪素エピタキシャル層 11 の不純物濃度 N_{D1} よりも大きい（ $N_{D1} < N_{D2}$ ）。これにより、炭化珪素半導体装置 1 のオン抵抗を下げるができる。埋込領域 17 の不純物濃度 N_{BP} が不純物濃度 N_{D2} よりも大きいので、ドレインソース間に高電圧が印加された場合に、空乏層 17a がドリフト領域 13 側に広がる。この空乏層 17a によって、ゲート絶縁膜 25 に印加される電界が著しく高くなることを抑制することができる。

【0083】

埋込領域 17 の幅 W_{BP2} は、トレンチ 21 の底部 21B の幅 W_{trench} よりも大きい（ $W_{BP2} > W_{\text{trench}}$ ）。これにより、空乏層 17a の幅も幅 W_{trench} より大きくすることができるので、トレンチ 21 の底部 21B において、ゲート絶縁膜 25 に印加される電界を低減することができる。さらに、トレンチ 21 の底部 21B におけるゲート絶縁膜 25 の厚さ t_{g1} は、トレンチ 21 の側壁面 21A におけるゲート絶縁膜 25 の厚さ t_{g2} よりも大きい（ $t_{g2} < t_{g1}$ ）。これにより、アバランシェブレイクダウンが生じたときに、ゲート絶縁膜 25 に印加される電界を下げるができる。したがって、アバランシェブレイクダウンが生じたときに、ゲート絶縁膜 25 が破壊される可能性をより小さくすることができる。

20

【0084】

さらに埋込領域 18 の幅 W_{BP1} は、埋込領域 17 の幅 W_{BP2} よりも小さい（ $W_{BP1} < W_{BP2}$ ）。このように幅 W_{BP1} および幅 W_{BP2} の間の関係を定義することにより、埋込領域 17 の直下の領域に比べて、埋込領域 18 の直下の領域のほうが、アバランシェブレイクダウンが発生しやすい。埋込領域 18 の直下の領域においてアバランシェブレイクダウンが発生した場合、ブレイクダウン電流は、埋込領域 18 およびディープ領域 16 を経由してソース電極 50 へと流れる。ブレイクダウン電流が、トレンチ 21 の底を流れないので、ゲート絶縁膜 25 の破壊を防ぐ効果がより高められる。

30

【0085】

図 3 に示されるように、所定の高電圧（たとえば 1200V ）がドレイン電極 70 に印加された場合に、埋込領域 17 が完全に空乏化しないように、埋込領域 17 の不純物濃度 N_{BP} が定められる。さらに、ゲート電極 30 の電位が 0V である。

【0086】

図 5 は、本発明の実施の形態に係る炭化珪素半導体装置に逆バイアス電圧が印加された時にトレンチ 21 の底部 21B の近傍に印加される電圧を説明するための部分拡大図である。図 5 に示されるように、炭化珪素半導体装置 1 がオフしたときには、ゲート電極 30 の電圧は 0V である。トレンチ 21 の底部 21B と埋込領域 17 との間の領域が空乏化されて、空乏層 17a が形成される。空乏層 17a 内には電位分布が生じる。一方、埋込領域 17 には、空乏化されていない部分が存在する。この部分の電圧は 0V である。ゲート電極 30 および埋込領域 17 の空乏化されていない部分の電圧が 0V であるので、ゲート電極 30 から深さ方向に沿った電界強度の傾きが小さくなる。したがって、トレンチ 21 の底部 21B に配置されたゲート絶縁膜 25 の部分に印加される電界を小さくすることができる。なお、埋込領域 17 が完全に空乏化した場合には、埋込領域 17 の内部にも電位

40

50

分布が生じるため、ゲート電極 30 から深さ方向に沿った電界強度の傾きが大きくなる。このためトレンチ 21 の底部 21B に配置されたゲート絶縁膜 25 の部分に印加される電界が大きくなる。

【0087】

本発明の実施の形態によれば、埋込領域 17 の不純物濃度 N_{BP} は、ドリフト領域 13 の不純物濃度 N_{D2} よりも大きい ($N_{D2} < N_{BP}$)。これにより所定の高電圧 (たとえば 1200 V) がドレイン電極 70 に印加された場合にも、埋込領域 17 が完全に空乏化しにくくなる。したがって、高い電界によってゲート絶縁膜 25 が破壊する可能性を小さくすることができる。

【0088】

さらに、本発明の実施の形態によれば、埋込領域 20 の不純物濃度 N_J は、不純物濃度 N_{D2} よりも大きい ($N_{D2} < N_J$)。これにより、炭化珪素半導体装置 1 のオン抵抗を下げることができる。一方で、不純物濃度 N_J は、埋込領域 17 の不純物濃度 N_{BP} よりも小さい ($N_J < N_{BP}$)。これにより、空乏層は、埋込領域 17 と埋込領域 20 との接合面から埋込領域 20 側に広がるので、埋込領域 17 が完全に空乏化しにくくなる。

【0089】

図 6 は、本発明の実施の形態に係る炭化珪素半導体装置の比較例の構成を説明するための部分拡大図である。図 6 に示されるように、空乏層 11a, 17a は炭化珪素エピタキシャル層 11 側に広がる。矢印は、炭化珪素エピタキシャル層 11 を流れる電流を表す。 $D_J > D_{BP}$ である場合には、電流の流れる経路が狭くなるので、抵抗値が高くなる。この結果、炭化珪素半導体装置のオン抵抗は高い。

【0090】

一方、本発明の実施の形態では、界面 11A からの埋込領域 20 の深さ D_J は、埋込領域 17, 18 の各々の界面 11A からの深さ D_{BP} よりも小さい ($D_J < D_{BP}$)。図 7 は、本発明の実施の形態に係る炭化珪素半導体装置のオン時に流れる電流を説明するための部分拡大図である。図 7 に示されるように、 $D_J < D_{BP}$ である場合には、空乏層 11a, 17a が炭化珪素エピタキシャル層 11 側に広がったとしても、電流の流れる経路の幅が大きい。したがって、炭化珪素半導体装置 1 のオン抵抗が上昇することを抑えることができる。

【0091】

なお、本発明の実施の形態では、トレンチ 21 の形状は、図 1 等 に示された形状に限定されるものではない。図 8 は、本発明の実施の形態に係る炭化珪素半導体装置の別の構成の例を示した断面図である。図 8 に示されるように、対向する 2 つの側壁面 21A は、主面 12A に対して傾斜する。

【0092】

側壁面 21A は、たとえば {000-1} 面に対して 50 度以上 80 度以下傾斜した面である。より具体的には、側壁面 21A は、巨視的に見て、面方位 {0-33-8}、{0-11-2}、{0-11-4} および {0-11-1} のいずれかを有し得る。なお、「巨視的」とは、原子間隔程度の寸法を有する微細構造を無視することを意味する。このように巨視的なオフ角の測定としては、たとえば、一般的な X 線回折を用いた方法を用い得る。上記の面を採用することによって、炭化珪素半導体装置 1 のオン抵抗をさらに低減することができる。

【0093】

さらに、本発明の実施の形態に係る炭化珪素半導体装置 1 は、MOSFET であると限定されるものではない。図 9 は、本発明の実施の形態に係る炭化珪素半導体装置のさらに別の構成の例を示した断面図である。図 9 に示されるように、本発明の実施の形態に係る炭化珪素半導体装置 1 は、IGBT であってもよい。図 9 に示された構成によれば、炭化珪素基板 10 の導電型は p 型である。この点において、図 9 に示された IGBT は、図 1 に示された MOSFET と相違する。

【0094】

炭化珪素半導体装置 1 が I G B T である場合にも、トレンチ 2 1 の形状は特に限定されるものではない。図 1 0 は、図 9 に示された I G B T の変形例を示した図である。図 8 および図 1 0 の比較から理解されるように、I G B T のトレンチ 2 1 は、主面 1 2 A に向かってテーパ状に拡がるように形成され、対向する 2 つの側壁面 2 1 A を有していてもよい。2 つの側壁面 2 1 A は、たとえば { 0 0 0 - 1 } 面に対して 5 0 度以上 8 0 度以下傾斜した面であり、上記の面方位 { 0 - 3 3 - 8 }、{ 0 - 1 1 - 2 }、{ 0 - 1 1 - 4 } および { 0 - 1 1 - 1 } のいずれかを有し得る。

【 0 0 9 5 】

さらに、上記の説明では、第 1 の導電型は n 型であり、第 2 の導電型は p 型であるが、第 1 の導電型が p 型であり、第 2 の導電型が n 型であってもよい。

10

【 0 0 9 6 】

今回開示された実施の形態はすべての点で例示であって、制限的なものではないと考えられるべきである。本発明の範囲は上記した実施の形態ではなく特許請求の範囲によって示され、特許請求の範囲と均等の意味、および範囲内でのすべての変更が含まれることが意図される。

【符号の説明】

【 0 0 9 7 】

1, 1 0 1 炭化珪素半導体装置
 1 0 炭化珪素基板
 1 0 A, 1 0 B, 1 2 A 主面
 1 1, 1 2 炭化珪素エピタキシャル層
 1 1 A 界面
 1 1 a, 1 3 a, 1 7 a, 1 7 b 空乏層
 1 3 ドリフト領域
 1 4 ボディ領域
 1 4 a チャンネル
 1 5 ソース領域
 1 6 ディープ領域
 1 6 B 底部 (ディープ領域)
 1 7, 1 8, 2 0 埋込領域
 2 1 トレンチ
 2 1 A 側壁面
 2 1 B 底部 (トレンチ)
 2 5 ゲート絶縁膜
 3 0 ゲート電極
 4 0 層間絶縁膜
 5 0 ソース電極
 7 0 ドレイン電極
 D_1 距離
 D_{BP} , D_J 深さ
 N_{BP} , N_{D1} , N_{D2} , N_J 不純物濃度
 W_{BP1} , W_{BP2} , W_J , W_{trench} 幅
 t_1 , t_2 , t_{g1} , t_{g2} 厚さ

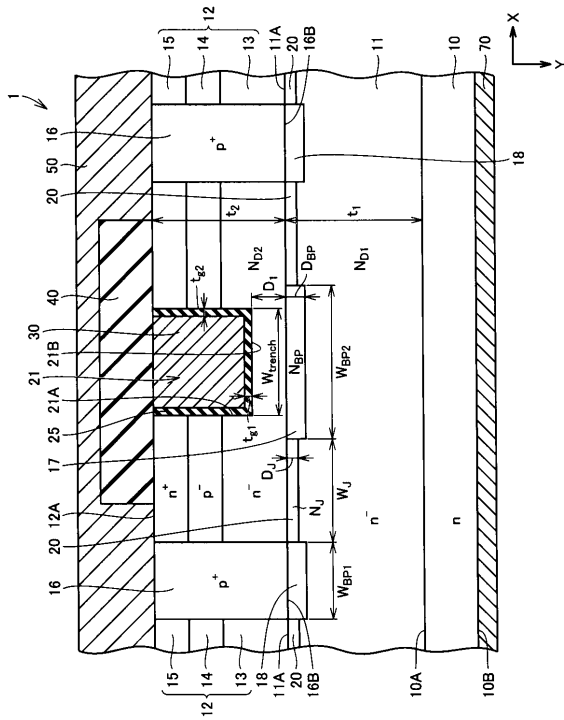
20

30

40

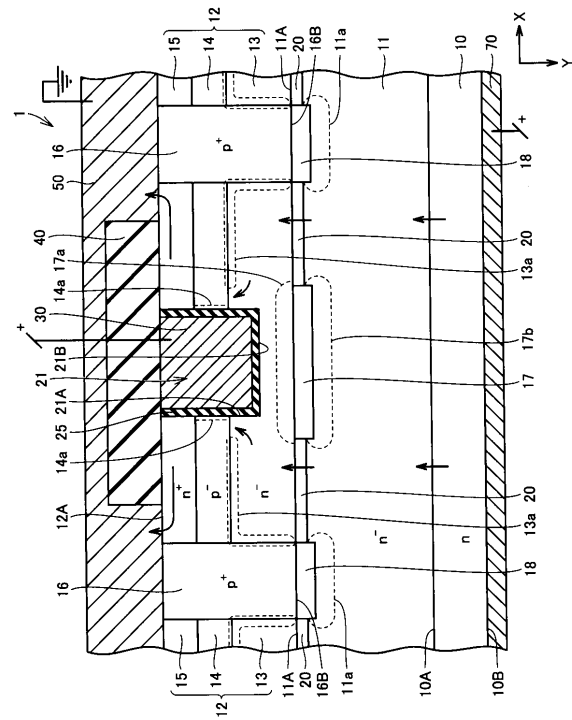
【 図 1 】

图1



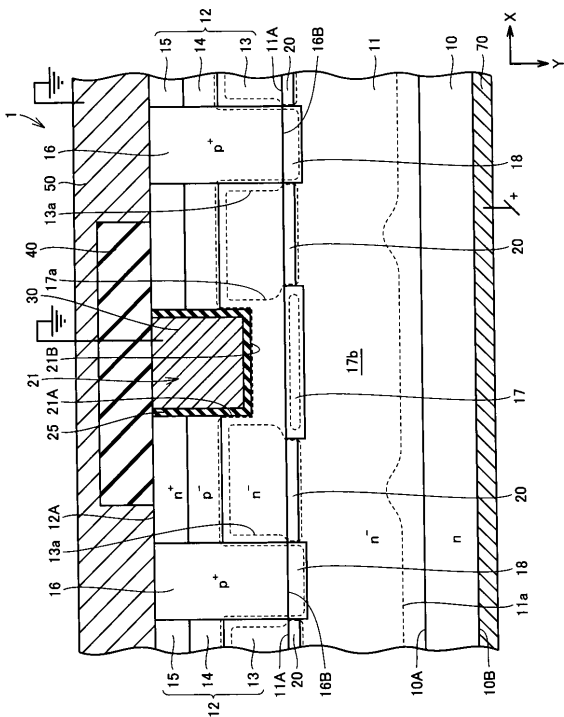
【 図 2 】

图2



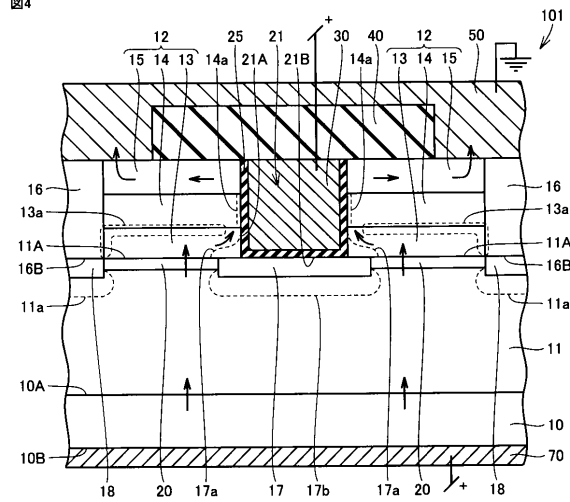
【 図 3 】

图3

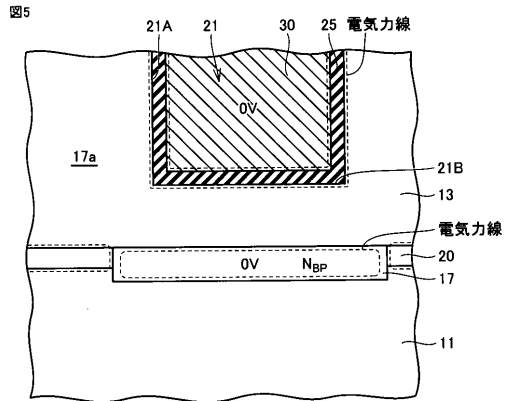


【圖 4】

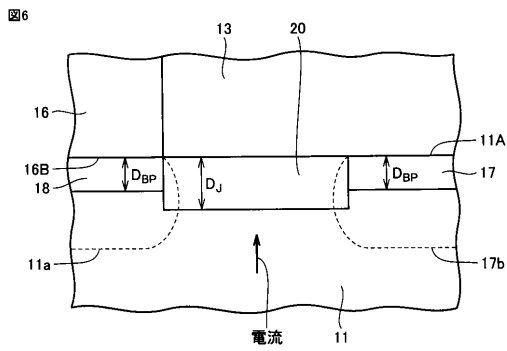
图4



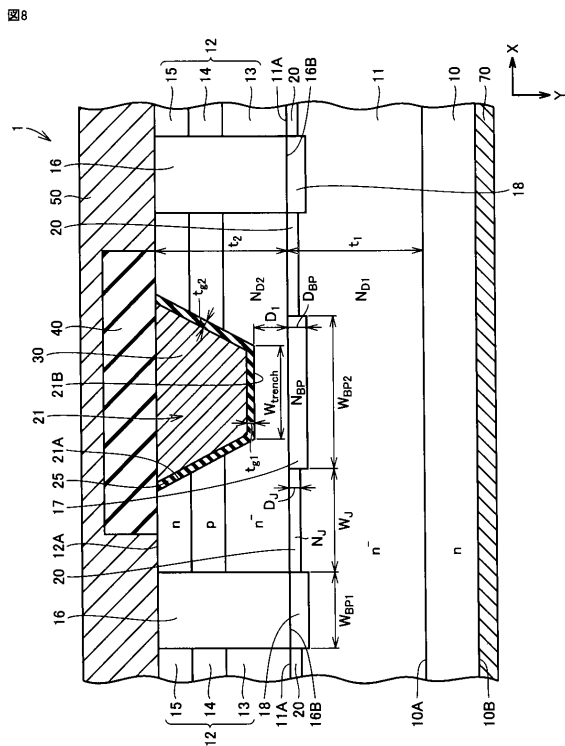
【図 5】



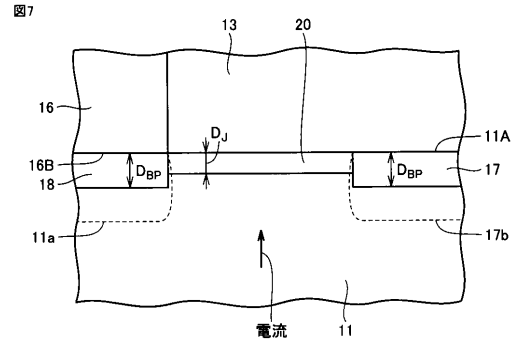
【図 6】



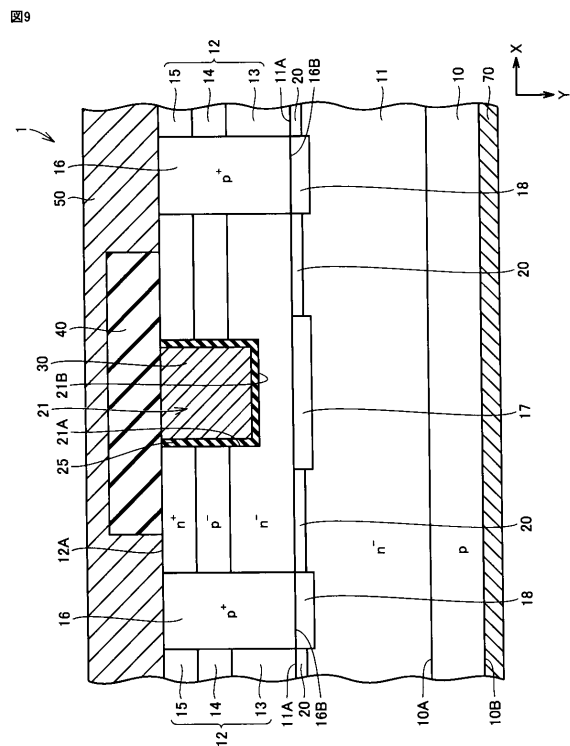
【図 8】



【図 7】



【図 9】



【図 10】

図 10

