



(12) 发明专利

(10) 授权公告号 CN 102708818 B

(45) 授权公告日 2014. 07. 09

(21) 申请号 201210123468. 0

(22) 申请日 2012. 04. 24

(73) 专利权人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路 10 号

(72) 发明人 商广良 韩承佑 赵家阳

(74) 专利代理机构 北京银龙知识产权代理有限公司 11243

代理人 许静 黄灿

(51) Int. Cl.

G09G 3/36 (2006. 01)

(56) 对比文件

CN 1868003 A, 2006. 11. 22,

US 2009/0122951 A1, 2009. 05. 14,

CN 102354477 A, 2012. 02. 15,

US 2011/0170656 A1, 2011. 07. 14,

审查员 高慧霞

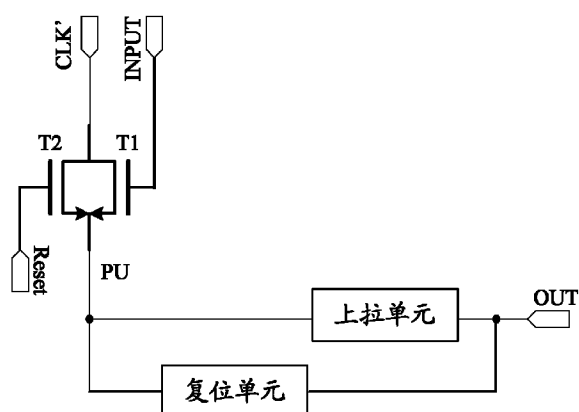
权利要求书2页 说明书9页 附图17页

(54) 发明名称

一种移位寄存器和显示器

(57) 摘要

本发明提供了一种移位寄存器和显示器,用以解决现有移位寄存器只能实现正向扫描驱动、不能实现双向扫描驱动的问题。该移位寄存器包括:第一薄膜晶体管、第二薄膜晶体管、复位单元和上拉单元。上述移位寄存器和显示器可以实现双向扫描驱动。



1. 一种移位寄存器,包括多级移位寄存器单元,其特征在于,所述多级移位寄存器单元中的每级移位寄存器单元包括:

第一薄膜晶体管,用于在驱动输入信号和扫描方向选择信号的控制下对上拉结点进行充电或放电,其中,在正向扫描驱动时,所述第一薄膜晶体管作为该级移位寄存器单元的启动开关,对上拉结点进行充电,在反向扫描驱动时,所述第一薄膜晶体管作为该级移位寄存器单元的复位开关,对所述上拉结点进行放电;

第二薄膜晶体管,用于在第一复位信号和所述扫描方向选择信号的控制下对所述上拉结点进行放电或充电,其中,在正向扫描驱动时,所述第二薄膜晶体管作为该级移位寄存器单元的复位开关,对所述上拉结点进行放电,在反向扫描驱动时,所述第二薄膜晶体管作为该级移位寄存器单元的启动开关,对所述上拉结点进行充电;

复位单元,用于对所述上拉结点和输出端进行复位;

上拉单元,用于在输出阶段将所述输出端的电位拉高;

所述第一薄膜晶体管的栅极连接输入端、源极连接上拉结点、漏极连接第一扫描方向选择信号输入端;

所述第二薄膜晶体管的栅极连接第一复位信号输入端、源极连接所述上拉结点、漏极连接所述第一扫描方向选择信号输入端。

2. 如权利要求1所述的移位寄存器,其特征在于,所述上拉单元包括:

第三薄膜晶体管,其栅极连接存储电容的第一端、源极连接输出端、漏极连接第一时钟信号输入端;

存储电容,其第一端连接所述上拉结点、第二端连接所述输出端。

3. 如权利要求1所述的移位寄存器,其特征在于,所述复位单元包括:

第四薄膜晶体管,其栅极连接第二时钟信号输入端、源极连接低电平、漏极连接所述输出端;

第五薄膜晶体管,其栅极连接下拉控制结点、源极连接下拉结点、漏极连接所述第二时钟信号输入端;

第六薄膜晶体管,其栅极连接所述上拉结点、源极连接所述低电平、漏极连接所述下拉结点;

第七薄膜晶体管,其栅极和漏极连接所述第二时钟信号输入端、源极连接所述下拉控制结点;

第八薄膜晶体管,其栅极连接所述上拉结点、源极连接所述低电平、漏极连接所述下拉控制结点;

第九薄膜晶体管,其栅极连接所述下拉结点、源极连接所述低电平、漏极连接所述上拉结点;

第十薄膜晶体管,其栅极连接所述下拉结点、源极连接所述低电平、漏极连接所述输出端。

4. 如权利要求3所述的移位寄存器,其特征在于,所述每级移位寄存器单元还包括:

第一复位控制单元,用于保证所述复位单元对输出端的复位。

5. 如权利要求4所述的移位寄存器,其特征在于,所述第一复位控制单元包括:

第十一薄膜晶体管,其栅极连接第一复位信号输入端、源极连接低电平、漏极连接输出

端；

第十二薄膜晶体管，其栅极连接输入端、源极连接低电平、漏极连接输出端。

6. 如权利要求 1 所述的移位寄存器，其特征在于，所述复位单元包括：

第五薄膜晶体管，其栅极连接下拉控制结点、源极连接下拉结点、漏极连接第二时钟信号输入端；

第六薄膜晶体管，其栅极连接所述上拉结点、源极连接低电平、漏极连接所述下拉结点；

第七薄膜晶体管，其栅极和漏极连接所述第二时钟信号输入端、源极连接所述下拉控制结点；

第八薄膜晶体管，其栅极连接所述上拉结点、源极连接所述低电平、漏极连接所述下拉控制结点；

第九薄膜晶体管，其栅极连接所述下拉结点、源极连接所述低电平、漏极连接所述上拉结点；

第十薄膜晶体管，其栅极连接所述下拉结点、源极连接所述低电平、漏极连接所述输出端；

第十三薄膜晶体管，其栅极连接第二复位控制单元、源极连接低电平、漏极连接所述输出端；

其中，所述第二复位控制单元，用于保证所述复位单元对输出端的复位。

7. 如权利要求 6 所述的移位寄存器，其特征在于，所述第二复位控制单元包括：

第十四薄膜晶体管，其栅极连接第一复位信号输入端、源极连接所述第十三薄膜晶体管的栅极、漏极连接第二扫描方向选择信号输入端；

第十五薄膜晶体管，其栅极连接输入端、源极连接所述第十三薄膜晶体管的栅极、漏极连接第二扫描方向选择信号输入端；

第十六薄膜晶体管，其栅极连接第一扫描方向选择信号输入端、源极连接低电平、漏极连接输出端。

8. 如权利要求 6 所述的移位寄存器，其特征在于，所述第二复位控制单元包括：

第十七薄膜晶体管，其栅极连接所述第一复位信号输入端、源极连接所述第十三薄膜晶体管的栅极、漏极连接第二扫描方向选择信号输入端；

第十八薄膜晶体管，其栅极连接输入端、源极连接所述第十三薄膜晶体管的栅极、漏极连接所述第二扫描方向选择信号输入端；

第十九薄膜晶体管，其栅极连接第二复位信号输入端、源极连接低电平、漏极连接所述第十三薄膜晶体管的栅极；

第二十薄膜晶体管，其栅极连接第三复位信号输入端、源极连接低电平、漏极连接所述第十三薄膜晶体管的栅极。

9. 一种显示器，其特征在于，包括如权利要求 1-8 中任一所述的移位寄存器。

一种移位寄存器和显示器

技术领域

[0001] 本发明涉及显示技术领域,特别涉及一种移位寄存器和显示器。

背景技术

[0002] 移位寄存器用于为栅线提供驱动信号,包含多级移位寄存器单元。

[0003] 图 1A 为现有技术中一种移位寄存器单元的结构示意图,图 1B 为图 1A 中移位寄存器单元的时序图。如图 1A 所示,该移位寄存器单元包括 12 个薄膜晶体管和 1 个存储电容,该移位寄存器单元使得移位寄存器只能实现正向扫描驱动,而不能实现双向扫描驱动。

发明内容

[0004] 本发明实施例提供了一种移位寄存器和显示器,用以解决现有移位寄存器只能实现正向扫描驱动、不能实现双向扫描驱动的问题。

[0005] 本发明实施例提供了一种移位寄存器,包括多级移位寄存器单元,所述多级移位寄存器单元中的每级移位寄存器单元包括:

[0006] 第一薄膜晶体管,用于在驱动输入信号和扫描方向选择信号的控制下对所述上拉结点进行充电或放电,其中,在正向扫描驱动时,所述第一薄膜晶体管作为该级移位寄存器单元的启动开关,对所述上拉结点进行充电,在反向扫描驱动时,所述第一薄膜晶体管作为该级移位寄存器单元的复位开关,对所述上拉结点进行放电;

[0007] 第二薄膜晶体管,用于在第一复位信号和所述扫描方向选择信号的控制下对所述上拉结点进行放电或充电,其中,在正向扫描驱动时,所述第二薄膜晶体管作为该级移位寄存器单元的复位开关,对所述上拉结点进行放电,在反向扫描驱动时,所述第二薄膜晶体管作为该级移位寄存器单元的启动开关,对所述上拉结点进行充电;

[0008] 复位单元,用于对所述上拉结点和输出端进行复位;

[0009] 上拉单元,用于在输出阶段将所述输出端的电位拉高。

[0010] 其中,优选地,所述第一薄膜晶体管的栅极连接输入端、源极连接上拉结点、漏极连接第一扫描方向选择信号输入端;

[0011] 所述第二薄膜晶体管的栅极连接第一复位信号输入端、源极连接所述上拉结点、漏极连接所述第一扫描方向选择信号输入端。

[0012] 其中,优选地,所述上拉单元可包括:

[0013] 第三薄膜晶体管,其栅极连接存储电容的第一端、源极输出端、漏极连接第一时钟信号输入端;

[0014] 存储电容,其第一端连接所述上拉结点、第二端连接所述输出端。

[0015] 其中,优选地,所述复位单元可包括:

[0016] 第四薄膜晶体管,其栅极连接第二时钟信号输入端、源极连接低电平、漏极连接所述输出端;

[0017] 第五薄膜晶体管,其栅极连接下拉控制结点、源极连接下拉结点、漏极连接所述第

二时钟信号输入端；

[0018] 第六薄膜晶体管，其栅极连接所述上拉结点、源极连接所述低电平、漏极连接所述下拉结点；

[0019] 第七薄膜晶体管，其栅极和漏极连接所述第二时钟信号输入端、源极连接所述下拉控制结点；

[0020] 第八薄膜晶体管，其栅极连接所述上拉结点、源极连接所述低电平、漏极连接所述下拉控制结点；

[0021] 第九薄膜晶体管，其栅极连接所述下拉结点、源极连接所述低电平、漏极连接所述上拉结点；

[0022] 第十薄膜晶体管，其栅极连接所述下拉结点、源极连接所述低电平、漏极连接所述输出端。

[0023] 其中，优选地，所述每级移位寄存器单元还可包括：

[0024] 第一复位控制单元，用于保证所述复位单元对输出端的复位。

[0025] 其中，优选地，所述第一复位控制单元可包括：

[0026] 第十一薄膜晶体管，其栅极连接第一复位信号输入端、源极连接低电平、漏极连接输出端；

[0027] 第十二薄膜晶体管，其栅极连接输入端、源极连接低电平、漏极连接输出端。

[0028] 其中，优选地，所述复位单元可包括：

[0029] 第五薄膜晶体管，其栅极连接下拉控制结点、源极连接下拉结点、漏极连接所述第二时钟信号输入端；

[0030] 第六薄膜晶体管，其栅极连接所述上拉结点、源极连接所述低电平、漏极连接所述下拉结点；

[0031] 第七薄膜晶体管，其栅极和漏极连接所述第二时钟信号输入端、源极连接所述下拉控制结点；

[0032] 第八薄膜晶体管，其栅极连接所述上拉结点、源极连接所述低电平、漏极连接所述下拉控制结点；

[0033] 第九薄膜晶体管，其栅极连接所述下拉结点、源极连接所述低电平、漏极连接所述上拉结点；

[0034] 第十薄膜晶体管，其栅极连接所述下拉结点、源极连接所述低电平、漏极连接所述输出端；

[0035] 第十三薄膜晶体管，其栅极连接第二复位控制单元、源极连接低电平、漏极连接所述输出端；

[0036] 其中，所述第二复位控制单元，用于保证所述复位单元对输出端的复位。

[0037] 其中，优选地，所述第二复位控制单元可包括：

[0038] 第十四薄膜晶体管，其栅极连接第一复位信号输入端、源极连接所述第十三薄膜晶体管的栅极、漏极连接第二扫描方向选择信号输入端；

[0039] 第十五薄膜晶体管，其栅极连接输入端、源极连接所述第十三薄膜晶体管的栅极、漏极连接第二扫描方向选择信号输入端；

[0040] 第十六薄膜晶体管，其栅极连接第一扫描方向选择信号输入端、源极连接低电平、

漏极连接输出端。

[0041] 其中,优选地,所述第二复位控制单元可包括:

[0042] 第十七薄膜晶体管,其栅极连接所述第一复位信号输入端、源极连接所述第十三薄膜晶体管的栅极、漏极连接所述第二扫描方向选择信号输入端;

[0043] 第十八薄膜晶体管,其栅极连接输入端、源极连接所述第十三薄膜晶体管的栅极、漏极连接所述第二扫描方向选择信号输入端;

[0044] 第十九薄膜晶体管,其栅极连接第二复位信号输入端、源极连接低电平、漏极连接所述第十三薄膜晶体管的栅极;

[0045] 第二十薄膜晶体管,其栅极连接第三复位信号输入端、源极连接低电平、漏极连接所述第十三薄膜晶体管的栅极。

[0046] 本发明实施例提供一种显示器,包括所述的任一种移位寄存器。

[0047] 本发明实施例提供的上述移位寄存器和显示器可以实现双向扫描驱动。

附图说明

[0048] 图 1A 为现有移位寄存器单元的结构示意图;

[0049] 图 1B 为图 1A 中移位寄存器单元的驱动时序图;

[0050] 图 2A 为本发明实施例中一种移位寄存器单元的结构示意图;

[0051] 图 2B 为本发明实施例中另一种移位寄存器单元的结构示意图;

[0052] 图 3 为本发明具体实施例一中移位寄存器单元的结构示意图;

[0053] 图 4 为具有图 3 中移位寄存器单元的移位寄存器的结构示意图;

[0054] 图 5 为图 4 中移位寄存器的正向扫描驱动时序图;

[0055] 图 6 为图 4 中移位寄存器的反向扫描驱动时序图;

[0056] 图 7 为本发明具体实施例二中移位寄存器单元的结构示意图;

[0057] 图 8 为具有图 7 中移位寄存器单元的、5 个驱动信号的移位寄存器的结构示意图;

[0058] 图 9 为图 8 中移位寄存器的正向扫描驱动时序图;

[0059] 图 10 为图 8 中移位寄存器的反向扫描驱动时序图;

[0060] 图 11 为具有图 7 中移位寄存器单元的、6 个驱动信号的移位寄存器的结构示意图;

[0061] 图 12 为图 11 中移位寄存器的正向扫描驱动时序图;

[0062] 图 13 为图 11 中移位寄存器的反向扫描驱动时序图;

[0063] 图 14 为本发明具体实施例三中移位寄存器单元的结构示意图;

[0064] 图 15 为具有图 14 中移位寄存器单元的、4 个驱动信号的移位寄存器的结构示意图;

[0065] 图 16 为本发明具体实施例四中移位寄存器单元的结构示意图;

[0066] 图 17 为具有图 16 中移位寄存器单元的、4 个驱动信号的移位寄存器的结构示意图。

具体实施方式

[0067] 为使本发明实施例要解决的技术问题、技术方案和优点更加清楚,下面将结合附

图及具体实施例进行详细描述。

[0068] 本发明实施例提供了一种移位寄存器,包括多级移位寄存器单元,如图 2A 所示,多级移位寄存器单元中的每级移位寄存器单元包括:

[0069] 第一薄膜晶体管 T1,用于在驱动输入信号和扫描方向选择信号的控制下对上拉结点 PU 进行充电或放电,其中,在正向扫描驱动时,第一薄膜晶体管 T1 作为该级移位寄存器单元的启动开关,对上拉结点 PU 进行充电,在反向扫描驱动时,第一薄膜晶体管 T1 作为该级移位寄存器单元的复位开关,对上拉结点 PU 进行放电;

[0070] 第二薄膜晶体管 T2,用于在第一复位信号和扫描方向选择信号的控制下对上拉结点 PU 进行放电或充电,其中,在正向扫描驱动时,第二薄膜晶体管 T2 作为该级移位寄存器单元的复位开关,对上拉结点 PU 进行放电,在反向扫描驱动时,第二薄膜晶体管 T2 作为该级移位寄存器单元的启动开关,对上拉结点 PU 进行充电;

[0071] 复位单元,用于对上拉结点 PU 和输出端 OUT 进行复位;

[0072] 上拉单元,用于在输出阶段将输出端 OUT 的电位拉高。

[0073] 其中,优选地,如图 2A 所示,第一薄膜晶体管 T1 的栅极可连接输入端 INPUT、源极连接上拉结点 PU、漏极连接第一扫描方向选择信号输入端 CLK';

[0074] 第二薄膜晶体管 T2 的栅极连接第一复位信号输入端 RESET、源极连接上拉结点 PU、漏极连接第一扫描方向选择信号输入端 CLK'。

[0075] 如图 2B 所示,上述上拉单元可包括:

[0076] 第三薄膜晶体管 T3,其栅极连接存储电容 C1 的第一端、源极输出端 OUT、漏极连接第一时钟信号输入端 CLK';

[0077] 存储电容 C1,其第一端连接上拉结点 PU、第二端连接输出端 OUT。

[0078] 本发明实施例提供的上述移位寄存器可以实现双向扫描驱动。

[0079] 下面以多个具体实施例说明上述移位寄存器的具体实施方式:

[0080] 实施例一

[0081] 优选地,如图 3 所示,上述复位单元具体可包括:

[0082] 第四薄膜晶体管 T4,其栅极连接第二时钟信号输入端 CLKB、源极连接低电平 VSS、漏极连接输出端 OUT;

[0083] 第五薄膜晶体管 T5,其栅极连接下拉控制结点 PD_CN、源极连接下拉结点 PD、漏极连接第二时钟信号输入端 CLKB;

[0084] 第六薄膜晶体管 T6,其栅极连接上拉结点 PU、源极连接低电平 VSS、漏极连接下拉结点 PD;

[0085] 第七薄膜晶体管 T7,其栅极和漏极连接第二时钟信号输入端 CLKB、源极连接下拉控制结点 PD_CN;

[0086] 第八薄膜晶体管 T8,其栅极连接上拉结点 PU、源极连接低电平 VSS、漏极连接下拉控制结点 PD_CN;

[0087] 第九薄膜晶体管 T9,其栅极连接下拉结点 PD、源极连接低电平 VSS、漏极连接上拉结点 PU;

[0088] 第十薄膜晶体管 T10,其栅极连接下拉结点 PD、源极连接低电平 VSS、漏极连接输出端 OUT。

[0089] 此时,具有图3所示移位寄存器单元的移位寄存器的结构如图4所示,其正向扫描驱动时序如图5所示,反向扫描驱动时序如图6所示。

[0090] 如图4所示,该移位寄存器的主要特征是相邻移位寄存器单元的第一时钟信号输入端CLK和第二时钟信号输入端CLKB分别交替连接驱动信号CLK和CLKB;相邻四个移位寄存器单元的第一扫描方向选择信号输入端CLK'分别连接驱动信号clk3、clk4,其中相邻的两个连接同一个驱动信号,并且另外两个连接另一个驱动信号(如clk3、clk3、clk4、clk4,或clk4、clk4、clk3、clk3,或clk3、clk4、clk4、clk3,或clk4、clk3、clk3、clk4,驱动时序需与连接方式匹配);移位寄存器单元的输入端INPUT连接上一级移位寄存器单元的输出端OUT、第一复位信号输入端RESET连接下一级移位寄存器单元的输出端OUT,第一个移位寄存器单元的输入端INPUT及最后一个移位寄存器单元的第一复位信号输入端RESET连接帧起始信号STV(STV_F和STV_B可以是相同信号,也可以不是同一个信号);所有移位寄存器单元的输出端OUT都连接至相应的栅线;所有的VSS都连接至低电平信号VSS。

[0091] 连接移位寄存器单元的第一扫描方向选择信号输入端CLK'的驱动信号应满足三个要求:一是输入(INPUT)阶段为高电平,二是复位阶段为低电平,同时,还应满足在帧起始信号为高电平时,第一级移位寄存器单元和最后一级移位寄存器单元的第一扫描方向选择信号输入端CLK'连接的信号一个为高电平、一个为低电平。

[0092] 如图5所示,在正向扫描驱动时,对第一级移位寄存器单元:

[0093] 在INPUT阶段,即STV_F信号变为高电平时,其第一薄膜晶体管T1导通,此时,第一扫描方向选择信号输入端CLK'连接的clk3也为高电平,则PU节点充电。

[0094] 然后,在输出OUT阶段,第一时钟信号CLK变为高电平,则输出GL1也变为高电平;同时,GL1也作为第二级移位寄存器单元的栅极输入信号,则第二级移位寄存器单元的第一薄膜晶体管T1也导通,此时,第二级移位寄存器单元的第一扫描方向选择信号输入端CLK'连接的clk3仍为高电平,则第二级移位寄存器单元的上拉结点PU充电。

[0095] 在RESET阶段,也是第二级移位寄存器单元的输出阶段,GL2变为高电平,则第一级移位寄存器单元的Reset信号变为高电平,第二薄膜晶体管T2导通,而此时,第一级移位寄存器单元的第一扫描方向选择信号输入端CLK'连接的clk3变为低电平,则上拉结点PU被拉低,实现了上拉结点PU复位;第一时钟信号输入端CLK变为低电平,第二时钟信号输入端CLKB变为高电平,则第四薄膜晶体管T4导通,第七薄膜晶体管T7导通,第八薄膜晶体管T8、第六薄膜晶体管T6截止,则下拉控制结点PD_CN变为高电平,第五薄膜晶体管T5导通,下拉结点PD也变为高电平,则第十薄膜晶体管T10、第九薄膜晶体管T9也导通,输出OUT端被拉低至VSS,实现复位。其他移位寄存器单元于此类似,逐行实现扫描控制信号输出。

[0096] 在反向扫描驱动时,移位寄存器驱动信号CLK与CLKB时序互换,方向选择信号clk3与clk4互换,时序如图6所示。

[0097] 在反向扫描驱动时,对第n级移位寄存器单元:

[0098] 在INPUT阶段,即STV_B信号变为高电平时,其第二薄膜晶体管T2导通,此时,第一扫描方向选择信号输入端CLK'连接的clk4也为高电平,则上拉结点PU充电。

[0099] 然后,在输出OUT阶段,第二时钟信号CLKB变为高电平,则输出GLn也变为高电平;同时,GLn也作为第n-1级移位寄存器单元的输入信号,则第n-1级移位寄存器单元的第二薄膜晶体管T2也导通,此时,第n-1级移位寄存器单元的第一扫描方向选择信号输入

端 CLK' 连接的 c1k4 仍为高电平,则第 n-1 级移位寄存器单元的上拉结点 PU 充电。

[0100] 在 RESET 阶段,也是第 n-1 级移位寄存器单元的输出阶段, GL(n-1) 变为高电平,则第 n 级移位寄存器单元的复位信号,即第一输入信号 INPUT 端变为高电平,其第一薄膜晶体管 T1 导通,而此时,第一扫描方向选择信号输入端 CLK' 连接的 c1k4 变为低电平,则上拉结点 PU 被拉低,实现了上拉结点 PU 复位;第二时钟信号输入端 CLKB 变为低电平,第一时钟信号输入端 CLK 变为高电平,则第四薄膜晶体管 T4 导通,第七薄膜晶体管 T7 导通,第八薄膜晶体管 T8、第六薄膜晶体管 T6 截止,则下拉控制结点 PD_CN 变为高电平,第五薄膜晶体管 T5 导通,下拉结点 PD 也变为高电平,则第十薄膜晶体管 T10、第九薄膜晶体管 T9 也导通,输出被拉低至 VSS,实现复位。其他移位寄存器单元与此类似,逐行实现扫描控制信号输出。

[0101] 如果 STV_F 与 STV_B 是同一信号,统称为 STV。正向扫描驱动时,STV 为高电平时,c1k3 为高电平,则第一级移位寄存器单元的第一薄膜晶体管 T1 导通,上拉结点 PU 充电;而此时,c1k4 为低电平,虽然最后一级移位寄存器单元的第一薄膜晶体管 T1 也导通,但上拉结点 PU 并没有充电,仍为低电平,并不会启动该单元。同样的,反向扫描驱动时,最后一级移位寄存器单元启动,而第一级移位寄存器单元则不启动。从而可以实现双向扫描驱动。

[0102] 需要说明的是,图 4 的移位寄存器单元连接周期是 4,而 n 正好为 4 的整数倍的情况,如果不是,则应调整驱动时序、连接方式、或增加空的移位寄存器单元来满足扫描方向选择信号的三个要求。

[0103] 另外,图 3 所示移位寄存器单元可以两个重复结构及移位的驱动时钟信号实现 8-clock 驱动,可以有效降低栅极驱动器的功耗。扫描方向选择信号可以是两个、三个、四个或更多,驱动时序及连接方式进行相应的调整即可。

[0104] 实施例二

[0105] 上述每级移位寄存器单元还可以在图 3 所示结构的基础上,增加一个第一复位控制单元,用于保证图 3 所示复位单元对输出端的复位。

[0106] 具体地,如图 7 所示,该第一复位控制单元可以包括:

[0107] 第十一薄膜晶体管 T11,其栅极连接第一复位信号输入端 RESET、源极连接低电平 VSS、漏极连接输出端 OUT;

[0108] 第十二薄膜晶体管 T12,其栅极连接输入端 INPUT、源极连接低电平 VSS、漏极连接输出端 OUT。

[0109] 此时,具有图 7 所示移位寄存器单元的、5 个驱动信号 (5-clock) 的移位寄存器的结构如图 8 所示;其正向扫描驱动时序如图 9 所示,反向扫描驱动时序如图 10 所示。

[0110] 具有图 7 所示移位寄存器单元的、6 个驱动信号 (6-clock) 的移位寄存器的结构如图 11 所示;其正向扫描驱动时序如图 12 所示,反向扫描驱动时序如图 13 所示。

[0111] 由于第四薄膜晶体管 T4 受到的作用电压都较大,占空比约为 50%,会引起较大的阈值电压偏移,不利于栅极驱动器的稳定性;增加了第十一薄膜晶体管 T11 和第十二薄膜晶体管 T12 可以保证输出端复位的可靠性,进而增强栅极驱动的可靠性。

[0112] 具体地,正向扫描时,通过第十一薄膜晶体管 T11 给输出端 OUT 复位;反向扫描时,通过第十二薄膜晶体管 T12 给输出端 OUT 复位。

[0113] 实施例三

[0114] 优选地,复位单元还可以包括:

[0115] 第五薄膜晶体管 T5,其栅极连接下拉控制结点 PD_CN、源极连接下拉结点 PD、漏极连接第二时钟信号输入端 CLKB;

[0116] 第六薄膜晶体管 T6,其栅极连接上拉结点 PU、源极连接低电平 VSS、漏极连接下拉结点 PD;

[0117] 第七薄膜晶体管 T7,其栅极和漏极连接第二时钟信号输入端 CLKB、源极连接下拉控制结点 PD_CN;

[0118] 第八薄膜晶体管 T8,其栅极连接上拉结点 PU、源极连接低电平 VSS、漏极连接下拉控制结点 PD_CN;

[0119] 第九薄膜晶体管 T9,其栅极连接下拉结点 PD、源极连接低电平 VSS、漏极连接上拉结点 PU;

[0120] 第十薄膜晶体管 T10,其栅极连接下拉结点 PD、源极连接低电平 VSS、漏极连接输出端 OUT;

[0121] 第十三薄膜晶体管 T13,其栅极连接第二复位控制单元、源极连接低电平 VSS、漏极连接输出端 OUT;

[0122] 其中,第二复位控制单元,用于保证复位单元对输出端 OUT 的复位。

[0123] 具体地,如图 14 所示,上述第二复位控制单元包括:

[0124] 第十四薄膜晶体管 T14,其栅极连接第一复位信号输入端 RESET、源极连接第十三薄膜晶体管 T13 的栅极、漏极连接第二扫描方向选择信号输入端 CLK' B;

[0125] 第十五薄膜晶体管 T15,其栅极连接输入端 INPUT、源极连接第十三薄膜晶体管 T13 的栅极、漏极连接第二扫描方向选择信号输入端 CLK' B;

[0126] 第十六薄膜晶体管 T16,其栅极连接第一扫描方向选择信号输入端 CLK'、源极连接低电平 VSS、漏极连接输出端 OUT。

[0127] 此时,具有图 14 所示移位寄存器单元的、4 个驱动信号 (4-clock) 的移位寄存器的结构如图 15 所示;其正向驱动时序与图 5 所示相同,反向驱动时序与图 6 所示相同。

[0128] 下面主要说明上述第二复位控制单元保证输出端 OUT 复位的工作过程:

[0129] 在正向扫描时:

[0130] 在输入 INPUT 阶段,第一扫描方向选择信号输入端 CLK'、输入端 INPUT 为高电平,第二扫描方向选择信号输入端 CLK' B、第一复位信号输入端 Reset 为低电平,则第十四薄膜晶体管 T14、第十五薄膜晶体管 T15、第十六薄膜晶体管 T16 导通,第十三薄膜晶体管 T13 的栅极被拉低,第十三薄膜晶体管 T13 截止;

[0131] 在输出 OUT 阶段,输入端 INPUT、第一复位信号输入端 Reset 为低电平,(第一扫描方向选择信号输入端 CLK'、第二扫描方向选择信号输入端 CLK' B 无论为高电平还是低电平都可以),则第十四薄膜晶体管 T14、第十五薄膜晶体管 T15 截止(第十六薄膜晶体管 T16 无论导通或截止都可以),第十三薄膜晶体管 T13 的栅极保持低电平,即第十三薄膜晶体管 T13 保持截止;

[0132] 在复位 RESET 阶段,第二扫描方向选择信号输入端 CLK' B、第一复位信号输入端 Reset 为高电平,第一扫描方向选择信号输入端 CLK'、输入端 INPUT 为低电平,则第十四薄膜晶体管 T14 导通,第十五薄膜晶体管 T15、第十六薄膜晶体管 T16 截止,第十三薄膜晶体管 T13 的栅极变为高电平,即第十三薄膜晶体管 T13 导通,对输出端 OUT 复位;

[0133] 在非工作阶段,输入端 INPUT、第一复位信号输入端 Reset 一直保持为低电平,即第十四薄膜晶体管 T14 导通,第十五薄膜晶体管 T15 截止;第一扫描方向选择信号输入端 CLK' 变高时,第十六薄膜晶体管 T16 导通,第十三薄膜晶体管 T13 的栅极即被拉低,则第十三薄膜晶体管 T13 保持截止,从而减小第十三薄膜晶体管 T13 的偏置作用电压,有利于延长第十三薄膜晶体管 T13 的工作寿命,即移位寄存器的复位可靠性。

[0134] 反向扫描与正向扫描类似,主要是驱动信号需要改变。

[0135] 实施例四

[0136] 如图 16 所示,上述第二复位控制单元还可以包括:

[0137] 第十七薄膜晶体管 T17,其栅极连接第一复位信号输入端 RESET、源极连接第十三薄膜晶体管 T13 的栅极、漏极连接第二扫描方向选择信号输入端 CLK' B;

[0138] 第十八薄膜晶体管 T18,其栅极连接输入端 INPUT、源极连接第十三薄膜晶体管 T13 的栅极、漏极连接第二扫描方向选择信号输入端 CLK' B;

[0139] 第十九薄膜晶体管 T19,其栅极连接第二复位信号输入端 RESET2、源极连接低电平 VSS、漏极连接第十三薄膜晶体管 T13 的栅极;

[0140] 第二十薄膜晶体管 T20,其栅极连接第三复位信号输入端 RESET3、源极连接低电平 VSS、漏极连接第十三薄膜晶体管 T13 的栅极。

[0141] 此时,具有图 16 所示移位寄存器单元的、4 个驱动信号 (4-clock) 的移位寄存器的结构如图 17 所示;其正向驱动时序与图 5 所示相同,反向驱动时序与图 6 所示相同。

[0142] 图 16 相对于图 3 所示的移位寄存器单元,其优点是稳定性较好;相对于图 7 所示的移位寄存器单元,其优点是减少了直接用于输出端 OUT 复位的薄膜晶体管,可以有效减小移位寄存器单元所需面积(由于直接用于输出端 OUT 复位的薄膜晶体管尺寸较大)。

[0143] 下面主要说明上述第二复位控制单元保证输出端 OUT 复位的工作过程:

[0144] 在正向扫描时:

[0145] 在输入前阶段,输入端 INPUT、第一复位信号输入端 Reset、第三复位信号输入端 Reset3 为低电平,第二复位信号输入端 Reset2 为高电平,则第十七薄膜晶体管 T17、第十八薄膜晶体管 T18、第二十薄膜晶体管 T20 截止,第十九薄膜晶体管 T19 导通,第十三薄膜晶体管 T13 栅极被拉低,第十三薄膜晶体管 T13 截止;

[0146] 在输入 INPUT 阶段,输入端 INPUT 为高电平,第二扫描方向选择信号输入端 CLK' B、第一复位信号输入端 Reset、第二复位信号输入端 Reset2、第三复位信号输入端 Reset3 为低电平,则第十七薄膜晶体管 T17、第十九薄膜晶体管 T19、第二十薄膜晶体管 T20 截止,虽然第十八薄膜晶体管 T18 导通,但第十三薄膜晶体管 T13 的栅极仍保持为低,第十三薄膜晶体管 T13 截止;

[0147] 在输出 OUT 阶段,输入端 INPUT、第一复位信号输入端 Reset、第二复位信号输入端 Reset2、第三复位信号输入端 Reset3 为低电平,(第二扫描方向选择信号输入端 CLK' B 无论为高电平还是低电平都可以),则第十七薄膜晶体管 T17、第十八薄膜晶体管 T18、第十九薄膜晶体管 T19、第二十薄膜晶体管 T20 截止,第十三薄膜晶体管 T13 的栅极保持低电平,即第十三薄膜晶体管 T13 保持截止;

[0148] 在复位 RESET 阶段,第二扫描方向选择信号输入端 CLK' B、第一复位信号输入端 Reset 为高电平,输入端 INPUT、第二复位信号输入端 Reset2、第三复位信号输入端 Reset3

为低电平,则第十七薄膜晶体管 T17 导通,第十八薄膜晶体管 T18、第十九薄膜晶体管 T19、第二十薄膜晶体管 T20 截止,第十三薄膜晶体管 T13 的栅极变为高电平,即第十三薄膜晶体管 T13 导通,对输出端 OUT 复位;

[0149] 在第十三薄膜晶体管 T13 的复位阶段,输入端 INPUT、第一复位信号输入端 Reset、第二复位信号输入端 Reset2 为低电平,第三复位信号输入端 Reset3 变为高电平,则第十七薄膜晶体管 T17 导通,第十八薄膜晶体管 T18、第十九薄膜晶体管 T19 截止,第二十薄膜晶体管 T20 导通,第十三薄膜晶体管 T13 的栅极被拉低,第十三薄膜晶体管 T13 截止,完成对第十三薄膜晶体管 T13 的复位;

[0150] 在非工作阶段,输入端 INPUT、第一复位信号输入端 Reset、第二复位信号输入端 Reset2、第三复位信号输入端 Reset3 一直保持为低电平,即第十七薄膜晶体管 T17、第十八薄膜晶体管 T18、第十九薄膜晶体管 T19、第二十薄膜晶体管 T20 保持截止;则第十三薄膜晶体管 T13 的栅极电压保持低电平,从而减小第十三薄膜晶体管 T13 的偏置作用电压,有利于延长第十三薄膜晶体管 T13 的工作寿命,即移位寄存器的复位可靠性。

[0151] 在反向扫描与正向扫描类似,主要是驱动信号需要改变。

[0152] 最后对以上几个实施例进行综合说明:

[0153] 采用图 3、图 7(或接口相同的或类似的)移位寄存器单元的移位寄存器除了可以采用图 4 所示的结构,还可以采用如图 8、图 11 所示的结构或其衍生的结构。

[0154] 图 8 相对于图 4,增加了一个方向选择信号 clk5,连接方式如图 8 所示。该结构的驱动时序如图 9、图 10 所示。具体驱动过程与图 3 的类似。反向扫描驱动时,移位寄存器驱动信号 CLK 与 CLKB 时序互换,方向选择信号 clk3 与 clk5 互换,时序如图 9、图 10 所示。其优点一是每个选择信号 clkx 连接的单元数减少(由原来的 $n/2$,变为 $n/3$),可以降低存储电容带来的功耗;另一个是可以减少移位寄存器单元不工作时扫描方向选择信号的占空比(由原来的 50%,变为 33%),可以有效减小意外打开的可能性,从而提高可靠性。

[0155] 图 11 相对于图 4,增加了两个扫描方向选择信号 clk5、clk6,连接方式如图 11 所示。该结构的驱动时序如图 12、图 13 所示。具体驱动过程与图 3 的类似。反向扫描驱动时,移位寄存器驱动信号 CLK 与 CLKB 时序互换,方向选择信号 clk3 与 clk6 互换,clk4 与 clk5 互换,时序如图 12、图 13 所示。其优点一是每个扫描方向选择信号 clkx 连接的单元数减少(由原来的 $n/2$,变为 $n/4$),可以降低存储电容带来的功耗;另一个是可以减少移位寄存器单元不工作时方向选择信号的占空比(由原来的 50%,变为 25%),可以有效减小意外打开的可能性,从而提高可靠性。

[0156] 采用图 14 或接口相同的类似移位寄存器单元的移位寄存器,除了可以采用图 15 所示的结构,还可以采用类似图 8、图 11 或其衍生结构的结构。

[0157] 采用图 16 或接口相同的类似移位寄存器单元的移位寄存器,除了可以采用图 17 所示的结构,还可以采用类似图 8、图 11 或其衍生结构的结构,其优点是稳定性好。

[0158] 另外,本发明实施例还提供了一种显示器,包括本发明实施例提供的前述任意一种移位寄存器。

[0159] 以上所述是本发明的优选实施方式,应当指出,对于本技术领域的普通技术人员来说,在不脱离本发明所述原理的前提下,还可以作出若干改进和润饰,这些改进和润饰也应视为本发明的保护范围。

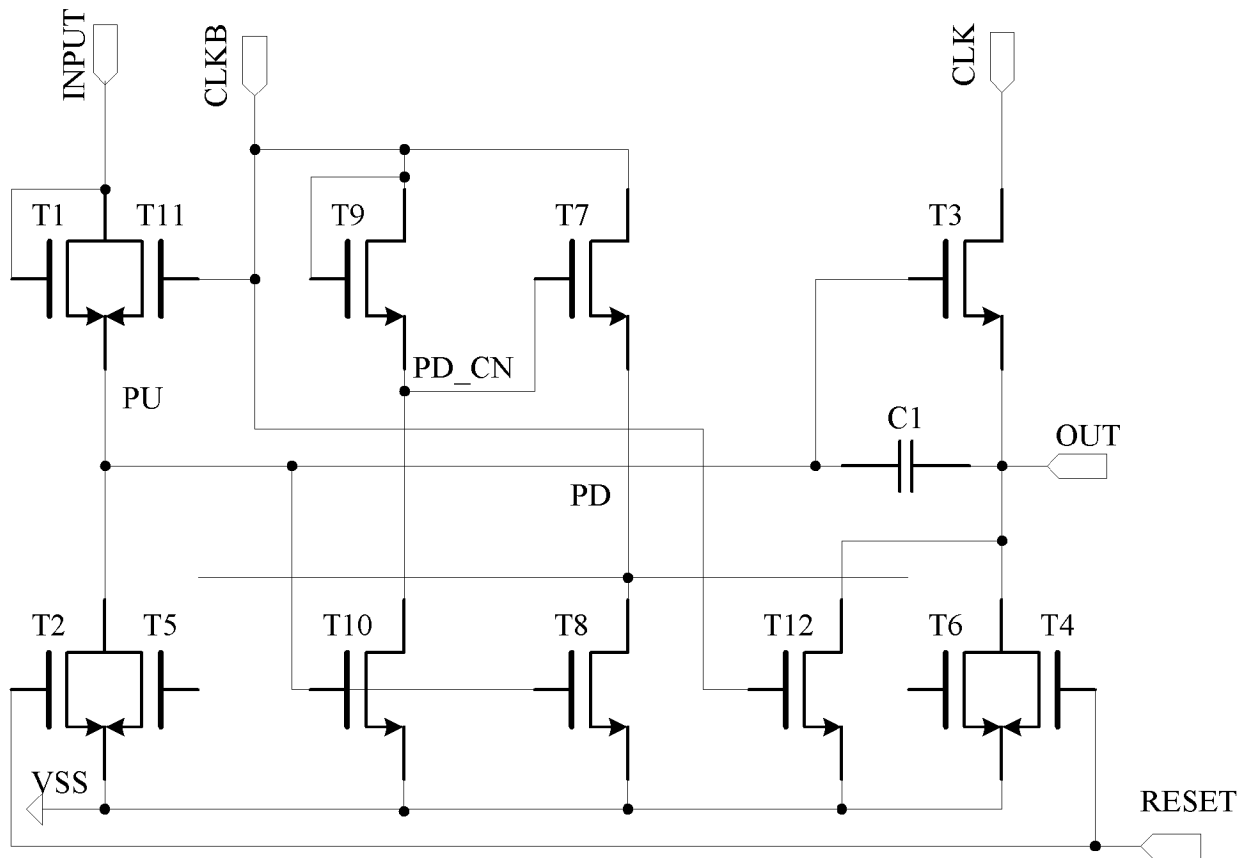


图 1A

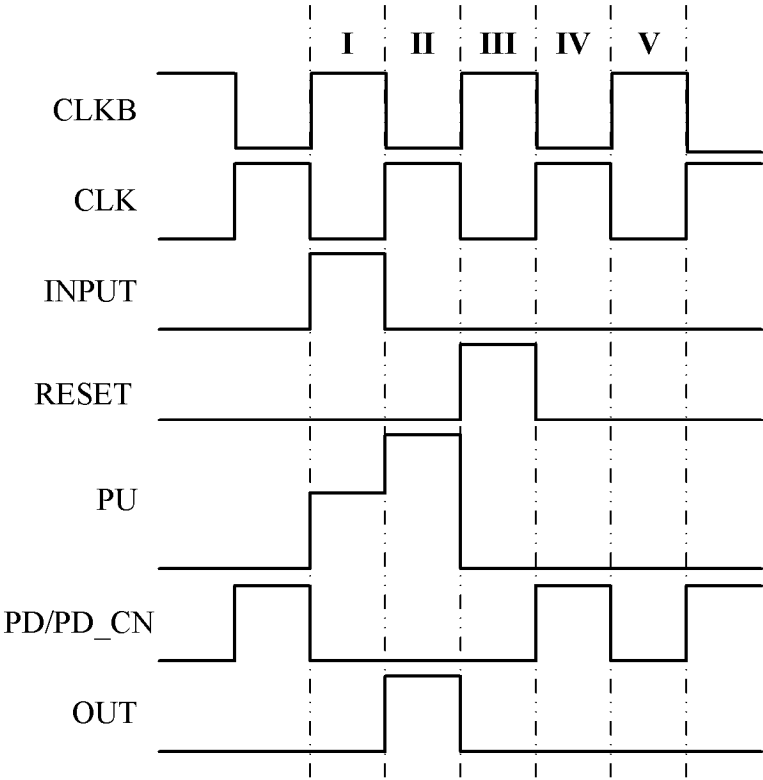


图 1B

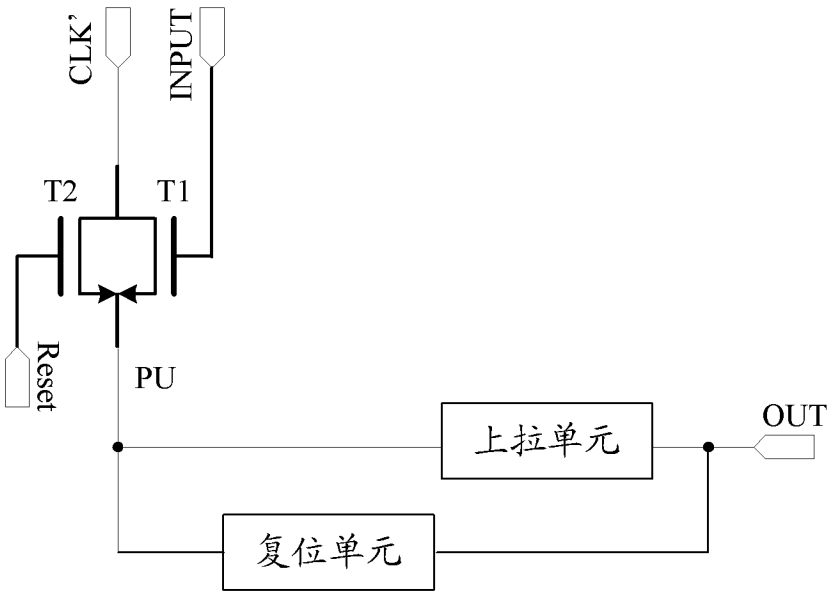


图 2A

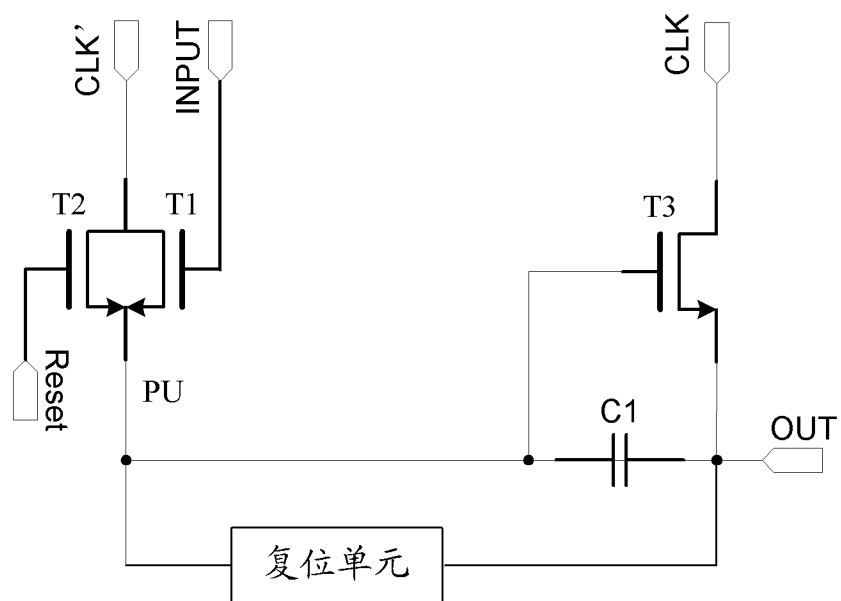


图 2B

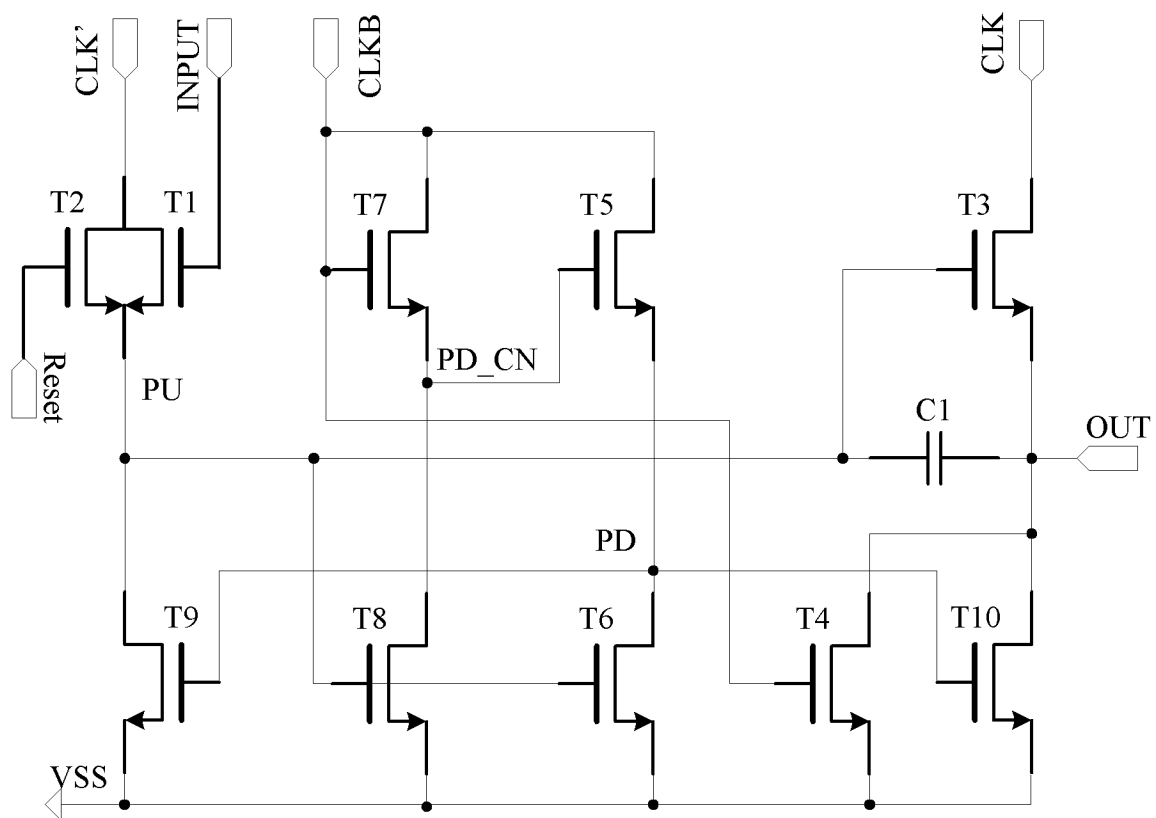


图 3

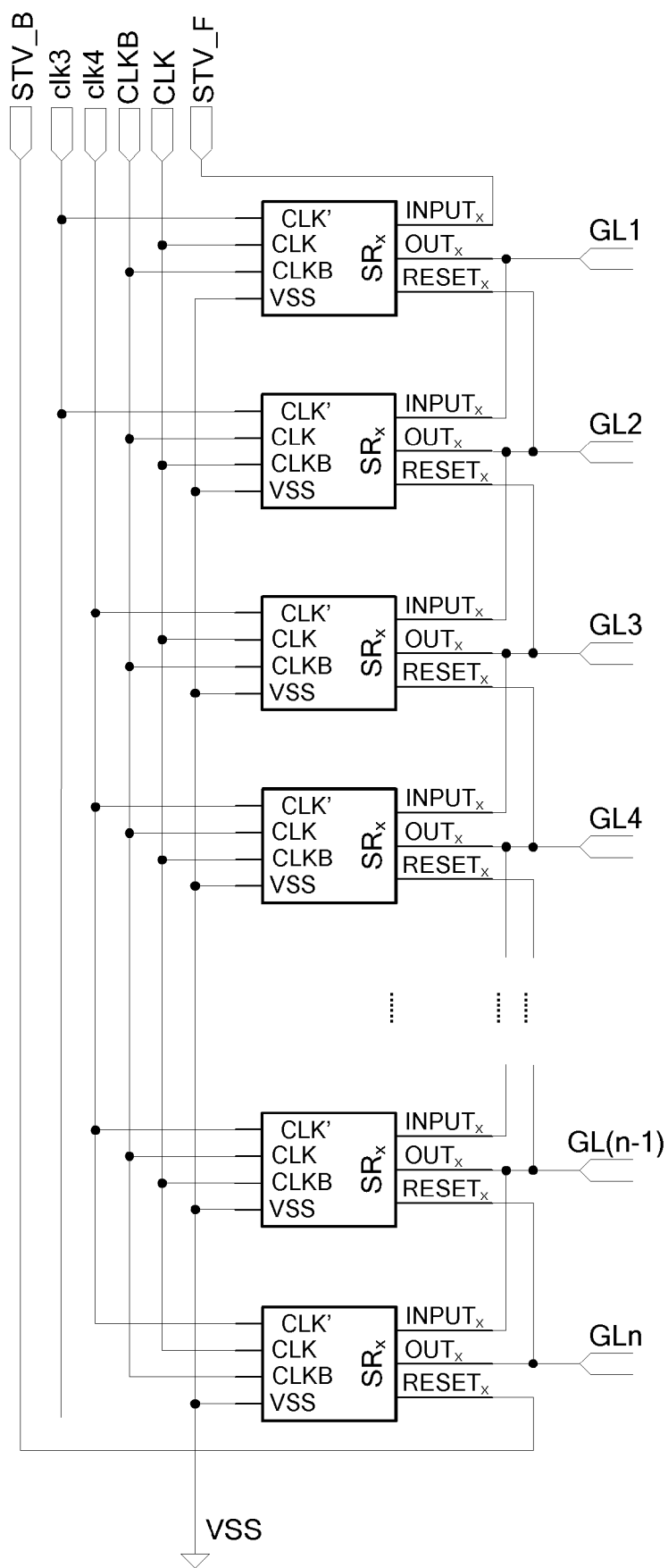


图 4

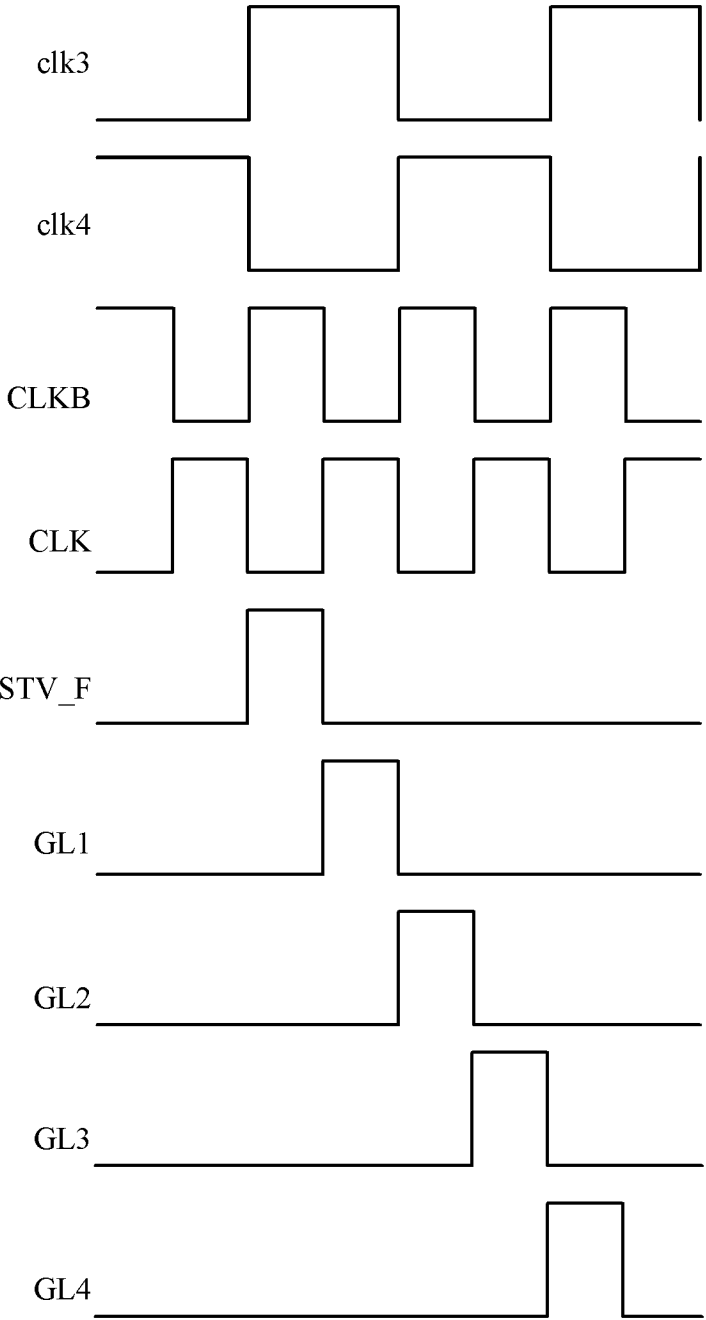


图 5

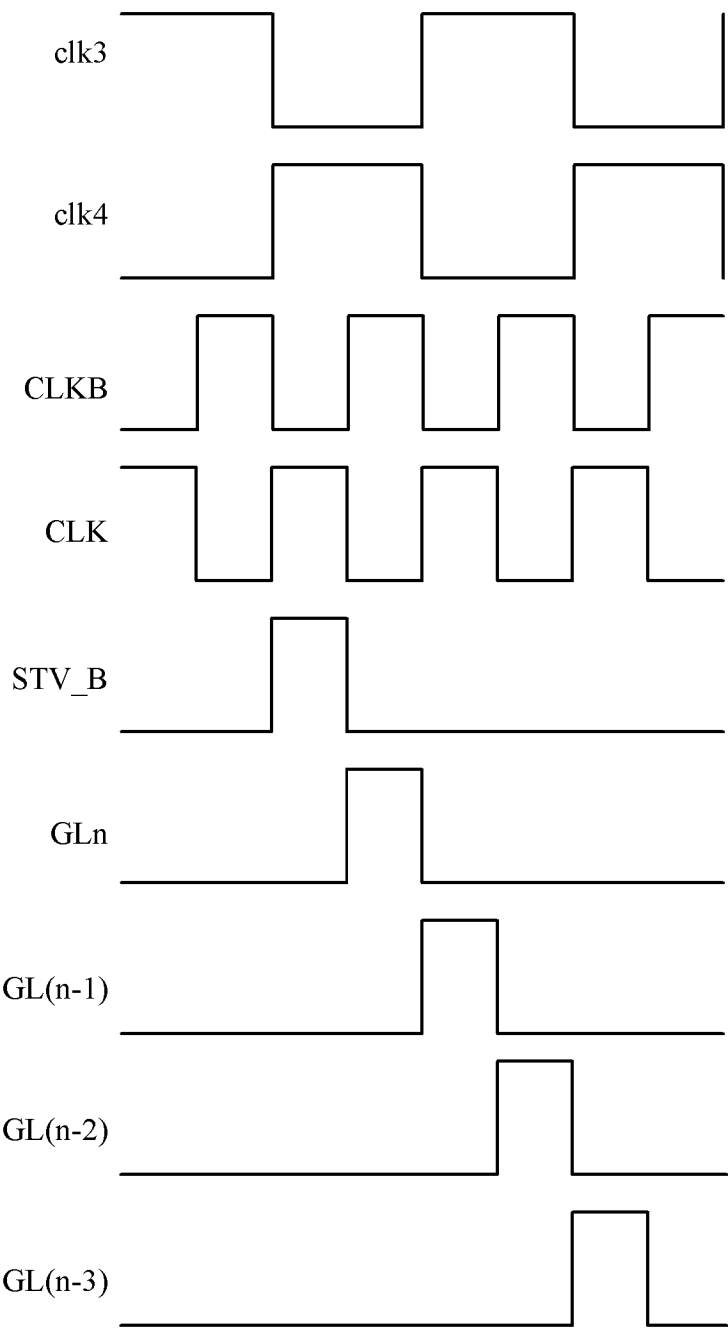


图 6

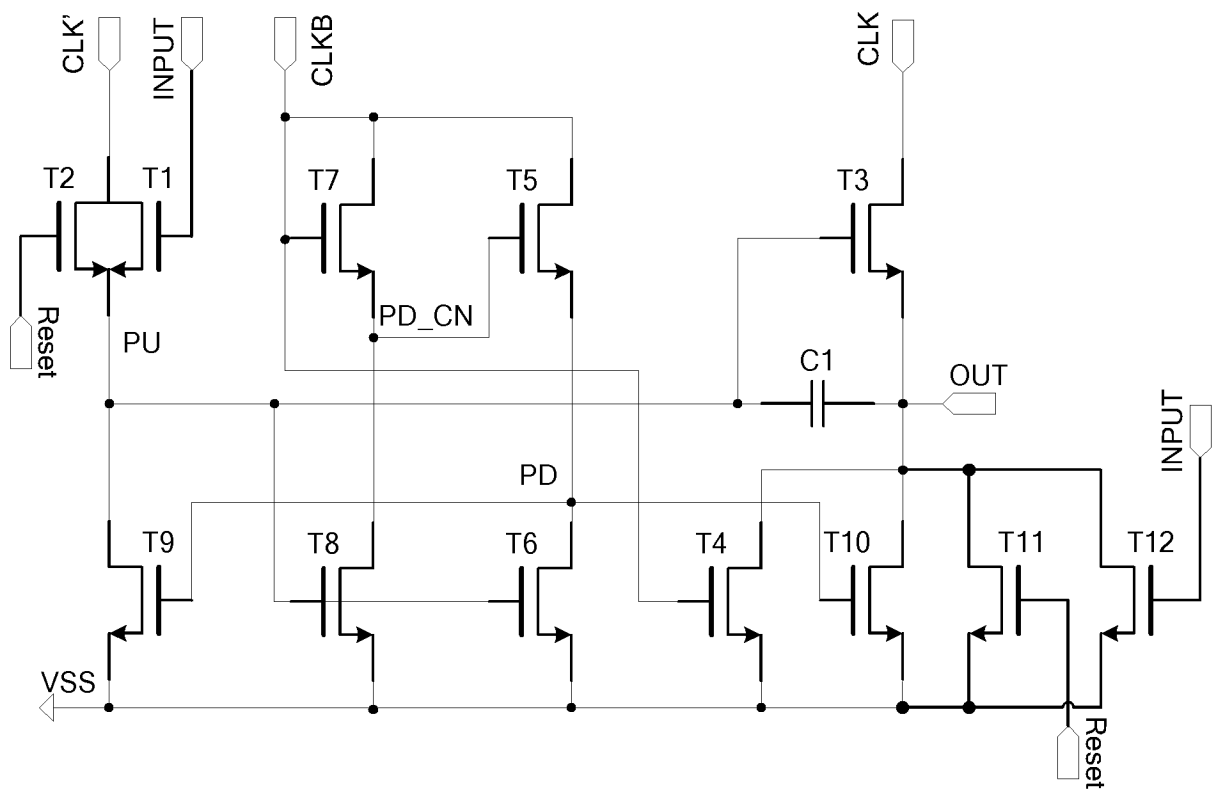


图 7

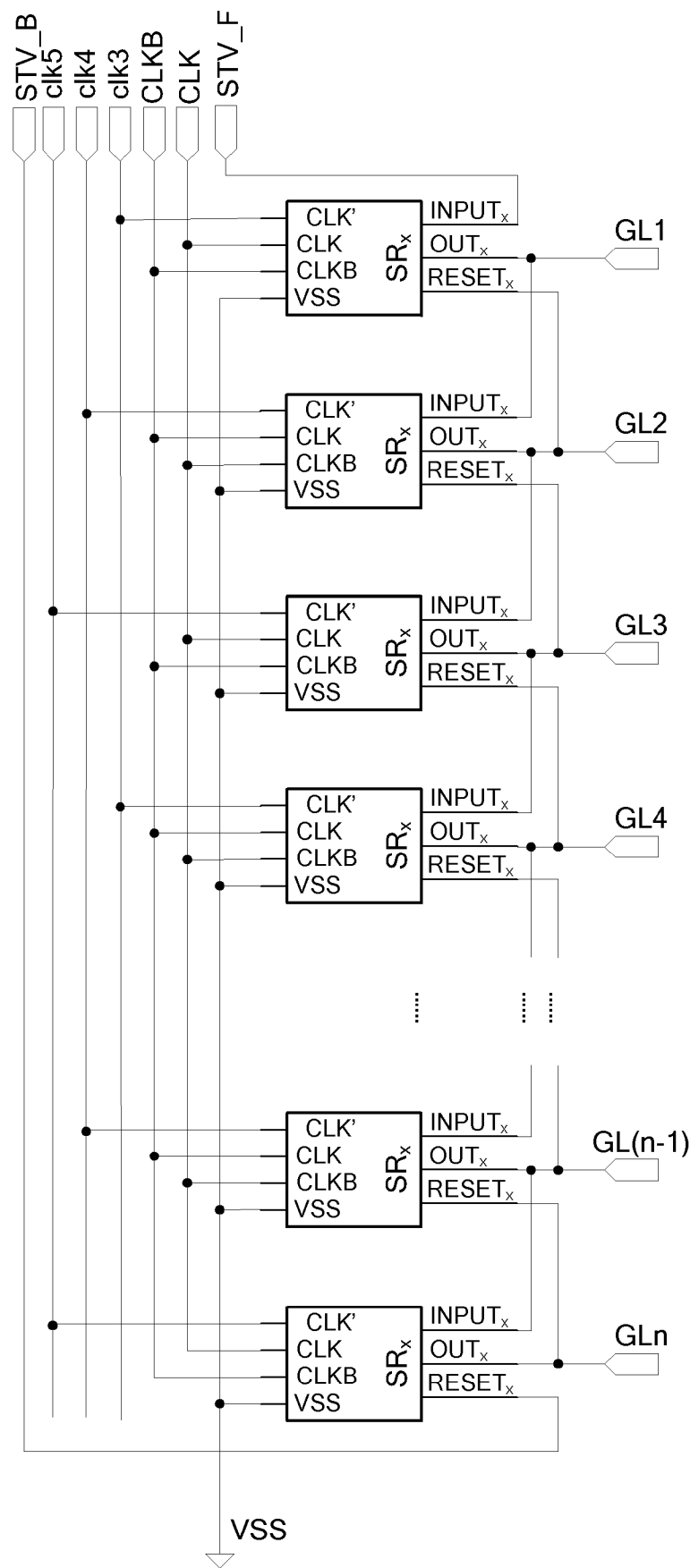


图 8

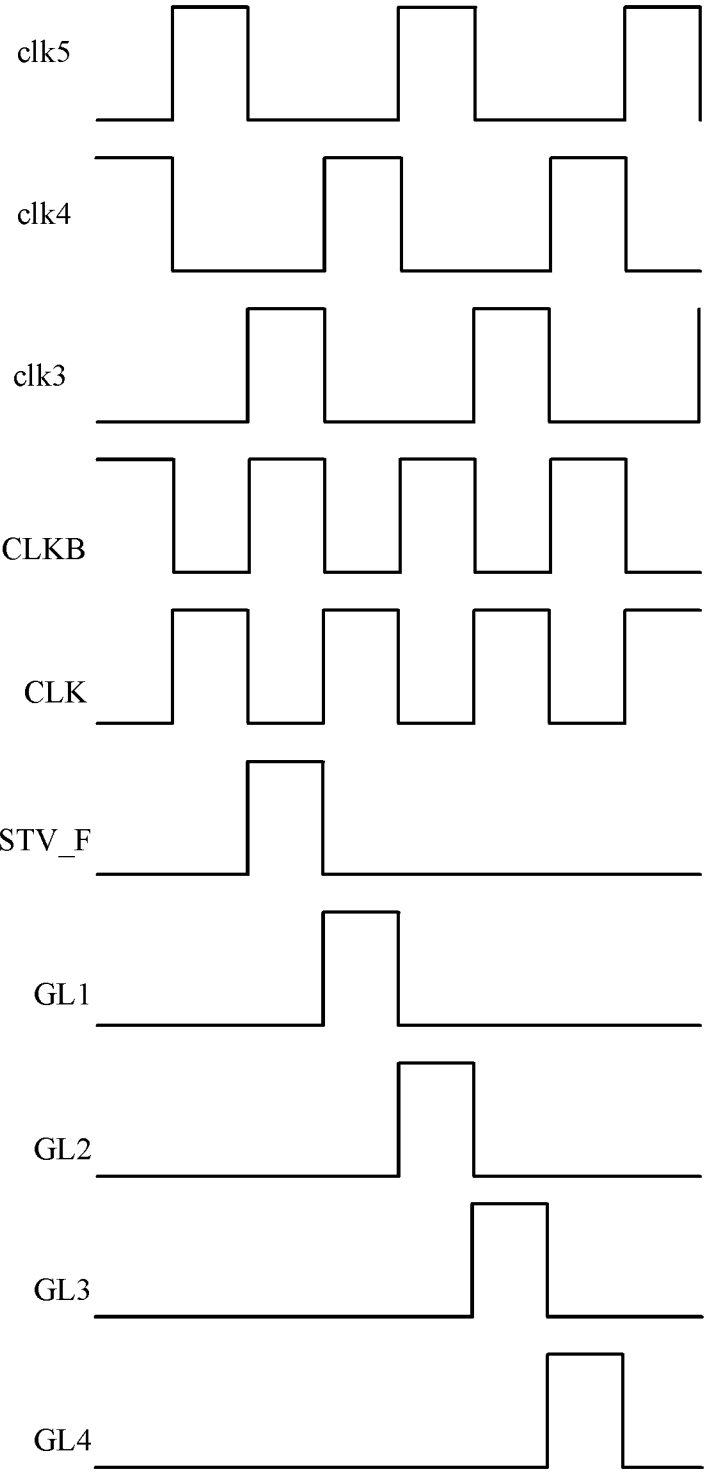


图 9

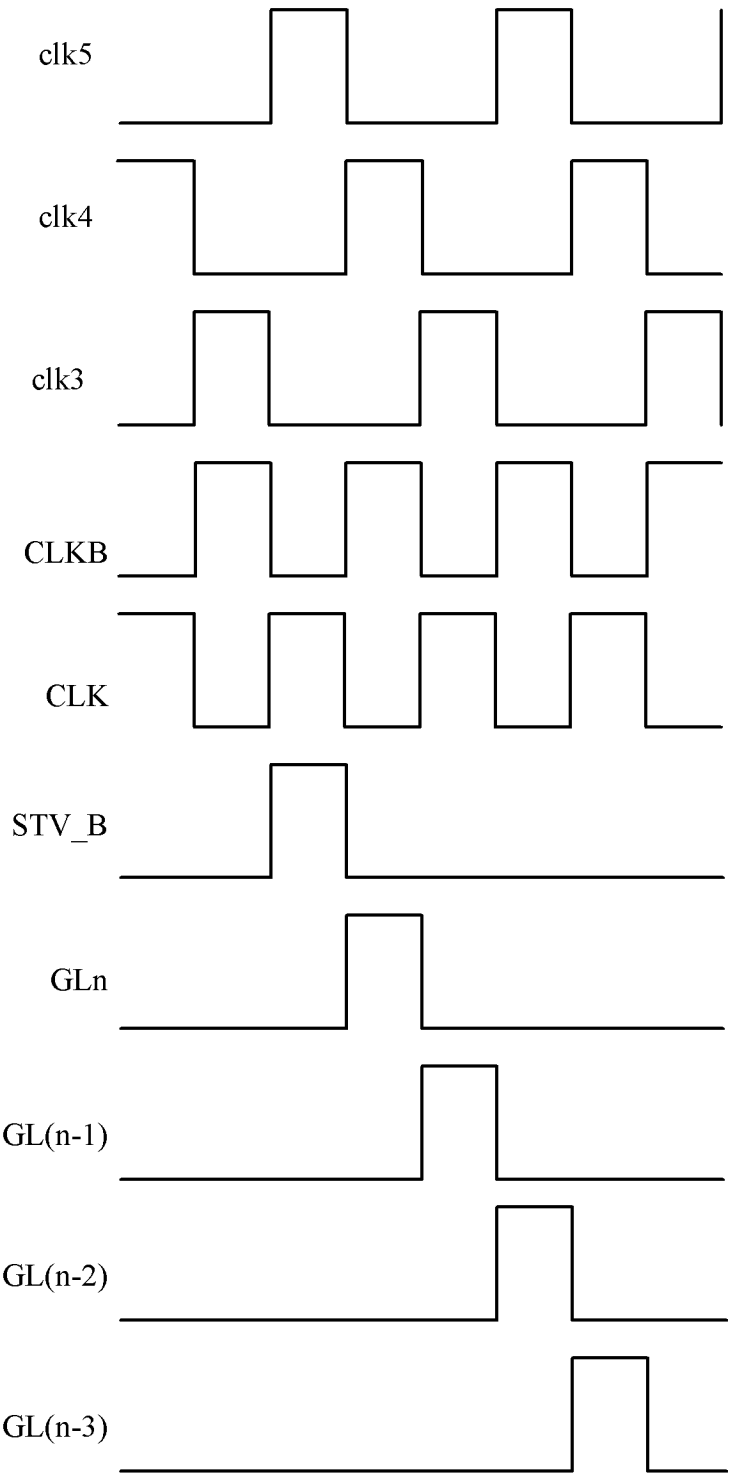


图 10

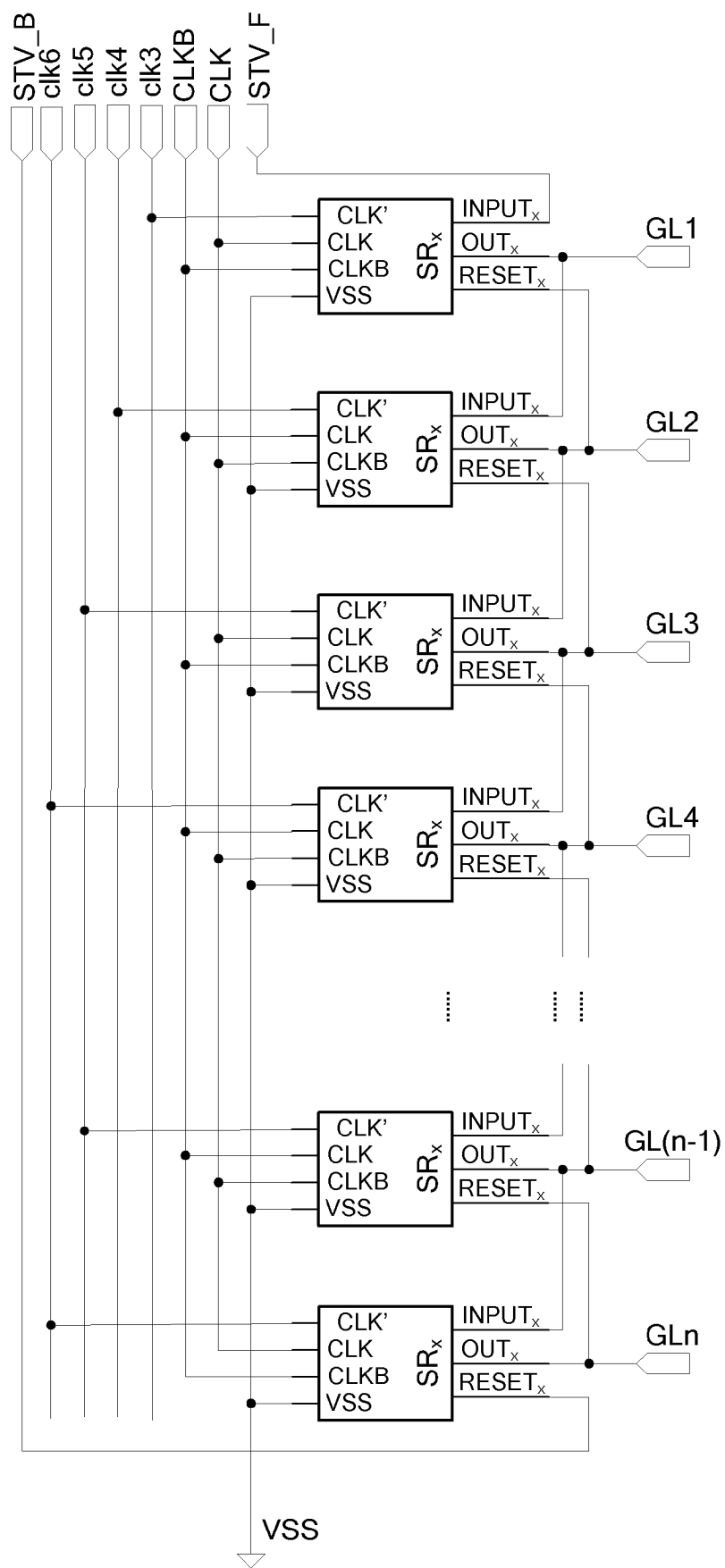


图 11

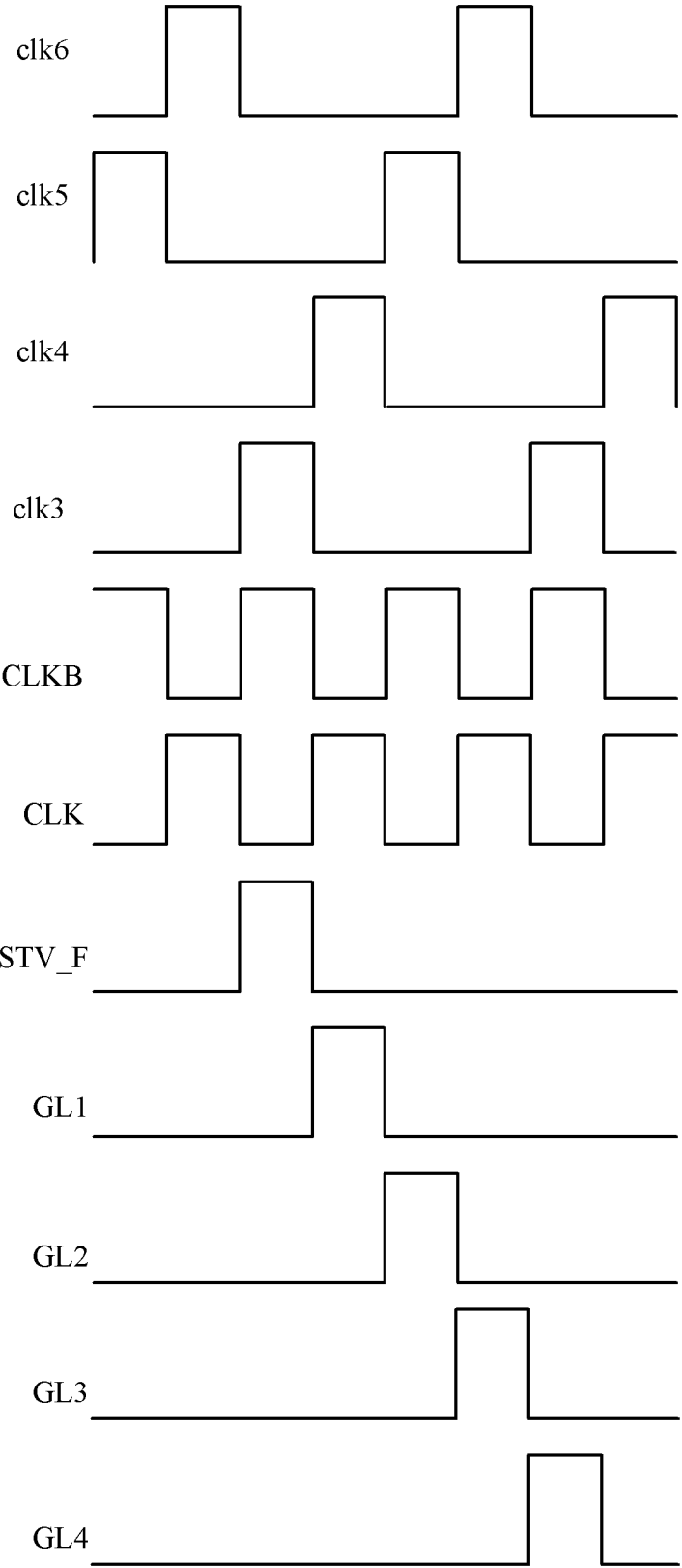


图 12

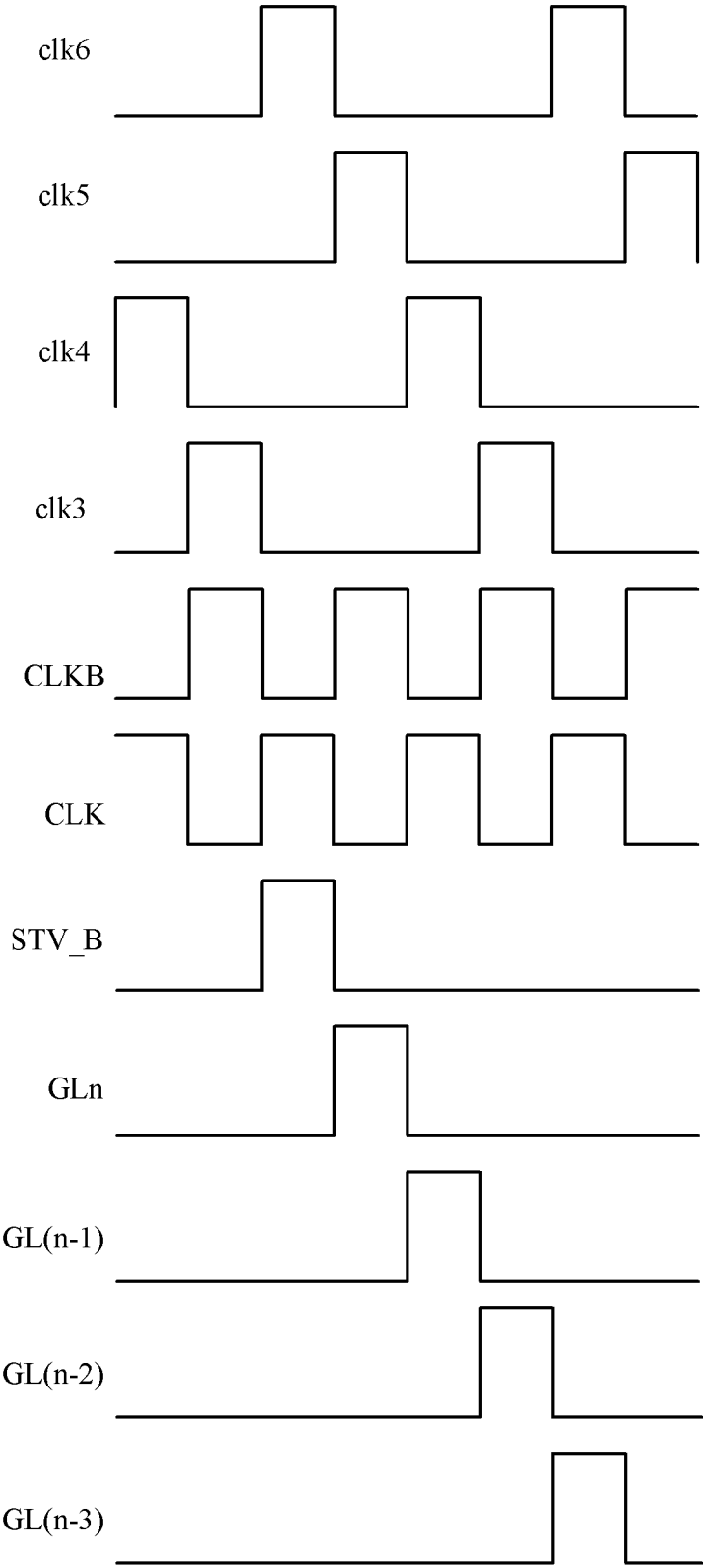


图 13

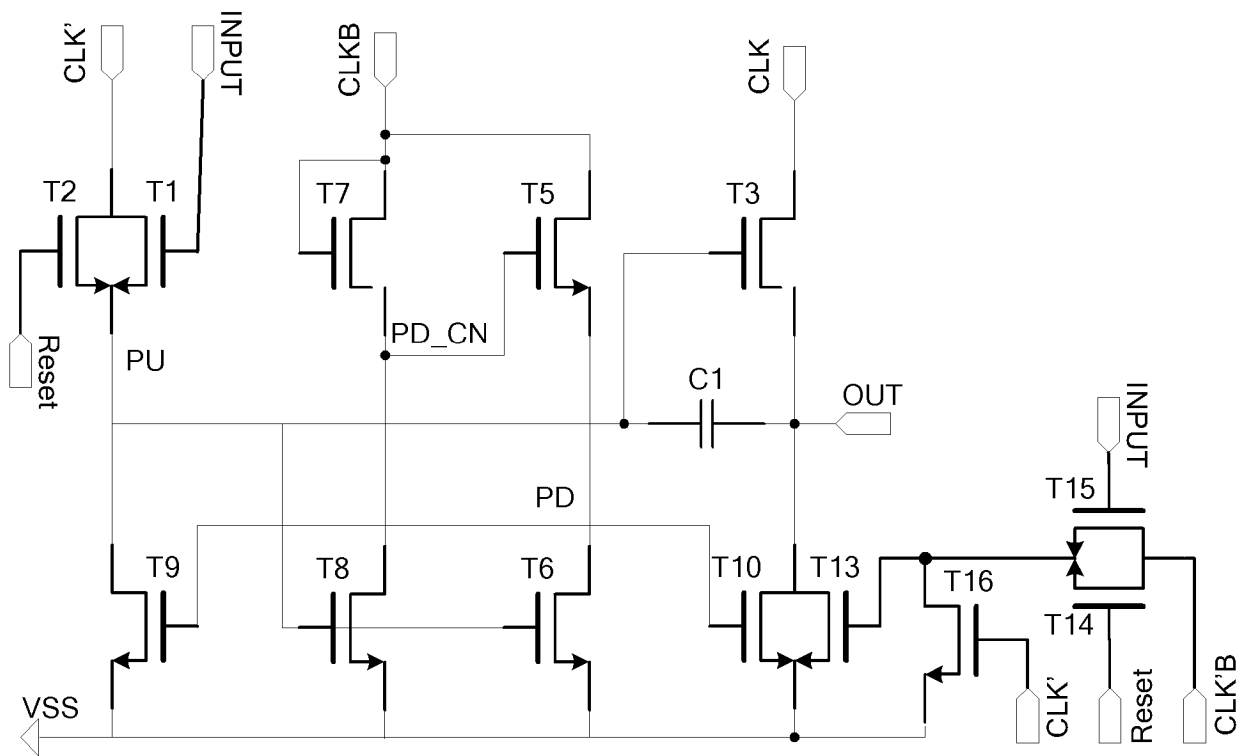


图 14

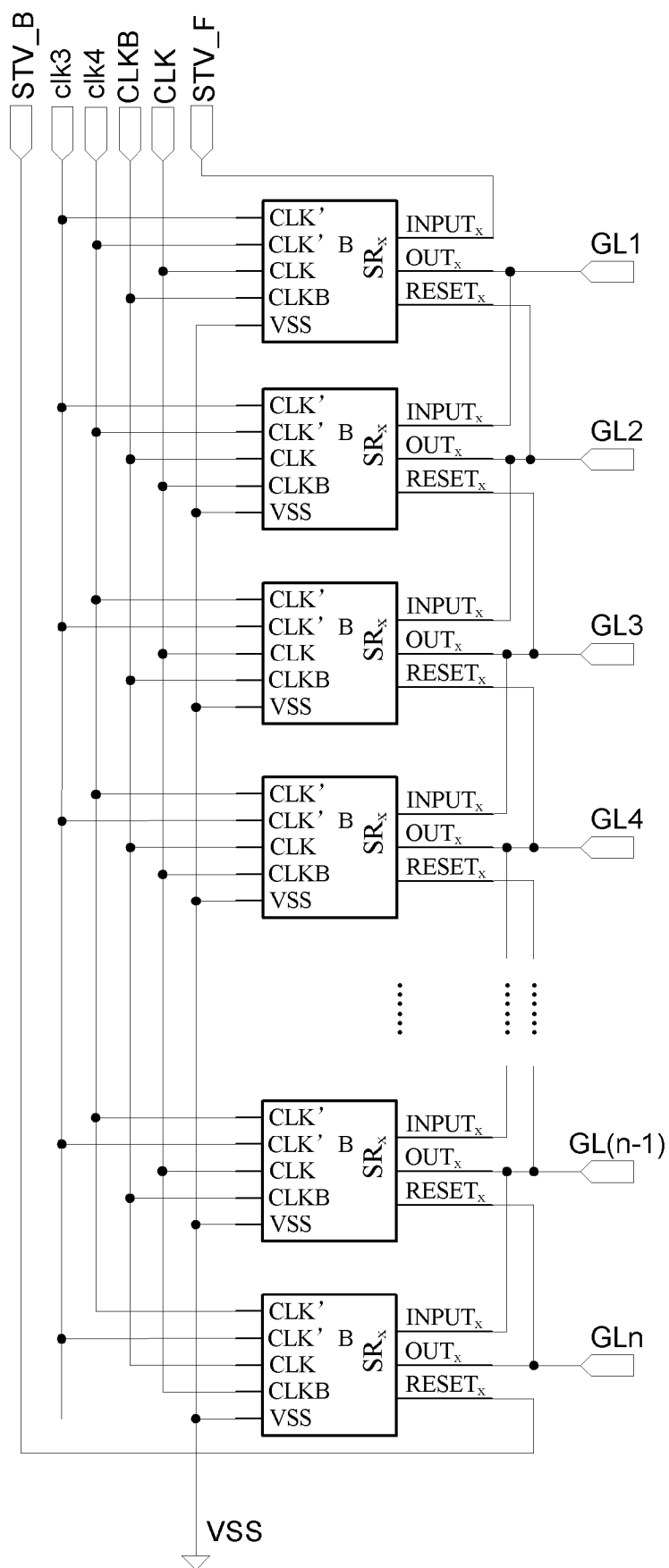


图 15

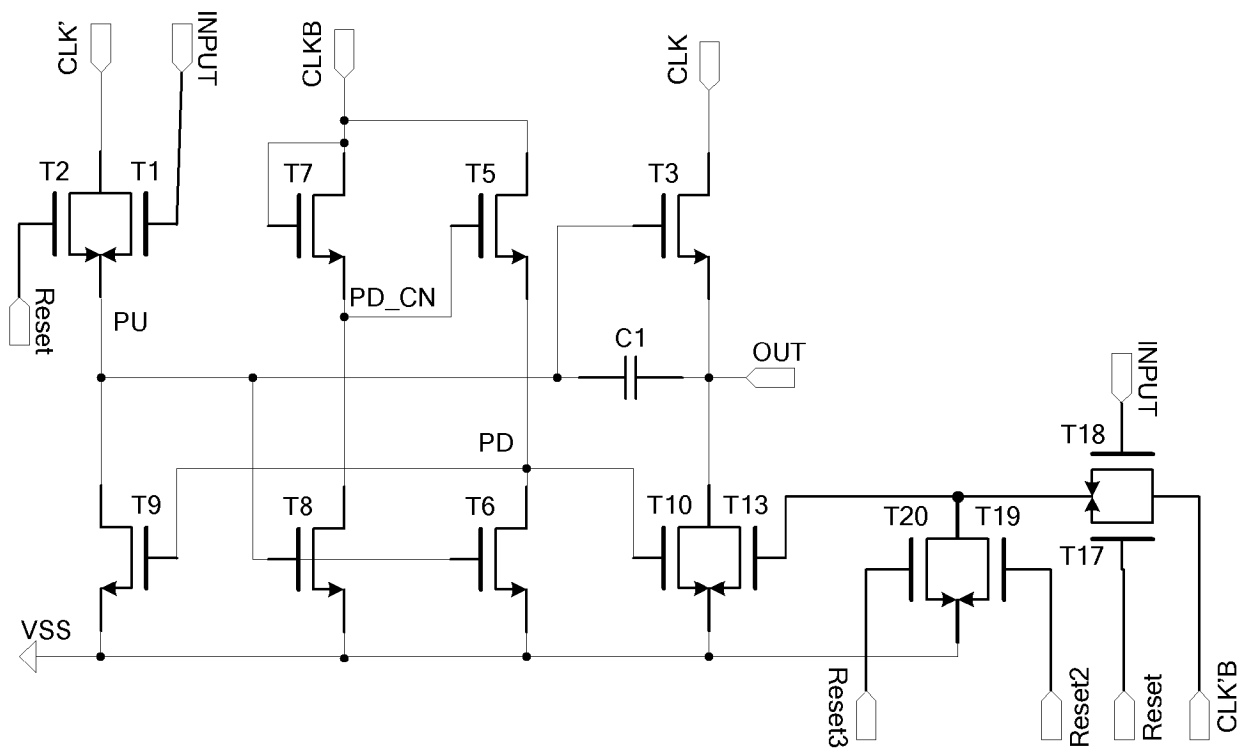


图 16

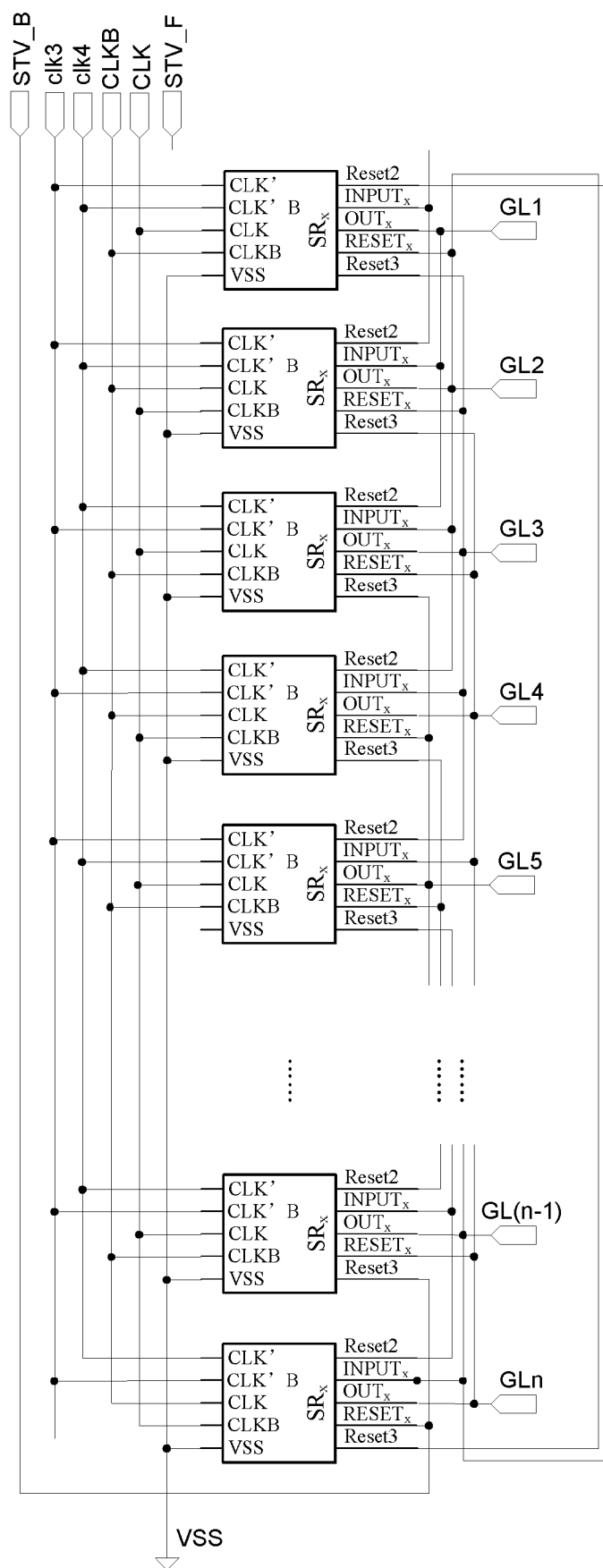


图 17