[19]中华人民共和国国家知识产权局

[51]Int. Cl[7]
H01L 27/105
H01L 21/8239

[12]发明专利说明书

[21] ZL 专利号 97103034.0

[45]授权公告日 2002 年 7 月 10 日

[11]授权公告号 CN 1087500C

[22]申请日 1997.3.14
[21]申请号 97103034.0
[30]优先权
[32]1996.3.14 [33]JP [31]056612/96
[73]专利权人 株式会社东芝
地址 日本神奈川县
[72]发明人 谷本正男 森诚一
[56]参考文献

CN 1086048A	1994. 4.27	H01L27/105
US 5150178A	1992. 9.22	H01L29/68

审查员 唐跃强

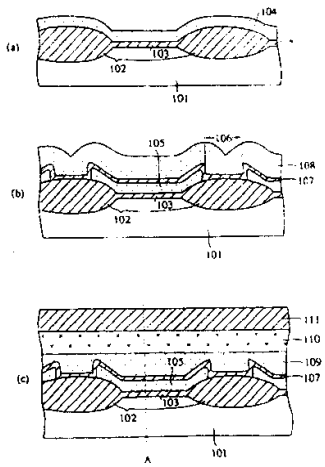
[74]专利代理机构 中国国际贸易促进委员会专利商标事务所
代理人 王以平

权利要求书 5 页 说明书 7 页 附图页数 5 页

[54]发明名称 半导体存储器及其制造方法

[57]摘要

在 2 层以上的栅极电极构造的上层栅极中应用多晶硅与高熔点金属 或其硅化物的复合构造的栅极电极的半导体存储器中，防止因热处理时 的应力集中，在高熔点金属或其硅化物层表面凹部产生裂缝。解决方法 是在淀积高熔点金属或其硅化物层之前，与衬底的凹凸无关地使其下层 的多晶硅平坦化，以此，平坦地淀积高熔点金属或其硅化物层，防止热 处理时产生的应力集中部位的产生。



ISSN1008-4274

01.12.31

权 利 要 求 书

1、半导体存储器的制造方法，包括以下步骤：

制备具有上表面的硅衬底；

在硅衬底上形成第 1 绝缘膜；

在硅衬底上形成器件隔离层，用于隔离硅衬底中的器件形成区，器件隔离层的上表面位于比硅衬底的上表面更高的水平；

在第 1 绝缘膜上形成第 1 多晶硅层；

在器件隔离层和第 1 多晶硅层上形成第 2 绝缘膜；

在第 2 绝缘膜上形成第 2 多晶硅层使得第 2 多晶硅层具有大致平坦的上表面而不管器件隔离层和第 1 多晶硅层的结构，从而减少随后的热处理导致的热应力裂缝；

在基本平坦的第 2 多晶硅层上形成高熔点金属层；以及

对高熔点金属层进行退火，从而在基本平坦的第 2 多晶硅层上形成硅化物层。

2、权利要求 1 的方法，其特征是：用化学干法刻蚀基本上平坦化第 2 多晶硅层的上表面。

3、权利要求 1 的方法，其特征是：第 2 多晶硅层的厚度 100nm 以上。

4、权利要求 1 的方法，其特征是：第 2 多晶硅层的上表面基本上与硅衬底的表面位于相同的高度。

5、权利要求 1 的方法，其特征是：使用含氟气体的化学干法刻蚀基本上平坦化第 2 多晶硅层上表面的凸部。

6、权利要求 5 的方法，其特征是：含氟气体是 CF_4 和氧的混合气体。

7、权利要求 5 的方法，其特征是：含氟气体是 NF_3 和氧的混合气体。

8、权利要求 5 的方法，其特征是：含氟气体是 C_2F_6 和氧的混合气体。

9、权利要求 1 的方法，其特征是：淀积第 2 多晶硅层时，增加第 2 多晶硅层的淀积量直到满足公式 $D>L_2$，其中，D 表示第 2 多晶硅层最薄部分的厚度，L_2 表示多晶硅层上表面不规则度之间的高度差。

10、半导体存储器的制造方法，包括以下步骤：

制备硅衬底；

在硅衬底上形成第 1 绝缘膜；

在硅衬底上形成器件隔离层，用于隔离硅衬底中的器件形成区，器件隔离层的上表面位于比硅衬底的上表面更高的水平；

在第 1 绝缘膜上形成第 1 多晶硅层；

在器件隔离层和第 1 多晶硅层上形成第 2 绝缘膜；

在第 2 绝缘膜上形成第 2 多晶硅层使得第 2 多晶硅层具有大致平坦的上表面而不管器件隔离层和第 1 多晶硅层的结构，从而减少随后的热处理导致的应力裂缝；

在基本平坦的第 2 多晶硅层上形成高熔点金属硅化物层；以及

在形成硅化物层的步骤之后退火基本平坦的第 2 多晶硅层上的硅化物层。

11、权利要求 10 的方法，其特征是：第 2 多晶硅层的厚度 100nm 以上。

12、权利要求 10 的方法，其特征是：第 2 多晶硅层的上表面基本上与硅衬底的表面位于相同的高度。

13、权利要求 10 的方法，其特征是：使用含氟气体的化学干法刻蚀基本上平坦化第 2 多晶硅层上表面的凸部。

14、权利要求 13 的方法，其特征是：含氟气体是 CF_4 和氧的混合气体。

15、权利要求 13 的方法，其特征是：含氟气体是 NF_3 和氧的混合气体。

16、权利要求 13 的方法，其特征是：含氟气体是 C_2F_6 和氧的混合气体。

17、权利要求 10 的方法，其特征是：淀积第 2 多晶硅层时，增

加第 2 多晶硅层的淀积量直到满足公式 $D>L_2$，其中，D 表示第 2 多晶硅层最薄部分的厚度，L_2 表示多晶硅层上表面不规则度之间的高度差。

18、半导体存储器的制造方法，包括以下步骤：

制备具有上表面的硅衬底；

在硅衬底上形成第 1 绝缘膜；

在硅衬底上形成器件隔离层，用于隔离硅衬底中的器件形成区，器件隔离层的上表面位于比硅衬底的上表面更高的水平；

在第 1 绝缘膜上形成第 1 多晶硅层；

在器件隔离层和第 1 多晶硅层上形成第 2 绝缘膜；

在第 2 绝缘膜上形成第 2 多晶硅层使得第 2 多晶硅层具有大致平坦的上表面而不管器件隔离层和第 1 多晶硅层的结构，从而减少随后的热处理导致的热应力裂缝；

在基本平坦的第 2 多晶硅层上形成高熔点金属层；以及

退火高熔点金属层。

19、权利要求 18 的方法，其特征是：第 2 多晶硅层的厚度 100nm 以上。

20、权利要求 18 的方法，其特征是：第 2 多晶硅层的上表面基本上与硅衬底的表面位于相同的高度。

21、权利要求 18 的方法，其特征是：使用含氟气体的化学干法刻蚀基本上平坦化第 2 多晶硅层上表面的凸部。

22、权利要求 21 的方法，其特征是：含氟气体是 CF_4 和氧的混合气体。

23、权利要求 21 的方法，其特征是：含氟气体是 NF_3 和氧的混合气体。

24、权利要求 21 的方法，其特征是：含氟气体是 C_2F_6 和氧的混合气体。

25、权利要求 18 的方法，其特征是：淀积第 2 多晶硅层时，增加第 2 多晶硅层的淀积量直到满足公式 $D>L_2$，其中，D 表示第 2 多晶硅层最薄部分的厚度，L_2 表示多晶硅层上表面不规则度之间的高度差。

26、半导体存储器的制造方法，包括以下步骤：

制备具有上表面的硅衬底；

在硅衬底上形成第 1 绝缘膜；

在硅衬底上形成器件隔离层，用于隔离硅衬底中的器件形成区，器件隔离层的上表面位于比硅衬底的上表面更高的水平；

在第 1 绝缘膜上形成第 1 多晶硅层；

在器件隔离层和第 1 多晶硅层上形成第 2 绝缘膜；

在第 2 绝缘膜上形成第 2 多晶硅层使得第 2 多晶硅层具有大致平坦的上表面而不管器件隔离层和第 1 多晶硅层的结构，从而减少随后的热处理导致的热应力裂缝；

在基本平坦的第 2 多晶硅层上形成高熔点金属层；以及

执行所述热处理。

27、半导体存储器，包括：

硅衬底；

在硅衬底上的器件形成区上形成的第 1 绝缘膜；

在硅衬底上形成的器件隔离层，用于隔离以规则间距设置于硅衬底中的各器件形成区，器件隔离层的上表面位于比硅衬底的上表面更高的水平；

以规则间距形成于第 1 绝缘膜上的第 1 多晶硅层，各第 1 多晶硅层具有一直延伸到器件隔离层表面的升高的侧部，以在升高的侧部边缘和器件隔离层的表面之间形成第 1 台阶部分；

在器件隔离层和第 1 多晶硅层上形成的第 2 绝缘膜，用来通过器件隔离层和第 1 和第 2 绝缘膜电隔离各个第 1 多晶硅层，第 2 绝缘膜包括位于对应于第 1 台阶部分处的第 2 台阶部分；

在第 2 绝缘膜上形成具有与所述硅衬底平行的平坦表面的第 2 多晶硅层，其下表面的不规则度对应于第 1 多晶硅层上的器件隔离层和第 2 绝缘膜的结构，第 2 多晶硅层由多晶硅层形成，具有通过刻蚀工艺形成的平坦的上表面，而不管器件隔离层和第 1 多晶硅层的结构；以及

在第 2 多晶硅层上形成的含有高熔点金属的平坦布线层。

28、权利要求 27 的半导体存储器，其特征是：第 2 多晶硅层的厚度是 100nm 以上。

29、权利要求 27 的半导体存储器，其特征是：布线层包括含有高熔点金属的硅化物层。

30、权利要求 27 的半导体存储器，其特征是：第 2 多晶硅层的上表面在器件形成区上和在器件隔离层上基本上位于相同的高度。

31、权利要求 27 的半导体存储器，其特征是：第 1 多晶硅层构成浮置栅极，第 2 多晶硅层和布线层构成控制栅极。

说　　明　　书

半导体存储器及其制造方法

本发明涉及半导体存储器及其制造方法，特别是涉及在EEPROM、EPROM这种具有2层以上的栅极电极且栅极电极层的长度长，为了把该处的信号延迟作成最小限度，把电阻低的高熔点金属或它们的硅化物层用作第2层的电极材料的那种器件中使用的半导体存储器及其制造方法。

以往，用示于第3图（a）-（c）的方法制造具有2层栅极的比如说EEPROM的存储单元。

首先，在比如说P型硅衬底301的表面上作为器件隔离区形成器件隔离氧化膜302，在被该器件隔离氧化膜302隔离开的岛区表面上形成了第1栅极氧化膜303之后，在整个面上形成将成为第1栅极电极（浮置栅极）的第1多晶硅层304（图3(a)）。

接着，在使多晶硅层304形成图形并形成了浮置栅极305之后，在其上边用热处理和众所周知的LPCVD法形成绝缘膜306（图3(b)）。

其次，在整个面上淀积将成为第2栅极电极（控制栅极）的第2多晶硅层307，再淀积比如说钨硅化物308（图3(c)）。以下，把从虚线A处看的断面图示于图4（a）-（b）。

使钨硅化物308，第2多晶硅层307、绝缘膜306和浮置栅极305形成图形并形成已与周围绝缘的浮置栅极305和控制栅极401（图4(a)）。

接着，以控制栅极401为掩模把n型杂质离子注入到衬底301中去，使之激活并形成了n^+型的源极、漏极区403、404之后，用LPCVD法淀积氧化膜、开接触孔、形成Al布线，以制造EEPROM的存储单元（图4(b)）。

但是，上述半导体存储器的制造方法中存在着以下的问题。倘

采用上边说过的方法．由于在整个面上形成了第2多晶硅层304之后，使之图形化以形成浮置栅极305，故浮置栅极305在器件隔离氧化膜上被沟部分309隔离开来，在上述浮置栅极305和沟部分309上边形成绝缘膜306．之后，为使器件高速动作，在降低控制栅极电极的电阻的目的下，形成多晶硅和高熔点金属或者其硅化物层的2层构造的控制栅极．这时，已淀积上第2多晶硅的上部表面具有受到了含有沟部分309的凹凸衬底形状的影响的凹凸．在其上边淀积上的高熔点金属或其硅化物层也受衬底形状的影响，结果变成为在其上部表面上有凹凸．但是，在以后的工序中，在进行了热处理的情况下，这种凹部，特别是在上边说过的沟部分309上边，应力集中，裂缝310将进入硅化物层，常常招致电阻上升或切断硅化物层．

此外，在使控制栅极，绝缘膜、浮置栅极图形化之际，为了防止随着最近的器件的微细化，在微细的图形中不进行刻蚀的所谓微负载（ microloading ）效应，常常不把现有的光刻胶作为掩模进行刻蚀，而代之以在淀积上作为控制栅极被图形化的第2层的电极之后，淀积氧化膜或氮化膜并用现有的光刻胶使之形成图形，除掉光刻胶，把这些已形成了图形的氧化膜、氮化膜作为掩模来使用的方法．在这种情况下，虽然这些掩模材料将进入到在上述沟部分309的台阶部分上产生的裂缝中去，但由于是裂缝形状，在掩模材料的图形中不进行刻蚀，在台阶部分上掩模材料呈柱状地留下来，即使继续进行栅极的刻蚀，在该台阶部分上栅极电极材料也不会被刻蚀，而作为残余台阶留下，存储单元变得不能正常动作．

图5示出的是从上部看存储单元的图．在已形成了延伸到带上的控制栅极电极503和器件隔离区502的半导体衬底上，用斜线标出的部分501是单元（ cell ）区．由于已进入到在器件隔离区502上边形成的裂缝中去的掩模材料的缘故，留下了刻蚀残余台阶，因此，图中示出的是没能刻蚀除尽的导电层504使相邻存储单元的栅极短路的情况．

另外，随着器件的微细化．为了用照相刻蚀法形成微细的光刻

胶图形。为了抑制源自衬底的光线的反射，提高光刻胶的析象清晰度，使用了抑制来自衬底的反射的防反射膜，但在该膜的流动性高的情况下，由于衬底的台阶的缘故，在该防反射膜的膜厚上将产生不均一性，在刻蚀防反射膜时，将产生刻蚀的不均一，将产生过剩的过刻蚀或刻蚀残余之类的问题。

另外，作为使浮置栅极305之间的沟部分309上的第2多晶硅上部表面的形状接近于平坦的方法，例如在特开平4－5865中已公开了把第2多晶硅淀积为沟部分的宽度的2倍以上的厚度的方法和用RIE法刻蚀该多晶硅的方法。但是，在这些方法中，在多晶硅的膜厚薄的情况下，虽然可以防止在沟部分上产生大的台阶，但由于将会受到例如在图3（c）中所示的那样的在器件隔离区上的衬底形状的凹凸的影响，故不能防止在第2多晶硅上边已淀积好的高熔点金属或其硅化物层中产生裂缝。

本发明就是有鉴于这些问题而发明的，目的是提供一种在具有2层以上的栅极电极且上层的栅极电极是多晶硅与高熔点金属或其硅化物的复合的存储单元阵列中。抑制了裂缝的产生的半导体存储器及其制造方法。

本发明是在具有2个以上的栅极电极，且上层栅极电极是多晶硅与高熔点金属或其硅化物的复合构造的存储单元阵列中，在构成第2栅极的2层（下层：多晶硅；上层：高熔点金属或其硅化物层）的电极构造中，采用在淀积上层的电极材料之前使下层多晶硅与其衬底的凹凸无关地平坦化的方法，使直到其上层部分也平坦化，防止在上层栅极电极材料中在热处理期间所产生的应力的集中部位的产生，防止控制栅极的电阻上升和栅极电极加工时的残余台阶的产生的同时，采用使表面平坦的办法来提高光刻技术中的聚焦容限。

根据本发明的一个方面，提供了一种半导体存储器的制造方法，包括以下步骤：制备具有上表面的半导体衬底；在半导体衬底上形成第 1 绝缘膜；在半导体衬底上形成器件隔离层，用于隔离半导体衬底中的器件形成区，器件隔离层的上表面位于比半导体衬底的上表面更高的水平；在第 1 绝缘膜上形成第 1 导电层；在器件隔离层和第 1 导电层上形成第 2 绝缘膜；在第 2 绝缘膜上形成第 2 导电层使得第 2 导电层具有大致平坦的上表面而不管器件隔离层和第 1 导电层的结构，从而减少随后的热处理导致的热应力裂缝；在基本平坦的第 2 导电层上形成高熔点金属层；以及退火高熔点金属层在基本平坦的第 2 导电层上制作硅化物层。

根据本发明的另一个方面，提供了一种半导体存储器，包括：半导体衬底；在半导体衬底上的器件形成区上形成的第 1 绝缘膜；在半导体衬底上形成的器件隔离层，用于隔离以规则间距设置于半导体衬底中的各器件形成区，器件隔离层的上表面位于比半导体衬底的上表面更高的水平；以规则间距形成于第 1 绝缘膜上的第 1 导电层，各第 1 导电层具有一直延伸到器件隔离层表面的升高的侧部，以在升高的侧部边缘和器件隔离层的表面之间形成第 1 台阶部分；在器件隔离层和第 1 导电层上形成的第 2 绝缘膜，用来通过器件隔离层和第 1 和第 2 绝缘膜电隔离各个第 1 导电层，第 2 绝缘膜包括位于对应于第 1 台阶部分处的第 2 台阶部分；在第 2 绝缘膜上形成的第 2 导电层，其下表面的不规则度对应于第 1 导电层上的器件隔离层和第 2 绝缘膜的结构，第 2 导电层由多晶硅层形成，具有通过刻蚀工艺形成的平坦的上表面，而不管器件隔离层和第 1 导电层的结构；以及在第 2 导电层上形成的含有高熔点金属的平坦布线层。

图 1 示出的是本发明的一个实施例的工序。

图 2 示出的是本发明的一个实施例的工序。

图 3 示出的是现有的 EEPROM 的制造工序。

图 4 示出的是现有的 EEPROM 的制造工序。

图 5 是从上部看 EEPROM 存储单元阵列的顶视图.

如上所述，倘采用本发明，则如第 1 图（ c ）所示，由于高熔点金属或硅化物层将与衬底的沟部分的有无无关地变成平坦的形状，故在后边的热工序，比如在掩模材料 202 淀积时的热工序和氧化膜 204 形成时的热工序中不发生裂缝，可以防止产生残余台阶，可以使栅极电极低电阻化，可以提高光刻容限.

以下，用图 1（ a ）-（ c ）和图 2（ a ）-（ d ）对应用了本发明的 EEPROM 单元阵列的制造实施例进行说明.

如第 1 图（ a ）所示，在 P 型硅衬底 101 上边作为器件隔离区形成约 300nm （厚）的器件隔离氧化膜 102，并在用众所周知的方法在被该器件隔离氧化膜 102 隔离开来的衬底的岛区表面上形成了厚约 10nm 的第 1 栅极氧化膜 103 之后，在整个面上淀积比如说 100nm 厚的将成为第 1 栅极电极（浮置栅极）的第 1 多晶硅层 104（ 图 1(a)）.

接着，如图 1（ b ）所示，用光刻和刻蚀以 0.4 μ m 的宽度部分地除掉该多晶硅层 104，最终性地形成将成为浮置栅极带的多晶硅 105. 这时，被刻蚀除掉的部分变成了沟部分 106. 为了使第 1 层与第 2 层的栅极之间绝缘，再使第 1 多晶硅 105 进行 6nm 热氧化，接着用 LPCVD 法淀积硅氮化膜 6nm，硅氧化膜 6nm 形成绝缘膜 107（ 图 1(b)）.

接着，淀积例如 250nm（厚）的将成为第 2 栅极电极（控制栅极）的第 2 多晶硅层 108. 用公知的化学干法刻蚀法用 CF_4 和氧的混合气体进行约 150 秒的刻蚀处理后.第 2 多晶硅层 108 对应衬底凸部的部位被选择性地快速刻蚀，结果，可以形成已具有平坦的表面的多晶硅层 109 而和衬底的凹凸没有关系.

接下来，在该多晶硅层 109 上边用溅射法淀积 20nm 厚的钨硅化物 110，再用 LPCVD 法淀积 300nm 厚的将成为栅极的刻蚀掩模的硅氧化膜 111（ 图 1(c)）. 以下，在图 2（ a ）-（ c ）中示出了从虚线 A 处见到的断面图.

其次，为防止光刻时来自衬底的光线的反射涂敷防反射膜

201，进行光刻使光刻胶形成图形（图 2(a)）．用已形成了图形的光刻胶 202 刻蚀防反射膜 201 和硅氧化膜 111（图 2(b)）．

在除掉了光刻胶 202 和防反射膜 203 之后，以形成了图形的硅氧化膜 204 为掩模材料，刻蚀钨硅化物 110、第 2 多晶硅 109、绝缘膜 107、浮置栅极 105，形成栅极电极 205（图 2(c)）．

其次，用离子注入法形成源极扩散层 206 和漏极扩散层 207，对整体进行氧化形成氧化膜 208．再（虽然没有画出）形成层间绝缘膜，进行接触和金属布线的形成，具有可改写的存储单元的 EEPROM 的制造就结束了．

借助应用上述制造方法．由于在淀积了将形成第 2 栅极电极层的多晶硅之后，进行应用了 CF_4 和氧的混合气体的 CDE 并使多晶硅的上部平坦化，故接着在上述多晶硅上边淀积的钨硅化物的上部表面是平坦的．这样一来，采用平坦地淀积上层栅极电极材料的办法．就可以防止在热处理中发生的应力的集中、就可以抑制钨硅化物中裂缝的发生．裂缝的发生，就像在现有技术的项中说过的那样．不但将使控制栅极的电阻值上升，还将成为栅极电极加工时残余台阶产生的根由．为此，采用上述制造方法防止裂缝产生．就可以提高器件的可靠性．此外，因为可以均一地涂敷形成栅极电极时所用的防反射膜，故还可以防止过剩的过刻蚀和刻蚀残余之类的不良结果．

另外，本发明不仅仅限于上述实施例，各种各样的应用是可能的．例如，在本实施例中作为硅化物层用的是 WSi，但不用说，也可以应用 TiSi、MoSi、CoSi 之类的硅化物和 W、Mo、Co、Ti 这样的金属膜．还有，在实施例中．一次淀积第 2 多晶硅层并进行了平坦化，但是显然，分成多次进行淀积并在每一情况下都进行平坦化也可以得到相同的效果，而且显然只要是对于防止裂缝的产生是足够的，也可以不完美地进行平坦化．再有，进行 CDE 时的气体虽然也用的是 CF_4 和氧的混合气体，但是不用 CF_4 而代之以 NF_3 或 C_2F_6 之类的含氟气体也可得到同样的效果．

在对第 2 多晶硅层进行平坦化之际，通过控制刻蚀使得在膜厚

最薄的地方也成为 10nm 以上，就可以形成存储单元而不会使高熔点金属或高熔点金属硅化物的影响达到绝缘膜.

在淀积上第 2 多晶硅层之后．设该多晶硅上部表面的凹凸的高低之差为 L_2，设该多晶硅的最薄的部分的厚度为 D 时，在

$D<L_2$

的情况下，采用加上一个追加淀积第 2 导电层的工序的办法，一直到使 $D>L_2$，就可以提高绝缘层的可靠性.

此外，作为第 2 导电层上部的凹凸的主要原因，人们认为是：把第 1 导电层作为浮置栅极进行加工时在器件隔离区上产生的沟．在设上述沟部分的宽度为 W、第 2 导电层的膜厚为 L_1 时，采用淀积上述第 2 导电层，使 L_1 变成为

$L_1>W/2$

的办法，则可以在不会受到沟部分的大的影响的情况下形成其上部表面．因此，在上边说过的制造工序中，在使之淀积第 2 导电层时，采用将其膜厚控制为上述值的办法，就可以制造可靠性更高的半导体存储器.

图 1

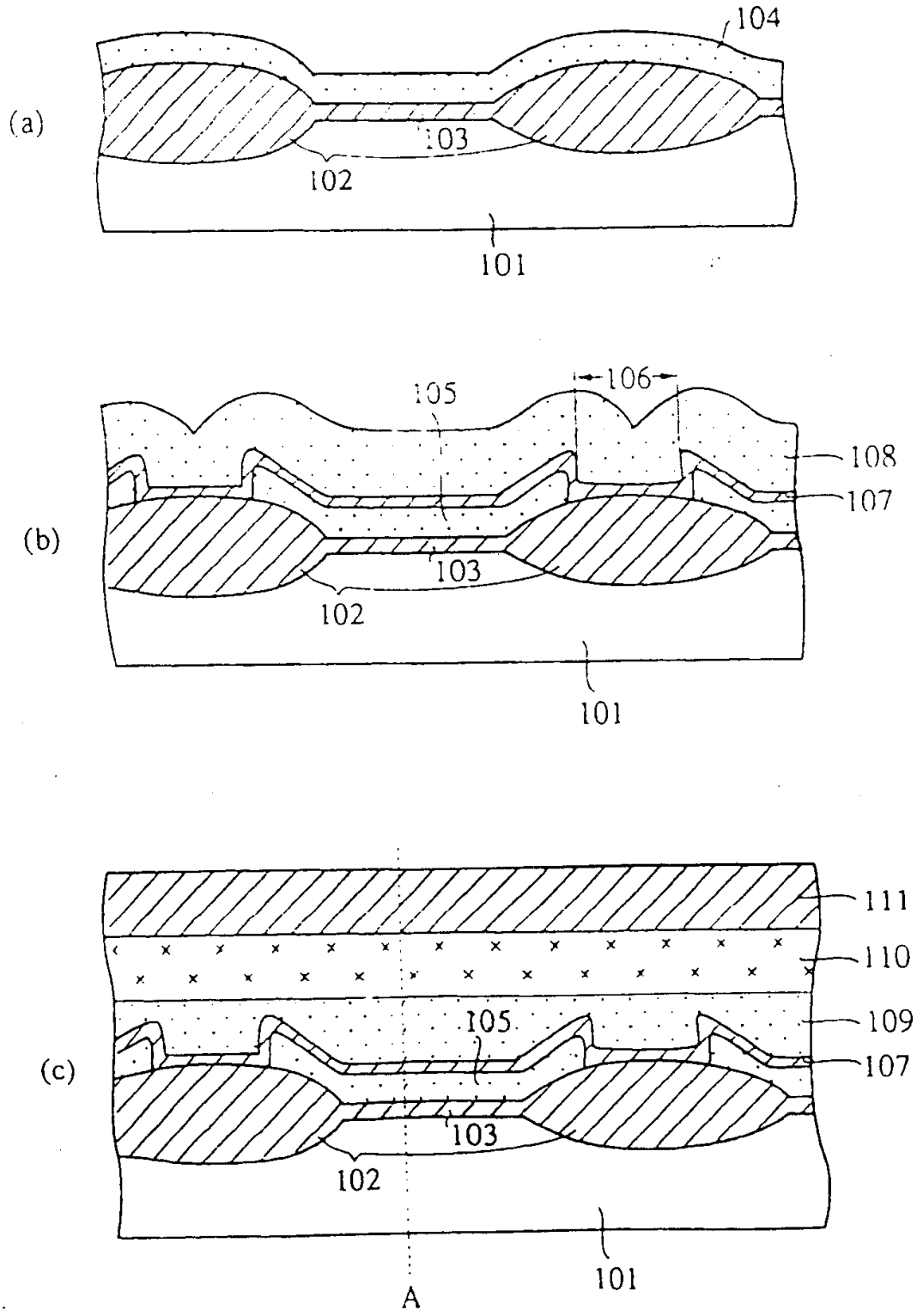

(a)
104
103
102
101
(b)
105
106
108
107
103
102
101
(c)
111
110
109
105
107
103
102
101
A

图 2

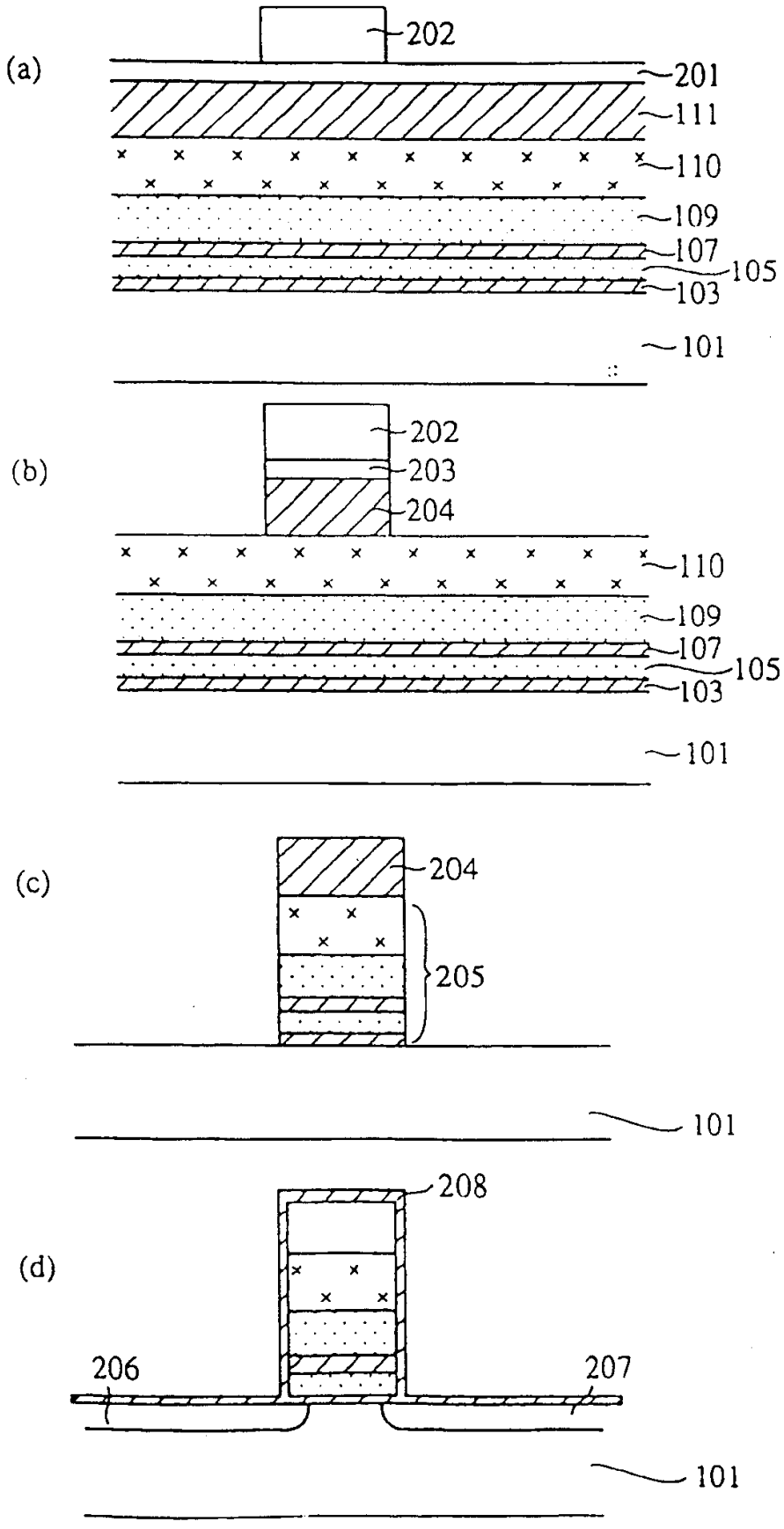

(a)
202
201
111
110
109
107
105
103
101
(b)
202
203
204
110
109
107
105
103
101
(c)
204
205
101
(d)
208
206
207
101

图 3

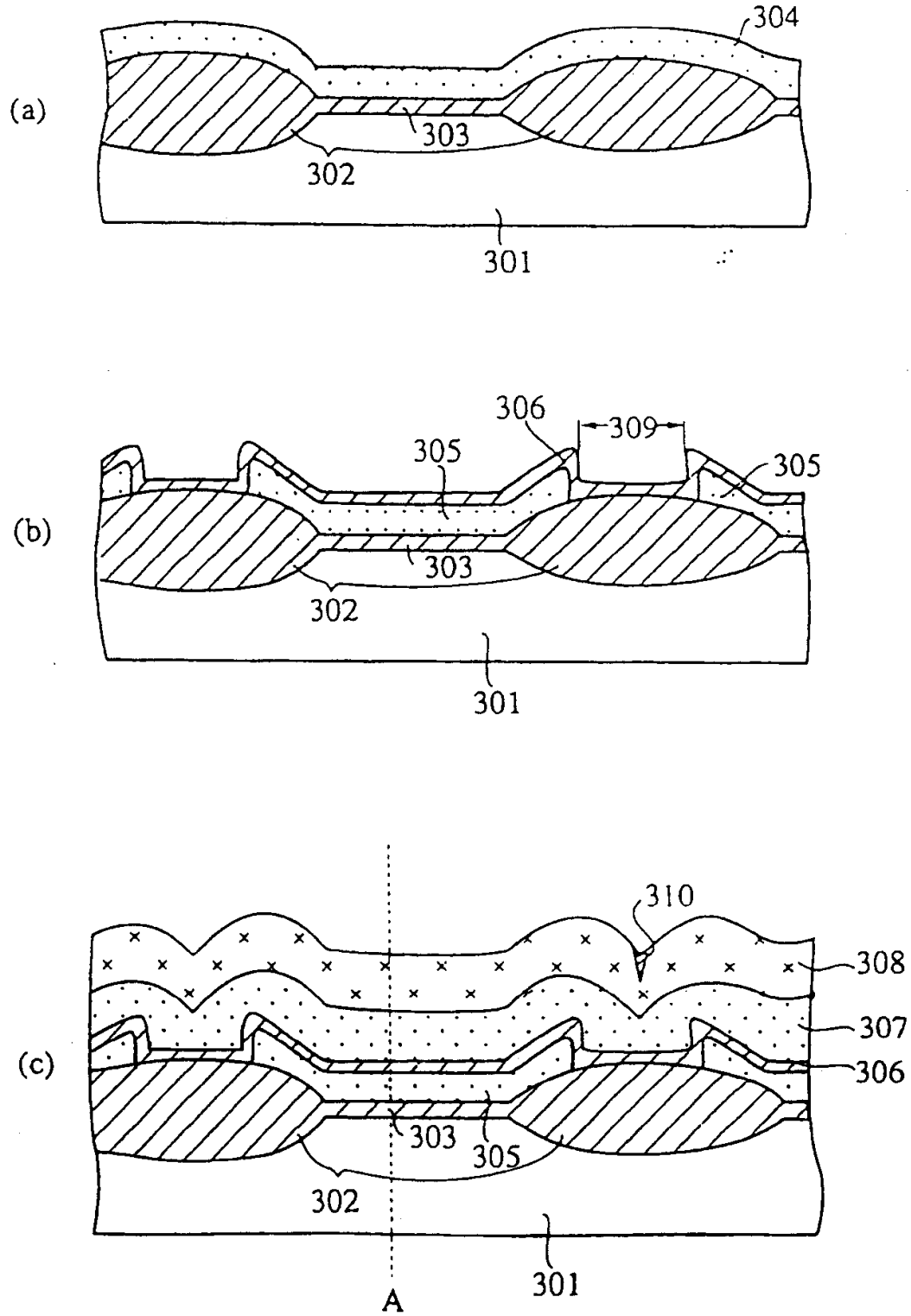

(a)
304
303
302
301
(b)
306
309
305
305
303
302
301
(c)
310
308
307
306
303
305
302
301
A

图 4

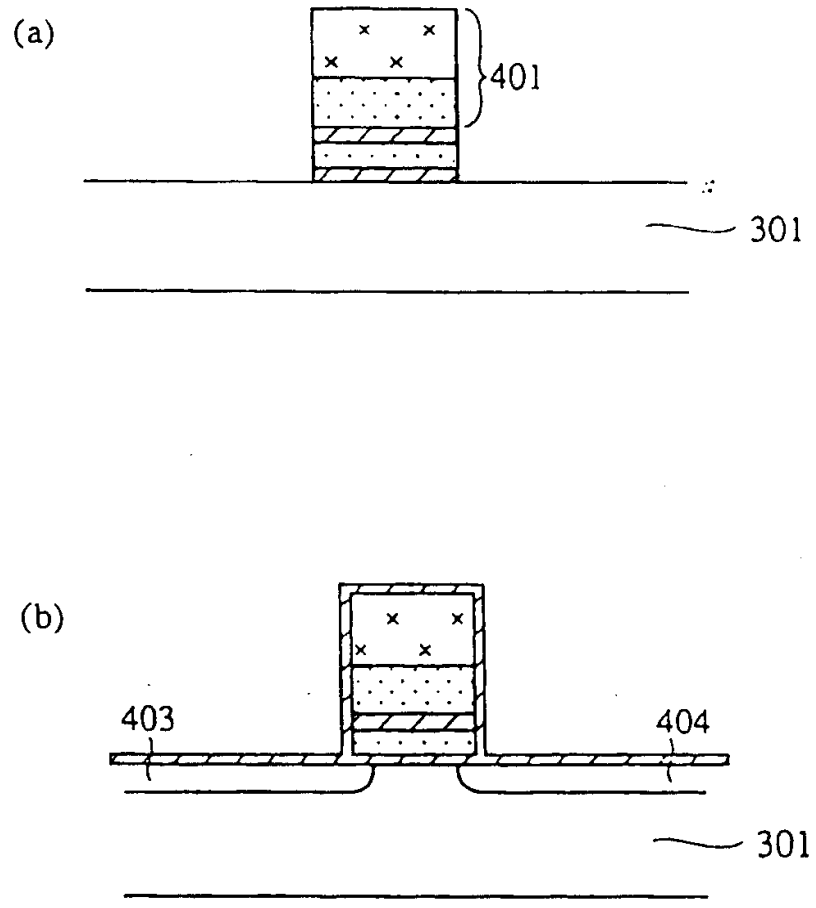


图 5

