

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成 28 年 5 月 19 日 (2016.5.19)

【公開番号】特開 2015-15540 (P2015-15540A)

【公開日】平成 27 年 1 月 22 日 (2015.1.22)

【年通号数】公開・登録公報 2015-005

【出願番号】特願 2013-139868 (P2013-139868)

【国際特許分類】

H 0 3 K 5/00 (2006.01)

H 0 3 K 5/1534 (2006.01)

H 0 3 K 17/16 (2006.01)

G 0 6 F 1/04 (2006.01)

G 0 6 F 1/10 (2006.01)

【F I】

H 0 3 K 5/00 S

H 0 3 K 5/00 E

H 0 3 K 17/16 H

G 0 6 F 1/04 A

G 0 6 F 1/04 3 3 0 Z

【手続補正書】

【提出日】平成 28 年 3 月 25 日 (2016.3.25)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0 0 5 2

【補正方法】変更

【補正の内容】

【0 0 5 2】

一方が非同期型の場合は、クロック発生回路 1 0 B とクロック発生回路 4 0 とが略同じ発振周波数であったとしても、若干の誤差により、一方の基本クロックの周波数が他方の基本クロックの周波数に比べて若干進むか又は遅れることになる。

例えば、一方が 1 % 進む場合は、基本クロックの 1 0 0 クロックにつき 1 クロックずつ進むことになり、基本クロックの 1 0 0 クロックに 1 回だけ周期的に変化開始タイミング（立上り）の同調が発生する。それに伴って、ピーク成分の合成による高周波ノイズが周期的に発生することになる。

実施例 2 では、クロックモニタ部 3 0 がクロック発生回路 4 0 の低速クロック C L K - A S を監視しておき、複数種類の低速クロックの変化開始タイミングの同調が発生する前に、分周カウンタ 2 0 a の分周比を変更（増分又は減分）することにより、同調によるピーク成分の合成を回避するものである。

このクロックモニタ生成部 3 0 は、概説すれば、通常使用時における E M I 状態を確認して問題となる周波数を検出すること、周波数から問題となる動作ブロックを決定すること、該当ブロックの分周カウンタの設定値を変更すること、変更後 1 回のみ分周カウンタの分周比を変更することの 4 つの機能を行っている。

次に、クロックモニタ部 3 0 の具体的な構成を説明する。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 6 3

【補正方法】変更

【補正の内容】

## 【 0 0 6 3 】

図 9 および図 10 は、実施例 2 におけるケース 2 の場合（低速クロック CLK - AS が低速クロック CLK - S よりも 1 % 進んだ、 $CLK - AS = 2 \times (CLK - S) \times 99\%$  の場合）の動作を説明するためのタイミングチャートであり、特に図 9 は u p 制御に至る前の状態のタイミングチャートを示し、図 10 は u p 制御の状態のタイミングチャートを示す。次に、図 9 を参照して、ケース 2（u p 制御）の場合の具体的な動作を説明する。

## 【 手 続 補 正 3 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 0 7 8

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

## 【 0 0 7 8 】

クロック発生回路 10C は、基本クロック発生回路 11 と、2 種類（又は 2 系統）の高速クロック CLK - H1, CLK - H2 を発生するための高速クロック発生回路 50 と、低速クロック発生回路の一例の分周回路 4 とを含む。基本クロック発生回路 11 は図 1 と同様のものであり、分周回路 4 は図 15 と同様のもので用いられる。

高速クロック発生回路 50 は、基本クロック発生回路 2 から供給される基本クロック MAIN - CLK に基づいて、2 種類の高速クロック CLK - H1, CLK - H2 を発生して、回路ブロック 5A, 5B にそれぞれ供給する。すなわち、高速クロック発生回路 50 は、回路ブロック 5A に高速クロック CLK - H1 を供給するための設定値レジスタ 51a, 制御イネーブル生成部 52a, 制御部 53a および AND ゲート 54a を含む第 1 の回路系と、回路ブロック 5B に高速クロック CLK - H2 を供給するための設定値レジスタ 51b, 制御イネーブル生成部 52b, 制御部 53b および AND ゲート 54b を含む第 2 の回路系とからなる。

第 1 の回路系の制御イネーブル生成部 52a, 制御部 53a と、第 2 の回路系の制御イネーブル生成部 52b, 制御部 53b とは、回路ブロック 5A, 5B の動作単位となる 8 クロック又は 16 クロックの高速クロックの固まりのうち、1 つ目のクロックの動作開始タイミングが重ならないように、一方の高速クロック（例えば CLK - H1）の単位で所定数だけずらせて（又は飛ばして）発生するものである。

## 【 手 続 補 正 4 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 0 9 4

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

## 【 0 0 9 4 】

( 付 記 4 )

同調状態検出手段 ( 30 ) は、

第 1 の低速クロック信号の変化開始時を検出する第 1 のエッジ検出部 ( 31a ) と、

第 2 の低速クロック信号の変化開始時を検出する第 2 のエッジ検出部 ( 31b ) と、

第 1 のエッジ検出部によって検出された第 1 の低速クロック信号のエッジと第 2 のエッジ検出部によって検出された第 2 の低速クロック信号のエッジとの差分が所定範囲内になったことを検出する差分検出手段 ( 32, 33, 34a, 34b ) とを含み、

周期変更手段は、差分検出手段の出力に応答して、第 1 のクロック発生手段に作用して、第 1 の低速クロック信号の周期を基本クロックの所定数に相当する期間だけずらせるように変更する、付記 3 に記載の EMI 対策回路。