



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.

HO1L 21/205 (2006.01)
HO1L 29/78 (2006.01)

(11) 공개번호 10-2007-0044441
 (43) 공개일자 2007년04월27일

(21) 출원번호 10-2007-7002256

(22) 출원일자 2007년01월29일

심사청구일자 없음

번역문 제출일자 2007년01월29일

(86) 국제출원번호 PCT/US2005/021498
 국제출원일자 2005년06월16일

(87) 국제공개번호 WO 2006/023027
 국제공개일자 2006년03월02일

(30) 우선권주장 10/903,841 2004년07월30일 미국(US)

(71) 출원인
 프리스케일 세미컨덕터, 임크.
 미합중국 텍사스 (우편번호 78735) 오스틴 월리암 캐논 드라이브 웨스트 6501

(72) 발명자
 토마스, 존, 지.
 미국 78700 아리조나주 85296 이스트 모간 코트 1160
 마니아, 파우, 디.
 미국 85048 아리조나주 피닉스 사우스 14번 웨이 16211
 일더램, 비다
 미국 85215 아리조나주 메사 이스트 로첼 스트리트 6216

(74) 대리인
 주성민
 백만기
 이중희

전체 청구항 수 : 총 30 항

(54) 고 K 유전체 재료와 사용되는 계면 층

(57) 요약

실리콘 기판(11) 상에 순(pure) 게르마늄 층(12)을 피착하기 위한 방법 및 장치가 제공된다. 이 게르마늄 층은 약 14 Å 정도로, 매우 얇고, 실리콘 상의 순 게르마늄에 대한 임계 두께 이하이다. 게르마늄 층(12)은, 실리콘 기판(11)과, 게르마늄 층(12) 상에 피착되는, 고 K 게이트 층(13) 사이에서 중간 층으로서 역할한다. 게르마늄 층(12)은 고 K 재료의 사용 동안에 산화물 계면 층의 성장을 방지하도록 돋는다. 반도체 구조에서 게르마늄 중간 층의 사용은, 산화물 불순물로 인한 직렬 커패시턴스의 단점이 없이 고 K 게이트로 기능하는 결과를 가져온다. 게르마늄 층(12)은 유동성을 더 향상시킨다.

대표도

도 1

특허청구의 범위

청구항 1.

반도체 구조로서,

기판;

상기 기판의 표면 상에 피착된 게르마늄 층 - 상기 게르마늄 층은 두께가 약 14 Å 이하임 -; 및

상기 게르마늄 층 상에 피착되는 고 K 재료의 유전체 층 또는 유전체 층들의 스택

을 포함하는 반도체 구조.

청구항 2.

제1항에 있어서, 상기 기판은, 실리콘, GaAs(gallium-arsenide), InP(indium-phosphide), GaAs의 임의의 합금 화합물, 및 InP의 임의의 합금 화합물을 구성하는 그룹으로부터 선택되는 재료를 포함하는 반도체 구조.

청구항 3.

제1항에 있어서, 상기 기판 층은, 실리콘, GaAs, InP, GaAs의 임의의 합금 화합물, 및 InP의 임의의 합금 화합물의 단일 결정을 포함하고, 상기 게르마늄 층은 게르마늄의 단일 결정을 포함하는 반도체 구조.

청구항 4.

제1항에 있어서, 상기 게르마늄 층은 중량으로 탄소를 5%까지 더 포함하는 반도체 구조.

청구항 5.

제1항에 있어서, 상기 게르마늄 층은 상기 게르마늄 격자에서 게르마늄의 3개의 원자 층들까지 더 포함하는 반도체 구조.

청구항 6.

제1항에 있어서, 상기 유전체 층은, 하프늄 산화물, 지르코늄 산화물, 알류미늄 산화물, 규산염, 하프늄 질화물, 및 게르마늄 산화질화물로 구성되는 그룹으로부터 선택되는 반도체 구조.

청구항 7.

제1항에 있어서, 상기 기판 층은 Ge 층과 4.2% 이하의 격자 미스매치(mismatch)를 갖는 반도체 구조.

청구항 8.

제1항에 있어서, 상기 게르마늄 층은 변위(dislocations) 형성이 없이 상기 기판 층 상에 가형성되는(pseudomorphically formed) 반도체 구조.

청구항 9.

제1항에 있어서, 상기 유전체 층은 두께에서 약 100 Å 이하인 반도체 구조.

청구항 10.

반도체 구조를 형성하는 방법으로서,

기판에 노출 표면을 제공하는 단계;

상기 게르마늄 층이 두께에서 약 14 Å 이하이도록, 상기 실리콘 층의 노출 표면 상에 게르마늄 층을 형성하는 단계 – 상기 피착된 게르마늄 층은 노출 표면을 가짐 –; 및

상기 게르마늄 층의 노출 표면 상에 고 K 재료의 유전체 층 또는 유전체 층들의 스택을 형성하는 단계
를 포함하는 방법.

청구항 11.

제10항에 있어서, 기판 층을 제공하는 상기 단계는, 실리콘 층에 단일 결정 실리콘의 노출 표면을 제공하는 단계를 더 포함하는 방법.

청구항 12.

제11항에 있어서, 기판 층을 제공하는 상기 단계는, 갈륨 비소 층에 단일 결정 갈륨 비소 또는 그것의 합금 화합물의 노출 표면을 제공하는 단계를 더 포함하는 방법.

청구항 13.

제11항에 있어서, 기판 층을 제공하는 상기 단계는, 인듐 인화물 층에, 단일 결정 인듐 인화물 또는 그것의 합금 화합물의 노출 표면을 제공하는 단계를 더 포함하는 방법.

청구항 14.

제11항에 있어서, 게르마늄 층을 피착하는 상기 단계는, CVD(chemical vapor deposition) 처리를 통해 게르마늄 층을 피착하는 단계를 포함하는 방법.

청구항 15.

제11항에 있어서, 게르마늄 층을 피착하는 상기 단계는, MBE(molecular beam epitaxy) 처리를 통해 게르마늄 층을 피착하는 단계를 포함하는 방법.

청구항 16.

제11항에 있어서, 게르마늄 층을 피착하는 상기 단계는, ALD(atomic layer deposition) 처리를 통해 게르마늄 층을 피착하는 단계를 포함하는 방법.

청구항 17.

제11항에 있어서, 게르마늄 층을 피착하는 상기 단계는, 상기 2-차원 성장 모드에서 게르마늄 층을 성장시키는 단계를 더 포함하는 방법.

청구항 18.

제11항에 있어서, 게르마늄 층을 피착하는 상기 단계는, 중량으로 탄소를 5%까지 함유한 게르마늄을 피착하는 단계를 더 포함하는 방법.

청구항 19.

제11항에 있어서, 게르마늄 층을 피착하는 상기 단계는, 상기 게르마늄 결정 격자에 3 이하의 원자 층들을 갖는 게르마늄 층을 피착하는 단계를 더 포함하는 방법.

청구항 20.

제11항에 있어서, 위치 외(ex situ) 또는 위치 내(in situ) 방법을 사용하여 산화물의 존재를 최소화하기 위해 상기 노출 기판 표면을 세척하는 단계를 더 포함하는 방법.

청구항 21.

제11항에 있어서, 산화물의 존재를 최소화하기 위해 게르마늄의 노출 표면을 세척하는 단계를 더 포함하는 방법.

청구항 22.

제11항에 있어서, 고 K 재료의 유전체 층을 피착하는 상기 단계는, 하프늄 산화물, 지르코늄 산화물, 티타늄 산화물, 알류미늄 산화물, 규산염, 및 하프늄 질화물을 구성하는 그룹으로부터 선택되는 유전체 재료를 더 포함하는 방법.

청구항 23.

반도체 구조를 형성하는 방법으로서,

고 순도 단일 결정 기판 층에 노출 표면을 제공하는 단계;

산화물의 존재를 감소시키기 위해 상기 실리콘 층의 노출 표면을 세척하는 단계;

상기 기판 층의 노출 표면 상에 고 순도 게르마늄 층을 피착하는 단계 - 상기 게르마늄 층은 상기 게르마늄 층이 임계 두께 이하이도록 상기 실리콘 층과 에피택셜(epitaxially) 매치되고, 상기 피착된 게르마늄 층은 노출 표면을 가짐 -;

산화물의 존재를 감소시키기 위해 상기 기판 층의 노출 표면을 세척하는 단계; 및

상기 게르마늄 층의 노출 표면 상에 고 K 재료의 유전체 층을 피착하는 단계

를 포함하는 방법.

청구항 24.

제23항에 있어서, 고 순도 게르마늄 층을 피착하는 상기 단계는, 상기 게르마늄 층이 두께에서 약 14 Å 이하이도록 고 순도 게르마늄 층을 피착하는 단계를 더 포함하는 방법.

청구항 25.

제24항에 있어서, 유전체 층을 피착하는 상기 단계는, 두께에서 약 100 Å 이하인 유전체 층을 피착하는 단계를 더 포함하는 방법.

청구항 26.

제24항에 있어서, 고 K 재료의 유전체 층을 피착하는 상기 단계는, 하프늄 산화물, 지르코늄 산화물, 티타늄 산화물, 알류미늄 산화물, 규산염, 및 하프늄 질화물, 게르마늄 산화질화물, 및 란탄 산화물로 구성되는 그룹으로부터 선택되는 유전체 재료를 더 포함하는 방법.

청구항 27.

제24항에 있어서, 유전체 층을 피착하는 상기 단계는, 두께에서 약 60 Å 내지 약 80 Å 사이에 있는 유전체 층을 피착하는 단계를 더 포함하는 방법.

청구항 28.

제24항에 있어서, 게르마늄 층을 피착하는 상기 단계는, CVD(chemical vapor deposition) 피착 처리를 통해 게르마늄 층을 피착하는 단계를 포함하는 방법.

청구항 29.

제24항에 있어서, 게르마늄 층을 피착하는 상기 단계는, MBE 처리를 통해 게르마늄 층을 피착하는 단계를 포함하는 방법.

청구항 30.

제24항에 있어서, 게르마늄 층을 피착하는 상기 단계는 ALD(atomic layer deposition) 처리를 통해 게르마늄 층을 피착하는 단계를 포함하는 방법.

명세서

기술분야

본 발명은 일반적으로 반도체 소자와 그것의 제조를 위한 방법에 관한 것이고, 더 구체적으로는, 고 K 유전체 재료와 실리콘 기판과 사용되는 계면 게르마늄 층의 사용에 관한 것이다.

배경기술

FET(Field Effect Transistors)는 전자 산업에서 넓은 어플리케이션을 갖는다. 일부 특정 처리 어플리케이션으로는 스위칭, 증폭, 필터링, 및 다른 작업들을 포함한다. MOSFETs(Metal Oxide Field Effect Transistors)는 현재 사용되는 더 일반적 유형의 FET 소자들 중의 하나이다. 그들은, 예를 들어, 디지털 처리 어플리케이션에서 중요하게 사용된다. MOSFET 구조는 통상적으로 전압이 가해진 금속이나 폴리실리콘 게이트(contact)을 포함하여 반도체 채널 내에 전기장을 생성하고, 이것은 소스와 드레인 영역 사이에 전류가 흐르도록 한다.

무어의 법칙(Moore's law)에 따라서, 설계자들은 트랜지스터의 크기를 축소시키려는 시도를 계속한다. 트랜지스터가 소형화됨에 따라, 게이트 유전체 층도 또한 얇아져 왔다. 계속되는 게이트 유전체 층 두께의 감소는 기술적 문제를 야기시킨다. 게이트의 이산화 실리콘 유전체 층을 통한 누출은, 그것의 두께가 감소함에 따라, 지수함수적으로 증가한다. 미래에 제안되는 게이트 치수는 아주 얇아서 단지 "온(on)"과 "오프(off)" 상태로부터 움직일 수 있는 유전체 층을 요구할 것이다. 그 대신, 누출은 저 전력, 또는 "누출되는" 오프 상태로 유도할 것이다. 미래 트랜지스터 세대의 성공을 위해 이 챌린지가 해결되어야 한다.

제안되고 있는 한 가지 대체안은 게이트 유전체 층으로서 이산화 실리콘 대신에 고 K 재료를 사용하는 것이다. 고 K는, 재료가 얼마나 많은 전하를 홀드할 수 있는지의 측정치인, 고 유전 상수를 지칭한다. 상이한 재료들은 전하를 홀드하는 상이한 능력을 갖는다. 고 K 재료는 이산화 하프늄(HfO_2), 이산화 지르코늄(ZrO_2), 및 이산화 티타늄(TiO_2)과 같은 산화물을 포함하고, 이산화 실리콘의 유전 상수인 3.9 이상의 유전 상수를 갖는다.

유전 상수는 또한 트랜지스터 성능에 영향을 미친다. K 값이 증가함에 따라, 트랜지스터 커페시턴스도 또한 증가한다. 이 증가된 커페시턴스는 트랜지스터가 "온"과 "오프" 상태들 사이에서 적절히 스위치하도록 한다. 또한, 고 K 값은 고 품질 스위칭에 대응하여, "오프" 상태에서 극소량의 전류 누출이 있고 "온" 상태 동안에 고 전류가 흐르도록 한다. 또한, 유전체 스택의 고 K 재료는 최종 트랜지스터에서 향상된 전하 유동성으로 유도할 수 있다. 고 K 재료의 특성인 우수한 전하 유동성은 성능, 신뢰성, 및 트랜지스터의 수명을 향상시킬 수 있다. 그러므로, 고 K 재료는 유전체 스택에서 사용될 잠재성 재료로서 유망하다.

그러나, 전자 산업계는 지난 수십년 동안 유전체 층을 위한 재료로서 이산화 실리콘을 널리 사용해 왔다. 유전체 층을 위한 고 K 재료의 실험적 사용은 이제, 두꺼운 이산화 실리콘 층이 사용될 때 명백하지 않았던 다른 제조 및 처리 챌린지를 나타낸다. 고 K 재료의 어플리케이션을 더 개발하기 위해 이들 기술적 챌린지들을 극복하는 것이 바람직하다. 고 K 재료가 유전체 층에 사용될 때 명백해지는 한 가지 특별한 문제는 실리콘 층의 표면에서 산화물의 형성으로 인한 저급한 유전체 성능이다.

고 K 유전체 층에서 사용되기 위해 제안되고 있는 다수의 재료는 산소를 포함하는 화합물이다. 실리콘 기판 상의 이들 재료들의 추가 피착은 산화 단계를 포함하는 처리 단계들을 포함할 수 있다. 재료의 산화 후에 한 성분의 CVD(chemical vapor deposition) 또는 스퍼터링(sputtering)은 고 K 유전체 층을 형성하는 한 종류의 처리 예이다. 그러므로, 피착 처리에서 존재하는 주위 가스로서 또는 산화물 자체에 공급되는 산소는 실리콘 기판에 균형하여 존재한다. 이 유형의 제조의 결과는, 실리콘 기판과 고 K 유전체 층 사이의 층인 계면 층이 나타난다는 것이다. 계면 층은, 기판의 실리콘과의 산화 작용으로부터 결과되는 이산화 실리콘과 같은 산화물 재료를 포함한다. 이들 산화물 재료는, 그렇지 않으면, 고 K 유전체 재료로 달성을 성능을 저하시킨다.

얇은 이산화 실리콘 층은 실제로 저 K 계면 층이다. 이 유형의 저 K 계면 층은 고 K 유전체 층과 직렬로 커페시터와 같이 전자적으로 동작한다. 이산화 실리콘 계면 층의 효과는 게이트 유전체 스택의 전체 커페시턴스를 감소시키는 것이어서, 고 K 재료의 사용의 이점을 삭감한다. 또한, 계면 층은 채널 영역(게이트 유전체 층의 바로 아래)의 유동성 열화를 야기하여, 그것이 연관된 소자의 성능을 열화시킨다.

따라서, 새 재료와, 고 K 유전체 층에서 이들 재료를 사용하는 방법을 식별하는 것이 바람직하다. 바람직한 처리와 재료는, 게이트 유전체 층에서 고 K 재료와의 이전 사용에서 언급된 계면 산화물 층 효과를 감소시키거나 제거한다. 또한, 재료와 방법이 FET 제조에서 사용되는 현재 처리 기술과 사용되기에 적절하도록, 이들 재료와 방법을 개발하는 것이 바람직하다. 고 K 유전체 재료를 사용하여 반도체에서 전하 유동성을 향상시켜서 반도체의 유용한 수명을 향상시키는 것도 또한 바람직하다. 본 발명은 이들 필요성 중의 한 개 이상을 해결한다. 또한, 본 발명의 다른 바람직한 특징과 특성은, 본 발명의 첨부된 도면과 본 배경을 연관하여 고려하여, 본 발명의 후속되는 상세한 설명과 첨부되는 청구범위로부터 명백해질 것이다.

실시예

다음의 본 발명의 상세한 설명은 특성상 단지 예일 뿐이고, 본 발명 또는 본 발명의 어플리케이션과 사용을 제한하려고 의도되지는 않는다. 또한, 본 발명의 전술한 배경 또는 후속하는 본 발명의 상세한 설명에 제공된 임의의 이론에 의해서도 제한되려고 의도되지는 않는다.

순(pure) 게르마늄 층이 실리콘 기판 상에 성장할 수 있는 것이 발견되었다. 이 게르마늄 층은 약 14 Å 정도로, 매우 얇으며, 실리콘 상의 순 에피택시(epitaxial) 게르마늄에 대한 임계 두께보다 얇은 것이다. 게르마늄 층은 실리콘 기판과 고 K 게이트 층 사이의 중간 층으로서 역할한다. 게르마늄 층은 고 K 재료의 사용 동안 산화물 계면 층의 성장을 방지하도록 도움이 된다. 게르마늄 중간 층의 사용은 산화 불순물로 인한 직렬 커패시턴스의 단점이 없이 고 K 게이트 기능을 나타내는 결과를 가져온다.

도 1을 참조하면, 본 발명의 일 실시예에 따라서, 게르마늄 층을 사용한 반도체 구조의 개략도가 도시된다. 당업자라면, 도 1에 도시된 반도체 구조가, 도 1의 복수 층 구조로부터 도 2에 도시된 최종 트랜지스터로 트랜지스터 구조를 변환하도록 처리될 것임을 이해할 것이다. 도 1에 도시된 것처럼, 상기 구조는 실리콘 베이스 층(11), 얇은 게르마늄 층(12), 및 고 K 재료의 유전체 층(13)을 포함한다. 실리콘 층(11)은 실리콘-기반 반도체의 제조에서 사용되는 것처럼 실리콘 기판이다. 다른 경우, 실리콘 층(11)은 SOI(silicon-on-insulator)를 포함할 것이다.

다른 실시예에서, 층(11)은 실리콘과는 다른 재료를 포함할 것이다. 선택적 재료로는 GaAs(gallium-arsenide), InP(indium-phosphide), GaAs의 임의의 합금 화합물, 및 InP의 임의의 합금 화합물을 포함한다.

도 2를 참조하면, 최종 트랜지스터의 대표적 예가 도시된다. 이 트랜지스터는 도 1의 시작 구조로부터 형성될 것이다. 실리콘 베이스 층(11), 게르마늄 층(12), 및 유전체 층(13)에 추가하여, 최종 트랜지스터는 소스 지역(14)과 드레인 지역(15)을 더 포함한다. 또한, 유전체 스택의 물리적 지오메트리(geometry)는 유전체 층(13)을 게이트로 변환하기 위해 형상화되었다. 당업자라면, 이것이 반도체 스택을 최종 트랜지스터로 변환하기 위한 제조 프로세스의 일부임을 이해할 것이다.

도 1에 도시된 반도체 구조를 개발하는 방법은 실리콘 기판(11)의 준비에서 시작한다. 이것은 반도체 기술에서 사용되는 공지된 프로시저들 중의 임의의 것을 통해 달성될 수 있다. 예를 들어, 기판은 벌크 실리콘 기판일 수 있다. 다른 경우, 반도체 기판은 SOI 유형의 기판일 수 있다. 기판은 또한 P-도핑과 같은 도편트를 포함할 수 있다. 기판(11)의 개발은, 재료의 추가 층들, 이 경우, 게르마늄 층(12)이 피착되는 기판의 노출 표면을 만들 것이다. 선호되는 실시예에서, 노출된 실리콘 표면은 실질적으로 표면 산화물이 없는 단일 결정 재료이다. 그러므로, 또한 실리콘 층(11)이 단일 결정 실리콘 재료를 포함함이 선호된다.

실리콘 기판(11)을 생성하기 위한 단계들에 추가하여, 기판(11)은 노출 표면 상의 산화물을 제거하거나 또는 감소시키기 위한 선택적 처리를 추가로 받을 것이다. 세척 프로시저는, 플루오르화 수소산의 용제로 노출 표면의 세척과, 반도체 산업에서 사용되는 다른 세척 프로시저들을 포함한다. 세척 프로시저는 당해 기술에서 공지된 위치 내(in situ) 또는 위치 외(ex situ) 세척 방법을 따를 것이다. 추가로, 실리콘 재료가, 특히 노출 표면에서, 실질적으로 오염물이 없는 것이 바람직하다. 당해 기술에서 공지된 것처럼, 실리콘 기판(11)의 처리는 산소 존재를 최소화하기 위해 진공 또는 비활성 대기상태에서 이루어질 것이다.

다음 단계에서, 실리콘 층의 노출 표면 상에 게르마늄(12)의 층이 피착된다. 이 단계의 이행에서, 게르마늄 층(12)은 이전에 노출 실리콘 표면 또는 그 노출 표면의 일부인 것을 덮는다. 게르마늄 층(12)의 완료시, 그것이 이제 노출 표면을 갖는다. 그 표면 상에 고 K 재료와 같은 후 재료들이 피착될 수 있다.

일 실시예에서, 게르마늄 층(12)은 고 순도 게르마늄인 것이 선호된다. 이 실시예에서, 게르마늄에서 불순물 또는 다른 재료들이 회피된다. 이것은, 게르마늄 층의 두께가 임계 두께보다 작은 경우에 선호된다. 다른 경우, 게르마늄 층(12)은 소량의 탄소를 포함할 수 있다.

실리콘 상에 게르마늄 층을 피착하는 방법으로는 MBE(molecular beam epitaxy)와 CVD(chemical vapor deposition)를 포함한다. MBE는 원자 크기로 재료 성장의 정밀 제어를 하도록 하는 방법이다. MBE는 또한 우수한 제어, 신뢰성, 및 처리율로 얇은 에피택셜 층의 피착을 하도록 한다. 그러므로, MBE는 얇은 게르마늄 층의 피착에 적절하다. MBE는 초고(ultra-high) 진공 환경에서 고체-소스 증착을 사용한다; 재료는 통상적으로 압축공기식 셔터(pneumatic shutters)와 같은 급지 시스템(feed system)에 의해 개별 제어될 수 있다. 이 공정은 유연성을 제공하여, 고 반복도의 컴퓨터 제어 하에 복잡한 합금과 초격자 구조가 제조되도록 한다.

MBE 피착 방법의 일 실시예에서, 실리콘 웨이퍼는 MBE 챔버에 먼저 배치된다. 한 개 이상의 분산 셀들(effusion cells)로 게르마늄 소스가 로딩된다. 각 분산 셀은 게르마늄의 대량 이동을 촉진시키기 위해 원하는 레벨로 가열될 것이다. MBE 챔버는 고 레벨의 진공을 제공하기 위해 배기되는 것이 선호된다. 실리콘 웨이퍼는 원하는 온도로 가열되어 웨이퍼 상의 게르마늄의 에피택셜 성장을 촉진시킨다. MBE 장치의 셔터는 원하는 시간 동안 MBE 챔버로 게르마늄을 노출시키기 위해 열린다. 실리콘 웨이퍼의 회전과 같은, MBE 피착에 공통적인 다른 제어도 또한 시스템에 포함될 수 있다. 실리콘 기판 상에 게르마늄의 에피택셜, 2-차원 성장을 촉진하기 위해, 시간, 온도, 및 에너지 전송과 같은 제어 파라미터가 선택된다.

게르마늄 층을 형성하기 위해, 다른 선택적 피착 프로시저가 또한 사용될 수 있다. 이들 방법으로는, MOCVD(metal organic chemical vapor deposition), ALD(atomic layer deposition), AVD(atomic vapor deposition), PVD(physical vapor deposition), CSD(chemical solution deposition), PLD(pulsed laser deposition) 등을 포함한다.

도 3을 참조하면, 실리콘 결정과 매치되는 게르마늄의 결정 격자가 도식된다. 결정의 실리콘 부분은 층(30)으로서 도시되고, 게르마늄 부분은 층(31)이다. 게르마늄과 실리콘의 격자 구조는, 이들 자체에서, 순 게르마늄 결정의 게르마늄 원자 사이의 공간이 순 실리콘 결정의 실리콘 원자 사이의 공간보다 더 크다는 점에서 불일치한다. 그러나, 특정 두께 이하에서, 게르마늄 결정 층은 실리콘 결정 층 상에 에피택셜 성장될 수 있다. 임계 두께 이하의 두께에서, 게르마늄 격자 구조의 게르마늄 원자들은 실리콘의 격자 구조와 매치하기 위해 적응될 수 있다. 게르마늄 격자는 수직 방향으로 게르마늄 격자를 확장하여 수평 평면 상의 실리콘과 매치하기 위해 늘리거나 압축한다. 그러나, 임계 두께 이상의 두께에서는, 게르마늄 결정은 실리콘 결정에 적응하기 위한 늘림의 스트레인(strain)을 수용할 수 없다; 게르마늄 결정은 완화되어, 어느 시점에서, 부러질 것이다. 이 파손 점(breakage point)은 임계 두께로서 지칭된다. 실리콘 결정에 매치되는 게르마늄의 얇은 층에 대해서, 그 임계 두께는 약 14 Å이다. 이 임계 두께는 결정 격자의 게르마늄 원자들의 약 3 내지 4 원자 층들에 대응한다. 그러므로, 게르마늄 결정 격자가 게르마늄 원자들의 3 이하의 원자 층들을 갖는 것이 바람직하다.

기판 상에 성장된 게르마늄 층이 기판 상에 가형성되는(pseudomorphically formed) 것이 선호되고, 이것은 게르마늄과 기판 재료에 대한 임계 두께까지 게르마늄이 에피택셜 격자 매치되었음을 의미한다. 또한, 선호되는 가형성되는 성장은 변위(dislocations)가 없이 게르마늄 층을 형성한다. 선택적으로, 기판 층이 게르마늄과 4.2% 이하로 격자 미스매치(mismatch)되는 것이 선호된다. 실리콘, 갈륨 비소, 인듐 인화물, 및 이들의 합금 이외의 선호되는 기판 층들은 실리콘 자체에 그런 것보다 게르마늄에 더 근접하게 매치하는 격자 공간을 갖는다. 그러므로, 이들 재료들 상의 게르마늄 층의 성장은 게르마늄 층에서 스트레스를 더 적게 생성한다. 갈륨 비소, 인듐 인화물, 및 이들의 합금은 4.2% 이하의 게르마늄에 대해서 격자 미스매치를 갖는다.

게르마늄 층은 실리콘 상에서 임계 두께보다 더 두꺼운 두께로 성장될 수 있다. 이것은 게르마늄에서 소량의 탄소를 포함하여 달성된다. 게르마늄 격자의 탄소 원자들은 게르마늄 결정이 균열없이 완화되도록 한다. 그러므로, 게르마늄 결정이 실리콘 격자에 매치되고, 임계 두께 이상으로 성장될 때, 게르마늄 결정의 스트레스는 탄소 위치에서 해소된다. 일반적으로 게르마늄의 1% 탄소 농도가 게르마늄 결정을 약 10%만큼 완화시킬 것이다. 다른 실시예에서, 게르마늄 층은 중량으로 5% 탄소까지 포함한다. 다른 실시예에서, 게르마늄 층은 중량에서 탄소를 5%까지 포함한다. 이것은, 게르마늄 층이 임계 두께보다 더 두꺼운 것이 바람직한 경우에 선호된다.

게르마늄 계면 층의 성장이 스트란스키-크라스타노브(Stanski-Krastanov) 성장 모드로 이루어지는 것이 선호된다. 실리콘 상에 성장된 게르마늄은 2-차원 모드(스트란스키-크라스타노브) 또는 3-차원 모드(볼머-웨버(Volmer-Weber))로 개발될 수 있다. 도면들을 참조하면, 도 4a는 실리콘 층(11) 상에 게르마늄 층(12)의 2-차원 성장을 나타내고, 도 4b는 실리콘 기판(11) 상에 게르마늄 "아일랜드(islands)"(16)의 3-차원 성장을 나타낸다. 2-차원 성장은 게르마늄 층의 개발에 의해 특성화된다; 층들은 원자 층들일 수 있다. 2-차원 성장 모드에서, 게르마늄의 제1 원자 층은 실리콘 표면 상에 피착된

다. 그 후에 제1 층 상에 게르마늄의 제2 원자 층의 피착이 따른다. 이와 비교하여, 3-차원 성장은, 게르마늄의 각 아일랜드가 그 자체로 게르마늄의 다수의 원자 층들로 구성될 수 있는 "아일랜드" 또는 클러스터의 게르마늄 재료의 피착에 의해 특성화된다. 또한, 3-차원 성장 모드에서, 게르마늄 아일랜드는 서로 접촉하지 않아서, 실리콘 표면의 패치(patches)가 여전히 노출될 수 있다. 2-차원 모드로 성장하는 순 게르마늄의 층이 임계 두께를 지남에 따라, 게르마늄 격자가 완화됨에 따라, 게르마늄 성장은 3-차원 성장 모드로 변환할 것이다. 그러므로, 게르마늄 층은 실리콘 상에서 순 게르마늄을 위한 임계 두께 이하, 약 14 Å에 유지되어야 한다. 게르마늄 층의 성장이 2-차원 성장으로부터 3-차원 성장으로 변환하지 않는 것이 선호된다.

부분적으로는, 실리콘 상의 게르마늄의 피착이, 그렇지 않으면, 이산화 실리콘 계면 층을 형성할, 높은 레벨의 산화물을 생성하지 않는다는 이유로, 게르마늄이 계면 층을 위해 선호되는 재료로서 선택된다. 게르마늄은 화학적으로 안정된 산화물 구조를 쉽게 형성하지 않는다. 그러므로, 산소-희박 대기에서 실리콘으로 순 게르마늄이 피착될 때 산화물이 최소화된다. 실리콘이 반응할 수 있는 산소가 최소화된다. 그러므로, 그 종래 기술 방법의 어려움을 피할 수 있다. 당업자라면, 산화물의 존재를 최소화하기 위해 우수한 제조 방법이 뒤따라야 함을 더 이해할 것이다. 이것은, 산소의 존재를 피하기 위해 진공 또는 비활성 대기에서 동작하는 것을 포함할 것이다. 고 순도 재료의 사용은 또한 산화물의 존재를 최소화할 것이다.

게르마늄 층(12)이 피착된 후, 그것은 임의의 산화물의 존재를 감소시키기 위해 추가 처리될 것이다. 상기 처리는, 플루오르화 수소산의 용제, 또는 다른 세척 약품으로의 처리와 같은 세척 단계와 관련된다. 이 시점에서, 게르마늄 층의 노출된 표면은 유전체 층의 고 K 재료를 피착할 준비가 된다.

유전체 층은 게르마늄 층의 노출 표면 상에 피착된다. 선호되는 일 실시예에서, 유전체 층은 두께에서 100 Å 이하이다. 게르마늄 상에 고 K 재료를 피착하는 공지된 방법이 후속할 것이다.

본 명세서에 사용되는 것처럼, "고 K" 또는 "고 K 유전체 재료"라는 용어는 약 10 이상의 K 값을 갖는 유전체 재료를 의미한다. 그런 고 K 유전체 재료는, 예를 들어, 하프늄 산화물, 지르코늄 산화물, 란탄 산화물, 티타늄 산화물, 알류미늄 산화물, 및 다른 것들을 포함한다. 일반적으로, 고 K 유전체 재료는 2진, 3진, 및 고 산화물인 재료와, 약 20 이상의 K 값을 갖는 임의의 강유전체(ferroelectric) 재료를 포함한다. 또한, 고 K 유전체 재료는, 하프늄 규산염, 다른 규산염, 하프늄 실리콘 산화질화물, 게르마늄 산화질화물, 및 다른 산화질화물과 같은 복합체 재료를 포함한다.

재료가 특정 화학품명 또는 화학식으로 지칭될 때, 재료는 화학품명에 의해 식별되는 화학식대로의 정확한 화학식의 비화학식적 변형을 포함할 수 있다. 그러므로, 예를 들어, 하프늄 산화물은 화학식 HfO_2 의 화학식대로의 정확한 조합과, x 또는 y가 각각 1과 2로부터 일정량만큼 변하는 Hf_xO_y 모두를 포함할 수 있다.

적어도 일 실시예가 본 발명의 전술된 상세한 설명에 제공되었지만, 다수의 변형이 존재함을 이해해야 한다. 실시예(들)이 단지 예들일 뿐이고, 임의의 방식으로도 본 발명의 범위, 응용성, 또는 구성을 제한하려고 의도되지는 않음을 이해해야 한다. 그보다는, 전술된 상세한 설명은, 당업자에게, 본 발명의 일 실시예를 구현하는 편리한 로드맵을 제공할 것이고, 첨부된 청구범위에 기재된 바와 같이, 본 발명의 범위로부터 벗어나지 않고 일 실시예에 설명된 기능과 소자들의 배치에 다양한 변경이 만들어질 수 있음을 이해할 것이다.

도면의 간단한 설명

이후에 본 발명은, 유사 참조부호가 유사 소자를 나타내는, 다음의 첨부된 도면과 연관하여 설명될 것이다.

도 1은 본 발명의 일 실시예에 따른 게르마늄 계면 층을 사용하는 반도체 구조의 투시도이다.

도 2는 본 발명의 일 실시예에 따른 처리 단계들과 개발될 수 있는 트랜지스터 구조의 투시도이다.

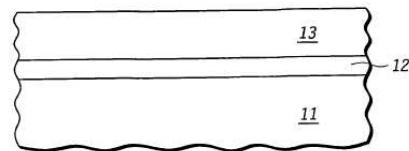
도 3은 본 발명의 일 실시예에 따른 게르마늄 결정과 실리콘 결정의 격자 구조의 투시도이다.

도 4는 2-차원 구조로 실리콘 층 상에 성장한 게르마늄 층의 투시도이다.

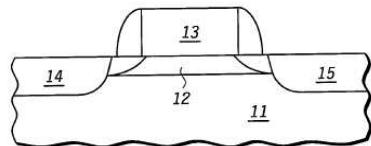
도 5는 3-차원 구조로 실리콘 층 상에 성장한 게르마늄 재료의 투시도이다.

도면

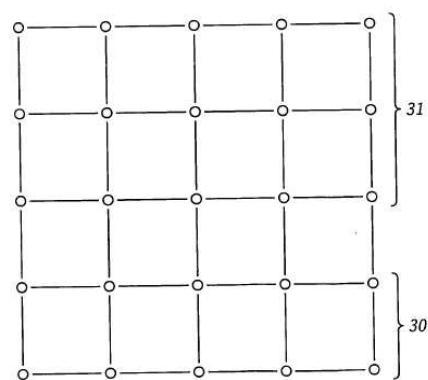
도면1



도면2



도면3



도면4



도면5

