200924151

發明專利說明書

（本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫）

※ 申請案號：97137514

※ 申請日期：97.9.30　　※IPC 分類：H01L 23/544 (2006.01)
H01L 21/027 (2006.01)
G03F 9/00

一、發明名稱：（中文/英文）

在半導體結構上製造次解析度對準標記之方法及包含次解析度對準標記之半導體結構

METHODS FOR FABRICATING SUB-RESOLUTION ALIGNMENT MARKS ON SEMICONDUCTOR STRUCTURES AND SEMICONDUCTOR STRUCTURES INCLUDING SAME

二、申 請 人：（共 1 人）

姓名或名稱：（中文/英文）

美商美光科技公司

MICRON TECHNOLOGY, INC.

代表人：（中文/英文）

羅素　史利佛

SLIFER, RUSSELL

住居所或營業所地址：（中文/英文）

美國愛達荷州鮑西市南菲德洛路8000號

8000 SOUTH FEDERAL WAY, BOISE, IDAHO 83707-0006, U.S.A.

國　籍：（中文/英文）

美國　U.S.A.

三、發明人：（共 2 人）

姓　名：（中文/英文）

1. 大衛　S　普拉提
   PRATT, DAVID S.
2. 馬克　A　瑟夫瑞吉
   SULFRIDGE, MARC A.

國　籍：（中文/英文）

1. 美國　U.S.A.
2. 美國　U.S.A.

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為：　年　月　日。

☑ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號　順序註記】

☑ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2007年10月29日；11/926,619
2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.
2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號　順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料　【格式請依：寄存機構、日期、號碼　順序註記】

國外生物材料　【格式請依：寄存國家、機構、日期、號碼　順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明之實施例大體而言係關於半導體結構及器件之製造，且更詳言之，係關於在半導體結構及器件之介電材料之中或之上形成次解析度對準標記之方法，且係關於所得半導體結構及器件。

本申請案主張2007年10月29日申請之標題為"Methods for Fabricating Sub-Resolution Alignment Marks on Semiconductor Structures and Semiconductor Structures Including Same"之美國專利申請案第11/926,619號的申請日期的優先權。

【先前技術】

在製造半導體器件中，有時利用自基板之電路側(通常亦稱為"作用表面")傳輸信號至基板之背側的互連。自電路側貫穿基板至背側之互連有時稱為貫穿互連。在晶圓級半導體器件製造期間，貫穿互連有時稱為貫穿晶圓互連("TWI")或貫穿矽互連。貫穿互連通常為形成於基板中之金屬填充通道，且經組態及置放以將電路側上之積體電路電連接至背側上之電元件。背側包含有時直接及有時經由再分配導體而與貫穿互連電通信之終端觸點。

隨著半導體器件變得越來越小且具有更高之輸入/輸出組態，半導體製造商必須在不損害效能之情況下製造具有越來越小之大小及間距的貫穿互連。具有高導電性及低寄生電容之貫穿互連提供最佳效能。除具有良好效能特性外，能夠使用習知設備及習知方法在晶圓級下製造貫穿互

連係有利的。在製造半導體器件中利用儘可能少之過程動作以最小化成本並降低缺陷亦係有利的。習知金屬填充貫穿互連利用多個光圖案化動作且可包含前側與背側處理。舉例而言，終端觸點及終端觸點之襯墊係分別利用多個光圖案化動作製得，此大大增加了總製造成本。

為實現電路連續性，在進行光圖案化動作之前小心地使其上最終將形成半導體器件之晶圓與主光罩或遮罩對準。對準通常使用晶圓步進器或對準器實現，該步進器或該對準器將主光罩或遮罩上之所要圖案轉移至晶圓上所存在之材料上。晶圓步進器使用晶圓上之對準標記(亦表徵為基準)作為參考點以精確對準主光罩或遮罩與晶圓上先前形成之材料。對準標記通常藉由呈已知定向及空間關係在下伏層中蝕刻溝槽圖案而形成於晶圓之不用的部分上，諸如沿晶圓之周邊邊緣或靠近隔開個別半導體晶粒之位置之切割道。晶圓步進器通常使用具有固定波長之光來偵測晶圓上之對準標記之位置。

雖然習知對準過程對許多應用而言係有效的，但該等對準過程對背側具有終端觸點之半導體器件之背側處理而言係不可靠的。背側處理通常包含圖案化及固化基板之背側上之介電材料。介電材料充當蝕刻遮罩以於基板中形成深通道。除通道以外之貫穿介電材料且暴露下伏或上覆材料的開口(諸如任何對準標記)在後續處理動作期間轉移至基板，從而引發下游處理問題。另外，若金屬晶種層存在於背側上，則不能使用紅外線("IR")對準技術來對準前側對

準標記。IR技術目前用於背側對準，因為矽基板為透明的，使得背側對準能夠使用晶圓之電路側上之對準標記。然而，金屬晶種材料對IR而言並不透明，且因此，金屬晶種材料在背側處理期間阻止後續對準。為解決該問題，可在基板之背側上形成獨特通道或獨特通道組並用作對準標記。該等通道與存在於基板或相鄰半導體晶粒上之其他通道相比具有獨特的形狀及圖案。然而，已證明以一致的方式形成及偵測獨特的通道為不可靠的技術，會導致誤對準。

【發明內容】

本發明揭示一種製造包含複數個次解析度對準標記之半導體結構之方法，亦揭示包含次解析度對準標記之半導體結構。如本文中所使用，術語"次解析度對準標記"意謂且包含半導體結構上之溝槽、線、凸塊、脊或其他特徵，該半導體結構具有經設定大小小於其上或其中形成特徵的材料在給定光波長下之解析度極限的至少一尺寸(例如，寬度、長度或直徑)。次解析度對準標記可與材料中之其他開口大體上同時形成於材料中，減少用於製造半導體結構之處理動作的數目。為防止次解析度對準標記轉移至下伏材料中，使其中形成次解析度對準標記之材料之一部分保留在下伏材料之上，從而保護下伏材料免於進行後續處理動作。

【實施方式】

在下文實施方式中，參考隨附圖式，該等圖式構成本發

明之一部分且其中以說明性方式展示可實踐本發明之特定實施例。充分詳細描述該等實施例以使得一般熟習此項技術者能夠實踐本發明。應瞭解，可利用其他實施例，且在不脫離本發明之精神及範疇之情況下，可進行結構、邏輯及電修改。本文中存在之圖式並不意欲為任何特定半導體結構或其製造過程之實際視圖，而是僅為用於描述本發明之實施例之理想表示法。另外，圖式之間的共同元件可保留相同數字標號。

以下描述提供特定細節，諸如材料類型、材料厚度及處理條件，以提供本發明之實施例之詳盡描述。然而，一般熟習此項技術者應瞭解，本發明之實施例可在不採用該等特定細節之情況下實施。實際上，本發明之實施例可結合工業中所採用之習知半導體製造技術來實踐。另外，以下所提供之描述不構成完整的製造半導體結構或半導體器件之處理流程，且以下描述之半導體器件不構成完整的電子器件。以下僅詳細描述用以理解本發明之實施例所必需之過程步驟及半導體結構或半導體器件。由半導體結構形成完整半導體器件或由半導體器件形成完整電子器件之額外處理動作可由習知製造技術執行。

本文中所述之材料可由任何合適沈積技術形成，包含(但不限於)旋塗、毯覆式塗佈、化學氣相沈積("CVD")、原子層沈積("ALD")、電漿增強ALD或物理氣相沈積("PVD")。或者，可使材料生長。視待形成之特定材料而定，用於沈積或生長材料之技術可由一般熟習此項技術者

選擇。雖然材料可以數層形式形成，但材料不限於此且可以其他組態形成。

由本發明之實施例形成之半導體器件2(參見圖1H及2C)可為成像器器件，其經組態以用於感應器陣列及其中像素之照明。雖然實施方式及圖式關於成像器器件之後端處理描述並說明本發明之實施例，但半導體器件2可為電子信號器件(亦即，微處理器)或記憶體器件，包含(但不限於)揮發性記憶體器件(例如，DRAM器件)及非揮發性記憶體器件(例如，快閃記憶體器件)。作為非限定性實例，本發明之實施例亦可用於形成DRAM器件上之背側再分配層("RDL")。然而，本發明之實施例亦可用於所謂的"前端"或"前側"處理中，諸如金屬電鍍或對準過程中。

製造半導體結構4A、4B(參見圖1C及1D)可包含與2006年12月8日申請之標題為"METHOD AND SYSTEM FOR FABRICATING SEMICONDUCTOR COMPONENTS WITH THROUGH INTERCONNECTS AND BACK SIDE REDISTRIBUTION CONDUCTORS"之美國專利申請案第11/635,902號中所述大體上類似的製造動作。半導體結構4A、4B可如圖1A-1D所說明製造，圖1A-1D為半導體結構4A、4B製造期間不同處理動作期間中工件10的局部橫截面圖。半導體結構4A、4B可如圖1E-1H所說明進一步經處理以製成半導體器件2。複數個半導體器件2可在基板14之上及/或之中並排同時製造。然而，出於說明之目的，在圖1A-2C中僅說明工件10之包含單個半導體器件2之部分。工件10實際上可包含複數個半導體器件2，半導

體器件2隨後自工件10隔離(singulate)出來以提供複數個個別及離散的半導體器件2。

如圖1A所說明，工件10可包含基板14、具有成像器像素陣列16之影像感應器晶粒(或影像感應器封裝)、成像器像素陣列16中之複數個積體電路18、電絕緣材料30及複數個基板觸點26。基板14之其他區域上可存在諸如用於處理影像資料之額外積體電路(未圖示)。基板14、成像器像素陣列16、積體電路18、電絕緣材料30及基板觸點26可由本文中未詳細描述之習知技術形成。如本文中所使用，術語"基板"意謂並包含習知矽基板或包括半傳導材料層之其他塊狀基板。如本文中所使用，術語"塊狀基板"意謂並包含不僅矽晶圓而且矽絕緣體("SOI")基板(諸如矽藍寶石("SOS")基板及矽玻璃("SOG")基板)、半導體基底上之矽磊晶層及其他半導體或光電子材料，諸如矽鍺、鍺、砷化鎵、氮化鎵或磷化銦。基板14包含正表面22及在正表面22相對側上之背表面24。正表面22可為基板14之作用表面，且因此包含作用區域，包含(但不限於)成像器像素陣列16及積體電路18。基板14之正表面22在此項技術中有時稱為所謂的"前側"，且背表面24在此項技術中有時稱為所謂的"背側"。為方便起見，在本發明之描述中使用如下術語，包含(但不限於)："正"、"背"、"外部"、"上部"、"下伏"及"上覆"。該等術語用於表示圖式中所描繪之特徵的相對方向、位置及定向且不參考重力。舉例而言，工件10或半導體結構4A、4B實務上可在製造或使用期間以任何合適方

向定向。正表面22及背表面24大體上為平坦的且大體上相互平行。

製造期間，可使用包含複數個大體上相同的基板14之晶圓20(亦參見圖2A)。個別半導體器件2可由晶圓20之基板14中之每一者製造。晶圓20可為所謂的"全厚度"晶圓或所謂的"薄化"晶圓，已自"薄化"晶圓之背側移除實質性厚度之晶圓材料。相鄰基板14之間的凹道或切割區域36由晶圓20上之垂直線(參見圖1A-1H)及間隔(參見圖2A)指示。基板14亦可存在於面板、引線框或包含多個基板14之電路板上。

基板觸點26可與積體電路18電通信。基板觸點26可包含結合襯墊或再分配觸點(亦即，結合RDL形成之觸點)。基板觸點26可由導電的可結合金屬(諸如鋁或銅)形成或由多種金屬(諸如鋁鎳金、鋁鎳焊料、銅鈀或鋁銅)形成。為簡單起見，在圖1A中之工件10上僅說明一個基板觸點26，且在圖2A中之工件10上僅說明8個基板觸點26。然而，工件10實際上可包含數十個至數百個以所要組態配置之基板觸點26，該組態諸如中心陣列、邊緣陣列或區域陣列。又，雖然基板觸點26以具有大體上正方形之周邊輪廓(參見圖2A)說明，但基板觸點26可具有任何多邊形形狀，包含(但不限於)正方形、矩形、圓形、三角形或橢圓形。基板觸點26之大小可基於半導體結構4A、4B之預定用途按需要選擇。作為非限定性實例，基板觸點26可在每一側上具有約5 μm至約200 μm之寬度。基板觸點26可為大體上平坦的

襯墊或焊盤，或可具有其他形狀，包含(但不限於)呈凸塊、螺栓、柱或火山樣形狀形式之突出物。

電絕緣材料30可經調配並置放以電絕緣積體電路18、成像器像素陣列16外部之額外積體電路及基板14其餘部分之其他電元件。作為非限定性實例，電絕緣材料30可由硼磷矽玻璃("BPSG")、二氧化矽("SiO_2")或聚醯亞胺形成。為簡單起見，基板觸點26經說明為位於電絕緣材料30上。然而，內部導體(未圖示)可在基板觸點26與積體電路18之間、基板觸點26與成像器像素陣列16外部之額外積體電路之間以及基板觸點26與其他電元件之間提供電路徑。

如圖1B所說明，間隔物32可形成於基板14之正表面22上。另外，晶圓級載體28可視情況附接至基板14之正表面22。對於一些應用，諸如全厚度晶圓之處理，可除去晶圓級載體28。間隔物32之大小及幾何結構可由一般熟習此項技術者加以選擇。間隔物32可由電絕緣材料形成，電絕緣材料包含(但不限於)聚合物、玻璃或陶瓷。間隔物32可藉由習知技術形成於基板觸點26上。或者，可使用黏著材料(未圖示)來將晶圓級載體28(若存在)附接至基板14之正表面22。晶圓級載體28可由具有選定厚度及選定周邊輪廓的玻璃或矽材料形成。因為許多後續處理動作自基板14之背表面24進行，所以晶圓級載體28除提供支撐外亦可為基板14之正表面22提供保護。間隔物32及晶圓級載體28可在進行後續處理動作後移除。

可自背表面24移除基板14之一部分以形成基板14'，其

為所謂的"薄化"基板。基板14可具有高達約700 μm之厚度。基板14之部分可藉由習知技術移除(諸如藉由機械平坦化過程、化學平坦化過程、化學機械平坦化("CMP")過程)，或蝕刻過程(諸如濕式蝕刻、乾式蝕刻或電漿蝕刻過程)。基板14'可具有約10 μm至約300 μm之厚度。

介電材料34可安置於基板14'之背表面24上。介電材料34可用作蝕刻遮罩以在半導體結構4A、4B上界定通道44及至少一次解析度對準標記40(參見圖1D)。因為圖1A-1H為橫截面圖，所以該等圖式將次解析度對準標記40說明為介電材料34中之部分開口或溝槽。然而，複數個次解析度對準標記40可集中在一起以形成次解析度對準標記40之圖案42(參見圖2B、2C及3A-3C)。介電材料34可為光可界定或光可成像材料，諸如在經曝光及固化時具有介電性質之正型色調或負型色調光阻材料。介電材料34可經選擇以具有大於次解析度對準標記40之所要尺寸的解析度極限。作為非限定性實例，介電材料34可具有大於或約等於1.0 μm之解析度極限。如下文詳細描述及圖1C中所說明，介電材料34可經圖案化以包含開口38及次解析度對準標記40。因為解析度極限可隨用作介電材料34之材料而變化，所以介電材料34可基於開口38及次解析度對準標記40之所要尺寸來選擇。介電材料34可與基板14'相容並黏附至基板14'。另外，介電材料34可與與介電材料34接觸沈積之其他材料相容。

介電材料34可藉由習知技術安置於基板14'之背表面24

上，該等習知技術包含(但不限於)旋塗、毯覆式沈積、乾膜過程或噴塗過程。介電材料34可以足夠厚度形成於基板14'之背表面24上，以實現次解析度對準標記40及開口38之所要尺寸。介電材料34之厚度亦可足以在介電材料34中提供大體上垂直之側壁，介電材料34在基板14'之後續蝕刻期間充當遮罩。介電材料34之厚度亦可足以為後續處理動作提供足夠的抗蝕性預算或厚度。作為非限定性實例，介電材料34可以約5 μm至約20 μm(諸如約15 μm)之厚度形成。若用作介電材料34之材料利用固化動作，則固化條件可由一般熟習此項技術者根據製造商之說明書確定。視用作介電材料34之材料而定，亦可利用前曝光烘烤或後曝光烘烤中之至少一者。該等條件可由一般熟習此項技術者根據製造商之說明書確定。

開口38之尺寸可以介電材料34之解析度極限或超過該極限之大小形成於介電材料34中，而次解析度對準標記40之尺寸可以小於介電材料34之解析度極限之大小形成於介電材料34中。次解析度對準標記40之尺寸可為介電材料34之解析度極限之約10%至約75%。作為非限定性實例，尺寸為約0.4 μm至約0.9 μm之次解析度對準標記40可形成於介電材料34中。作為非限定性實例，若介電材料34具有約2 μm之解析度極限，則次解析度對準標記40可以約0.5 μm形成於介電材料34中。

次解析度對準標記40可由習知對準技術及習知對準裝置偵測或辨別，諸如藉由使用可見光對準裝置結合配備有顯

微鏡之相機。雖然次解析度對準標記40容易地可見於圖1C-1H中，但應瞭解，為清楚及簡便起見，次解析度對準標記40未按比例繪製於該等圖式中。如此項技術所已知，複數個次解析度對準標記40可集中在一起以形成可偵測或可辨別之次解析度對準標記40之圖案42(參見圖2B、2C及3A-3C)。作為非限定性實例，次解析度對準標記40之圖案42可具有約100 μm^2之尺寸。圖案42中之次解析度對準標記40可包含複數個由約0.4 μm至約10 μm之間隔相互隔開的介電材料34之線。圖案42中之次解析度對準標記40亦可由約10 μm之間隔相互隔開。次解析度對準標記40之圖案42可形成如圖3A所說明之所謂的"+"形狀或圖3B及3C中所說明之形狀。然而，次解析度對準標記40之圖案42不限於任何特定形狀或組態。

次解析度對準標記40及開口38可藉由經由主光罩(未圖示)使介電材料34曝光於能量中並顯影介電材料34來形成。曝光能量可視經選擇作為介電材料34之材料而定，且可由一般熟習此項技術者根據製造商之說明書確定。次解析度對準標記40可形成於介電材料34之所要位置上，以使次解析度對準標記40不干擾晶圓20之後續處理。次解析度對準標記40可形成於介電材料34之周邊或其他位置上。雖然圖1C-1H將次解析度對準標記40展示為晶圓20周邊及中間之溝槽，但次解析度對準標記40可藉由適當組態並置放主光罩而形成於晶圓20之不同部分上。如此項技術所已知，主光罩可包含具有大體上對應於待形成於介電材料34

中之開口38及次解析度對準標記40的所要大小的大小的複數個對準標記小孔及複數個開口小孔(或複數個對準標記特徵及複數個開口特徵)。作為非限定性實例，若其上將形成次解析度對準標記40及開口38之介電材料34為正型光阻材料，則主光罩可包含對準標記小孔及開口小孔。所得次解析度對準標記40可為形成於介電材料34中之溝槽。雖然本文中之後續論述假設介電材料34為正型光阻材料，但介電材料34可替代為負型光阻材料。若使用負型光阻材料，則主光罩可包含對準標記特徵及開口特徵，且所得次解析度對準標記40可為介電材料34中之特徵，諸如線。對準標記小孔或對準標記特徵之尺寸可設定大小以小於開口小孔或開口特徵之尺寸，從而形成相應次解析度對準標記40及開口38。因為主光罩及製造主光罩以包含所要小孔或特徵之方法在此項技術中為已知的，所以形成主光罩在本文中未詳細描述。

因為主光罩中之對準標記小孔相對於開口小孔之大小相對較小，所以曝光能量可能未完全穿透對準標記小孔下方之介電材料34之區。因而，對準標記小孔下方之介電材料34可部分解析(亦即，不完全解析)。換言之，對準標記小孔下方之介電材料34之部分解析可藉由適當設定主光罩中之對準標記小孔的大小來實現。因為主光罩中之開口小孔較大，所以曝光能量可穿透開口小孔下方之介電材料34之區。因而，開口小孔下方之介電材料34之區可大體上經解析。

曝光後，介電材料34可經顯影以產生次解析度對準標記40及開口38。介電材料34之顯影條件可由一般熟習此項技術者根據製造商之說明書確定。顯影介電材料34後，部分解析之介電材料34之至少一部分保留在基板14'上，而介電材料34之完全解析區被移除。顯影可移除部分解析介電材料34之總厚度約10%至約75%(對準標記小孔下方之介電材料34)，而介電材料34之厚度之約25%至90%仍保留。開口38可形成於介電材料34上以與基板14'之正表面22上之基板觸點26大體上對準。開口38之大小及形狀可基於基板觸點26之大小及形狀來選擇。作為非限定性實例，開口38之尺寸可經設定大小以略小於基板觸點26之尺寸且可具有圓形形狀或多邊形形狀。

在一個實施例中，介電材料34為來自JSR Micro, Inc.(Sunnyvale, CA)之商品名稱為WPR的正型色調或負型色調光阻材料。光阻材料之WPR系列處於市場前期階段且具有有限可用性。光阻材料之WPR系列為具有低固化溫度且能夠以約5 μm至約20 μm之厚度形成之正型或負型光阻。JSR WPR光阻材料可以約15 μm之厚度沈積於基板14'上且在110℃下在熱板上加熱3.5分鐘。前烘烤後，可使JSR WPR光阻材料經由具有對準標記小孔及開口小孔之所要圖案及大小的主光罩經受約1500 mJ/cm^2之曝光能量。對準標記小孔可於JSR WPR光阻材料上形成0.5 μm之次解析度對準標記40。JSR WPR光阻材料可使用0.26 N氫氧化四甲銨("TMAH")之水性溶液顯影並用去離子水沖洗，從

而形成次解析度對準標記40。JSR WPR光阻材料之顯影部分可在烘箱中固化，烘箱維120℃之溫度下1小時，以3℃/分鐘勻變至150℃，維持在150℃下30分鐘，以3℃/分鐘勻變至200℃，維持在200℃下1小時且以3℃/分鐘勻變降至周圍溫度(約25℃)。

部分解析介電材料34之能力提供許多優點。第一，因為對準標記小孔及開口小孔存在於單個主光罩上，所以介電材料34中之次解析度對準標記40及開口38大體上可同時形成。因而，次解析度對準標記40可在不向總製造製程中增加過程動作之情況下形成，此節省了與進行該等動作相關聯之成本。第二，因為部分解析之介電材料34保留在基板14'上(形成次解析度對準標記40)，所以保護基板14'之下伏區免於進行後續處理動作，諸如基板14'之蝕刻及金屬沈積。第三，部分解析之介電材料34提供足以用於後續處理動作之抗蝕性預算。第四，藉由部分解析對準標記小孔下方之介電材料34，次解析度對準標記40未轉移至諸如基板14'之下伏材料中。相反，藉由大體上解析開口小孔下方之介電材料34，在顯影介電材料34後曝光基板14'之下伏區。第五，藉由利用部分解析之介電材料34作為次解析度對準標記40，對準精度可相對於藉由先前所述之形成唯一通道所實現的對準精度而改良高達約3倍。第六，因為次解析度對準標記40是可偵測的，所以對準可自動化，此改良了製造半導體結構4A、4B之產量。

次解析度對準標記40及開口38亦可使用多個主光罩及多

次曝光及顯影動作而形成於介電材料34中。作為非限定性實例，介電材料34可經由具有對準標記小孔之第一主光罩曝光於第一能量中，並經由具有開口小孔之第二主光罩曝光於第二能量中。次解析度對準標記40之尺寸可小於介電材料34之解析度極限。然而，利用多個主光罩及多次曝光及顯影動作可向該過程增加額外動作，從而增加製造半導體結構4A、4B之時間及成本。

介電材料34中之次解析度對準標記40亦可藉由在主光罩(未圖示)中製造複數個具有小於曝光工具(步進器或對準器)之解析度極限的大小的對準標記小孔來形成。介電材料34可經由主光罩中之對準標記小孔曝光於能量中並顯影以形成次解析度對準標記40。曝光能量可視經選定作為介電材料34之材料而定，且可由一般熟習此項技術者根據製造商之說明書確定。因為主光罩中之對準標記小孔具有小於曝光工具之解析度極限的大小，所以曝光能量可能未完全穿透對準標記小孔下方之介電材料34之區。因而，對準標記小孔下方之介電材料34可部分解析(亦即，不完全解析)。

次解析度對準標記40可用於後續對準動作中，諸如如圖1E-1H所說明且如下文詳細描述，使半導體結構4A、4B與適當的主光罩(未圖示)對準以進行金屬電鍍。次解析度對準標記40亦可用於晶粒對晶粒或場對場對準。次解析度對準標記40之外形可由習知對準技術及習知對準裝置經由導電材料50(參見圖1F)或其他上覆材料偵測或辨別。然而，

次解析度對準標記40可出於其他目的用於使工件10與主光罩對準，該等目的視待進行之後續處理動作而定。若次解析度對準標記40保留在介電材料34上，則次解析度對準標記40亦可用於多個處理動作。

如圖1D所說明，介電材料34中之開口38可轉移至基板14中，形成通道44，通道44係與基板14'之正表面22上之基板觸點26大體上對準。通道44大體上垂直(正交)於基板14'之背表面24。通道44可使用在電絕緣材料30處終止之濕式蝕刻過程或乾式蝕刻過程而形成。通道44可使用包含氫氧化鉀("KOH")之水性溶液之各向異性濕式蝕刻過程而形成。或者，通道44可使用包含氟化氫("HF")及硝酸("HNO_3")之水性溶液之各向同性濕式蝕刻過程而形成。通道44之大小可大體上對應於基板觸點26之大小。作為非限定性實例，通道44可具有約5 μm至約2 mm之直徑。亦可移除經由通道44暴露之電絕緣材料30，從而暴露基板觸點26之上表面46。電絕緣材料30可使用諸如氧化物乾式蝕刻過程之蝕刻過程而移除。

如圖1E所說明，通道44之側壁可襯有通道絕緣材料48。通道絕緣材料48可為電絕緣聚合物，諸如聚醯亞胺或Parylene™聚合物或SiO_2。通道絕緣材料48可由習知沈積技術形成。可自通道44底部移除過量通道絕緣材料48，從而暴露基板觸點26之上表面46。

晶種材料(未圖示)可形成於通道44中及介電材料34上方。作為非限定性實例，晶種材料可為銅且可藉由PVD而

沈積。如圖1F所說明，導電材料50可形成於通道44中及介電材料34與晶種材料(若使用)上方，以提供與基板觸點26的實體及電接觸。導電材料50可以約1 μm至約10 μm之厚度形成，以使通道44保留至少部分開放。導電材料50可為金屬，諸如銅、鎳、鋁、鉻、鈦、鎢、金、銀、鉭、鉬或其混合物，或聚合物。若導電材料50將由無電沈積或電解沈積形成，則沈積遮罩54可形成於介電材料34上方且經圖案化，使得沈積遮罩54之部分保留在未沈積導電材料50之位置處的介電材料34上。沈積遮罩54可由抗蝕性材料形成。導電材料50可形成於晶種材料之未經沈積遮罩54保護之部分上。或者，導電材料50可藉由CVD、PECVD、PVD、濺鍍或蒸鍍過程而形成於介電材料34上。

如圖1G所說明，沈積遮罩54(若存在)可諸如藉由使用電漿蝕刻或其他習知過程而自介電材料34移除。下伏晶種材料亦可諸如藉由使用蝕刻過程而移除。作為非限定性實例，導電材料50可形成TWI 11、再分配導體12及終端觸點56之終端觸點襯墊52(參見圖1F-1H及2C)。TWI 11可能至少部分襯於通道44之側壁及基板觸點26之上表面46。因而，TWI 11、再分配導體12及終端觸點襯墊52可使用單一金屬沈積動作形成。另外，因為TWI 11由背表面24形成，所以可保護基板14'之正表面22免於進行該等處理動作。

如圖1H所說明，外部絕緣材料58可形成於介電材料34上方及通道44之中。外部絕緣材料58可大體上覆蓋通道44中之導電材料50及再分配導體12(參見圖2C)。外部絕緣材料

58可為低介電常數("低k")材料，諸如聚醯亞胺、聚苯并噁唑或苯并環丁烯。外部絕緣材料58可經圖案化及固化以暴露終端觸點襯墊52。終端觸點56或外引腳結合("OLB")可形成於終端觸點襯墊52上，以製成半導體器件2。終端觸點56可為金屬球或焊球、凸塊、柱狀物、螺栓或插腳且可由習知技術形成。終端觸點56亦可與TWI 11電通信，形成內引腳結合("ILB")。另外，在形成終端觸點56之前，在凸塊下，金屬化材料(未圖示)可形成於終端觸點襯墊52上。形成終端觸點56後，個別半導體晶粒可自晶圓20隔離出來。隔離可藉由習知技術進行，諸如藉由使用經組態以將晶圓20分割為半導體晶粒之分割鋸。或者，可藉由用雷射或水噴射切割或藉由蝕刻來隔離晶圓。

可利用額外動作來處理半導體器件2且將其併入於電子器件或系統中，該電子器件或系統包含(但不限於)無線器件、個人電腦、數位相機、蜂巢式電話、個人數位助理("PDA")或其他電子器件。該等額外處理動作在此項技術中為已知的且因此在本文中未詳細描述。

雖然本發明易經受不同修改以及替代形式及實施例，但特定實施例已以實例之方式展示於圖式中且已在本文中詳細描述。然而，應瞭解，本發明不限於所揭示之特定實施例。相反，本發明涵蓋所有屬於下文隨附申請專利範圍所界定之本發明之精神及範疇內之修改、等效物及替代。

【圖式簡單說明】

圖1A-1H為根據本發明之實施例之在形成半導體結構及

半導體器件的不同製造階段的橫截面示意圖；

圖2A為根據本發明之實施例之半導體結構及半導體器件的實施例沿圖1A之線2A-2A獲取的仰視示意圖；

圖2B為根據本發明之實施例之半導體結構沿圖1C之線2B-2B獲取的平面示意圖；

圖2C為根據本發明之實施例之半導體結構及半導體器件沿圖1F之線2C-2C獲取的平面示意圖；及

圖3A-3C為根據本發明之實施例之形成於半導體結構及半導體器件上的對準標記圖案的示意圖。

【主要元件符號說明】

2	半導體器件
4A	半導體結構
4B	半導體結構
10	工件
11	貫穿晶圓互連(TWI)
12	再分配導體
14	基板
14'	基板
16	成像器像素陣列
18	積體電路
20	晶圓
22	正表面
24	背表面
26	基板觸點

28	晶圓級載體
30	電絕緣材料
32	間隔物
34	介電材料
36	凹道或切割區域
38	開口
40	次解析度對準標記
42	圖案
44	通道
46	上表面
48	通道絕緣材料
50	導電材料
52	終端觸點襯墊
54	沈積遮罩
56	終端觸點
58	外部絕緣材料

五、中文發明摘要：

本發明揭示一種製造包括次解析度對準標記之半導體結構之方法。該方法包括在基板上形成介電材料及形成至少一部分延伸至該介電材料中之次解析度對準標記。在該介電材料中形成至少一開口。本發明亦揭示包括該等次解析度對準標記之半導體結構。

六、英文發明摘要：

A method of fabricating semiconductor structures comprising sub-resolution alignment marks is disclosed. The method comprises forming a dielectric material on a substrate and forming at least one sub-resolution alignment mark extending partially into the dielectric material. At least one opening is formed in the dielectric material. Semiconductor structures comprising the sub-resolution alignment marks are also disclosed.

十、申請專利範圍：

1. 一種製造一半導體結構之方法，其包括：

在一基板上形成一介電材料；

形成至少一部分延伸至該介電材料中之對準標記；及

在該介電材料中形成至少一開口。

2. 如請求項1之方法，其進一步包括：

使該至少一對準標記與一主光罩對準；及

在該至少一開口中形成一金屬。

3. 如請求項1之方法，其中在該介電材料中形成至少一對準標記及形成至少一開口係包括同時形成該至少一對準標記及該至少一開口。

4. 如請求項3之方法，其中同時形成該至少一對準標記及該至少一開口係包括：

經由包括複數個對準標記小孔及複數個開口小孔之一主光罩使該介電材料曝光於能量中；及

顯影該介電材料以形成該至少一對準標記及該至少一開口。

5. 如請求項1或請求項3之方法，其中形成至少一對準標記係包括在該基板之切割區域上形成該至少一對準標記。

6. 如請求項1或請求項3之方法，其中形成至少一對準標記係包括沈積當固化時具有介電性質之一光可界定材料。

7. 如請求項1或請求項3之方法，其中形成至少一對準標記係包括設定該至少一對準標記之至少一尺寸之大小小於該介電材料之一解析度極限。

8. 如請求項7之方法，其中設定該至少一對準標記之至少一尺寸之大小係包括設定該至少一對準標記之該至少一尺寸之大小為該介電材料之該解析度極限之約10%至約75%。

9. 如請求項7之方法，其中設定該至少一對準標記之至少一尺寸之大小小於該介電材料之一解析度極限係包括選擇展現約2 μm之一解析度極限之介電材料。

10. 如請求項7之方法，其中設定該至少一對準標記之至少一尺寸之大小小於該介電材料之一解析度極限係包括設定該至少一對準標記之該至少一尺寸之大小為約0.4 μm至約0.9 μm。

11. 如請求項1或請求項3之方法，其中形成至少一對準標記係包括經由包括至少一對準標記小孔之一主光罩暴露該介電材料，及移除該暴露之介電材料之總厚度之約10%至約75%。

12. 如請求項1或請求項3之方法，其進一步包括在該介電材料中延伸該至少一開口以在該基板中形成至少一開口。

13. 如請求項12之方法，其進一步包括在該至少一開口中形成一導電材料。

14. 一種半導體結構，其包括：

一基板上之一介電材料，該介電材料包括至少一部分延伸於其中之特徵，且該介電材料在其中界定至少一開口以暴露該基板之至少一部分。

15. 如請求項14之半導體結構，其中該至少一特徵包括一次

解析度對準標記。

16. 如請求項15之半導體結構，其中該至少一次解析度對準標記包括至少一小於該介電材料之一解析度極限的尺寸。

17. 如請求項14之半導體結構，其中該至少一特徵包括至少一小於用於形成該至少一次解析度對準標記之一暴露工具之一解析度極限的尺寸。

18. 如請求項14之半導體結構，其中該至少一特徵包括至少一約0.4 μm至約0.9 μm之尺寸。

19. 如請求項14之半導體結構，其在該基板中進一步包括至少一開口。

20. 如請求項14之半導體結構，其進一步包括一形成於該至少一開口中之貫穿晶圓互連、該介電材料上之至少一襯墊及該至少一襯墊上之至少一觸點。

十一、圖式：

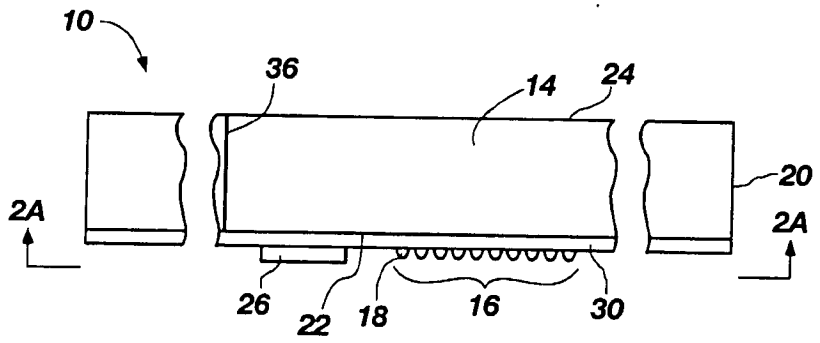


圖1A

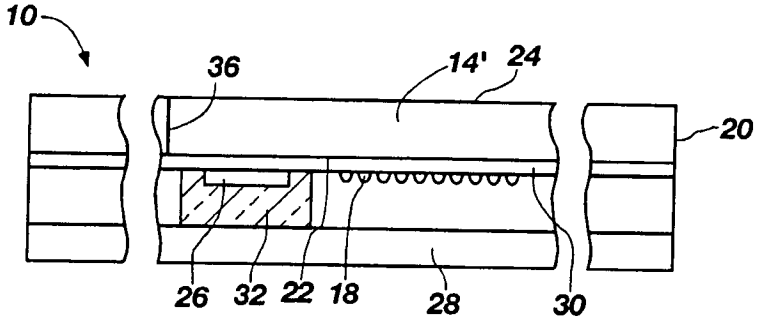


圖1B

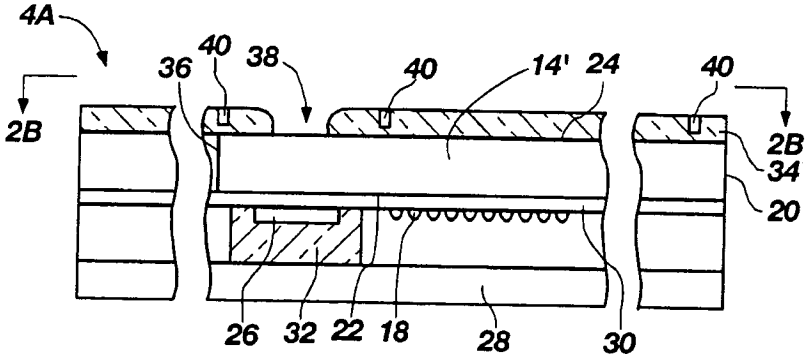


圖1C

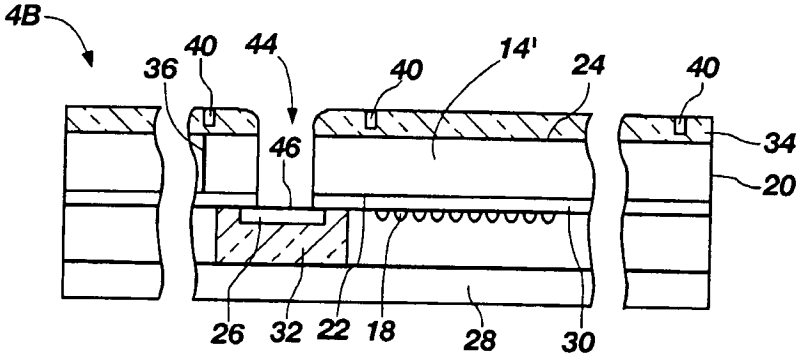


圖1D

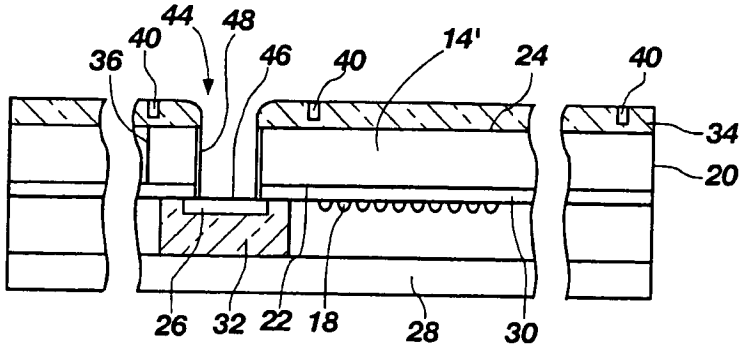


圖1E

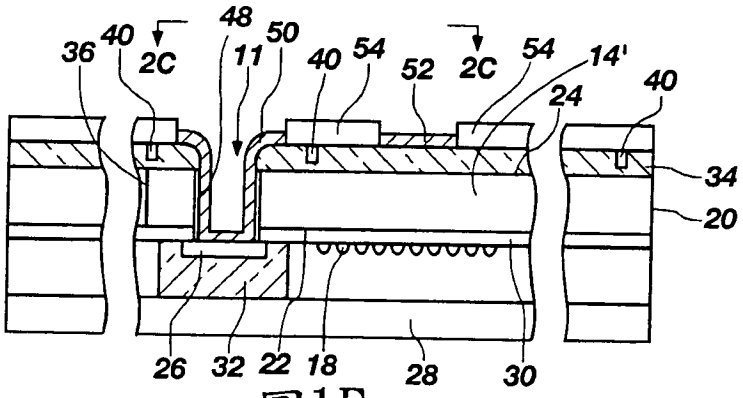


圖1F

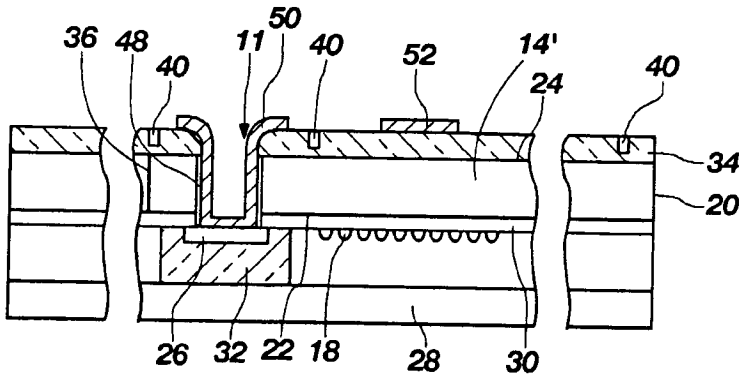


圖1G

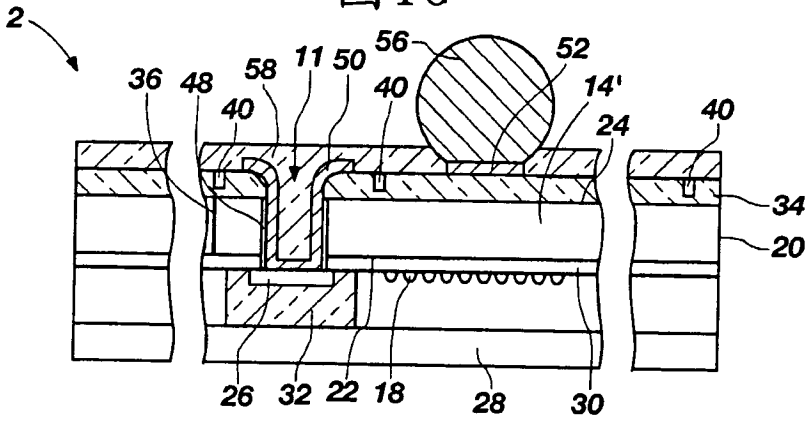


圖1H

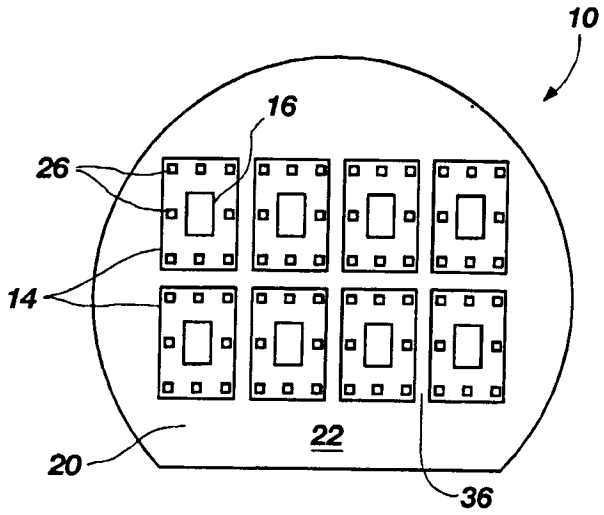


圖2A

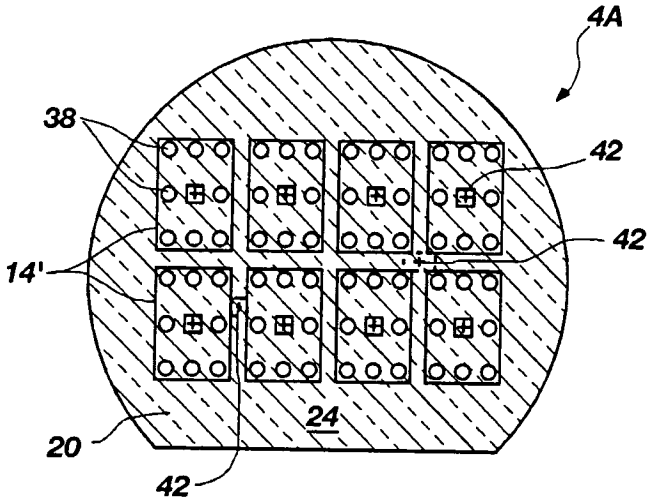


圖2B

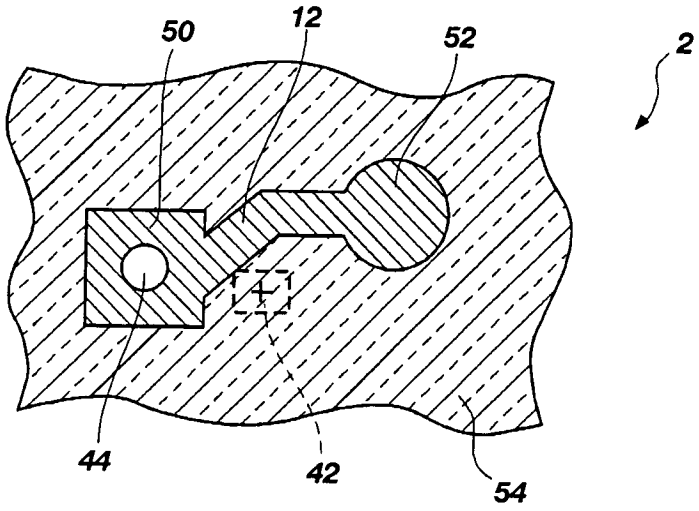


圖2C

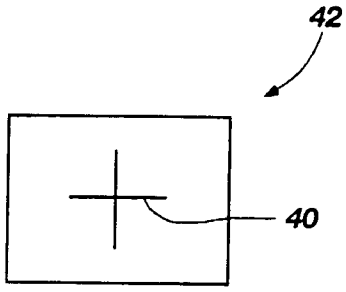


圖3A

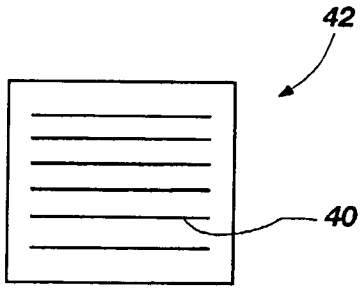


圖3B

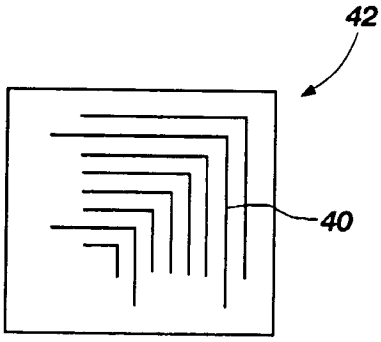


圖3C

七、指定代表圖：

(一)本案指定代表圖為：第（1G）圖。

(二)本代表圖之元件符號簡單說明：

11	貫穿晶圓互連(TWI)
14'	基板
18	積體電路
20	晶圓
22	正表面
24	背表面
26	基板觸點
28	晶圓級載體
30	電絕緣材料
32	間隔物
34	介電材料
36	凹道或切割區域
40	次解析度對準標記
48	通道絕緣材料
50	導電材料
52	終端觸點襯墊

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)