



申請日期	89.5.15
案 號	89109259
類 別	H01L 53/50

A4
C4

(以上各欄由本局填註)

463350

發 明 專 利 說 明 書

一、發明 新型名稱	中 文	具有用於互連用銅噴敷之積體電路
	英 文	Integrated circuits with copper metallization for interconnections
二、發明 創作人	姓 名	馬克D.荷奇斯 Mark D. Hoinkis
	國 籍	美國
	住、居所	美國紐約州12524費須奇赤松脊道37號
三、申請人	姓 名 (名稱)	印芬龍科技北美股份有限公司 (Infineon Technologies North America Corporation)
	國 籍	美國
	住、居所 (事務所)	美國加州95112-6000聖荷西北一街1730號
	代 表 人 姓 名	馬利C.加芬 Mary C. Garfein

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☒有 ☐無主張優先權

美

1999年5月19日 09/315,091

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明()

發明之領域

本發明係關於積體電路裝置，更特別係有關將一電路之分離的電路組件互連成積體電路的技術。

發明之背景

由於積體電路係藉由使得電路組件更小且堆積更密集而變得更密，所以藉由低電阻率的導體將電路組件互連成積體電路將變得漸漸重要。至今，使用銅作為用於提供該互連之金屬選擇有漸增的重要，因為偏好其導電性與低成本。銅在使使為線之背面端金屬(back-end-of-line metal)，提供最終金屬互連時，已被證實有特別的重要性，特別是在溝渠圖案形成於一絕緣層中之單一或雙重鑲埋製程的部分時。該溝渠圖案接著藉由沈積一銅層於超過該絕緣層表面而過度填充，且除了已填充該圖案以外的銅接著由該層被移除。通常，因為空間的考量，其需要與包含較窄導線的溝渠圖案一起加工。以使用窄寬度溝渠的觀點，為獲得高導電率(低電阻率)，其希冀製作相當深的溝渠。

現今以銅填充0.15至0.25微米寬度及約0.3至0.4微米深度溝渠的較佳技術包含多個步驟。這些步驟包含第一濺鍍(物理氣相沈積)一阻障黏著襯墊層於填充的溝渠壁上，接著濺鍍一個銅的種子層於其上，以及最後以電鍍銅完成該填充。然而，此類技術已被證實在縱橫比遠高於5或6之溝渠的完全銅填充係相當地無效。

在此所使用的"溝渠"一詞係說明一經延伸的凹槽以及

五、發明說明()

一局部的介層孔(由凹槽底部延伸而局部連接至底下的導電區域, 諸如半導體晶片或另一個導線)。

本發明係提供可提供縱橫比明顯高於5或6(諸如10或12)之溝渠之令人滿意的銅填充的技術。

使用銅的另一個問題為可靠度的問題。特別地是, 該銅填充的導電率在長時間使用後仍為定值, 且未為被稱做"應力遷移"的問題所害(其將造成該填充物電阻率的改變, 通常為增加)係為重要的。在該特性中, 現今技術仍有改良空間。本發明的另一個特徵為藉由降低應力遷移而改良可靠度。

發明之概述

本發明係提供用於高縱橫比溝渠之銅填充的技術, 其可改良溝渠填充及其可靠度, 以及特別地可降低該銅填充的應力遷移。

至此, 在一特性中, 本發明係根據發現在任何銅沈積之前, 形成一阻障黏著襯墊於該溝渠壁面之基板的特別預處理對於改良可靠度相當有用, 特別是在降低應力遷移效應方面。特別地是, 該襯墊物應包含一個氮化鈦層, 偏好以化學氣相沈積法(CVD)沈積約25至200埃之間的厚度。此外, 該襯墊物可於該氮化鈦層下方和/或上方可包含以物理氣相沈積法(PVD)(偏好使用離子化PVD源)沈積之鉭或氮化鉭的富鉭層。

在另一特性中, 本發明係關於一個沈積次序, 其將使得無法以標準習知技藝填充技術而令人滿意地被填充之

五、發明說明()

具有高縱橫比溝渠能有更完整的銅填充。

特別地是，本發明人已發現用於具有縱橫比超過5或6（諸如在10與12之間）之次微米寬度（諸如小於約0.2微米）之溝渠的最佳銅填充製程包含以CVD沈積之厚度小於約1000埃的銅種子層，且偏好為約400-500埃。該層偏好以銅的快速沈積進行（特別是濺鍍或PVD）沈積厚度亦小於約1000埃的薄層，且偏好為約400-500埃。該預PVD步驟被發現將增加後續CVD銅膜的成核。最初的PVD快速沈積無需形成一個連續膜於所使用的溝渠壁面上。其餘的溝渠填充物可藉由以標準方式電鍍銅而被提供，諸如使用包含硫酸銅與硫酸的電鍍浴。

由一特性觀之，本發明係有關於一種用於沈積銅在一溝渠中的製程，其包含的步驟有首先以一襯墊物（包含以CVD沈積之厚度約25-200埃的一個氮化鈦薄層）塗佈於溝渠壁，並接著沈積銅而填充該溝渠。該襯墊物可依所需而包含一個富鉭層。

由另一特性觀之，本發明係有關於一種用於沈積銅在一溝渠中以填充該溝渠的製程，其包含的步驟有首先以CVD沈積厚度約200-1000埃的一個銅種子層於溝渠壁上，並接著以電鍍銅填充該溝渠。

由一更特別的特性觀之，本發明係有關於一種填充在一矽基板上之絕緣層中之溝渠而用於形成一低電阻率連接的製程。該製程包含的步驟有：形成一襯墊物（包含一個氮化鈦薄層）於溝渠表面上；藉由快速濺鍍一個銅

五、發明說明()

層而形成一個成核膜於該襯墊物上；以CVD形成一個銅的種子層於該成核膜上；並接著藉由電鍍銅而填充該溝渠。

本發明將由下列更詳細的說明而更被瞭解。

發明詳細說明

如上所述，過去銅填充窄溝渠之用於互連積體電路組件之製程開始係以一阻障黏著層（通常為鈦和/或氮化鈦）襯墊該溝渠壁面。在正常情況下，本發明之新穎的銅填充製程可在無阻障黏著襯墊層（通常在最初的時候被沈積）的情況下，依所需而使用於增強銅對材料的黏著性（該材料通常為各種矽化合物之一，為溝渠形成於其中的絕緣層），並增強銅對經摻雜矽或其他導體（銅需要形成一低電阻率歐姆連接於其）的黏著性。

然而，本發明人已證實在使用為襯墊層時具有應力遷移的問題，特別是下列五個選擇的族群：CVD TiN；CVD TiN/PVD Ta；PVD Ta/CVD TiN/PVD Ta；PVD TaN/PVD Ta；以及PVD Ta。如所示，部分的該層包含通常含有CVD膜與PVD膜的多層膜。通常該層被限定於在溝渠（在寬度小於0.2微米之溝渠表面下0.4微米）壁面上的總厚度為小於500埃。通常各膜限定在約50-400埃的厚度。

特別地是，其已發現就降低應力遷移而言，在CVD TiN膜襯墊層中的夾雜物為重要的。若一離子化PVD(I-PVD)富鈦膜亦包含於其中，則可獲得較佳的結果。當首先沈積一I-PVD富鈦膜，並接著沈積CVD TiN與I-PVD富鈦膜時，則可獲得最佳結果

五、發明說明()

。偏好地，各該沈積應進行標準除氣與濺射清洗步驟。該種子襯墊層的總厚度偏好小於500埃，且該製程應避免大於約500°C的沈積溫度，以免影響積體電路的性質。

該富鉍膜可為一個鉍膜和/或一個氮化鉍膜。若被包含於其，則各該膜的厚度通常亦應在約50-400埃的範圍中。

在形成襯墊物後，本發明人可進行銅填充。根據有關經改良銅填充之本發明的另一個特徵，特別是具有8至12縱橫比的溝渠，該銅填充次序包含一個銅種子層的CVD，偏好先進行一快速銅層的PVD，以增加後續CVD銅種子層的成核。該銅快速層與銅種子層二者皆為微薄的，厚度偏好小於1000埃。該填充接著以標準形式的銅電鍍完成。該電鍍通常以硫酸銅與硫酸浴完成，但任何相當的電鍍浴亦適用。該電鍍通常被使用於將溝渠過度填充，而溝渠外的過量電鍍物係以化學機械拋光將表面平坦化而被移除，其係為鑲埋加工的特徵。

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

四、中文發明摘要 (發明之名稱：

具有用於互連用銅噴敷之積體電路

經改良之高縱橫比溝渠的銅填充係藉由首先以 CVD 濺鍍一個薄的銅成核膜，並接著以 CVD 沈積一個薄的銅種子層，以及接著以電鍍完成該填充而獲得。若該銅沈積預先以 CVD 進行一個氮化鈦層的沈積和 / 或接著以離子化 PVD 源沈積鉭，則填充物的應力遷移可予以改善。

英文發明摘要 (發明之名稱： Integrated circuits with copper metallization for interconnections)

An improved fill of high aspect ratio trenches by copper is obtained by first sputtering a thin nucleating film of copper deposited by physical vapor deposition, then depositing a thin seed layer of copper by chemical vapor deposition, and then completing the fill by electroplating. Stress migration of the fill is improved if the copper deposition is preceded by the deposition by CVD of a layer of titanium nitride either alone or preceded and/or followed by the deposition of tantalum by an ionized PVD source.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種用於沈積銅於溝渠中之製程，包含下列步驟：首先以化學氣相沈積法(CVD)將溝渠壁面以包含厚度約25至200埃之氮化鈦層的一襯墊物塗佈；並接著沈積銅以填充該溝渠。
2. 如申請專利範圍第1項之製程，其中該襯墊物包含至少一個富鉍層。
3. 如申請專利範圍第1項之製程，其中該富鉍層係由包含鉍與氮化鉍的族群中選擇。
4. 如申請專利範圍第3項之製程，其中該富鉍層具有約50至400埃之間的厚度。
5. 一種用於沈積銅在一溝渠中以填充該溝渠的製程，包含下列步驟：首先以CVD沈積厚度約200-1000埃的一個銅種子層於溝渠壁上；並接著以電鍍銅填充該溝渠。
6. 如申請專利範圍第5項之製程，其中該種子層具有約400至500埃之間的厚度。
7. 如申請專利範圍第5項之製程，其中在沈積該種子層之前，先以物理氣相沈積法沈積厚度小於約1000埃之銅層的一成核膜。
8. 如申請專利範圍第7項之製程，其中該成核層在約400-500埃間的厚度。
9. 如申請專利範圍第1項之製程，其中該銅沈積以填充溝渠，其係首先以CVD沈積厚度小於1000埃的一個銅種子層，並以銅電鍍完成該填充。
10. 如申請專利範圍第2項之製程，其中該銅沈積以填

六、申請專利範圍

充溝渠，其係首先以CVD沈積厚度小於1000埃的一個銅種子層，並以銅電鍍完成該填充。

11.如申請專利範圍第3項之製程，其中該銅沈積以填充溝渠，其係首先以CVD沈積厚度小於1000埃的一個銅種子層，並以銅電鍍完成該填充。

12.如申請專利範圍第4項之製程，其中該銅沈積以填充溝渠，其係首先以CVD沈積厚度小於1000埃的一個銅種子層，並以銅電鍍完成該填充。

13.一種填充在一矽基板上之絕緣層中之溝渠而用於形成一低電阻率連接的製程，包含下列步驟：

形成一襯墊物（包含一個氮化鈦薄層）於溝渠表面上；
藉由快速濺鍍一個銅層而形成一個成核膜於該襯墊物上；以CVD形成一個銅的種子層於該成核膜上；以及
接著藉由電鍍銅而填充該溝渠。

14.如申請專利範圍第13項之製程，其中該溝渠被過度填充，且過量的銅係以化學機械拋光移除。

15.如申請專利範圍第13項之製程，其中該襯墊物包含至少一個富鉍層。

16.如申請專利範圍第15項之製程，其中該富鉍層係由包含鉍與氮化鉍的族群中選擇。

17.如申請專利範圍第16項之製程，其中該襯墊物具有小於約500埃的厚度。

18.如申請專利範圍第17項之製程，其中各該富鉍層具有約50至400埃之間的厚度。

六、申請專利範圍

- 19.如申請專利範圍第13項之製程，其中該成核銅層及種子層各為約400至500埃之間的厚度。
- 20.如申請專利範圍第19項之製程，其中該銅係由硫酸銅與硫酸浴電鍍。
- 21.如申請專利範圍第19項之製程，其中該溝渠過度填充，且過量的銅係以化學機械拋光移除。
- 22.如申請專利範圍第19項之製程，其中該襯墊物包含至少一個富鉍層，該富鉍層係由包含鉍與氮化鉍的族群中選擇。
- 23.如申請專利範圍第22項之製程，其中該襯墊物具有小於約500埃的厚度。

(請先閱讀背面之注意事項再填寫本頁)

訂

線