(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 21/76

(45) 공고일자 1999년07월01일
(11) 등록번호 10-0205339
(24) 등록일자 1999년04월02일

(21) 출원번호 10-1996-0052560
(22) 출원일자 1996년11월07일
(65) 공개번호 특1998-0034501
(43) 공개일자 1998년08월05일

(73) 특허권자 엘지반도체주식회사 구본준
충청북도 청주시 흥덕구 향정동 1번지
(72) 발명자 윤탁현
충청북도 청주시 흥덕구 향정동 1번지
김종관
충청북도 청주시 상당구 사천동 신동아아파트 5-805
(74) 대리인 김용인, 강용복

심사관 : 김용정

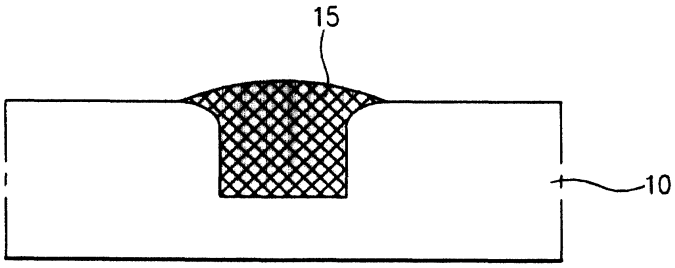
(54) 반도체소자의 격리영역 형성방법

요약

본 발명은 반도체 소자의 격리영역 형성방법에 관한 것으로 특히, 누설전류 발생 억제에 적당하고 STI를 이용한 격리영역의 폭을 줄일 수 있는 반도체 소자의 격리영역 형성방법에 관한 것이다.

본 발명에 따른 반도체 소자의 격리영역 형성방법은 반도체 기판에 제1절연막 및 반도체층을 차례로 형성하는 단계; 트랜치 형성영역의 반도체층 및 제1절연막을 제거하는 단계; 상기 트랜치 형성영역의 상기 반도체 기판 및 반도체층 전면에 제2절연막을 형성하는 단계; 상기 제2절연막을 식각하여 반도체 기판을 노출시키는 단계; 상기 반도체 기판에 트랜지를 형성하는 단계; 상기 트랜치에 제3절연막을 형성하는 단계; 상기 반도체층 및 제1절연막을 제거하는 단계를 포함한다.

대표도



명세서

도면의 간단한 설명

제1a도 내지 제1e도는 종래 반도체 소자의 격리영역 형성공정 단면도.

제2a도 내지 제2g도는 본 발명 반도체 소자의 격리영역 형성공정 단면도.

* 도면의 주요부분에 대한 부호의 설명

10 : 반도체 기판 11 : 제1절연막

12 : 반도체층 13 : 열산화막

14 : 트랜치 15 : 제2절연막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 소자의 격리영역 형성방법에 관한 것으로 특히, 누설전류 발생 억제에 적당하고

STI(shallow trench isolation)를 이용한 격리영역의 폭을 줄일 수 있는 반도체 소자의 격리영역 형성방법에 관한 것이다.

반도체 소자가 점차로 고집적화됨에 따라 그에 대응하기 위한 여러 가지 방법중 소자격리영역(Field Region)과 소자형성영역 즉, 활성영역(Active Region)의 크기를 축소하는 방법들이 제안되고 있다.

일반적인 소자격리영역의 형성기술로는 로코스(LOCOS: LOCal Oxidation of Silicon) 공정을 사용하였다. 이러한 로코스 공정을 이용한 격리영역 형성공정은 그 공정이 간단하고 재현성이 우수하다는 장점이 있어 많이 사용되고 있다. 그러나 소자가 점차로 고집적화 함에 따라 로코스 공정으로 격리영역을 형성하는 경우 로코스로 형성된 격리산화막의 특징인 활성영역으로 확장되는 격리산화막 에지부의 버드비크(Bird Beak) 발생 때문에 활성영역의 면적이 축소되어 64MB급 이상의 디램(DRAM: Dynamic Random Access Memory) 소자에서 사용하기에는 적합하지 못한 것으로 알려져 있다. 그래서 종래 로코스를 이용한 격리영역의 형성방법에서 버드비크의 생성을 방지하거나 또는 버드비크를 제거하여 격리영역을 축소하고 활성영역을 늘리는 등의 어브밴스드 로코스(Advancde LOCOS) 공정이 제안되어 64MB 또는 256MB급 디램의 제조공정에서 사용되었다. 그러나 이러한 어드밴스드 로코스를 사용한 격리영역의 형성공정도 셀영역의 면적이 $0.2\mu m^2$이하를 요구하는 기가(GIGA)급 이상의 디램 에서는 격리영역이 차지하는 면적이 크다는 문제점이 발생하여 기가(GIGA) 디램급 이상의 소자에 적당하도록 STI(Shallow Trench Iisolation)를 이용한 격리영역 형성방법이 제안되었다.

이하에서 첨부된 도면을 참조하여 종래 STI를 이용한 반도체 소자의 격리영역 형성방법을 설명하기로 한다.

도1a 내지 도1e는 종래 반도체 소자의 격리영역 형성공정을 보여주는 단면도이다.

먼저, 도1a에 나타낸 바와 같이 반도체 기판(1)상에 산화막(2)과 질화막(3)을 차례로 형성한다. 그다음, 격리영역 형성영역의 질화막(3) 및 산화막(2)을 선택적으로 패터닝(포토리소그래피공정+식각공정)하여 격리영역을 형성할 반도체 기판(1)을 노출시킨다.

도1b에 나타낸 바와 같이 상기 질화막(3)을 마스크로 이용하여 노출된 반도체 기판(1)을 일정깊이 식각하여 트랜치(4)를 형성한다.

도1c에 나타낸 바와 같이 상기 트랜치(4)에 CVD 산화막(5)을 형성하고 상기 CVD 산화막(5)의 상층면을 평탄화시킨다.

도1d에 나타낸 바와 같이 상기 질화막(3)을 습식식각법을 이용하여 제거한다.

도1e에 나타낸 바와 같이 상기 산화막(2)을 반도체 기판(1)이 노출되도록 습식식각법을 사용하여 완전히 제거한다. 이때, CVD 산화막(5)도 어느정도 제거된다.

발명이 이루고자 하는 기술적 과제

종래 STI를 이용한 소자격리영역 형성방법에 있어서는 다음과 같은 문제점이 있다.

첫째, 반도체 기판상의 산화막을 습식식각법을 사용하여 제거하는 공정에서 STI 구조의 트랜치 상부 모서리가 각이 진채로 형성되어 후속공정에서 게이트 산화막을 형성할 경우 그 모서리 부분이 누설전류의 소오스(source)가 되어 반도체 소자의 격리영역으로의 신뢰도를 떨어뜨린다.

둘째, 격리영역을 형성하기 위한 트랜치 형성에 있어서, 일반적인 STI를 이용한 트랜치 형성공정으로는 격리영역의 폭을 축소하는데 한계가 있다.

셋째, 트랜치 형성을 위한 반도체 기판 식각공정시 식각종말점의 기준없이 타임에치(Time Etch)에 의한 식각공정을 진행하므로 트랜치의 깊이가 정확하지 않을 수 있다.

본 발명은 상기와 같은 종래 STI를 이용한 반도체 소자의 격리영역 형성방법의 문제점을 해결하기 위하여 안출한 것으로 폴리실리콘층을 이용한 열산화 공정을 이용하여 격리영역의 폭을 축소시킴은 물로 누설전류의 발생억제에도 적당한 반도체 소자의 격리영역 형성방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

본 발명에 따른 반도체 소자의 격리영역 형성방법은 반도체 기판에 제1절연막 및 반도체층을 차례로 형성하는 단계; 트랜치 형성영역의 반도체층 및 제1절연막을 제거하는 단계; 상기 트랜치 형성영역의 상기 반도체 기판 및 반도체층 전면에 제2절연막을 형성하는 단계; 상기 제2절연막을 식각하여 반도체 기판을 노출시키는 단계; 상기 반도체 기판에 트랜치를 형성하는 단계; 상기 트랜치에 제3절연막을 형성하는 단계; 상기 반도체층 및 제1절연막을 제거하는 단계를 포함한다.

이와 같은 본 발명 반도체 소자의 격리영역 형성방법을 첨부된 도면을 참조하여 설명하기로 한다.

도2a 내지 도2g는 본 발명에 따른 반도체 소자의 격리영역 형성공정 단면도이다.

먼저, 도2a에 나타낸 바와 같이, 반도체 기판(10)상에 제1절연막(11)과 반도체층(12)을 차례로 형성한다. 그다음, 상기 반도체층(12) 및 제1절연막(11)을 선택적으로 패터닝(포토리소그래피공정+식각공정)하여 트랜치 형성영역의 반도체 기판(10)을 노출시킨다. 이때, 상기 제1절연막(11)은 산화막을 사용하여 형성하고, 반도체층(12)은 폴리실리콘을 사용하여 형성한다.

도2b에 나타낸 바와 같이 상기 반도체 기판(10) 및 반도체층(12)을 열산화(thermal oxidation)하여 상기 반도체 기판(10) 및 반도체층(12) 전면에 열산화막(13)을 형성한다. 이때, 상기 반도체층(12)의 상층면 및 측면에 형성된 열산화막(13)이 반도체 기판(10)상에 형성된 열산화막(13)보다 더 두껍게 형성되는데 그 이유는 실리콘 등의 반도체 소자로 이루어진 반도체 기판의 결합구조가 폴리실리콘의 결합구조보다 안

정적이기 때문이다. 또한, 상기 반도체 기판(10)에 형성되는 열산화막(13)은 반도체 기판(10)을 산화의 소오스(source)로 하여 일반적인 필드산화막(rield oxide)와 유사한 형상으로 형성되며 그 에지부(A)가 어느 정도 라운드(round)진채 형성된다. 그리고, 상기 열산화막(13)의 형성 폭 및 그 두께는 열산화공정의 분위기와 시간에 의하여 조절할 수 있다.

도2c에 나타낸 바와 같이 상기 열산화막(13)을 에치백하여 반도체 기판(10)을 노출시킨다. 이때, 상기 반도체층(12) 상측의 열산화막(13)이 반도체 기판(10)상의 열산화막(13)보다 두껍기 때문에 반도체 기판(10)이 노출되더라도 상기 반도체층(12)의 상층면 및 측면에는 열산화막(13)이 남아있다.

도2d에 나타낸 바와 같이 상기 노출된 반도체 기판(10)에 트랜치(14)를 형성하기 위하여 계속하여 에치백 공정을 실시한다. 이때, 상기 반도체층(12) 상측의 열산화막(13)도 같이 제거되며, 반도체 기판(10)에는 트랜치(14)가 형성되기 시작한다. 이때, 반도체층(12)의 상층면이 노출되면 에치백공정을 중지하여 트랜치(14) 형성공정을 완료한다. 즉, 반도체층(12)이 열산화막(13)을 형성하는데 사용될뿐 아니라 식각종말점 검출에도 사용되는 것이다. 이때, 상기 열산화막(13)의 형성두께에 따라서 트랜치(14)의 깊이를 조절할 수 있다. 즉, 반도체층(12) 및 반도체 기판(10)을 열산화하는 공정에 있어서 그 조건을 조절하여 열산화막(13)의 두께를 두껍게 하면 트랜치(14)의 깊이를 깊게할 수 있고 열산화막(13)의 두께를 얇게 하면 트랜치(14)의 깊이도 얇게 된다.

도2e에 나타낸 바와 같이, 상기 트랜치(14) 전면에 제2절연막(15)을 형성한 후 평탄화 공정을 실시한다. 이때, 상기 제2절연막(15)은 고밀도 플라즈마 장비를 이용하여 형성한 CVD 산화막이다.

도2f에 나타낸 바와 같이 상기 반도체층(12)을 습식식각법을 사용하여 제거한다.

도2g에 나타낸 바와 같이 상기 제1절연막(11)을 반도체 기판(10)의 상층면이 노출될 때까지 습식식각법을 사용하여 제거한다. 이때, 상기 제2절연막(15)도 어느정도 제거된다.

발명의 효과

본 발명에 따른 반도체 소자의 격리영역 형성방법에 있어서는 다음과 같은 효과가 있다.

첫째, STI 구조의 트랜치 상부의 모서리가 열산화공정에 의해 라운드(round)진채 형성되어 후속공정에서 게이트 산화막을 형성할 경우 그 모서리 부분이 라운드진채 누설전류의 영향을 적게 받음으로써 반도체 소자 격리영역으로서의 신뢰도를 향상시킨다.

둘째, STI를 이용한 트랜치 형성공정에 있어서, 트랜치 영역을 정의하기 위한 마스크로써 폴리실리콘을 형성한후 열산화공정을 추가하여 그 폭을 줄일 수 있으므로 동일 장비를 이용한 미세패턴의 형성공정에 유리하다.

셋째, 트랜치 형성을 위한 반도체 기판 식각공정시 폴리실리콘을 열산화한 후 폴리실리콘의 상층면이 노출될 때까지만 트랜치를 형성하므로 식각종말점의 검출에 용이하여 정확한 깊이의 트랜치 형성이 가능하여 STI를 이용한 신뢰도 있는 격리영역을 제공할 수 있다.

(57) 청구의 범위

청구항 1

반도체 기판에 제1절연막 및 반도체층을 차례로 형성하는 단계; 트랜치 형성영역의 반도체층 및 제1절연막을 제거하는 단계; 상기 트랜치 형성영역의 반도체 기판 및 반도체층 전면에 제2절연막을 형성하는 단계; 상기 제2절연막을 식각하여 반도체 기판을 노출시키는 단계; 상기 반도체 기판에 트랜치를 형성하는 단계; 상기 트랜치에 제3절연막을 형성하는 단계; 상기 반도체층 및 제1절연막을 제거하는 단계를 포함하여 이루어진 것을 특징으로 하는 반도체 소자의 격리영역 형성방법.

청구항 2

제1항에 있어서, 상기 제1절연막은 산화막으로 이루어진 것을 특징으로 하는 반도체 소자의 격리영역 형성방법.

청구항 3

제1항에 있어서, 상기 반도체층은 폴리실리콘으로 이루어진 것을 특징으로 하는 반도체 소자의 격리영역 형성방법.

청구항 4

제1항에 있어서, 상기 제2절연막은 반도체 기판보다 반도체층상에서 더 두껍도록 형성하는 것을 특징으로 하는 반도체 소자의 격리영역 형성방법.

청구항 5

제1항에 있어서, 상기 제2절연막은 산화막인 것을 특징으로 하는 반도체 소자의 격리영역 형성방법.

청구항 6

제5항에 있어서, 상기 제2절연막은 반도체 기판과 반도체층을 열산화하여 형성하는 것을 특징으로 하는 반도체 소자의 격리영역 형성방법.

청구항 7

제1항에 있어서, 상기 반도체 기판은 에치백공정을 이용하여 노출시키는 것으로 이루어진 것을 특징으로

하는 반도체 소자의 격리영역 형성방법.

청구항 8

제1항에 있어서, 상기 트랜치는 열산화막을 마스크로 이용하여 반도체 기판을 식각하여 형성하는 것을 특징으로 하는 반도체 소자의 격리영역 형성방법.

청구항 9

제8항에 있어서, 상기 트랜치는 에치백공정을 이용하여 반도체 기판을 식각하는 것을 특징으로 하는 반도체 소자의 격리영역 형성방법.

청구항 10

제9항에 있어서, 상기 에치백공정은 반도체층의 상측면이 노출될 때까지인 것을 특징으로 하는 반도체 소자의 격리영역 형성방법.

청구항 11

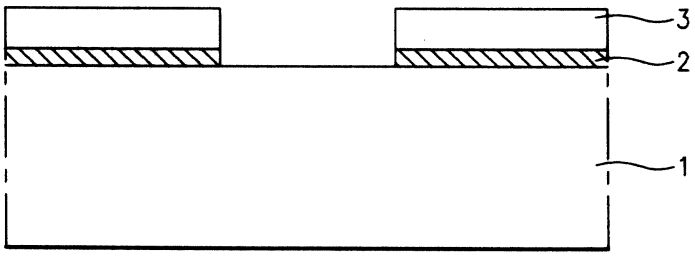
제1항에 있어서, 상기 트랜치의 상부 모서리는 라운드진 것을 특징으로 하는 반도체 소자의 격리영역 형성방법.

청구항 12

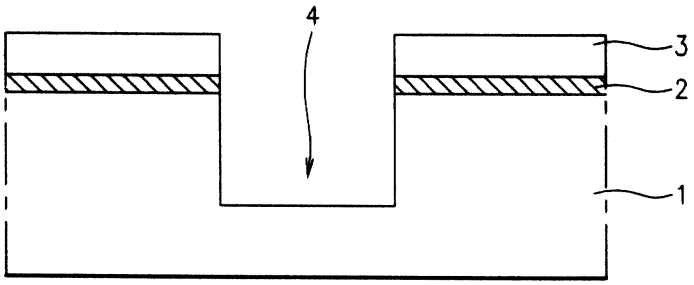
제1항에 있어서, 상기 반도체층은 습식식각법을 사용하여 제거하는 것을 특징으로 하는 반도체 소자의 격리영역 형성방법.

도면

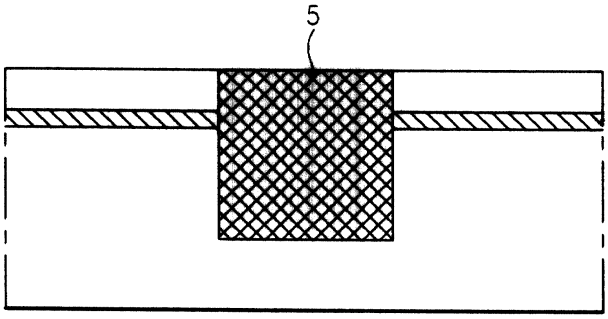
도면1a



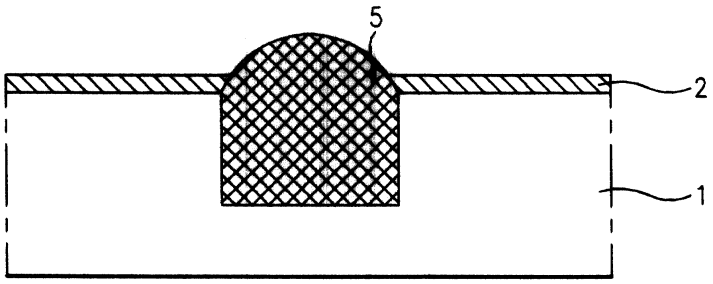
도면1b



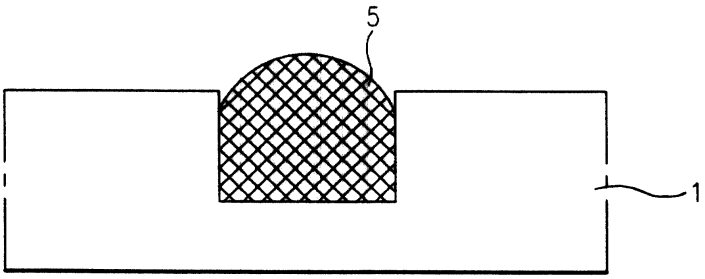
도면1c



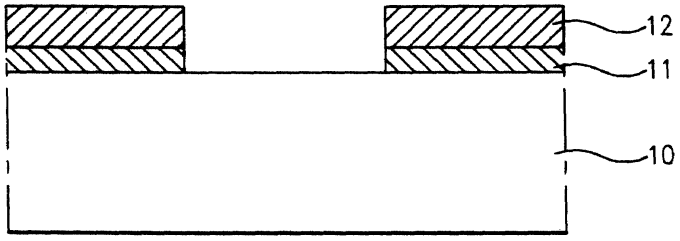
도면1d



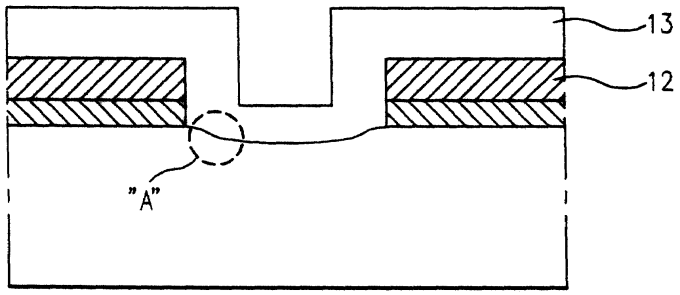
도면1e



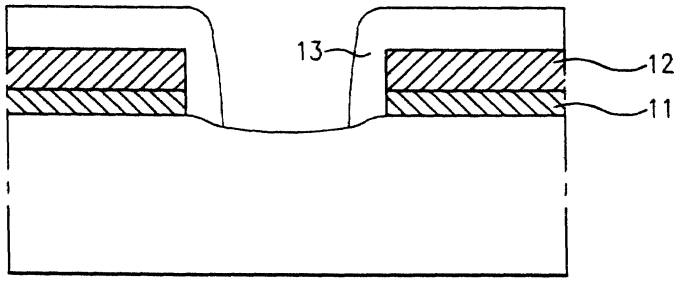
도면2a



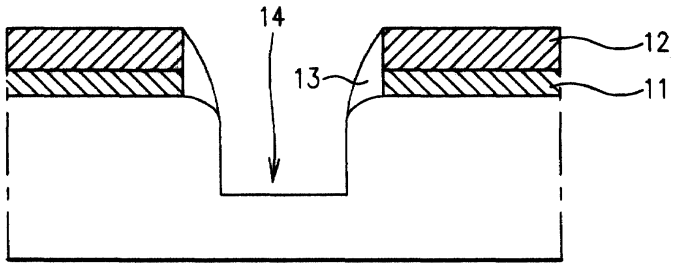
도면2b



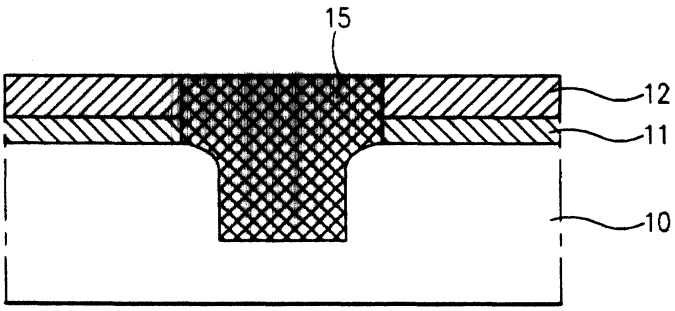
도면2c



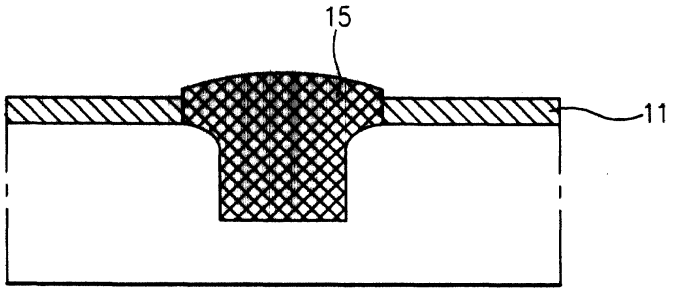
도면2d



도면2e



도면2f



도면2g

