



(12) 发明专利申请

(10) 申请公布号 CN 104702274 A

(43) 申请公布日 2015. 06. 10

(21) 申请号 201410737296. 5

(22) 申请日 2014. 12. 05

(30) 优先权数据

61/912, 480 2013. 12. 05 US

14/550, 776 2014. 11. 21 US

(71) 申请人 三星显示有限公司

地址 韩国京畿道

(72) 发明人 宋三全 A. 阿米尔卡尼

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 邵亚丽 张婧

(51) Int. Cl.

H03L 7/099(2006. 01)

H03L 7/08(2006. 01)

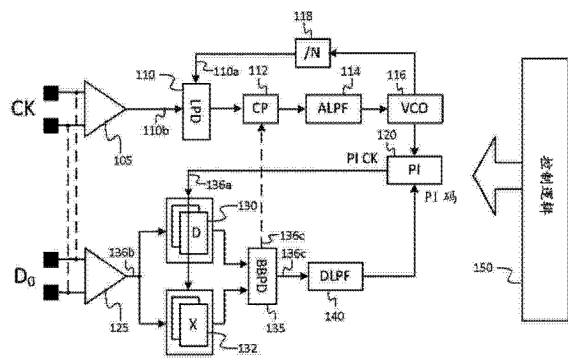
权利要求书3页 说明书8页 附图5页

(54) 发明名称

双模串行链路时钟和数据恢复体系结构

(57) 摘要

一种用于生成本地时钟的系统，其可配置为利用转发时钟和数据流或者仅利用数据流来作为频率和相位基准。在一个实施例中，该系统包括锁相环，该锁相环可参考转发时钟或者参考利用采样器、跨越采样器和开关式鉴相器从接收到的数据形成的相位基准。该系统包括本地相位恢复环，该本地相位恢复环可以利用开关式鉴相器作为鉴相器的一部分以用于控制相位插值器，相位插值器的输出充当用于对接收到的数据进行钟控的本地时钟。



1. 一种用于生成本地时钟的系统,该系统包括:
  - 具有输入和输出的受控振荡器;
  - 第一链路数据输入;
  - 转发时钟输入;以及
  - 具有第一输入、第二输入和输出的第一鉴相器;以及
  - 第一相位恢复块,其具有时钟输入、连接到所述第一链路数据输入的数据输入和以开关方式连接到所述受控振荡器的输出的输出;
  - 所述第一鉴相器的第一输入连接到所述受控振荡器的输出,
  - 所述第一鉴相器的第二输入连接到所述转发时钟输入,以及
  - 所述第一鉴相器的输出以开关方式连接到所述受控振荡器。
2. 如权利要求 1 所述的系统,还包括电荷泵和模拟环路滤波器,所述电荷泵和所述模拟环路滤波器级联连接在所述第一鉴相器的输出与所述受控振荡器的输入之间。
3. 如权利要求 1 所述的系统,还包括第一相位插值器,该第一相位插值器具有:
  - 振荡器输入;
  - 相位调整输入;以及
  - 输出;
  - 所述第一相位插值器的振荡器输入连接到所述受控振荡器的输出并且所述第一相位插值器的输出连接到所述第一相位恢复块的时钟输入。
4. 如权利要求 3 所述的系统,还包括:
  - 第二链路数据输入;
  - 具有时钟输入、数据输入和输出的第二相位恢复块,该第二相位恢复块的数据输入连接到所述第二链路数据输入;
  - 具有振荡器输入、相位调整输入和输出的第二相位插值器;
  - 所述第二相位恢复块的输出连接到所述第二相位插值器的相位调整输入,
  - 所述第二相位插值器的振荡器输入连接到所述受控振荡器的输出,并且
  - 所述第二相位插值器的输出连接到所述第二相位恢复块的时钟输入。
5. 如权利要求 3 所述的系统,还包括具有输入和输出的分频器,该分频器的输入连接到所述受控振荡器的输出并且该分频器的输出连接到所述第一鉴相器的第一输入。
6. 如权利要求 5 所述的系统,其中,所述第一鉴相器是线性鉴相器,该线性鉴相器包括生成与所述第一鉴相器的第一输入处的信号和所述第一鉴相器的第二输入处的信号之间的相位差成比例的模拟输出信号的电路。
7. 如权利要求 6 所述的系统,其中,所述第一相位插值器包括:
  - 在所述第一相位插值器的输出处生成如下信号的电路:该信号的相位与所述第一相位插值器的振荡器输入处的信号的相位相差的量是与所述第一相位插值器的相位调整输入处的信号相对应的量。
8. 如权利要求 7 所述的系统,还包括数字环路滤波器,该数字环路滤波器包括:
  - 输入;
  - 输出;以及
  - 在所述数字环路滤波器的输入处接收数字输入信号并且在所述环路滤波器的输出处

生成数字输出信号的电路。

9. 如权利要求 8 所述的系统,其中,所述第一相位恢复块包括:

第一采样器;

第二采样器;

所述第一相位恢复块的第一采样器和所述第一相位恢复块的第二采样器中的每一个包括:

数据输入,

时钟输入,以及

输出;以及

包括第一输入、第二输入和输出的开关式鉴相器。

10. 如权利要求 9 所述的系统,其中:

所述第一采样器的时钟输入和所述第二采样器的时钟输入连接到所述第一相位恢复块的时钟输入;

所述第一采样器的数据输入和所述第二采样器的数据输入连接到所述第一相位恢复块的数据输入;

所述第一采样器的输出连接到所述开关式鉴相器的第一输入;

所述第二采样器的输出连接到所述开关式鉴相器的第二输入;以及

所述开关式鉴相器的输出连接到所述第一相位恢复块的输出。

11. 如权利要求 3 所述的系统,还包括在第一操作模式和第二操作模式的跟踪阶段之间进行选择的控制逻辑电路,其中

在所述第一操作模式中,所述第一鉴相器的输出以使能连接来连接到所述受控振荡器的输入,并且

在所述第二操作模式的跟踪阶段中,所述第一相位恢复块的输出以使能连接来连接到所述受控振荡器的输入。

12. 如权利要求 11 所述的系统,其中,在所述第一操作模式中,所述第一相位恢复块的输出以使能连接来连接到所述第一相位插值器的相位调整输入。

13. 如权利要求 11 所述的系统,其中,所述控制逻辑电路还是在所述第一操作模式、所述第二操作模式的跟踪阶段和所述第二操作模式的训练阶段之间进行选择的电路,其中,在所述第二操作模式的训练阶段中,所述第一鉴相器的输出以使能连接来连接到所述受控振荡器的输入,并且所述第一链路数据输入以使能连接来连接到所述转发时钟输入。

14. 如权利要求 13 所述的系统,还包括发送器,该发送器包括在所述第二操作模式的训练阶段中发送一和零的交替群组的图案的电路。

15. 如权利要求 11 所述的系统,还包括:

包括输出和差分输入的数据缓冲器,所述差分输入包括第一导体和第二导体;

包括输出和差分输入的转发时钟缓冲器,所述差分输入包括第一导体和第二导体;

其中,所述控制逻辑电路还是在所述第一操作模式、所述第二操作模式的跟踪阶段和所述第二操作模式的训练阶段之间进行选择的电路,

其中,在所述第二操作模式的训练阶段中:

所述第一鉴相器的输出以使能连接来连接到所述受控振荡器的输入,

所述数据缓冲器的差分输入的第一导体以使能连接来连接到所述转发时钟缓冲器的差分输入的第一导体,并且

所述数据缓冲器的差分输入的第二导体以使能连接来连接到所述转发时钟缓冲器的差分输入的第二导体。

16. 一种显示器,包括:

定时控制器;

驱动器集成电路(IC);以及

连接所述定时控制器和所述驱动器 IC 的串行数据链路,

所述驱动器 IC 包括如权利要求 1 所述的系统。

17. 如权利要求 16 所述的显示器,其中,所述显示器是有机发光二极管(OLED)显示器或者液晶显示器(LCD)。

## 双模串行链路时钟和数据恢复体系结构

[0001] 相关申请的交叉引用

[0002] 本申请要求 2013 年 12 月 5 日递交的标题为“BIMODAL SERIAL LINK CDR ARCHITECTURE(双模串行链路 CDR 体系结构)”的 61/912,480 号临时申请的优先权和权益,这里通过引用并入该临时申请的全部内容。

### 技术领域

[0003] 根据本发明的实施例的一个或多个方面涉及用于在电路之间传送数字数据的系统,更具体地,涉及用于在这种系统中从数据流或者从转发时钟生成本地时钟的电路。

### 背景技术

[0004] 当通过扩展高速串行链路来发送数据时,可以利用在链路的接收端处的接收器从可能被链路衰减的接收到的信号恢复信号电平,并且将数据与本地时钟重同步。本地时钟可以从在一条或多条数据通道上作为嵌入时钟传送的数据流本身形成,或者其可以从在单独的时钟通道上传送的转发时钟形成。本地时钟可以是或者可以不是全速率时钟,例如,其可以是半速率时钟。转发时钟可以具有比本地时钟的频率低的频率。对用于向接收器传送时钟信号的方案的选择——是作为嵌入时钟还是作为转发时钟——受到诸如链路的长度、要利用的数据速率或者可用物理通道的数目之类的各种因素的影响。设计多个产品的设计者因此可能要求接收电路的两个版本可用,一个与嵌入时钟方案兼容,一个与转发时钟兼容。这个要求是不方便的并且增加了储存相似或相同部件的两个版本可能需要的供应和制造操作的成本。

[0005] 从而,需要一种能够从转发时钟或嵌入时钟生成本地时钟的双模电路。

### 发明内容

[0006] 本公开的实施例的各方面针对一种用于生成本地时钟的系统,其可配置为利用转发时钟和数据流(在转发时钟模式中)或者仅利用数据流(在嵌入时钟模式中)作为频率和相位基准。在一个实施例中,该系统包括锁相环,该锁相环可以参考转发时钟或者参考利用采样器、跨越采样器和开关式鉴相器(bang-bang phase detector)从接收到的数据形成的相位基准。该系统包括本地相位恢复环,该本地相位恢复环可以利用开关式鉴相器作为鉴相器的一部分以用于控制相位插值器,相位插值器的输出充当用于对接收到的数据进行钟控的本地时钟。

[0007] 根据本发明的一个实施例,提供了一种用于生成本地时钟的系统,该系统包括:具有输入和输出的受控振荡器;第一链路数据输入;转发时钟输入;具有第一输入、第二输入和输出的第一鉴相器;以及第一相位恢复块,其具有时钟输入、连接到第一链路数据输入的数据输入和以开关方式连接到受控振荡器的输入的输出;第一鉴相器的第一输入连接到受控振荡器的输出,第一鉴相器的第二输入连接到转发时钟输入,并且第一鉴相器的输出以开关方式连接到受控振荡器。

[0008] 在一个实施例中,该系统包括电荷泵和模拟环路滤波器,电荷泵和模拟环路滤波器级联连接在第一鉴相器的输出与受控振荡器的输入之间。

[0009] 在一个实施例中,该系统包括第一相位插值器,该第一相位插值器具有:振荡器输入;相位调整输入;以及输出;第一相位插值器的振荡器输入连接到受控振荡器的输出并且第一相位插值器的输出连接到第一相位恢复块的时钟输入。

[0010] 在一个实施例中,该系统包括:第二链路数据输入;具有时钟输入、数据输入和输出的第二相位恢复块,该第二相位恢复块的数据输入连接到第二链路数据输入;具有振荡器输入、相位调整输入和输出的第二相位插值器;第二相位恢复块的输出连接到第二相位插值器的相位调整输入,第二相位插值器的振荡器输入连接到受控振荡器的输出,并且第二相位插值器的输出连接到第二相位恢复块的时钟输入。

[0011] 在一个实施例中,该系统包括具有输入和输出的分频器(divider),该分频器的输入连接到受控振荡器的输出并且该分频器的输出连接到第一鉴相器的第一输入。

[0012] 在一个实施例中,该系统包括生成与第一鉴相器的第一输入处的信号和第一鉴相器的第二输入处的信号之间的相位差成比例的模拟输出信号的电路。

[0013] 在一个实施例中,第一相位插值器包括:在第一相位插值器的输出处生成如下信号的电路:该信号的相位与第一相位插值器的振荡器输入处的信号的相位相差的量是与第一相位插值器的相位调整输入处的信号相对应的量。

[0014] 在一个实施例中,该系统包括数字环路滤波器,该数字环路滤波器包括:输入;输出;以及在数字环路滤波器的输入处接收数字输入信号并且在环路滤波器的输出处生成数字输出信号的电路。

[0015] 在一个实施例中,该系统包括:数据输入、时钟输入、以及输出;以及包括第一输入、第二输入和输出的开关式鉴相器。

[0016] 在一个实施例中,第一采样器的时钟输入和第二采样器的时钟输入连接到第一相位恢复块的时钟输入;第一采样器的数据输入和第二采样器的数据输入连接到第一相位恢复块的数据输入;第一采样器的输出连接到开关式鉴相器的第一输入;第二采样器的输出连接到开关式鉴相器的第二输入;并且开关式鉴相器的输出连接到第一相位恢复块的输出。

[0017] 在一个实施例中,该系统包括在第一操作模式和第二操作模式的跟踪阶段之间进行选择的控制逻辑电路,其中在第一操作模式中,第一鉴相器的输出以使能连接来连接到受控振荡器的输入,并且在第二操作模式的跟踪阶段中,第一相位恢复块的输出以使能连接来连接到受控振荡器的输入。

[0018] 在一个实施例中,在第一操作模式中,第一相位恢复块的输出以使能连接来连接到第一相位插值器的相位调整输入。

[0019] 在一个实施例中,控制逻辑电路还是一个在第一操作模式、第二操作模式的跟踪阶段和第二操作模式的训练阶段之间进行选择的电路,其中,在第二操作模式的训练阶段中,第一鉴相器的输出以使能连接来连接到受控振荡器的输入,并且第一链路数据输入以使能连接来连接到转发时钟输入。

[0020] 在一个实施例中,该系统包括发送器,该发送器包括在第二操作模式的训练阶段中发送一和零的交替群组的图案的电路。

[0021] 在一个实施例中,该系统包括:包括输出和差分输入的数据缓冲器,该差分输入包括第一导体和第二导体;包括输出和差分输入的转发时钟缓冲器,该差分输入包括第一导体和第二导体;其中,控制逻辑电路还是一个在第一操作模式、第二操作模式的跟踪阶段和第二操作模式的训练阶段之间进行选择的电路,其中,在第二操作模式的训练阶段中,第一鉴相器的输出以使能连接来连接到受控振荡器的输入;数据缓冲器的差分输入的第一导体以使能连接来连接到转发时钟缓冲器的差分输入的第一导体;并且数据缓冲器的差分输入的第二导体以使能连接来连接到转发时钟缓冲器的差分输入的第二导体。

[0022] 在一个实施例中,一种显示器包括:定时控制器;驱动器集成电路(IC);以及连接定时控制器和驱动器 IC 的串行数据链路,驱动器 IC 包括用于生成本地时钟的系统。

[0023] 在一个实施例中,显示器是有机发光二极管(OLED)显示器或者液晶显示器(LCD)。

### 附图说明

[0024] 参考说明书、权利要求和附图将领会并理解本发明的这些和其他特征以及优点,附图中:

[0025] 图 1 是根据本发明的实施例的在转发时钟(forwarded clock, FC)操作模式中的时钟和数据恢复电路的框图。

[0026] 图 2A 是根据本发明的实施例的在训练阶段期间在嵌入时钟(embedded clock, EC)操作模式中的时钟和数据恢复电路的框图。

[0027] 图 2B 是根据本发明的实施例的在正常工作阶段或者“跟踪阶段”期间在 EC 操作模式中的时钟和数据恢复电路的框图。

[0028] 图 3 是采用根据本发明的实施例的在显示器的两个电路之间包括串行链路的显示器的框图;并且

[0029] 图 4 是采用本发明的实施例的在转发时钟(FC)操作模式中具有两条数据通道的时钟和数据恢复电路的框图。

### 具体实施方式

[0030] 下面联系附图阐述的详细描述打算作为对根据本发明提供的双模串行链路 CDR 体系结构的示范性实施例的描述,而并不打算代表可构造或利用本发明的唯一形式。该描述联系图示的实施例阐述了本发明的特征。然而,要理解,相同或等同的功能和结构可由也打算被包含在本发明的精神和范围内的不同实施例来实现。如本文别处所标示,相似的元素编号打算指示相似的元素或特征。

[0031] 诸如“... 中的至少一个”之类的表述当在元素的列表之前时修饰整个元素列表,而不修饰列表中的个体元素。要理解,虽然在本文中可使用术语“第一”、“第二”、“第三”等等来描述各种元件、组件、区域、层和/或区段,但这些元件、组件、区域、层和/或区段不应受这些术语所限。这些术语只是用于将一个元件、组件、区域、层或区段与另一元件、组件、区域、层或区段相区分。从而,以下论述的第一元件、组件、区域、层或区段可被称为第二元件、组件、区域、层或区段,而不脱离发明构思的精神和范围。

[0032] 空间相关术语,例如“在下面”、“在下方”、“下部的”、“在正下方”、“在上方”、“上部

的”等等,在本文中为了容易描述起见可用来描述如附图中所示的一个元件或特征与另(一个或多个)元件或(一个或多个)特征的关系。要理解,除了附图中描绘的方位之外,这种空间相关术语还打算涵盖使用中或操作中的装置的不同方位。例如,如果图中的装置被翻过来,那么被描述为在其他元件或特征的“下方”、“下面”或“正下方”的元件的方位于是将在其他元件或特征的“上方”。从而,示例术语“在下方”和“在正下方”可涵盖在上方和在下方这两个方位。装置可以有其他的方位(例如,旋转90度或处于其他方位),并且本文使用的空间相关描述语应当被相应地解读。此外,还要理解,当一层被称为在两层“之间”时,其可以是这两层之间的唯一层,或者也可能存在一个或多个居间层。

[0033] 本文使用的术语只是为了描述特定实施例,而并不打算限制发明构思。就本文使用的而言,单数形式“一”和“该”打算也包括复数形式,除非上下文明确地另有指示。还要理解,术语“包括”和/或“包含”当在本说明书中使用指明了所记述的特征、整数、步骤、操作、元件和/或组件的存在,但并不排除一个或多个其他特征、整数、步骤、操作、元件、组件和/或其群组的存在或添加。就本文使用的而言,术语“和/或”包括关联的列出项目中的一个或多个的任意和所有组合。另外,在描述发明构思的实施例时对“可以”的使用指的是“本发明的一个或多个实施例”。另外,术语“示范性”意在指示例或例示。

[0034] 要理解,当称一元件或层在另一元件或层“之上”、“连接到”、“耦合到”或“邻近”另一元件或层时,其可直接在该另一元件或层之上或者直接连接到、耦合到或邻近该另一元件或层,或者可存在一个或多个居间的元件或层。与之不同,当称一元件或层“直接在另一元件或层上”、“直接连接到另一元件或层”、“直接耦合到另一元件或层”或者“与另一元件或层紧邻”时,则没有居间的元件或层存在。

[0035] 当称一元件“以开关方式连接”(switch-connected)到另一元件时,其是在有可被设定为使能或禁能该连接的至少一个居间元件——例如开关元件(诸如晶体管或开关)——的情况下连接到该另一元件的。当两个元件以开关方式连接时,这两个元件之间的连接可以被称为“可切换连接”,其在被使能时是“使能连接”,而在被禁能时是“禁能连接”。

[0036] 如本领域技术人员将会理解的,组件的输入或输出可以是携带被表示为相对于地的电压的信号的单个导体,或者其可以是包括携带互补信号的一对导体的差分输入或输出。附图中示为单条线的连接可以表示携带着例如由信号及其补体构成的差分信号的多于一个导体。

[0037] 参考图1,在一个实施例中,双模串行链路时钟和数据恢复(clock and data recovery, CDR)电路当如图所示那样配置时在转发时钟模式(或“第一模式”)中操作。转发时钟在转发时钟缓冲器105处被接收,并且转发时钟缓冲器105的输出被馈送到第一鉴相器、电荷泵(charge pump, CP)112、模拟环路滤波器(analog loop filter, ALPF)114和压控振荡器(voltage-controlled oscillator, VCO)116的级联,其中第一鉴相器可以是线性鉴相器(linear phase detector, LPD)或者“第一鉴相器”110。线性鉴相器110具有一输出和两个输入,即第一输入110a和第二输入110b,第二输入110b是(或者连接到)用于从链路接收转发时钟的输入(或者说“转发时钟输入”)。压控振荡器116的输出通过分频器118被反馈到线性鉴相器110的第一输入,并且转发时钟缓冲器105的输出连接到线性鉴相器110的第二输入。分频器118具有输入和输出,并且按整数N对压控振荡器116的频率进行分频,使得当压控振荡器116按转发时钟的频率的N倍操作时,线性鉴相器110的



两个输入接收具有相同频率的信号。分频器 118 的输入连接到压控振荡器 116 的输出,并且分频器 118 的输出连接到第一鉴相器 110 的第一输入。

[0038] 在一个实施例中,电荷泵 112 源发或吸收与线性鉴相器 110 的输出成比例的电流,并且在模拟环路滤波器 114 的输入处有电容器或 RC 网络(诸如,2 阶锁相环(phase-locked loop,PLL)的滤波器),其上的电压的变化率则与电荷泵所源发或吸收的电流成比例。连接成环形式的线性鉴相器 110、电荷泵 112、模拟环路滤波器 114 和压控振荡器 116 的组合形成锁相环(PLL)。线性鉴相器 110 包括生成与其两个输入处的信号之间的相位差成比例的模拟输出信号的电路;此信号被电荷泵 112 和模拟环路滤波器 114 的级联放大并滤波,电荷泵 112 和模拟环路滤波器 114 一起提供适当的增益和适当的环路形状,以使得 PLL 的性能和稳定性可接受。在一个实施例中,电荷泵 112 和模拟环路滤波器 114 级联连接在第一鉴相器 110 的输出和压控振荡器 116 的输入之间。

[0039] 然后压控振荡器 116 的输出被利用作为基准时钟,其相位由受本地相位恢复环控制的相位插值器(phase interpolator,PI)120 来调整。相位插值器 120 具有振荡器输入和相位插值码(PI 码)或“相位调整”输入,并且其生成输出,该输出通过按与在相位插值码输入处接收到的相位插值码相对应的量对基准时钟进行相移而形成。在一个实施例中,相位插值器 120 具有包括用于从 VCO 116 接收本地时钟的若干个相位的若干个导体的振荡器输入,并且其生成作为这若干个相位的线性组合的输出。在另一实施例中,相位插值器 120 包括一个或多个延迟元件,每个延迟元件的输出是具有相移的基准时钟信号;相位插值器 120 然后在基准时钟的任意相位处生成本地时钟作为这些延迟元件的输出的线性组合。本文描述的实施例采用了压控振荡器,但可以采用以数字方式控制的振荡器或者任何具有可控频率的振荡器(本文中称为“受控振荡器”)。就本文中使用的而言,“时钟信号”、“时钟输入”、“时钟输出”、“振荡器输入”和“VCO 输出”可以指携带时钟频率的电压或电流的一个导体,或者其可以指携带具有不同相位的时钟频率或者使用差分信令或者前述两者的多个导体。在一个实施例中,相位插值器 120 的振荡器输入连接到受控振荡器(例如,VCO 116)的输出,并且相位插值器 120 的输出连接到相位恢复块(130、132、135)的时钟输入。在一个实施例中,在第一操作模式中,第一相位恢复块(130、132、135)的输出以使能连接来连接到第一相位插值器 120 的相位调整输入。

[0040] 第一数据通道  $D_0$  上的数据信号被数据缓冲器 125 缓冲,并且缓冲的信号被馈送到数据采样器(或者“第一采样器”)130 和跨越采样器(或者“第二采样器”)132,第一采样器和第二采样器中的每一个具有数据输入、时钟输入和输出。数据缓冲器 125 和转发时钟缓冲器 105 中的每一个可具有差分输入,例如具有携带着互补信号的两个导体的输入,并且可具有差分或单端输出。在一个实施例中,不存在数据缓冲器 125 和转发时钟缓冲器 105,并且用于生成本地时钟的系统——即,CDR 电路——以线性鉴相器 110 的输入和两个采样器 130、132 的连接输入来作为输入。数据采样器 130 在本地时钟转变时对数据缓冲器 125 的输出采样,并且跨越采样器 132 在正交时钟转变时对数据缓冲器 125 的输出采样,其中正交时钟是从本地时钟导出的信号,其相位偏移了比特周期的一半。正交时钟可以作为由相位插值器 120 生成的时钟信号的一部分来提供(相位插值器的输出处的本地时钟的相位和正交时钟信号的相位两者都根据相位插值器的相位调整输入处的信号来加以调整),或者其可由相位插值器 120 外的单独的正交时钟生成器来生成。数据采样器和跨越采样器的输

出被馈送到开关式鉴相器 (bang-bang phase detector, BBPD) 135 (具有第一输入、第二输入和输出), 开关式鉴相器 135 的输出被馈送到数字环路滤波器 (digital loop filter, DLPF) 140, 数字环路滤波器 140 进而生成相位插值码, 该相位插值码随后被馈送到相位插值器 120 的相位插值码输入, 以在必要时校正本地时钟的相位。两个采样器 130、132、开关式鉴相器 135、数字环路滤波器 140 和相位插值器 120 形成本地相位恢复环。在操作中, 开关式鉴相器 135 的输出是指示出正交时钟是领先还是滞后于数据缓冲器 125 的输出中的跨越点 (crossing) 的数字信号, 其方式例如是当正交时钟领先或滞后于数据缓冲器 125 的输出中的跨越点时分别取零或一的值。两个采样器 130、132、正交时钟生成器 (如果存在的话) 和开关式鉴相器 135 的组合形成相位恢复块, 该相位恢复块具有: 接收来自相位插值器 120 的信号的时钟输入 136a、连接到数据缓冲器 125 的输出的数据输入 136b (数据输入 136b 是 (或连接到) 用于从链路接收数据的输入 (或者“链路数据输入”)), 以及输出 136c, 输出 136c 是开关式鉴相器 135 的输出。这个相位恢复块以 1 比特分辨率测量本地时钟相对于数据缓冲器 125 的输出的相位。数字环路滤波器 140 具有输入和输出, 以及在数字环路滤波器 140 的输入处接收数字输入信号并且在环路滤波器 140 的输出处生成数字输出信号的电路。它提供增益和适当的环路形状, 以使得本地相位恢复环的性能和稳定性可接受。如在本文中使用时, “相位恢复块” 是任何将数据流与时钟信号相比较并且生成输出的电路, 其中该输出的值指示出该时钟信号是领先还是滞后于由该数据流中的转变所定义的相位。在此实施例中, 相位恢复块 (130、132、135) 的输出 (利用禁能连接) 以开关方式连接到压控振荡器 116。另外, 第一鉴相器 110 的第一输入连接到受控振荡器的输出, 第一鉴相器 110 的第二输入连接到转发时钟输入, 并且第一鉴相器 110 的输出以开关方式连接到受控振荡器 (例如, VCO 116)。这些连接中的一些经过居间元件, 如图 1 所示。

[0041] 可称为  $D_1$ 、 $D_2$  等等的其他数据通道可以共享本地时钟; 每个这种数据通道可以具有各自的数据缓冲器和各自的数据采样器。每个数据通道可具有各自的本地相位恢复环, 每个相位恢复环包括数据采样器、跨越采样器、开关式鉴相器、数字环路滤波器和相位插值器。在此实施例中, 转发时钟充当 VCO 的频率基准, 并且每个接收到的数据流充当其自己的相位基准。

[0042] 例如, 参考图 4, 在这种实施例中, 系统可以包括: 具有输入和输出的受控振荡器 (例如, VCO 116); 第一链路数据输入 (例如, 136b); 转发时钟输入 (例如, 110b); 具有第一输入、第二输入和输出的第一鉴相器 110; 以及第一相位恢复块 (例如, 由第一数据采样器 130、第一跨越采样器 132 和第一开关式鉴相器 135 形成), 其具有时钟输入 136a、连接到第一链路数据输入的数据输入 136b 和以开关方式连接到受控振荡器 (例如, VCO 116) 的输出的输出; 第一鉴相器 110 的第一输入连接到受控振荡器 (例如, VCO 116) 的输出, 第一鉴相器 110 的第二输入 110b 连接到转发时钟输入 (例如, 110b), 并且第一鉴相器 110 的输出以开关方式连接到受控振荡器 (例如, VCO 116), 以及第二链路数据输入 (例如, 236b); 具有时钟输入 236a、数据输入 236b 和输出的第二相位恢复块, 第二相位恢复块 (包括第二数据采样器 230、第二跨越采样器 232 和第二开关式鉴相器 235) 的数据输入 236b 连接到第二链路数据输入 (例如, 236b); 具有振荡器输入、相位调整输入和输出的第二相位插值器 220; 第二相位恢复块 (230、232、235) 的输出连接到第二相位插值器 220 的相位调整输入, 第二相位插值器 220 的振荡器输入连接到受控振荡器的输出, 并且第二相位插值器 220 的输出

连接到第二相位恢复块 (230、232、235) 的时钟输入。在图 1-3 中, 额外数据通道的可能存在是由在用于第一数据链路  $D_0$  的数据采样器 (或第一数据采样器) 130 和跨越采样器 (或第一跨越采样器) 132 后方并从数据采样器 130 和跨越采样器 132 有所偏移的矩形来示出的; 在图 4 中, 明确地示出了用于第二数据链路  $D_1$  的组件。

[0043] 当电路在转发时钟模式中操作时, 在控制逻辑 150 的控制下, 在图 1 中示为虚线的数据缓冲器 125 与转发时钟缓冲器 105 之间的连接以及开关式鉴相器 135 与电荷泵 112 之间的连接被禁能。在一个实施例中, 可以被控制逻辑 150 使能或禁能的这些连接中的每一个包括可以通过从控制逻辑电路 150 施加适当的栅极电压来接通 (例如, 使导通) 或关断的一个或多个金属氧化物半导体场效应晶体管 (metal oxide semiconductor field effect transistor, MOSFET)。

[0044] 参考图 2A, 在一个实施例中, 图 1 的电路可以被重配置为充当在训练阶段中如图 2A 中配置的那样在第二 (嵌入时钟) 模式中操作的、用于嵌入时钟的时钟和数据恢复电路。在控制逻辑 150 的控制下, 用于数据通道  $D_0$  的链路数据输入与时钟输入之间的连接被使能, 并且数据缓冲器 125 和本地相位恢复环被禁能, 其中包括数据采样器 130、跨越采样器 132、开关式鉴相器 135、数字环路滤波器 140 和相位插值器 120。禁能的元件可以例如通过使其输入或输出被断开连接而被单独地或者作为一个功能块被禁能, 其中断开连接是不然将会建立这些连接的 MOSFET 在控制逻辑 150 的控制下被关断的结果。

[0045] 在图 2A 所示的嵌入时钟 CDR 电路的训练阶段中, 在数据通道  $D_0$  上发送数据的发送器发送适当的比特图案, 例如交替的一和零或者类似的更低频率图案, 例如一和零的交替的群组, 例如“00110011”或“0000111100001111”。分频器 118 被设定到与该比特图案相对应的比率  $N$ 。在这个训练阶段中, 锁相环获取锁定, 即, 压控振荡器 116 的频率被从初始 (例如, 自由运行) 频率调整到正确的频率, 该初始频率与对应于接收到的数据速率的频率可以相差百万分之几百个单位或者百万分之几千个单位以上。这个调整通过锁相环的动作来发生, 例如, 如果分频器 118 的输出处的相位滞后于接收到的比特图案的相位, 则线性鉴相器 110 将检测该相位滞后, 并且电荷泵 112 和模拟环路滤波器 114 将增大压控振荡器 116 的频率, 直到在稳定状态, 分频器 118 的输出处的相位与接收到的比特图案的相位基本相同或者保持基本相同、并且分频器 118 的输出处的频率与接收到的比特图案的频率基本相同为止。

[0046] 在一个实施例中, 一旦训练阶段完成并且压控振荡器 116 按正确的频率操作, 控制逻辑 150 就将电路的配置改变到图 2B 中所示的第二 (嵌入时钟) 操作模式的跟踪阶段。这涉及使能任何否则被禁能的去往和来自数据缓冲器 125、数据采样器 130、跨越采样器 132 和开关式鉴相器 135 的连接以及开关式鉴相器 135 与电荷泵 112 之间的连接。其还涉及禁能分频器 118、线性鉴相器 110、转发时钟缓冲器 105 和数字环路滤波器 140。在这个配置中, 在数据通道  $D_0$  上接收到的数据流一般不是一和零的交替群组的周期性比特图案, 而是由发送器发送的任意数据流。与图 1 的配置中一样, 开关式鉴相器 135 生成指示出正交时钟是领先还是滞后于数据缓冲器 125 的输出中的跨越点的信号。在图 2B 的配置中, 开关式鉴相器 135 的输出馈送给电荷泵, 电荷泵馈送给模拟环路滤波器 114 以校正压控振荡器 116 的频率, 从而将压控振荡器 116 的相位锁定到数据的相位。在像图 2B 所示的实施例中那样恢复嵌入时钟的配置中, 控制逻辑 150 除了使能某些元件并禁能其他元件以外还可以

设定电荷泵 112 和模拟环路滤波器 114 中的参数以为提供可接受的性能和鲁棒性的锁相环提供环路形状和增益。从而,在嵌入时钟模式的第二阶段中,被称为数据通道  $D_0$  的一个数据通道(其可以是数据通道中的任何一个)控制 VCO 的频率。其他数据通道接收 VCO 的输出并且每个其他数据通道 ( $D_1$ 、 $D_2$  等等)具有各自的本地相位恢复环,每个相位恢复环包括两个采样器 130、132、开关式鉴相器 135、数字环路滤波器 140 和相位插值器 120。在一个实施例中,在第二操作模式的跟踪阶段中,第一相位恢复块(例如,由第一数据采样器 130、第一跨越采样器 132 和第一开关式鉴相器 135 形成)的输出以使能连接来连接到受控振荡器(例如,VCO 116)的输入。在一个实施例中,在第二操作模式的训练阶段中,第一鉴相器 110 的输出以使能连接来连接到受控振荡器(例如,VCO 116)的输入,并且第一链路数据输入(例如,136b)以使能连接来连接到转发时钟输入(例如,110b)。

[0047] 总结来说,在一个实施例中,系统包括:包括输出和差分输入的数据缓冲器 125,该差分输入包括第一导体和第二导体;包括输出和差分输入的转发时钟缓冲器 105,该差分输入包括第一导体和第二导体;其中控制逻辑电路 150 还是一个在第一操作模式、第二操作模式的跟踪阶段和第二操作模式的训练阶段之间进行选择的电路,其中,在第二操作模式的训练阶段中:第一鉴相器 110 的输出以使能连接来连接到受控振荡器(例如,VCO 116)的输入;数据缓冲器 125 的差分输入的第一导体以使能连接来连接到转发时钟缓冲器 105 的差分输入的第一导体;并且数据缓冲器 125 的差分输入的第二导体以使能连接来连接到转发时钟缓冲器 105 的差分输入的第二导体。

[0048] 参考图 3,在一个实施例中,显示器 300 包括定时控制器 310 和驱动器集成电路(integrated circuit, IC) 320,并且定时控制器 310 被配置为在有或者没有伴随的时钟通道 340 上的转发时钟的情况下在数据通道 330 上向驱动器 IC 320 发送高速串行数据。根据本发明的实施例构造的时钟和数据恢复电路 350 在存在转发时钟的情况下从转发时钟恢复时钟,否则从数据恢复时钟。这里,在本发明的实施例中,显示器是有机发光二极管(organic light emitting diode, OLED)显示器或者液晶显示器(liquid crystal display, LCD)。

[0049] 虽然本文已经具体描述和图示了双模串行链路 CDR 体系结构的示范性实施例,但本领域技术人员将清楚许多修改和变化。因此,要理解,根据本发明的原理构造的双模串行链路 CDR 体系结构可按不同于本文具体描述的方式来实现。本发明也在所附权利要求及其等同物中限定。

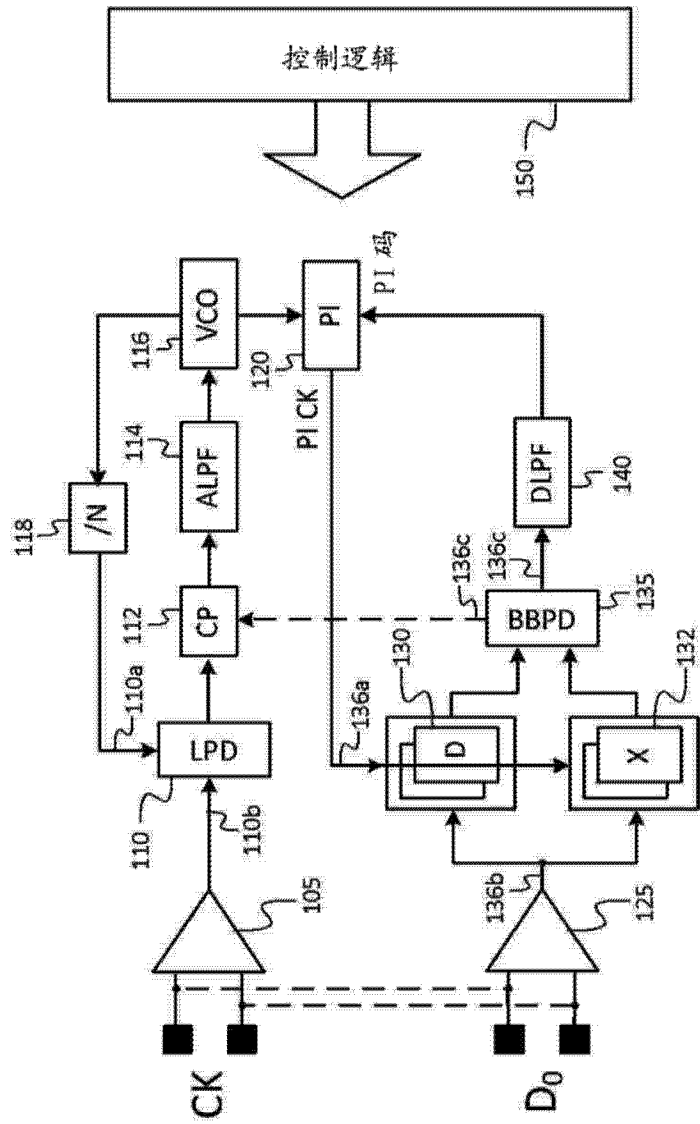


图 1

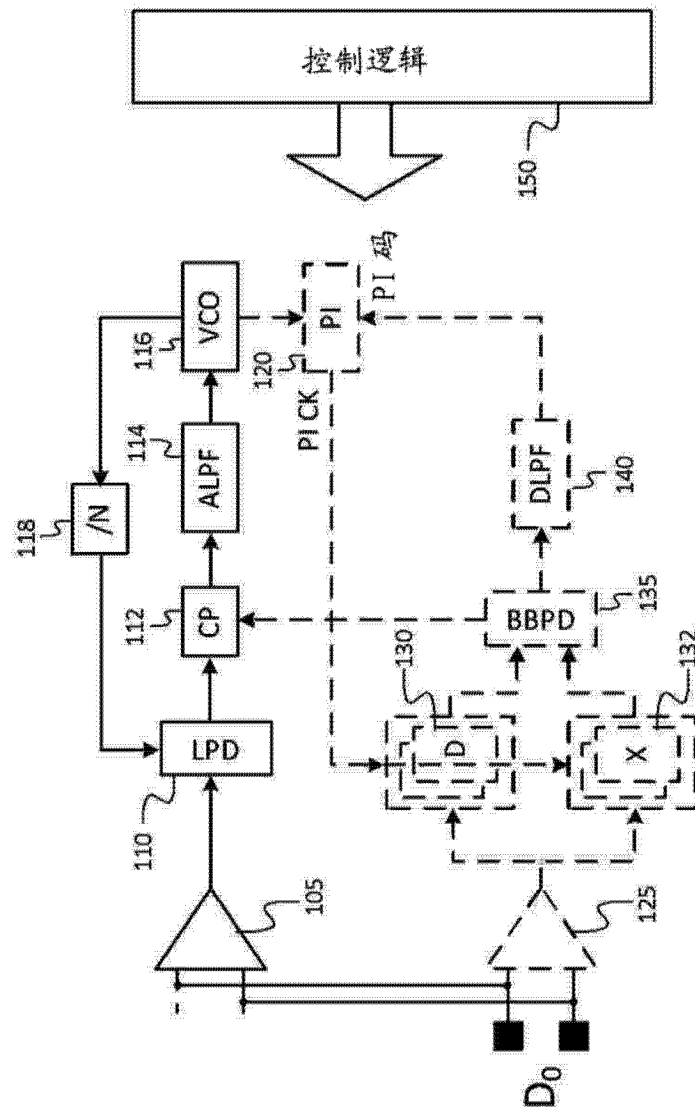


图 2A

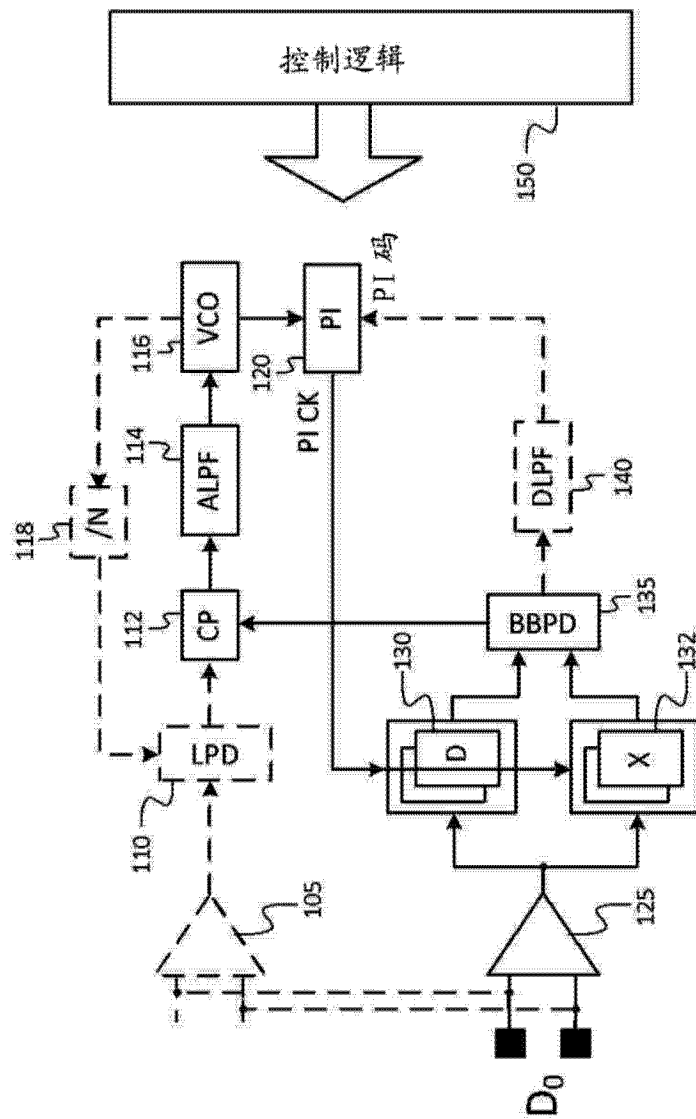


图 2B

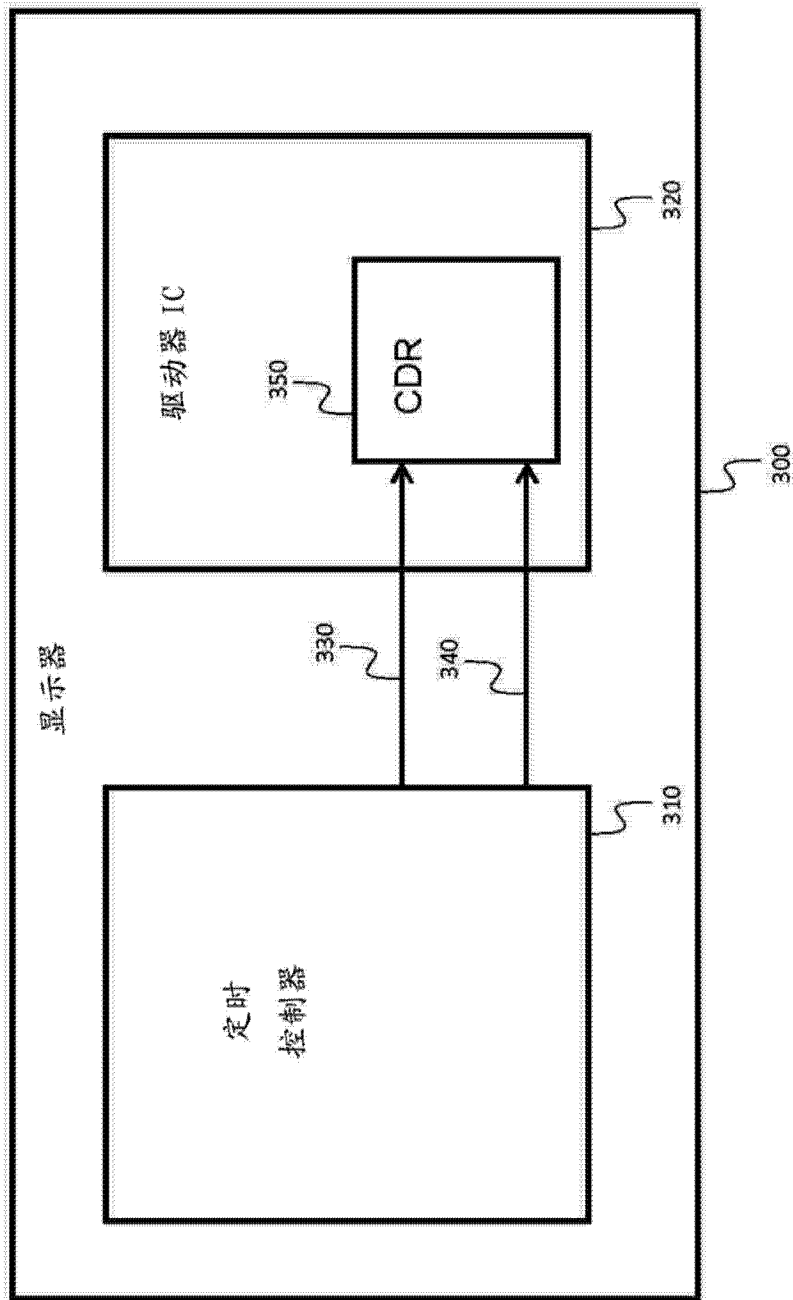


图 3



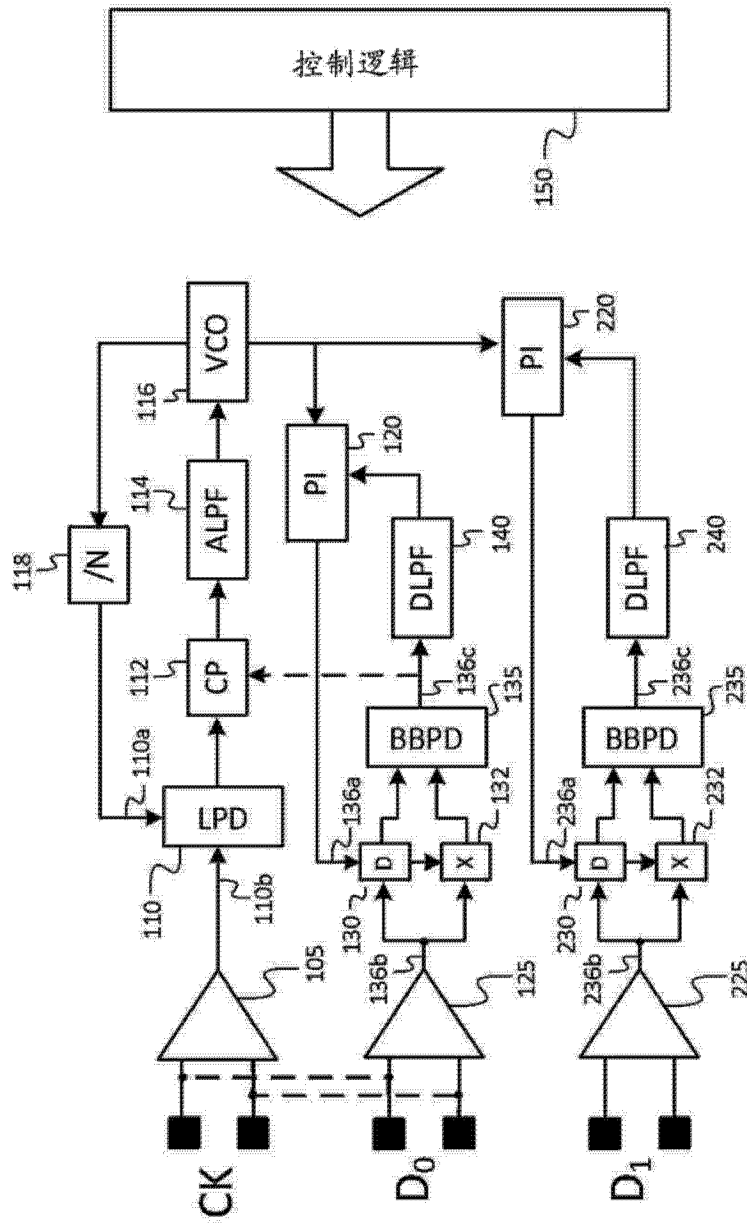


图 4