

公告本

90年11月27日修正/更正/補充

申請日期	89. 9. 20
案 號	89119353
類 別	H01L 27/088

A4
C4

492183

(以上各欄由本局填註)

中文說明書修正頁(90年11月)

發 明 專 利 說 明 書

一、發明 新 型 名 稱	中 文	高耐壓MOS電晶體之構造及其製造方法
	英 文	"HIGH-VOLTAGE MOS TRANSISTOR AND METHOD FOR FABRICATING THE SAME"
二、發明 創 作 人	姓 名	1.井上 治子 2.北村 裕一
	國 籍	1.2. 均日本
	住、居所	1.日本國滋賀縣草津市橋岡町2-22 2.日本國京都府長岡京市開田2-14-33
三、申請人	姓 名 (名 稱)	日商松下電器產業股份有限公司 MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.
	國 籍	日本
	住、居所 (事務所)	日本國大阪府門真市大字門真1006番地
	代 表 人 姓 名	中村 邦夫 KUNIO NAKAMURA

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國（地區）

申請專利，申請日期：

案號：

，☐有 ☐無主張優先權

日本

1999年09月24日

特願平11-270778

☒有 ☐無主張優先權

有關微生物已寄存於：，，寄存日期：，寄存號碼：

- 3 -

(請先閱讀背面之注意事項再填寫本頁各欄)

裝訂線

五、發明說明 (1)

[發明所屬之技術領域]

本發明係關於MOS電晶體技術領域，特別是高耐壓MOS電晶體之構造及其製造方法。

[先前之技術]

於高耐壓MOS電晶體中，被稱為LOCOS專設層(offset)型之構造，即於閘極電極之端部或者閘極電極與汲極擴散層及源極擴散層之間形成較厚之場氧化膜(以下，表示為LOCOS)之構造，係主要被用於高耐壓MOS電晶體中，該高耐壓MOS電晶體係與液晶驅動器用驅動元件一樣，閘極、汲極及源極皆需為高耐壓。

此處，對LOCOS專設層型構造中之專設層及阱專設層加以說明。專設層係為存在於閘極電極端部所對應之LOCOS之正下方且雜質濃度薄之擴散層，其主要係用以降低汲極擴散層與閘極下部間之電場強度，其導電型和上述汲極擴散層及源極擴散層相同，其雜質濃度係設定得較汲極擴散層及源極擴散層之為低。同理，阱專設層係為存在於汲極擴散層與源極擴散層正下方且雜質濃度低、深度深之擴散層。其主要係用以降低汲極擴散層與源極下部之逆導電型阱、襯底間之電場強度，其導電型與汲極擴散層、源極擴散層以及專設層之相同，其雜質濃度係設定得較專設層為低。亦即，同導電型雜質濃度之關係為：汲極擴散層及源極擴散層>專設層>阱專設層。

以下，參考圖11及圖12對習知之LOCOS專設層型高耐壓MOS電晶體之構造加以說明。圖11係為習知之高耐壓

五、發明說明 (2)

MOS電晶體之剖面圖，圖12係為習知之高耐壓MOS電晶體之俯視圖。如圖11及圖12所示，一般情形係高耐壓MOS電晶體與低壓電晶體共存於同一個晶片上。於本說明書，高耐壓電晶體部a係以N通道型為例；低壓電晶體部b係以P通道型為例。

首先，對高耐壓電晶體部a之構造加以說明。P型襯底1中，形成有一高耐壓N通道型電晶體用阱擴散層，即P型阱2；於該P型阱2上部形成有閘極電極8但隔著閘極氧化膜7；於閘極電極8之端部或者閘極電極8與汲極擴散層9d及源極擴散層9s之間形成有LOCOS6，而將閘極電極8與汲極擴散層9d或者源極擴散層9s於表面上分離開。於上述閘極電極8端部所對應之LOCOS6之正下方，形成有汲極側專設層4d及源極側專設層4s。於汲極擴散層9d及源極擴散層9s之下方形成有汲極側阱專設層3d及源極側阱專設層3s。因一般情形下，無源極側發生電場集中之規格(specification)，故並非一定要有專設層、阱專設層等。但為避免汲極側、源極側之固定，結果係電晶體中源極側與汲極側形成為尺寸相等、濃度相同之左右對稱構造。亦即，若設汲極側專設層4d之尺寸為 L_d ，源極側專設層4s之尺寸為 L_s ，則有 $L_d=L_s$ 之關係；若設汲極側專設層4d與汲極側阱專設層3d之重疊尺寸為 O_d ，源極側專設層4s與源極側阱專設層3s之重疊尺寸為 O_s ，則有 $O_d=O_s$ 之關係。如此形成之閘極、汲極及源極部係藉由N型分離擴散層4、P型分離擴散層5、LOCOS6而與用以保持P型阱擴散層2之電

五、發明說明 (3)

位之擴散層，即通道截斷環 (channel stopper) 10 相分離著。

其次，對低壓電晶體部 b 之構造加以說明。上述 P 型阱 2 中形成有低壓 P 通道型電晶體之阱擴散層，即 N 型阱 3。該 N 型阱 3 上部形成有閘極電極 8 但隔著閘極氧化膜 7，於其兩側形成有汲極擴散層 11d 及源極擴散層 11s。如此形成之閘極、汲極及源極部係藉由 N 型分離擴散層 4、P 型分離擴散層 5、LOCOS 6，而與用以保持 N 型阱擴散層 3 之電位之擴散層，即通道截斷環 12 相分離著。

參考圖 13，對習知之 LOCOS 專設層型高耐壓 MOS 電晶體之製造方法加以說明。

如圖 13 (a) 所示，藉由光刻製程、離子植入製程、熱處理製程，於 P 型襯底 1 之表面形成 P 型阱 2；如圖 13 (b) 所示，藉由光刻製程、離子植入製程、熱處理製程，於上述 P 型阱 2 之表面形成 N 型阱 3、汲極側阱專設層 3d 及源極側阱專設層 3s；如圖 13 (c) 所示，藉由光刻製程、離子植入製程，於上述 P 型阱 2 之上方形形成 N 型分離擴散層 4、汲極側專設層 4d、源極側專設層 4s 以及 P 型分離擴散層 5 後，又形成覆蓋其之 LOCOS 6；如圖 13 (d) 所示，形成閘極氧化膜 7、閘極電極 8 後，再藉由光刻製程、離子植入製程、熱處理製程，形成汲極擴散層 9d 及源極擴散層 9s、通道截斷環 10、汲極擴散層 11d 及源極擴散層 11s、通道截斷環 12。按以上之製造方法，於同一個晶片上形成高耐壓 MOS 電晶體及低壓 MOS 電晶體。

五、發明說明 (4)

對習知之 LOCOS 專設層型高耐壓 MOS 電晶體之操作情形加以說明。於上述高耐壓 MOS 電晶體接通之時，亦即向閘極電極 8 與汲極擴散層 9d 施加高電壓後，不僅汲極擴散層 9d 耗盡，同導電型之低濃度擴散層即汲極側阱專設層 3d、汲極側專設層 4d 亦耗盡。因此，此係為一種能降低朝向汲極擴散層 9d 之電場強度，實現高耐壓化之構造。

[本發明欲解決之課題]

然而，於習知之結構下，襯底電位 V_w 容易高於源極電位 V_s ，亦即，容易形成 $V_w - (\text{矽之正向接合偏壓}) > V_s$ 之關係，故所存在之技術上之課題係為：發生電晶體擊穿即被稱為保持擊穿 (sustaining breakdown) 時之電壓 (以下，稱為保持電壓) 較低。

參考附圖，說明於習知之 LOCOS 專設層型高耐壓 MOS 電晶體中保持擊穿是如何發生的。於本說明書中，係以 N 通道型電晶體為例。圖 14 (a) 及圖 14 (b) 為說明習知之高耐壓 MOS 電晶體之操作情形的圖，圖 14 (a) 係操作時之剖面圖，圖 14 (b) 係顯示汲極電壓與電流間之關係的曲線圖。

如圖 14 (a) 所示，於高耐壓 MOS 電晶體中，操作時電壓之印加位置為電極部 G、D2、S2、W2，而實際上作為電晶體之閘極、汲極、源極、阱工作之位置係閘極電極 8 正下方之部位 G、D1、S1、W1，故以該位置為主說明保持擊穿是如何發生的。為降低電場強度，電極部 D2、S2、W2 與實際上作為電晶體之汲極、源極、阱而工作之位置 D1、

五、發明說明 (5)

S1、W1係由汲極側專設層4d之電阻Rd、源極側專設層4s之電阻Rs、P型阱2之電阻Rw等電阻成份分離開。

上述高耐壓MOS電晶體接通時，亦即閘極電極8與汲極擴散層9d間被加上正電壓後，不僅汲極擴散層9d耗盡，同導電型之低濃度擴散層即汲極側阱專設層3d、汲極側專設層4d亦耗盡。而且，當印加電壓變大，這些區域充分耗盡時，其中之載子即電子便從源極側向汲極側移動而形成汲極電流（以下，表示為 I_{d1} ）。該汲極電流 I_{d1} 分為朝源極側流之源極電流（以下，表示為 I_{s1} ）與朝阱及襯底方向流之襯底電流（以下，表示為 I_{w1} ）。亦即存在著 $I_{d1}=I_{s1}+I_{w1}$ 之關係。一般情形下，襯底電流係以 I_{sub} 表示，但於本說明書中，以 I_{w1} 表示。汲極電壓 V_{d1} 與電流 I_{d1} 間之關係如圖14（b）所示。汲極電壓 V_{d1} 很低時，基本上 $I_{d1}=I_{s1}$ ，幾乎無襯底電流 I_{w1} 。

然而，汲極電壓 V_{d1} 大到某一值後，汲極旁邊之電子便由於汲極電壓 V_{d1} 所造成之電場強度而高速移動，這些高速移動電子與矽之晶格衝突而產生出電子—空洞對，結果發生了所生成之空洞向阱及襯底方向流動之現象。於是，襯底電壓 V_{w1} 便由於該流動襯底電流 I_{w1} 及P型阱2之電阻Rw之存在而有了變化。亦即由於襯底電流 I_{w1} 之形成而於阱側產生電位 V_{w1} ，其大小等於 $R_w \cdot I_{w1}$ ，且該襯底電壓 V_{w1} 較源極電位 V_{s2} 為大，因源極電位 V_{s2} 被固定為0伏。由於襯底電壓 V_{w1} 之變動，而進入 $V_{w1} - (\text{矽之正向接合耐壓}) > V_{s1}$ 之狀態，襯底與源極間之PN接合被正向偏壓。

五、發明說明 (6)

亦即，此時部位 S1、W1、D1 係不能作為高耐壓 MOS 電晶體之源極、阱、汲極起作用，而是作為寄生雙載子型電晶體之射極、基極、集極起作用。因其接通，故電流開始急劇地流。如此，隨著汲極電壓 V_{d1} 之增大，襯底電流 I_{w1} 亦急劇地增大，結果，於 $V_{d1}=x$ 伏特之時刻，電流 I_{d1} 達到發生電晶體擊穿之值而發生保持擊穿。該 V_{d1} 等於 x 伏這一電壓值為習知之高耐壓 MOS 電晶體之保持耐壓。

本發明係為解決上述課題而研究出者。其目的係在於：提供一既能維持 MOS 電晶體特性，又能使保持耐壓提高之高耐壓 MOS 電晶體之構造及其製造方法。

[課題之解決手段]

為解決上述課題，依照本發明之高耐壓 MOS 電晶體之構造及其製造方法，係藉由適當地決定源極側之電阻值 R_{s1} 形成一難以使 $V_{w1} - (\text{矽之正向接合耐壓}) > V_{s1}$ 成立之結構。藉此，可獲得保持耐壓高之 MOS 電晶體構造及其製造方法。

只要能維持好 $V_{w1} - (\text{矽之正向接合耐壓}) \leq V_{s1}$ 之狀態，就可保證不發生保持擊穿。亦即因 $V_{w1} = R_w \cdot I_{w1}$ ， $V_{s1} = R_s \cdot I_{s1}$ ，故只要我們人為地對其中之參數做一些改變而維持好 $V_{w1} - (\text{矽之正向接合耐壓}) \leq V_{s1}$ 之狀態即可。首先，因源極電流 I_{s1} 及襯底電流 I_{w1} 基本上已由汲極電壓 V_{d1} 決定好了，故不能對其做什麼改變。其次，P 型阱 2 之電阻 R_w 係受吾人以之為目標的 MOS 電晶體特性上之各種制約，不能僅僅因為要提高保持耐壓而人為地改變它。

五、發明說明 (7)

一般情形係將源極和汲極製作得尺寸相等、濃度相同而使源極側之電阻 R_s 和汲極側之電阻 R_d 相等，此乃左右對稱方便於設計之故。而從電晶體特性上來看，並非一定要相同。由於形成汲極側電阻 R_d 之專設層，係在印加汲極電壓 V_{d1} 之時會耗盡而被用於降低電場強度，且汲極側之電阻 R_d 之值受汲極電壓、電晶體速度、通態電阻特性等之限制。相反，源極側之電阻 R_s 係於源極電位 V_{s2} 為 $0V$ 時所用，不會象汲極側之電阻 R_d 那樣，於被施加高電場之場合下使用，故其受之制約少，因而可對其做一些改變。

由上述理由而知：可人為地加以改變之電阻只有源極側之電阻值 R_s 。藉由適當地設定該源極側之電阻值 R_s 且讓該設定與汲極側之電阻 R_d 無關而使源極電壓 V_{s1} 變大，結果，可使 $V_{w1} - (\text{矽之正向接合耐壓}) \leq V_{s1}$ 成為可能，而難以發生保持擊穿。

習知之高耐壓 MOS 電晶體，係根據電晶體特性適當地決定汲極側之電阻 R_d ，且為使製程簡單化、電路規格簡單化，讓源極側與汲極側左右對稱，因而未能決定出最合適之源極側電阻值 R_s 。本發明着眼於該源極側之電阻值 R_s 並定出一最理想之值給它。藉此，提供一既能維持 MOS 電晶體特性，又能簡單地使保持耐壓提高之高耐壓 MOS 電晶體之構造及其製造方法。

於本發明中，雖然 MOS 電晶體之汲極區及源極區為非對稱結構，但沒有問題。一般是由 $5V$ 電壓驅動之低壓系 MOS 電晶體，其汲極與源極為左右對稱結構，這是因為從

五、發明說明(8)

電路規格上來看，係不固定汲極與源極為有利之故。然而，對高耐壓電晶體來說，即使設計電路時固定好汲極與源極，亦不會造成什麼影響，故可讓汲極側與源極側之電阻值不同，而為一左右不對稱之結構。

至今，於源極側外設電阻之方法係為一提高保持耐壓之手段。於本發明中，不需要外設電阻，而是藉由積極地於汲極區及源極區使用具有LOCOS專設層構造之MOS電晶體之專設區之電阻，以獲得與外設電阻時相同之效果。

亦即，如申請專利範圍第1項所記載之發明中之高耐壓MOS電晶體之構造，其特徵在於：源極側之電阻值之設定係與汲極側之電阻值無關，以使保持耐壓提高。

如申請專利範圍第2項所記載之發明，係於如上述申請專利範圍第1項所記載之高耐壓MOS電晶體構造中，其特徵在於：源極側之專設區之電阻值之設定係與汲極側之專設區之電阻值無關，以使保持耐壓提高。

如申請專利範圍第3項所記載之發明中之高耐壓MOS電晶體之構造，其特徵在於：備有汲極側之專設區及與上述汲極側之專設區不對稱之源極側專設區，以使保持耐壓提高。

如申請專利範圍第4項所記載之發明，係於如上述申請專利範圍第3項所記載之高耐壓MOS電晶體之構造中，其特徵在於：將上述源極側之專設區之尺寸設定得與上述汲極側之專設區之尺寸不等，以使保持耐壓提高。

如申請專利範圍第5項所記載之發明，係於如上述申

五、發明說明 (9)

請專利範圍第3項所記載之高耐壓MOS電晶體之構造中，其特徵在於：將上述源極側之專設區之濃度設定得與上述汲極側之專設區之濃度不等，以使保持耐壓提高。

如申請專利範圍第6項所記載之發明中之高耐壓MOS電晶體之構造，其特徵在於：備有汲極側之專設擴散層及雜質濃度與上述汲極側之專設區之不等的源極側之專設區，以使保持耐壓提高。

如申請專利範圍第7項所記載之發明，係於如上述申請專利範圍第1項所記載之高耐壓MOS電晶體之構造中，其特徵在於：將源極側之電阻值設定得大於汲極側之電阻值，以便於設襯底電壓為 V_w ，源極電壓為 V_s 之時，難以實現： $V_w - (\text{矽之正向接合耐壓}) > V_s$ 。

如申請專利範圍第8項所記載之發明中之高耐壓MOS電晶體之製造方法，其特徵在於：製作抗蝕圖而使源極側之專設層之尺寸較汲極側之專設層之尺寸為大，並利用上述抗蝕圖形成上述源極側之專設層及汲極側之專設層，以使保持耐壓提高。

如申請專利範圍第9項所記載之發明中之高耐壓MOS電晶體之製造方法，其特徵在於：以形成汲極側之專設區之製程，及植入離子而使其中之雜質濃度為與上述汲極側之專設區之雜質濃度無關而設定之那個值，以形成源極側之專設區之製程，製造保持耐壓高之高耐壓MOS電晶體。

如申請專利範圍第10項所記載之發明，係於如上述申請專利範圍第9項所記載之高耐壓MOS電晶體之製造方法

五、發明說明 (10)

中，其特徵在於：將上述源極側之專設區之雜質濃度設定得較上述汲極側之專設區之雜質濃度為低。

如申請專利範圍第11項所記載之發明中之高耐壓MOS電晶體之製造方法，係為一與低壓MOS電晶體共存於同一個晶片上之高耐壓MOS電晶體之製造方法，其特徵在於：設定高耐壓MOS電晶體之存在於上述低壓MOS電晶體之阱形成用光掩模上源極側及汲極側之阱專設層之位置，而讓阱專設層與專設層於源極側之重疊變少，並利用上述光掩模形成高耐壓MOS電晶體之源極側及汲極側之阱專設層，以製造保持耐壓高之高耐壓MOS電晶體。

如上所述，如於申請專利範圍第1項及申請專利範圍第11項所記載之發明中之高耐壓MOS電晶體之構造及其製造方法中，源極區之電阻值之設定係與汲極區之電阻值無關。於是，從襯底電壓 V_w 減去矽之正向接合耐壓後之電壓值係難以大於源極電壓 V_s ，故MOS電晶體之特性維持得良好，保持電壓亦提高了。

[發明之實施形態]

以下，參考附圖，說明本發明之實施形態。

(第1實施形態)

圖1及圖2係顯示本發明之第1實施形態中之LOCOS專設層型高耐壓MOS電晶體之構造。圖1係為高耐壓MOS電晶體之剖面圖，圖2係為高耐壓MOS電晶體之俯視圖。

如圖1及圖2所示，高耐壓電晶體與低壓電晶體共存於同一個晶片上。於本實施形態，高耐壓電晶體部A係以N通

五、發明說明 (11)

道型爲例；低壓電晶體部B係以P通道型爲例。

首先，利用圖1及圖2對高耐壓電晶體部A之構造加以說明。P型襯底1中，形成有一高耐壓N通道型電晶體用阱擴散層，即P型阱2；於該P型阱2上部形成有閘極電極8但隔著閘極氧化膜7；於閘極電極8之端部或者閘極電極8與汲極擴散層9d及源極擴散層9s之間形成有LOCOS6，而將閘極電極8與汲極擴散層4d或者源極擴散層4s於表面上分離開；於上述閘極電極8端部所對應之LOCOS6之正下方，形成有汲極側專設層4d及源極側專設層4s；汲極側阱專設層3d及源極側阱專設層3s存在於汲極擴散層9d及源極擴散層9s之下方。

如圖1及圖2所示般，係一源極側之專設擴散層4s與汲極側之專設層4d之濃度、深度相同，但源極側4s之尺寸較汲極側4d之尺寸爲大之構造。亦即，若設汲極側專設層4d之尺寸爲 L_d ，源極側專設層4s之尺寸爲 L_s ，則存在著 $L_d < L_s$ 之關係。

專設層與阱專設層之位置關係，係與習知之構造下之相同，設汲極側專設層4d與汲極側阱專設層3d之重疊尺寸爲 O_d ，源極側專設層4s與源極側阱專設層3s之重疊尺寸爲 O_s ，則有 $O_d = O_s$ 之關係。

以上形成之閘極、汲極及源極部，係藉由N型分離擴散層4、P型分離擴散層5、LOCOS6而與用以保持P型阱擴散層2之電位之擴散層，即通道截斷環10相分離著。

其次，利用圖1及圖2對低壓電晶體部B之構造加以說

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

明。於上述 P 型阱 2 中形成有低壓 P 通道型電晶體之阱擴散層，即 N 型阱 3。於該 N 型阱 3 之上部形成有閘極電極 8 但隔著閘極氧化膜 7，於其兩側形成有汲極擴散層 11d 及源極擴散層 11s。以上形成之閘極、汲極及源極部，係藉由 N 型分離擴散層 4、P 型分離擴散層 5、LOCOS 6 而與用以保持 N 型阱擴散層 3 之電位之擴散層，即通道截斷環 12 相分離著。

其次，參考圖 3，對本實施形態之 LOCOS 專設層型高耐壓 MOS 電晶體之製造方法加以說明。

首先，如圖 3 (a) 所示，藉由光刻製程、離子植入製程、熱處理製程，於 P 型襯底 1 之表面形成 P 型阱 2。於本實施形態中，係利用高耐壓部阱形成用抗蝕圖將硼等 P 型離子群植入比電阻為 $10 \sim 50 \Omega \cdot \text{cm}$ 之 P 型襯底 1 之表面，並藉由熱處理製程形成例如其雜質濃度為 $2.0 \text{E}15 \text{cm}^{-3}$ 、擴散深度約為 $15 \mu\text{m}$ 之 P 型阱 2。

接著，如圖 3 (b) 所示，藉由光刻製程、離子植入製程、熱處理製程，於上述 P 型阱 2 之表面形成 N 型阱 3、汲極側阱專設層 3d 及源極側阱專設層 3s。於本實施形態中，係利用低壓部阱形成用抗蝕圖植入磷等 N 型離子群，再利用熱處理製程形成例如其雜質濃度為 $1.0 \text{E}16 \text{cm}^{-3}$ 、擴散深度為 $5 \mu\text{m}$ 之 N 型阱 3、汲極側阱專設層 3d 及源極側阱專設層 3s。

然後，如圖 3 (c) 所示，藉由光刻製程、離子植入製程，於上述 P 型阱 2 之上方形形成 N 型分離擴散層 4、汲極側專設層 4d 及源極側專設層 4s。此時所用之抗蝕圖係被設計為 L_s 大一些，即 $L_d < L_s$ 。例如，於習知例中 $L_d = L_s = 6.0 \mu\text{m}$ ，而

五、發明說明 (13)

於本實施形態中，係仍讓 $L_d = 6.0 \mu m$ ，却改變 L_s 而讓其為 $9.0 \mu m$ ，利用該尺寸下之抗蝕圖植入磷等 N 型離子群。之後，再利用光刻製程、離子植入製程形成 P 型分離擴散層 5 及覆蓋其之 LOCOS 6。於本實施形態中，係利用抗蝕圖植入硼等 P 型離子群，並進行了讓 LOCOS 生長之熱處理。結果，係形成了例如其雜質濃度為 $2.0E16 cm^{-3}$ 、擴散層深度為 $2 \mu m$ 之 N 型分離擴散層 4、汲極側專設層 4d、源極側專設層 4s 及 P 型分離擴散層 5。由於利用了上述被設計為 $L_d < L_s$ 之抗蝕圖，結果係可於習知之製程下，形成專設層之濃度及深度保持不變，僅僅尺寸變為 $L_d < L_s$ 之構造。

最後，如圖 3 (d) 所示，形成閘極氧化膜 7、閘極電極 8 後，再藉由光刻製程、離子植入製程、熱處理製程形成汲極擴散層 9d 及源極擴散層 9s、通道截斷環 10、汲極擴散層 11d 及源極擴散層 11s、通道截斷環 12。於本實施形態中，係利用抗蝕圖植入磷等 N 型離子群後，再藉由熱處理製程形成高耐壓 N 通道型電晶體部之例如其雜質濃度為 $2.0E20 cm^{-3}$ 、擴散層深度為 $0.5 \mu m$ 之汲極擴散層 9d、源極擴散層 9s。

按以上之製造方法，於同一個晶片上形成了高耐壓 MOS 電晶體及低壓 MOS 電晶體。

例如習知之高耐壓 MOS 電晶體之保持耐壓為 85V，則於本實施形態中所製備之高耐壓 MOS 電晶體之保持耐壓為 100V，即約提高了 15V。

其次，參考圖 10，對本實施形態之 LOCOS 專設層型高

五、發明說明 (14)

耐壓 MOS 電晶體之操作情形加以說明。於本實施形態中，係以 N 通道型電晶體為例。圖 10 (a) 及圖 10 (b) 為說明本發明之高耐壓 MOS 電晶體之操作情形的圖，圖 10 (a) 為操作時之剖面圖，圖 10 (b) 為顯示汲極電壓與電流間之關係的曲線圖。

與習知之高耐壓 MOS 電晶體一樣，操作時電壓之印加位置為電極部 G、D2、S2、W2，而實際上作為電晶體之閘極、汲極、源極、阱而工作之位置係閘極電極 8 正下方之部位 G、D1、S1、W1。電極部 D2、S2、W2 與上述各部位 D1、S1、W1 係由汲極側專設層 4d 之電阻 R_d 、源極側專設層 4s 之電阻 R_s 、P 型阱 2 之電阻 R_w 等電阻成份而分離開，為的是降低電場強度。

於上述高耐壓 MOS 電晶體接通之時，亦即向閘極電極 8 與汲極擴散層 9d 施加正電壓後，不僅汲極擴散層 9d 耗儘，同導電型之低濃度擴散層即汲極側阱專設層 3d、汲極側專設層 4d 亦耗儘。而且，當印加電壓變大，這些區域充分耗儘時，其中之載子即電子便開始從源極側向汲極側移動而形成汲極電流 I_{d1} 。該汲極電流 I_{d1} 分為朝源極側流之源極電流 I_{s1} 與朝阱、襯底方向流之襯底電流 I_{w1} 。亦即存在著 $I_{d1} = I_{s1} + I_{w1}$ 之關係。汲極電壓與電流間之關係係如圖 10 (b) 所示般。

當汲極電壓 V_{d1} 增大到某一值時，開始形成襯底電流 I_{w1} 而於阱側產生電位 V_{w1} ，大小為 $R_w \cdot I_{w1}$ 。另一方面，雖然於源極側源極電流 I_{s1} 保持不變，但因源極側專設層

五、發明說明 (15)

4s之尺寸增大了，亦即源極側專設層4s之電阻 R_s 變大了，結果係同一個汲極電壓 V_{d1} 下之源極電位 V_{s1} 較習知之源極電位為大，因為 $V_{s1}=R_s \cdot I_{s1}$ 。是以，即使於習知之高耐壓MOS電晶體之保持耐壓，即 $V_{d1}=x$ 伏特之電壓下，亦因源極側專設層4s之電阻 R_s 增大，而使源極電位 V_{s1} 增大，且該源極電位 V_{s1} 可被維持為較產生於阱側之電位 $R_w \cdot I_{w1}=V_{w1}$ 大，因此 $V_{w1} - (\text{矽之正向接合耐壓}) \leq V_{s1}$ 之關係得以維持，由部位D1、S1、W1形成之寄生雙載子型電晶體不會成為接通狀態，襯底電流 I_{w1} 亦不會急劇地增加，結果係汲極電流 I_{d1} 不會達到電晶體被擊穿之那一個值，從而可防止發生保持擊穿。

如上所述，依照本實施形態，為將源極側專設層4s之電阻 R_s 設定為一適當值，而對專設層之尺寸進行了調整。結果係源極側之專設層之尺寸較汲極側之為大，而成為左右非對稱之構造，但仍能維持MOS電晶體特性，並能於不改變加工製程之情形下使保持耐壓提高。

還有，於本實施形態中，係以N通道型電晶體為例加以說明，毋容置疑，將其應用至P通道型電晶體中亦能獲得同樣之效果。

(第2實施形態)

以下，參考附圖，說明本發明之第2實施形態。

以下，係利用圖4及圖5說明本發明之LOCOS專設層型高耐壓MOS電晶體之構造。圖4係為本發明之第2實施形態中之高耐壓MOS電晶體之剖面圖，圖5係為本發明之第2

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (16)

實施形態中之高耐壓 MOS 電晶體之俯視圖。如圖 4 及圖 5 所示，高耐壓電晶體與低壓電晶體共存於同一個晶片上。於本實施形態，高耐壓電晶體部 C 係以 N 通道型為例；低壓電晶體部 B 係以 P 通道型為例。

首先，利用圖 4 及圖 5 對高耐壓電晶體部 C 之構造加以說明。P 型襯底 1 中，形成有一高耐壓 N 通道型電晶體用阱擴散層，即 P 型阱 2；於該 P 型阱 2 上部形成有閘極電極 8 但隔著閘極氧化膜 7；於閘極電極 8 之端部或者閘極電極 8 與汲極擴散層 9d 及源極擴散層 9s 之間形成有 LOCOS6，而將閘極電極 8 與汲極擴散層 9d 或者源極擴散層 9s 於表面上分離開；於上述閘極電極 8 端部所對應之 LOCOS6 之正下方，形成有汲極側專設層 4d 及源極側專設層 4s；汲極側阱專設層 3d 及源極側阱專設層 3s 存在於汲極擴散層 9d 及源極擴散層 9s 之下方。

如圖 4 及圖 5 所示般，汲極側專設層 4d 與源極側專設層 4s 間有 $L_d = L_s$ 之關係，專設層與阱專設層之位置關係為 $O_d = O_s$ 而與習知之高耐壓 MOS 電晶體相同。不同之處係將源極側專設層 4s 之濃度設定得較汲極側專設層 4d 之為低。以上形成之閘極、汲極及源極部，係藉由 N 型分離擴散層 4、P 型分離擴散層 5、LOCOS6 而與用以保持 P 型阱擴散層 2 之電位之擴散層，即通道截斷環 10 相分離著。

其次，利用圖 4 及圖 5 對低壓電晶體部 B 之構造加以說明。於上述 P 型阱 2 中形成有低壓 P 通道型電晶體之阱擴散層，即 N 型阱 3。於該 N 型阱 3 之上部形成有閘極電極 8 但隔

五、發明說明 (17)

著閘極氧化膜7，於其兩側形成有汲極擴散層11d及源極擴散層11s。以上形成之閘極、汲極及源極部，係藉由N型分離擴散層4、P型分離擴散層5、LOCOS6而與用以保持N型阱擴散層3之電位之擴散層，即通道截斷環12相分離著。

其次，參考圖6，對本實施形態之LOCOS專設層型高耐壓MOS電晶體之製造方法加以說明。

首先，如圖6(a)所示，藉由光刻製程、離子植入製程、熱處理製程，於P型襯底1之表面形成P型阱2。於本實施形態中，係利用高耐壓部阱形成用抗蝕圖將硼等P型離子群植入比電阻為 $10 \sim 50 \Omega \cdot \text{cm}$ 之P型襯底1之表面，並藉由熱處理製程形成例如其雜質濃度為 $2.0 \text{E}15 \text{cm}^{-3}$ 、擴散深度約為 $15 \mu\text{m}$ 之P型阱2。

接著，如圖6(b)所示，藉由光刻製程、離子植入製程、熱處理製程，於上述P型阱2之表面形成N型阱3、汲極側阱專設層3d及源極側阱專設層3s。於本實施形態中，係利用低壓部阱形成用抗蝕圖植入磷等N型離子群，再利用熱處理製程形成例如其雜質濃度為 $1.0 \text{E}16 \text{cm}^{-3}$ 、擴散深度為 $5 \mu\text{m}$ 之N型阱3、汲極側阱專設層3d及源極側阱專設層3s。

然後，如圖6(c)所示，藉由離子植入製程，於上述P型阱2之上方形形成N型分離擴散層4及汲極側專設層4d。源極側專設層4s係藉由其他的抗蝕圖形成，如圖5所示，係可使源極側專設層4s之雜質濃度低於汲極側專設層4d之雜質濃度。之後，再利用光刻製程、離子植入製程形成P型分離擴散層5及覆蓋其之LOCOS6。

五、發明說明 (18)

於本實施形態中，係利用不同之抗蝕圖分別植入磷等N型離子群、硼等P型離子群，並藉由讓LOCOS生長之熱處理，形成例如其雜質濃度為 $2.0E16cm^{-3}$ 、擴散層深度為 $2\mu m$ 之N型分離擴散層4、汲極側專設層4d、P型分離擴散層5；形成其雜質濃度為 $1.3E16cm^{-3}$ 、擴散層深度為 $1.6\mu m$ 之源極側專設層4s。

最後，如圖6(d)所示，形成閘極氧化膜7、閘極電極8後，再藉由光刻製程、離子植入製程、熱處理製程形成汲極擴散層9d及源極擴散層9s、通道截斷環10、汲極擴散層11d及源極擴散層11s、通道截斷環12。於本實施形態中，係利用抗蝕圖植入磷等N型離子群後，再藉由熱處理製程形成例如其雜質濃度為 $2.0E20cm^{-3}$ 、擴散層深度為 $0.5\mu m$ 之高耐壓N通道型電晶體部之汲極擴散層9d、源極擴散層9s。按以上之製造方法，於同一個晶片上形成了高耐壓MOS電晶體及低壓MOS電晶體。

例如習知之高耐壓MOS電晶體之保持耐壓為85V，則於本實施形態中所製備之高耐壓MOS電晶體之保持耐壓為100V，即約提高了15V。

其次，參考圖10，對本實施形態之LOCOS專設層型高耐壓MOS電晶體之操作加以說明。於本說明書中，係以N通道型電晶體為例。圖10(a)及圖10(b)為說明本發明之高耐壓MOS電晶體之操作情形的圖，圖10(a)為操作時之剖面圖，圖10(b)為顯示汲極電壓與電流間關係的曲線圖。

五、發明說明 (19)

與習知之高耐壓MOS電晶體一樣，操作時電壓之印加位置為電極部G、D2、S2、W2，而實際上作為電晶體之閘極、汲極、源極、阱而工作之位置係閘極電極8正下方之部位G、D1、S1、W1。電極部D2、S2、W2與上述各部位D1、S1、W1係由汲極側專設層4d之電阻Rd、源極側專設層4s之電阻Rs、P型阱2之電阻Rw等電阻成份而分離開，為的是降低電場強度。

於上述高耐壓MOS電晶體接通之時，亦即向閘極電極8與汲極擴散層9d施加正電壓後，不僅汲極擴散層9d耗儘，同導電型之低濃度擴散層即汲極側阱專設層3d、汲極側專設層4d亦耗儘。而且，當印加電壓變大，這些區域充分耗儘時，其中之載子即電子便開始從源極側向汲極側移動而形成汲極電流Id1。該汲極電流Id1分為朝源極側流之源極電流Is1與朝阱、襯底方向流之襯底電流Iw1。亦即存在著 $Id1=Is1+Iw1$ 之關係。汲極電壓與電流間之關係係如圖10 (b) 所示般。

當汲極電壓Vd1增大到某一值時，開始形成襯底電流Iw1而於阱側產生電位Vw1，大小為 $Rw \cdot Iw1$ 。另一方面，雖然於源極側源極電流Is1保持不變，但因形成源極側專設層4s時，改變了植入量而使其濃度降低了，亦即源極側專設層4s之電阻Rs變大了，結果係同一個汲極電壓Vd1下之源極電位Vs1較習知之源極電位為大，因為 $Vs1=Rs \cdot Is1$ 。是以，即使於習知之高耐壓MOS電晶體之保持耐壓，即Vd1=x伏特之電壓下，亦因源極側專設層4s之電阻Rs增大，

五、發明說明 (20)

而使源極電位 V_{s1} 增大，且該源極電位 V_{s1} 可被保持為較產生於阱側之電位 $R_w \cdot I_{w1} = V_{w1}$ 大，因此， $V_{w1} - (\text{矽之正向接合耐壓}) \leq V_{s1}$ 之關係得以維持，由部位 $D1$ 、 $S1$ 、 $W1$ 形成之寄生雙載子型電晶體不會成為接通狀態，襯底電流 I_{w1} 亦不會急劇地增加，結果係汲極電流 I_{d1} 不會達到電晶體被擊穿之那一個值，從而可防止發生保持擊穿。

如上所述，依照本實施形態，為將源極側專設層 $4s$ 之電阻 R_s 設定為一適當值，而對源極側之專設區之離子植入量進行了調整。結果係源極側之專設層之離子植入量與汲極側之不同而成為左右雜質濃度分布不對稱之構造，且使製程增多了，但無需改變尺寸，且仍能維持 MOS 電晶體特性並能提高保持耐壓。

至於源極側專設層 $4s$ 之濃度，只要按如下關係設定其即可，即源極擴散層 $9s >$ 源極側專設層 $4s >$ 源極側阱擴散層 $3s$ 。

還有，於本實施形態中，僅有源極側專設層 $4s$ 之區域係用抗蝕圖選擇而使離子植入量少了。不僅如此，亦可於習知之製程下形成汲極側專設層 $4d$ 及源極側專設層 $4s$ 後再僅向源極側專設層 $4s$ 之區域植入逆導電型離子，以降低其濃度。

還有，於本實施形態中，係以 N 通道型電晶體為例加以說明，毋容置疑，將其應用至 P 通道型電晶體中亦能獲得同樣之效果。

(第 3 實施形態)

五、發明說明 (21)

以下，參考附圖，說明本發明之第3實施形態。

以下，係利用圖7及圖8說明本發明之LOCOS專設層型高耐壓MOS電晶體之構造。圖7係為本發明之第3實施形態中之高耐壓MOS電晶體之剖面圖，圖8係為本發明之第3實施形態中之高耐壓MOS電晶體之俯視圖。如圖7及圖8所示，高耐壓電晶體與低壓電晶體共存於同一個晶片上。於本實施形態，高耐壓電晶體部D係以N通道型為例；低壓電晶體部B係以P通道型為例。

首先，利用圖7及圖8對高耐壓電晶體部D之構造加以說明。P型襯底1中，形成有一高耐壓N通道型電晶體用阱擴散層，即P型阱2；於該P型阱2上部形成有閘極電極8但隔著閘極氧化膜7；於閘極電極8之端部或者閘極電極8與汲極擴散層9d及源極擴散層9s之間形成有LOCOS6，而將閘極電極8與汲極擴散層9d或者源極擴散層9s於表面上分離開；於上述閘極電極8端部所對應之LOCOS6之正下方形成有汲極側專設層4d及源極側專設層4s；汲極側阱專設層3d及源極側阱專設層3s存在於汲極擴散層9d及源極擴散層9s之下方。

如圖7及圖8所示般，汲極側專設層4d與源極側專設層4s之關係與習知例相同，仍為 $L_d=L_s$ ；而專設層與阱專設層之位置關係却為 $O_d>O_s$ 。具體而言，汲極側專設層4d之區域與汲極側阱專設層3d之重疊尺寸 O_d 較習知例為大，且該重疊區之雜質濃度係專設層4d與阱專設層3d之和；相反，源極側專設層4s與源極側阱專設層3s之重疊尺寸 O_s 較

五、發明說明 (22)

習知例為小（於圖7中幾乎為0），且該重疊區之雜質濃度係被逆導電型之P型阱2中和而降低，故於本實施形態中，汲極側專設層之雜質濃度較習知例為高，源極側專設層之雜質濃度較習知例為低，亦即係一汲極側與源極側之雜質濃度不同之構造。

以上形成之閘極、汲極及源極部，係藉由N型分離擴散層4、P型分離擴散層5、LOCOS6而與用以保持P型阱擴散層2之電位之擴散層，即通道截斷環10相分離著。

其次，利用圖7及圖8對低壓電晶體部B之構造加以說明。於上述P型阱2中形成有低壓P通道型電晶體之阱擴散層，即N型阱3。於該N型阱3之上部形成有閘極電極8但隔著閘極氧化膜7，於閘極電極8之兩側形成有汲極擴散層11d及源極擴散層11s。以上形成之閘極、汲極及源極部，係藉由N型分離擴散層4、P型分離擴散層5、LOCOS6而與用以保持N型阱擴散層3之電位之擴散層，即通道截斷環12相分離著。

其次，參考圖9，對本實施形態之LOCOS專設層型高耐壓MOS電晶體之製造方法加以說明。

首先，如圖9(a)所示，藉由光刻製程、離子植入製程、熱處理製程，於P型襯底1之表面形成P型阱2。於本實施形態中，係利用高耐壓部阱形成用抗蝕圖將硼等P型離子群植入比電阻為 $10 \sim 50 \Omega \cdot \text{cm}$ 之P型襯底1之表面，並藉由熱處理製程形成例如其雜質濃度為 $2.0 \text{E}15 \text{cm}^{-3}$ 、擴散深度約為 $15 \mu\text{m}$ 之P型阱2。

五、發明說明 (23)

接著，如圖 9 (b) 所示，藉由光刻製程、離子植入製程、熱處理製程，於上述 P 型阱 2 之表面同時形成低壓電晶體部 B 之 N 型阱 3、高耐壓電晶體部 D 之汲極側阱專設層 3d 及源極側阱專設層 3s。此時，低壓阱形成用抗蝕圖之位置，係從閘極電極看去較習知之位置更靠近源極側（即圖 7 中向右移動）。於本實施形態，係讓低壓部阱形成用抗蝕圖較習知之位置向源極側靠近約 $6.0\mu\text{m}$ 左右。利用該抗蝕圖植入磷等 N 型離子群，再藉由熱處理製程，形成例如其雜質濃度為 $1.0\text{E}16\text{cm}^{-3}$ 、擴散深度為 $5\mu\text{m}$ 之 N 型阱 3、汲極側阱專設層 3d 及源極側阱專設層 3s。

然後，如圖 9 (c) 所示，藉由光刻製程、離子植入製程，於上述 P 型阱 2 之上方形形成 N 型分離擴散層 4、汲極側專設層 4d 及源極側專設層 4s。此時，與習知例相比，於前製程僅使阱專設層 3s、3d 更靠近源極側，故若於其後之製程將抗蝕圖設定在習知之位置不變，則專設層與阱專設層間之位置關係自動地成為 $O_d > O_s$ 。因此時仍使用習知之抗蝕圖，沒做什麼改變，故專設層之尺寸亦不變，即 $L_d = l_s$ 。結果，係於習知之製程下，使用既有抗蝕圖，而不改變尺寸，即可使汲極側之雜質濃度較習知例為高，源極側之雜質濃度較習知例為低，而實現汲極側與源極側不同之濃度分布。之後，再利用光刻製程、離子植入製程形成 P 型分離擴散層 5 及覆蓋其之 LOCOS6。

於本實施形態中，係利用抗蝕圖植入磷等 N 型離子群、硼等 P 型離子群，並藉由讓 LOCOS 生長之熱處理，形成例

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (24)

如其雜質濃度為 $2.0 \times 10^{16} \text{ cm}^{-3}$ 、擴散層深度為 $2 \mu\text{m}$ 之 N 型分離擴散層 4、P 型分離擴散層 5；形成其雜質濃度為 $3.0 \times 10^{16} \text{ cm}^{-3}$ 、擴散層深度為 $2 \mu\text{m}$ 之汲極側專設層 4d；形成其雜質濃度為 $1.3 \times 10^{16} \text{ cm}^{-3}$ 、擴散層深度為 $1.3 \mu\text{m}$ 之源極側專設層 4s。於本實施形態中，使用了習知之抗蝕圖，即 $L_d = L_s = 6.0 \mu\text{m}$ ，但將低壓阱專設層相對專設層向源極側移動了約 $6.0 \mu\text{m}$ ，而實現了 $O_d > O_s$ 。

最後，如圖 9 (d) 所示，形成閘極氧化膜 7、閘極電極 8 後，再藉由光刻製程、離子植入製程、熱處理製程形成汲極擴散層 9d 及源極擴散層 9s、通道截斷環 10、汲極擴散層 11d 及源極擴散層 11s、通道截斷環 12。於本實施形態中，係利用抗蝕圖植入磷等 N 型離子群後，再藉由熱處理製程形成例如其雜質濃度為 $2.0 \times 10^{20} \text{ cm}^{-3}$ 、擴散層深度為 $0.5 \mu\text{m}$ 之高耐壓 N 通道型電晶體部之汲極擴散層 9d 及源極擴散層 9s。

按以上之製造方法，於同一個晶片上形成了高耐壓 MOS 電晶體及低壓 MOS 電晶體。

例如習知之高耐壓 MOS 電晶體之保持耐壓為 85V，則於本實施形態中所製備之高耐壓 MOS 電晶體之保持耐壓為 100V，即約提高了 15V。

其次，參考圖 10，對本實施形態之 LOCOS 專設層型高耐壓 MOS 電晶體之操作加以說明。於本說明書中，係以 N 通道型電晶體為例。圖 10 (a) 及圖 10 (b) 為說明本發明之高耐壓 MOS 電晶體之操作情形的圖，圖 10 (a) 為操作時之剖面圖，圖 10 (b) 為汲極電壓與電流間之關係的曲線

五、發明說明 (25)

圖。

與習知之高耐壓MOS電晶體一樣，操作時電壓之印加位置為電極部G、D2、S2、W2，而實際上作為電晶體之間極、汲極、源極、阱而工作之位置係閘極電極8正下方之部位G、D1、S1、W1。電極部D2、S2、W2與上述各部位D1、S1、W1係由汲極側專設層4d之電阻 R_d 、源極側專設層4s之電阻 R_s 、P型阱2之電阻 R_w 等而分離開，為的是降低電場強度。

於上述高耐壓MOS電晶體接通之時，亦即向閘極電極8與汲極擴散層9d施加正電壓後，不僅汲極擴散層9d耗盡，同導電型之低濃度擴散層，即汲極側阱專設層3d、汲極側專設層4d亦耗盡。而且，當印加電壓變大，這些區域充分耗盡時，其中之載子即電子便開始從源極側向汲極側移動而形成汲極電流 I_{d1} 。該汲極電流 I_{d1} 分為朝源極側流之源極電流 I_{s1} 與朝阱、襯底方向流之襯底電流 I_{w1} 。亦即存在著 $I_{d1}=I_{s1}+I_{w1}$ 之關係。汲極電壓與電流間之關係係如圖10(b)所示般。

當汲極電壓 V_{d1} 增大到某一值時，開始形成襯底電流 I_{w1} 而於阱側產生電位 V_{w1} ，大小為 $R_w \cdot I_{w1}$ 。另一方面，雖然於源極側源極電流 I_{s1} 保持不變，但我們讓低壓阱形成用抗蝕圖較習知之位置更靠近了源極側，而使源極側專設層層4s之濃度較習知例為低，亦即源極側專設層4s之電阻 R_s 變大了，結果係同一個汲極電壓 V_{d1} 下之源極電位 V_{s1} 較習知之源極電位為大，因為 $V_{s1}=R_s \cdot I_{s1}$ 。是以，即

五、發明說明 (26)

使於習知之高耐壓MOS電晶體之保持耐壓，即 $V_{d1} = x$ 伏特之電壓下，亦因我們讓源極側專設層4s之電阻 R_s 增大了，而使源極電位 V_{s1} 增大，且該源極電位 V_{s1} 可被保持為較產生於阱側之電位 $R_w \cdot I_{w1} = V_{w1}$ 大，因此， $V_{w1} -$ （矽之正向接合耐壓） $\leq V_{s1}$ 之關係得以維持，由部位D1、S1、W1形成之寄生雙載子型電晶體不會成為接通狀態，襯底電流 I_{w1} 亦不會急劇地增加，結果係汲極電流 I_{d1} 不會達到電晶體被擊穿之那一個值，從而可防止發生保持擊穿。

如上所述，依照本實施形態，為將源極側專設層4s之電阻 R_s 設定為一適當值，而對專設區之濃度進行了調整。結果係形成一源極側之專設層濃度較汲極側為低之左右不對稱構造，但無需改變尺寸及製程，只要利用既有抗蝕圖，便能於維持為MOS電晶體特性之情形下使保持耐壓提高，且製造成本低。

只要係於使源極側阱專設層3s不脫離源極側專設層4s、不與P型分離擴散層5接觸且閘極電極8之外側之範圍內，如何移動低壓阱形成用掩模皆可。

還有，於本實施形態中，係說明了讓整個既有之抗蝕圖靠近源極側，而給源極側專設層4s之電阻 R_s 定出一個適當值之情形。不僅如此，於重新製作抗蝕圖之場合，便應將汲極電流 I_d 、源極電流 I_s 以及上述重疊尺寸 O_d 、 O_s 設計為如圖7及圖8所示般。

還有，於本實施形態中，係以N通道型電晶體為例加以說明，毋容置疑，將其應用至P通道型電晶體中亦能獲

五、發明說明 (27)

得同樣之效果。

還有，於本實施形態中之高耐壓 MOS 電晶體製造製程裏，低壓電晶體部 B 之阱形成用抗蝕圖被用於形成高耐壓電晶體之阱專設層，於此場合，無需改變尺寸，無需新加製程，只需僅將低壓電晶體阱形成用掩模之位置移動一下，便能獲得與上述第 1 及第 2 實施形態相同之效果。因此，其係一種簡單、便宜之法。

[發明之效果]

如上所述，依照申請專利範圍第 1 項及第 11 項所記載之高耐壓 MOS 電晶體之構造及其製造方法，源極區之電阻值之設定係與汲極區之電阻值無關，故可提供一種既維持了 MOS 電晶體特性，至發生保持擊穿之耐壓又高之高耐壓 MOS 電晶體。

[附圖之簡單說明]

圖 1 係本發明之第 1 實施形態中之高耐壓 MOS 電晶體之剖面圖。

圖 2 係本發明之第 1 實施形態中之高耐壓 MOS 電晶體之俯視圖



圖 3 係顯示本發明之第 1 實施形態中之高耐壓 MOS 電晶體之製造製程的剖面圖。

圖 4 係本發明之第 2 實施形態中之高耐壓 MOS 電晶體之剖面圖。

圖 5 係本發明之第 2 實施形態中之高耐壓 MOS 電晶體之俯視圖。

五、發明說明 (28)

圖 6 係顯示本發明之第 2 實施形態中之高耐壓 MOS 電晶體之製造製程的剖面圖。

圖 7 係本發明之第 3 實施形態中之高耐壓 MOS 電晶體之剖面圖。

圖 8 係本發明之第 3 實施形態中之高耐壓 MOS 電晶體之俯視圖。

圖 9 係顯示本發明之第 3 實施形態中之高耐壓 MOS 電晶體之製造製程的剖面圖。

圖 10 係說明本發明之各實施形態中之高耐壓 MOS 電晶體之操作情形的圖。

圖 11 係習知之高耐壓 MOS 電晶體之剖面圖。

圖 12 係習知之高耐壓 MOS 電晶體之俯視圖。

圖 13 係顯示習知之高耐壓 MOS 電晶體之製造製程之剖面圖。

圖 14 係說明習知之高耐壓 MOS 電晶體之操作情形的圖。

[符號之說明]

- 1 P 型襯底
- 2 P 型阱
- 3 N 型阱
- 3 d 汲極側阱專設層
- 3 s 源極側阱專設層
- 4 N 型分離擴散層
- 4 d 汲極側專設層

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (29)

4s	源極側專設層
5	P型分離擴散層
6	LOCOS
7	閘極氧化膜
8	閘極電極
9d	汲極擴散層
9s	源極擴散層
10	通道截斷環
11d	汲極擴散層
11s	源極擴散層
12	通道截斷環
Rd	汲極側專設層之電阻
Rs	源極側專設層之電阻
Rw	P型阱之電阻

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：

高耐壓MOS電晶體之構造及其製造方法)

本發明旨在提供一種高耐壓MOS電晶體及其製造方法，於高耐壓MOS電晶體中，襯底電位難以高於源極電位，以提高保持耐壓。

源極側專設擴散層4s與汲極側專設擴散層4d之濃度深度相同，但設源極側專設擴散層4s之尺寸較汲極側專設擴散層4d為大。亦即，若設汲極側專設擴散層4d之尺寸為 L_d ，源極側專設擴散層4s之尺寸為 L_s ，則 $L_d < L_s$ 。是以，源極側之專設擴散層4s之電阻值變大，源極側電壓 V_s 提高。結果係：若設襯底電壓為 V_w ，則易維持

$V_w - (\text{矽之正向接合耐壓}) \leq V_s$
之狀態，而使保持耐壓提高。

英文發明摘要(發明之名稱：

"HIGH-VOLTAGE MOS TRANSISTOR AND METHOD FOR FABRICATING THE SAME")

In a high-voltage MOS transistor, source/drain offset regions have the same dopant concentration and the same diffusion depth but the length L_s of the source offset region is set greater than the length L_d of the drain offset region. Accordingly, the resistance value of the source offset region increases, thus raising a source voltage V_s , too. As a result, a substrate voltage V_w minus a forward biased breakdown voltage of silicon can be kept equal to or less than the source voltage V_s more easily, and therefore, a sustaining breakdown voltage of the transistor can be increased.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種高耐壓 MOS 電晶體，其特徵在於：
源極側之電阻值係設定為使源極電壓增大而與汲極側之電阻值無關，以使該電晶體之保持耐壓提高。
2. 如申請專利範圍第 1 項所記載之高耐壓 MOS 電晶體，其特徵在於：
源極側之專設區之電阻值之設定係與汲極側之專設區之電阻值無關，以使保持耐壓提高。
3. 一種高耐壓 MOS 電晶體，其特徵在於：
備有汲極側之專設區；及
與上述汲極側之專設區不對稱之源極側專設區，以使保持耐壓提高。
4. 如申請專利範圍第 3 項所記載之高耐壓 MOS 電晶體，其特徵在於：
上述源極側之專設區之尺寸係被設定得與上述汲極側之專設區之尺寸不等，以使保持耐壓提高。
5. 如申請專利範圍第 3 項所記載之高耐壓 MOS 電晶體，其特徵在於：
上述源極側之專設區之濃度係被設定得與上述汲極側之專設區之濃度不等，以使保持耐壓提高。
6. 一種高耐壓 MOS 電晶體，其特徵在於：
備有汲極側之專設擴散層；及
其雜質濃度與上述汲極值之專設區之不同的源極側之專設區，以使保持耐壓提高。
7. 如申請專利範圍第 1 項所記載之高耐壓 MOS 電晶體，其

六、申請專利範圍

特徵在於：

源極側之電阻值係被設定得大於汲極側之電阻值，以便於設襯底電壓為 V_w ，源極電壓為 V_s 之時，難以實現 $V_w - (\text{矽之正向接合耐壓}) > V_s$ 。

8. 一種高耐壓 MOS 電晶體之製造方法，其特徵在於：

製作抗蝕圖而使源極側之專設層之尺寸較汲極側之專設層之尺寸為大；

利用上述抗蝕圖形成上述源極側之專設層及汲極側之專設層，而使保持耐壓提高。

9. 一種高耐壓 MOS 電晶體之製造方法，其特徵在於：

以形成汲極側之專設區之製程；及

植入離子且使雜質濃度為與上述汲極側之專設區之雜質濃度無關而設定之那個值，而形成源極側之專設區之製程，製造保持耐壓高之高耐壓 MOS 電晶體。

10. 如申請專利範圍第 9 項所記載之高耐壓 MOS 電晶體之製造方法，其特徵在於：

上述源極側之專設區之雜質濃度係被設定得較上述汲極側之專設區之雜質濃度為低。

11. 一種與低壓 MOS 電晶體共存於同一晶片上之高耐壓 MOS 電晶體之製造方法，其特徵在於：

設定高耐壓 MOS 電晶體之存在於上述低壓 MOS 電晶體之阱形成用光掩模上之源極側及汲極側之阱專設層之位置，而讓阱專設層與專設層在源極側之重疊變少；

利用上述光掩模形成高耐壓 MOS 電晶體之源極側及汲極

六、申請專利範圍

側之阱專設層，以製造保持耐壓高之高耐壓MOS電晶體。

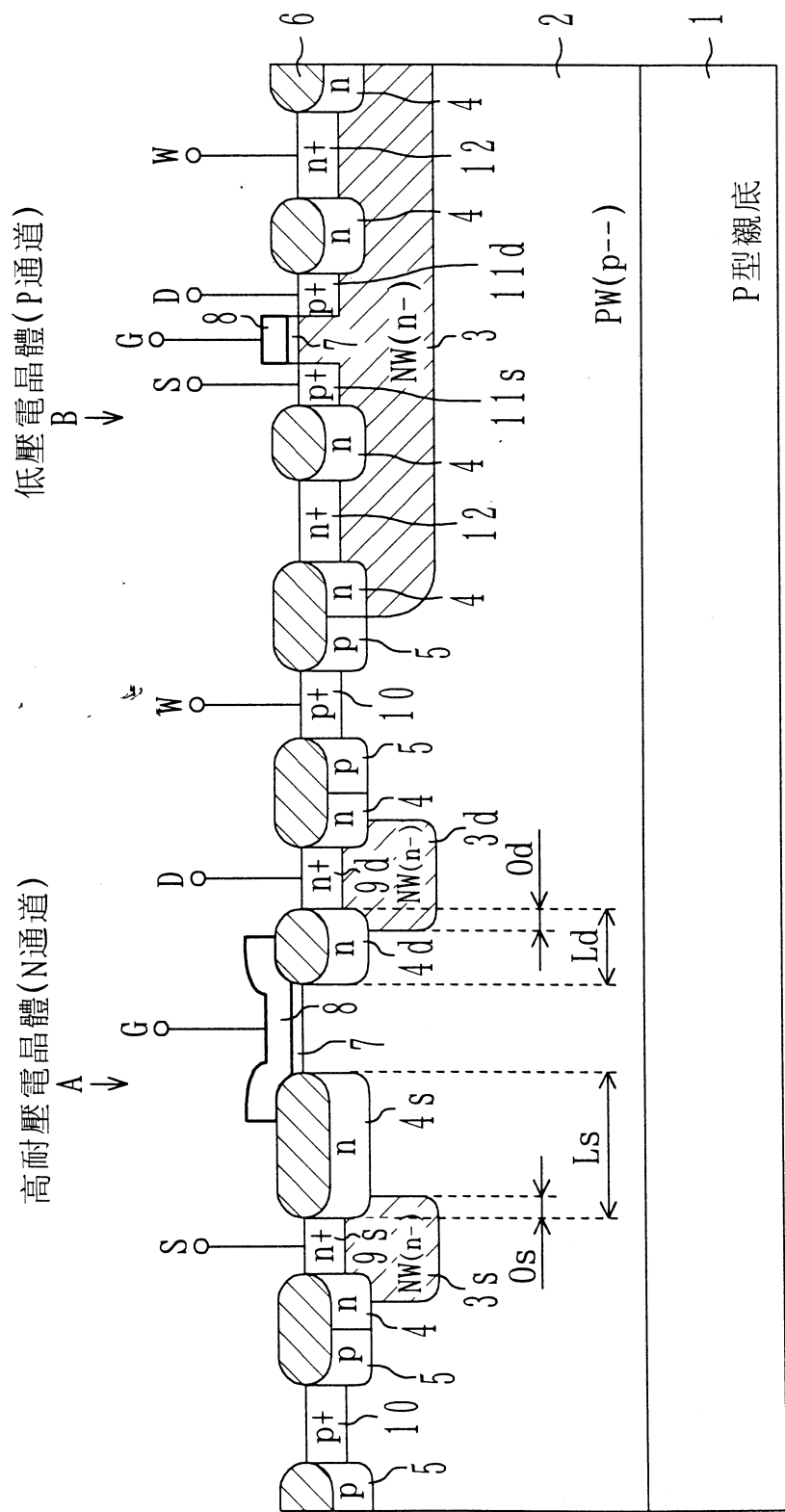


圖 2

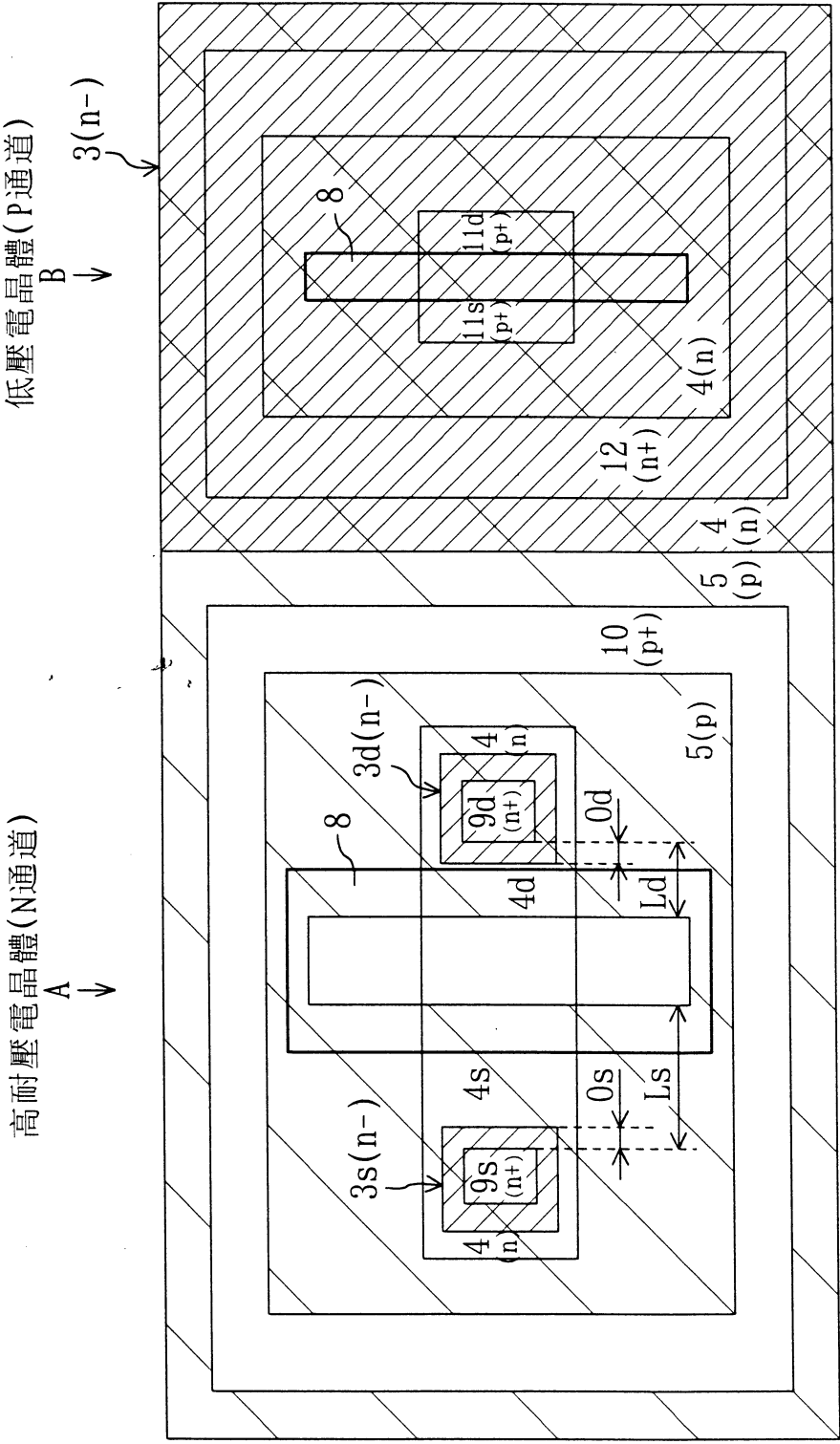


圖 3 (a)

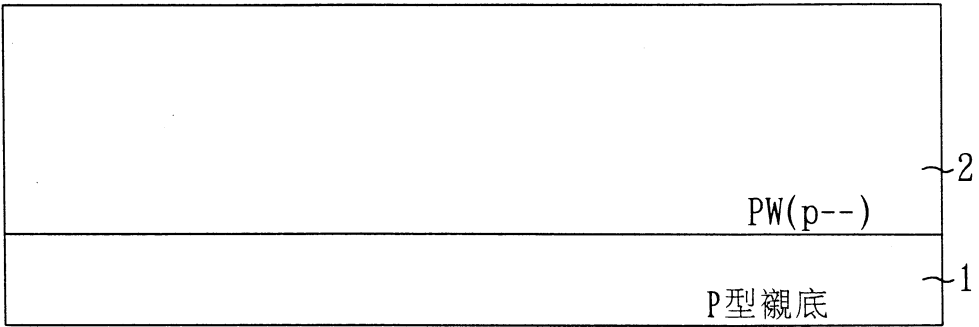


圖 3 (b)

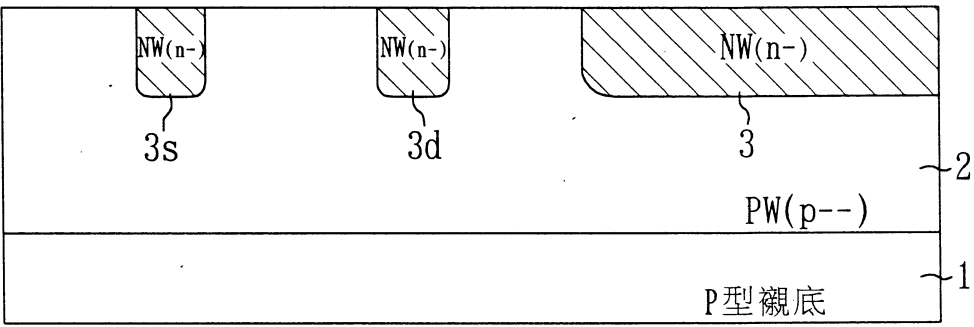


圖 3 (c)

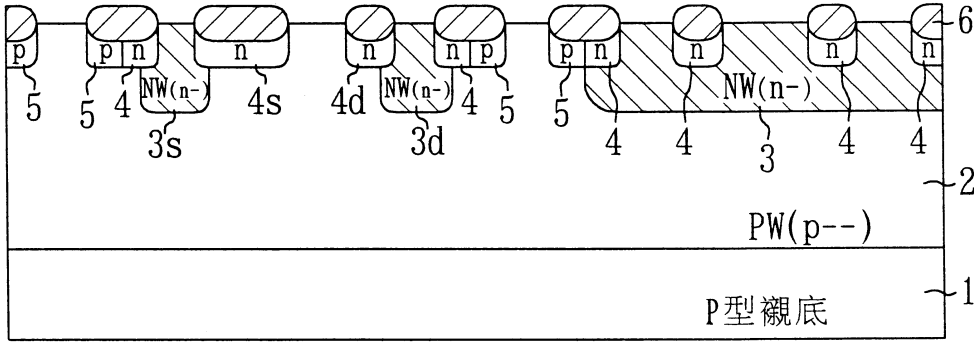
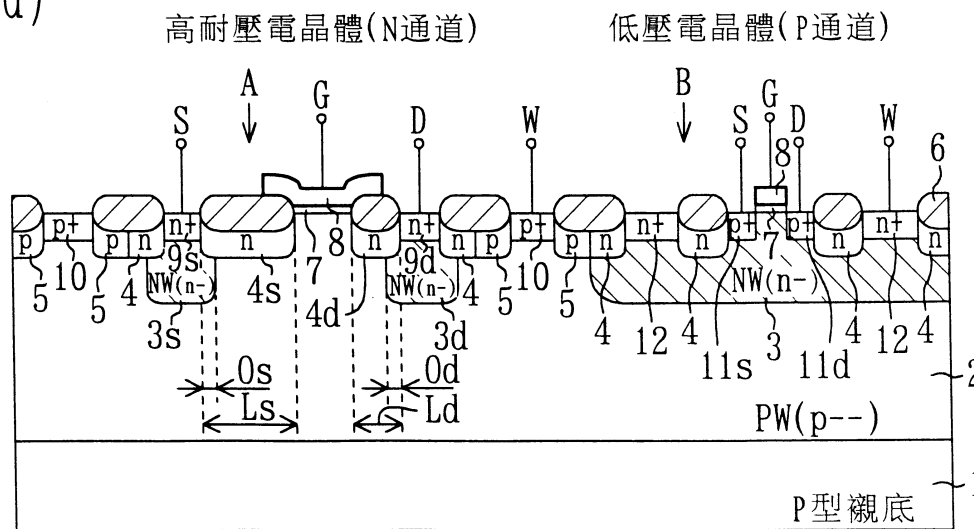


圖 3 (d)



四

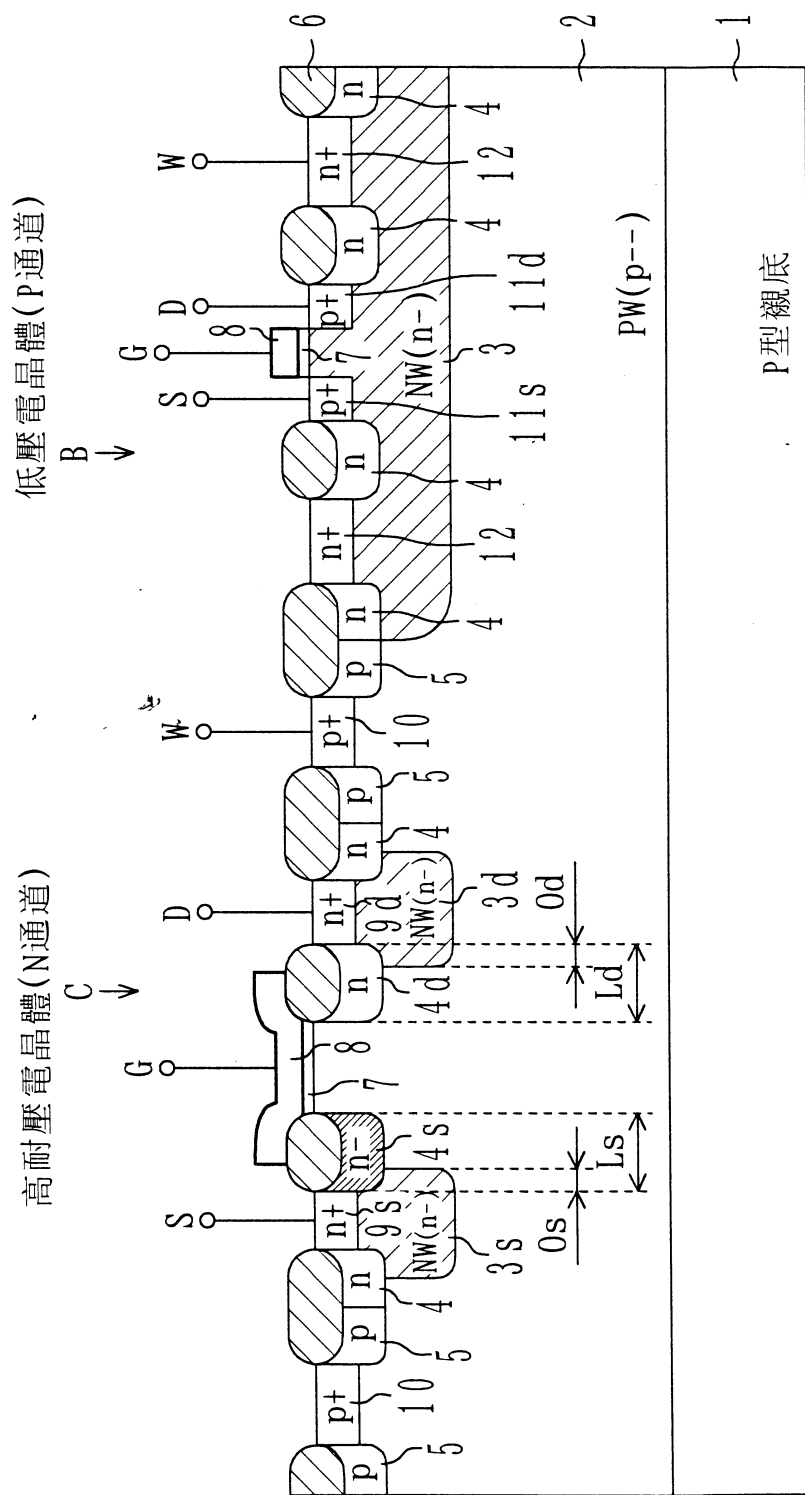
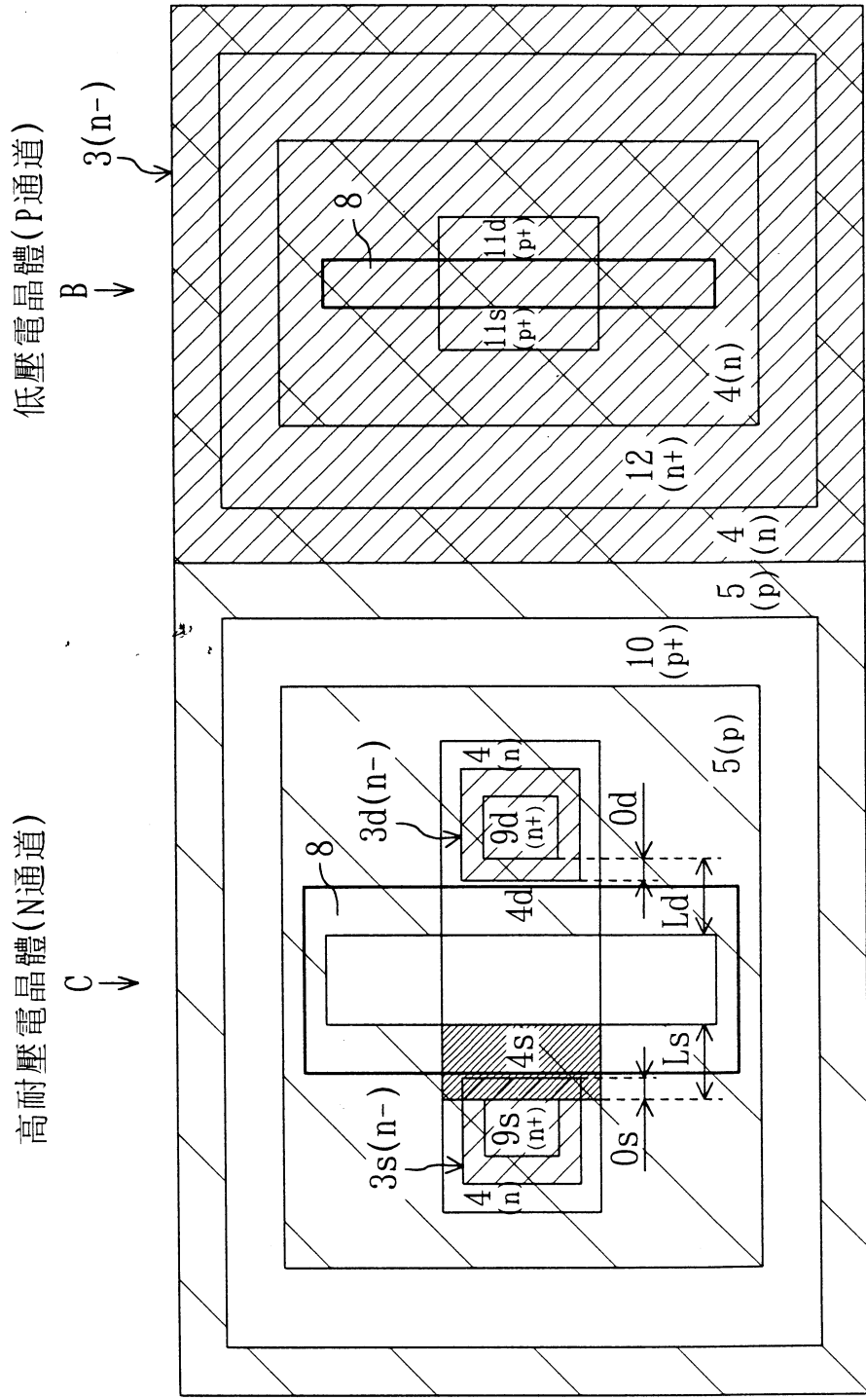


圖 5



七回

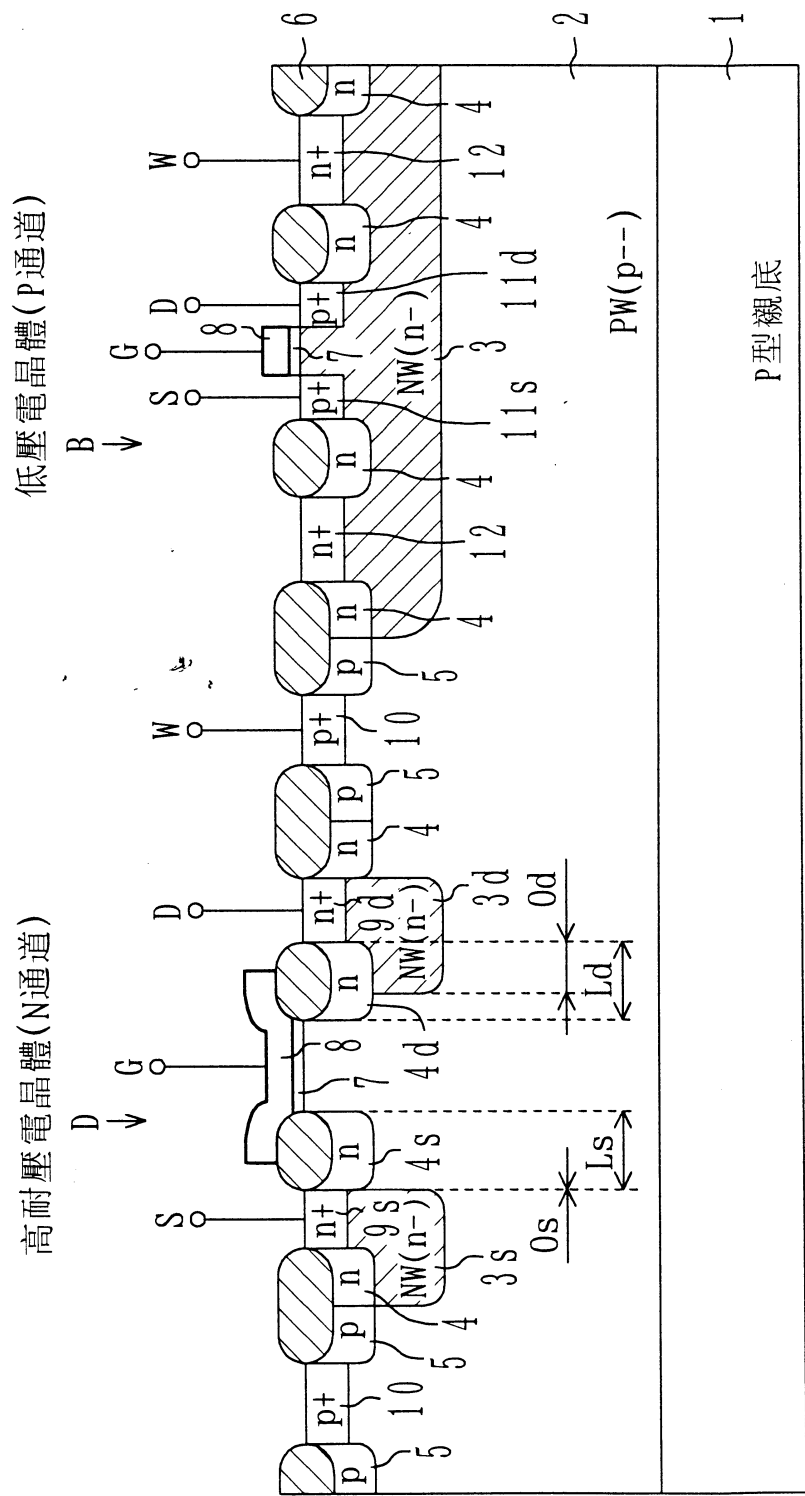


圖 8

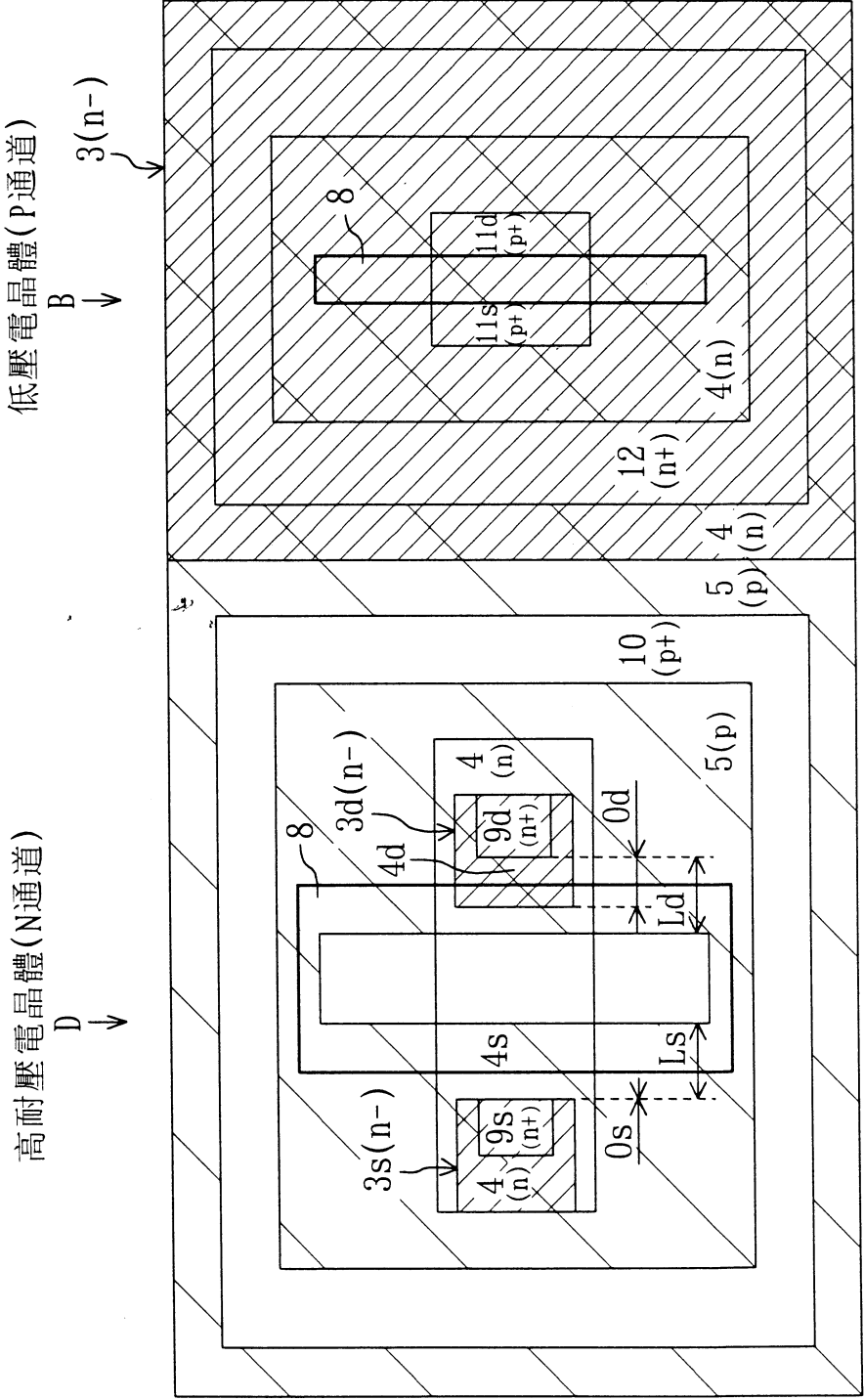


圖 9 (a)

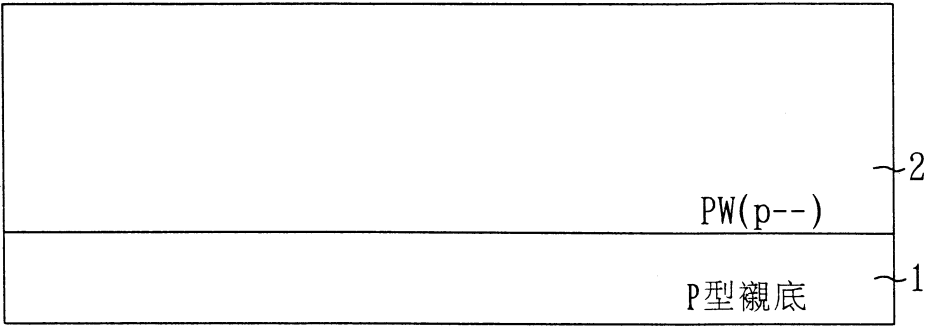


圖 9 (b)

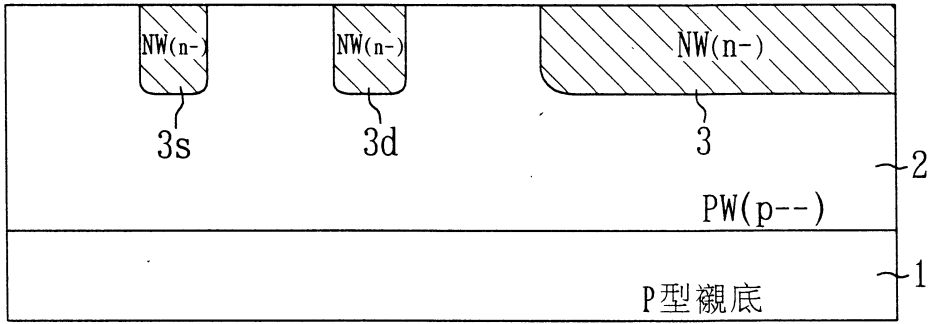


圖 9 (c)

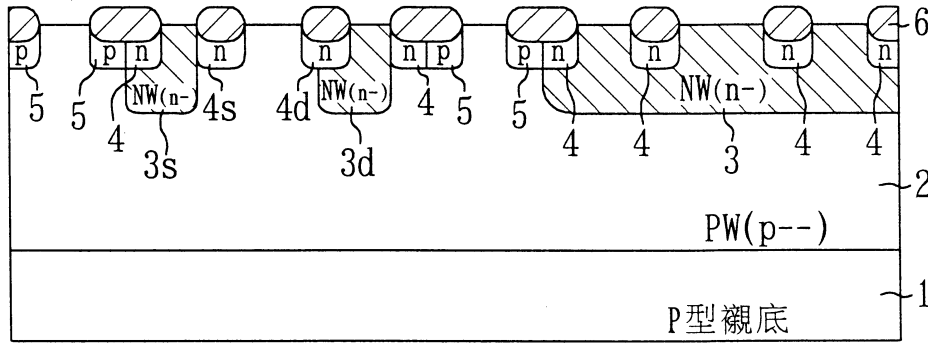


圖 9 (d)

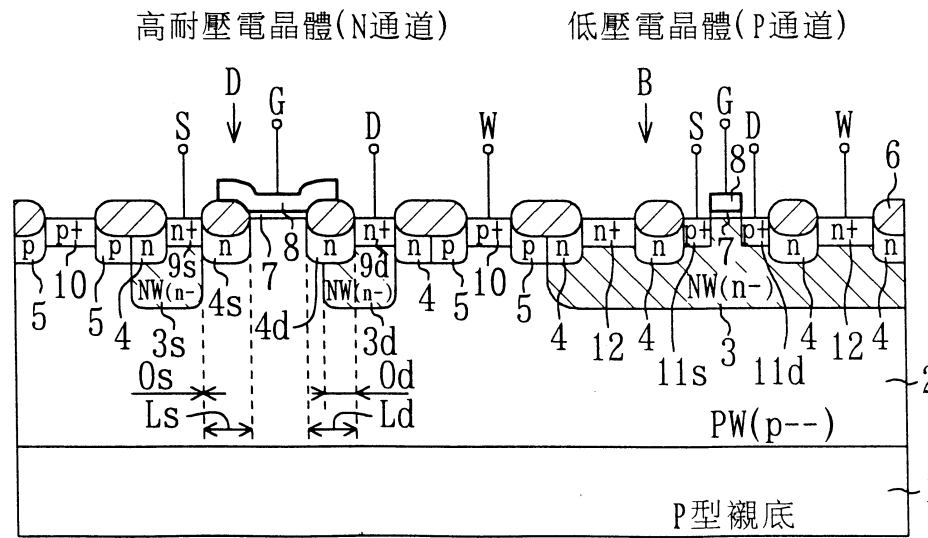


圖 10 (a)

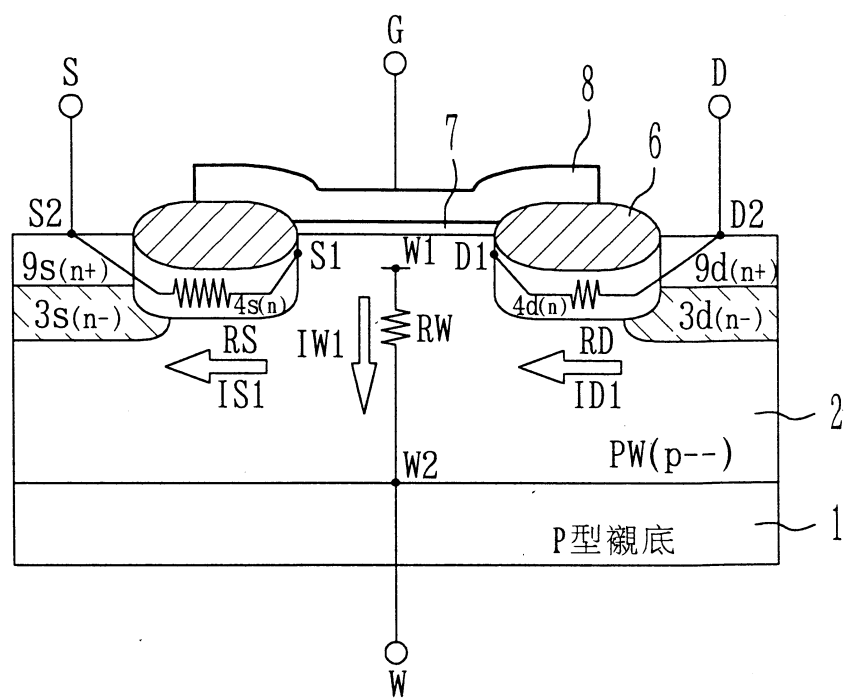


圖 10 (b)

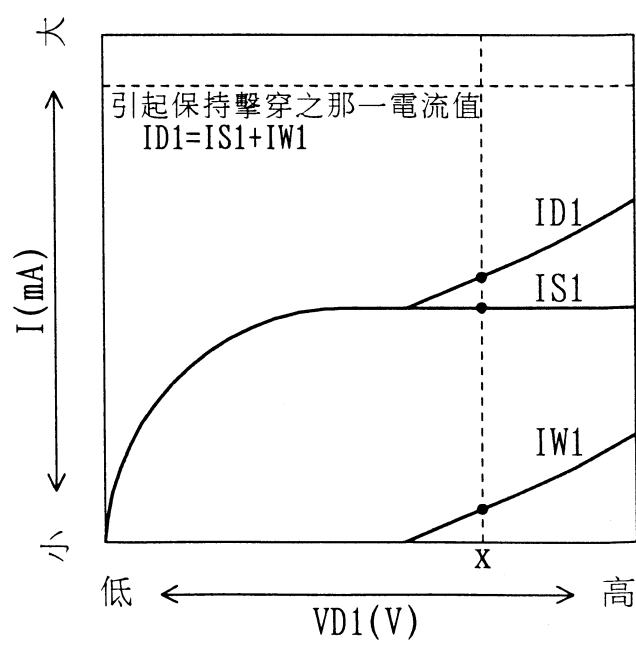


圖12

高耐壓電晶體(N通道) 低壓電晶體(P通道)

a ↓

b ↓

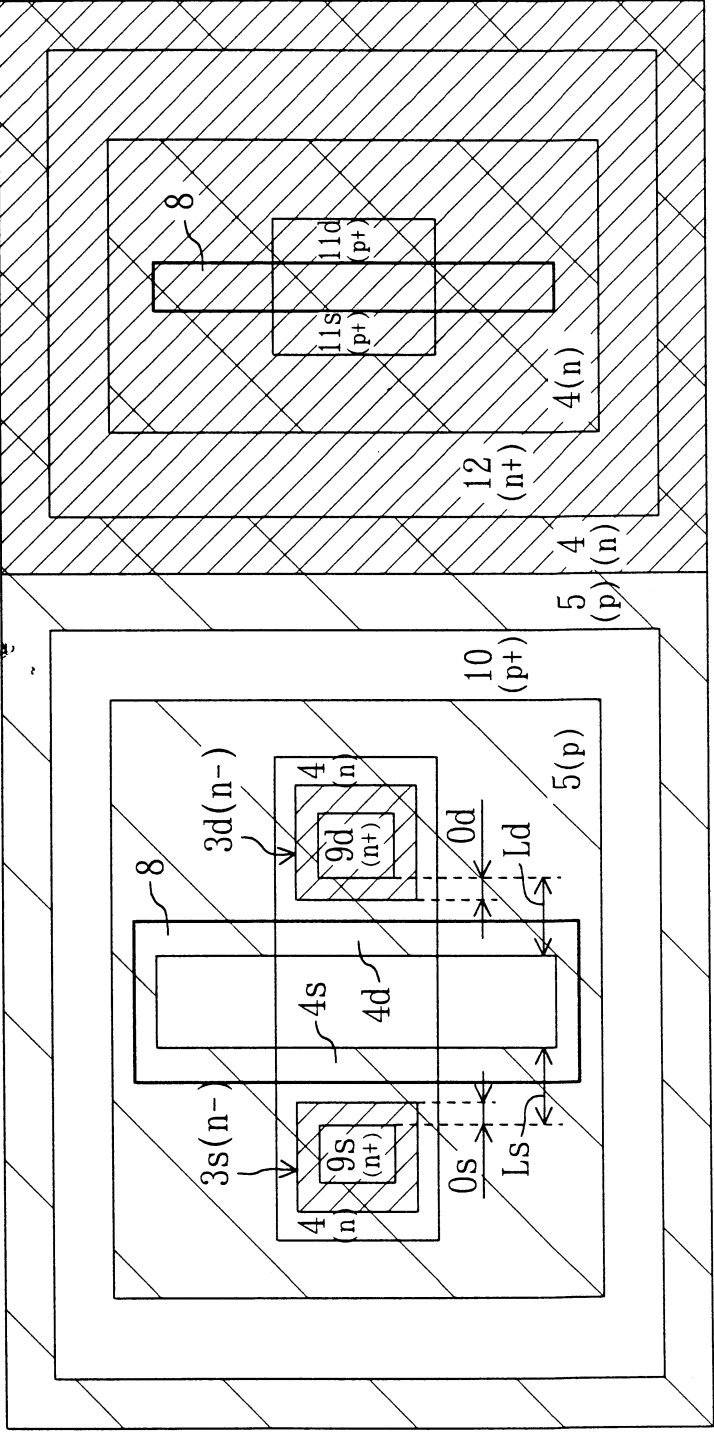


圖 13 (a)

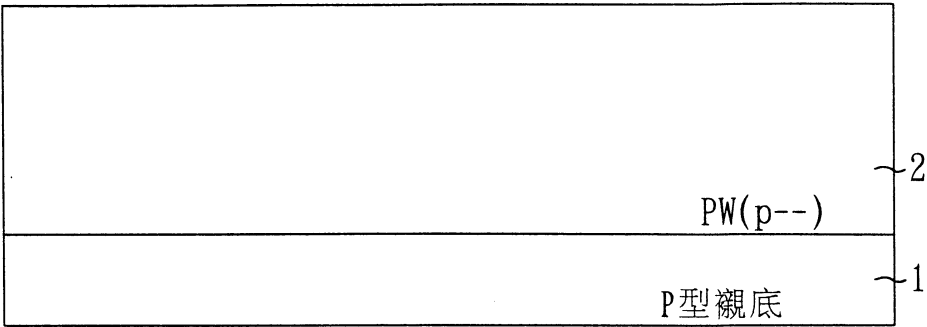


圖 13 (b)

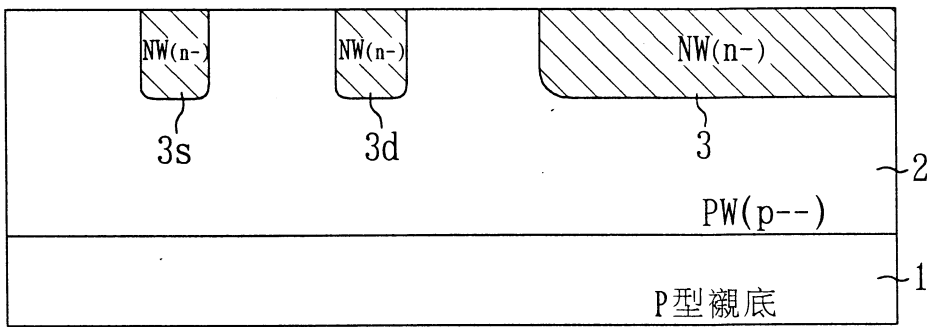


圖 13 (c)

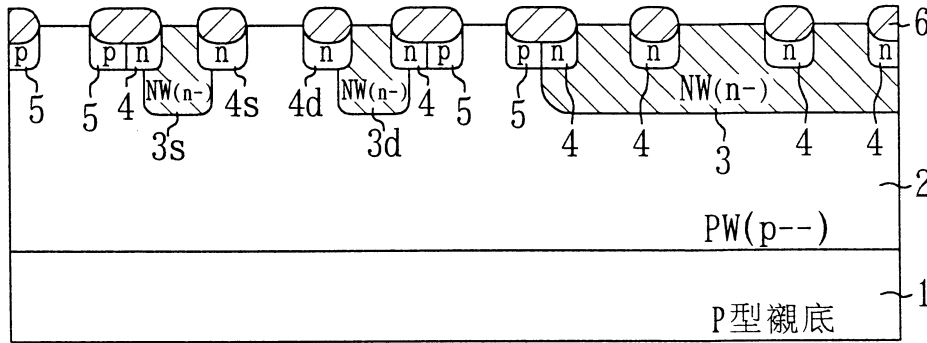


圖 13 (d)

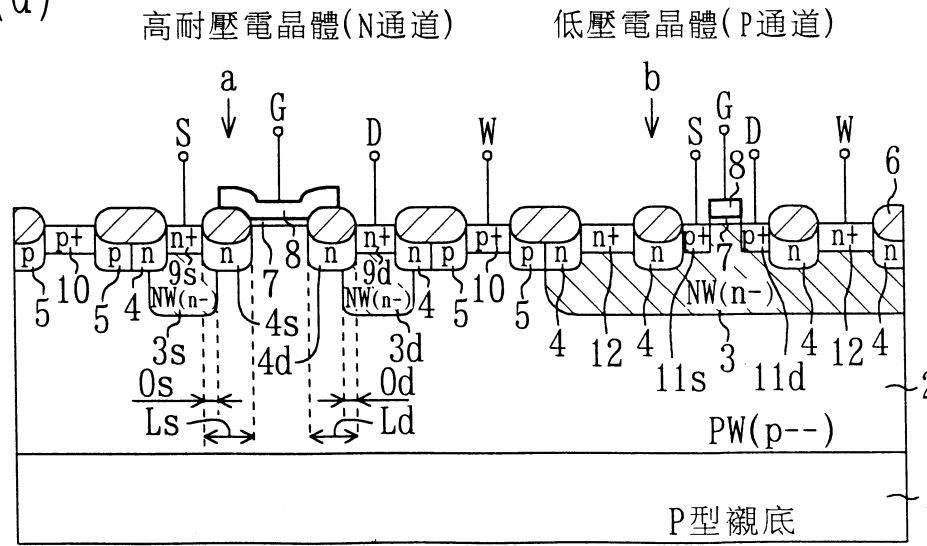


圖 14 (a)

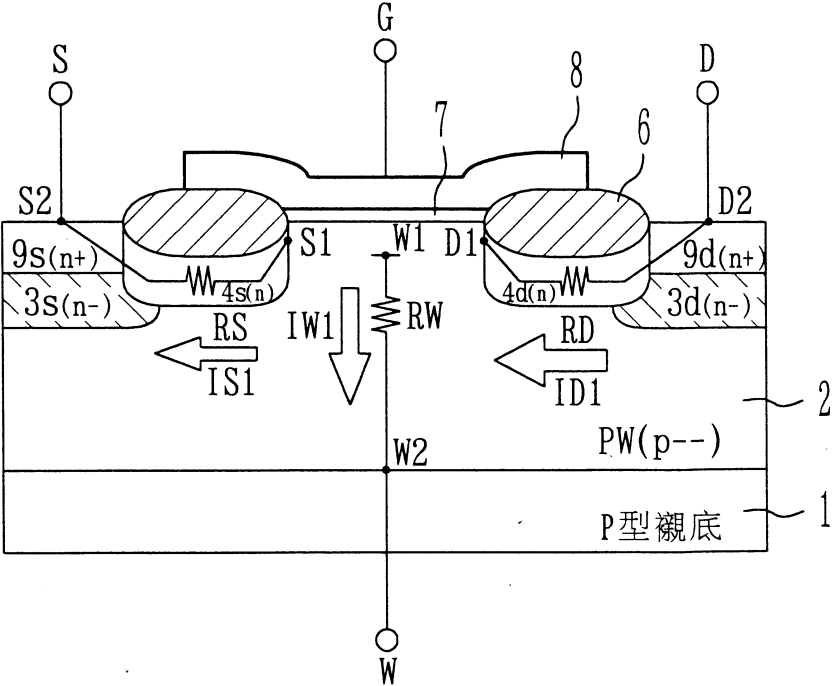


圖 14 (b)

