

申請日期：90 2.16 案號：90103758

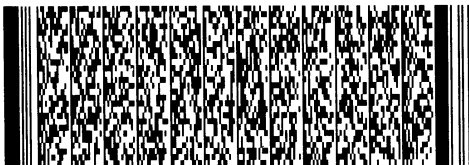
類別：HeiL 23/00

(以上各欄由本局填註)

發明專利說明書

497231

一、 發明名稱	中 文	半導體晶片之堆疊構造及其封裝方法
	英 文	
二、 發明人	姓 名 (中文)	1. 蔡孟儒 2. 彭鎮濱 3. 葉乃華 4. 吳志成
	姓 名 (英文)	1. 2. 3. 4.
	國 籍	1. 中華民國 2. 中華民國 3. 中華民國 4. 中華民國
	住、居所	1. 新竹縣竹北市泰和路84號 2. 新竹縣竹北市泰和路84號 3. 新竹縣竹北市泰和路84號 4. 新竹縣竹北市泰和路84號
三、 申請人	姓 名 (名稱) (中文)	1. 勝開科技股份有限公司
	姓 名 (名稱) (英文)	1. Kingpak Technology Ing.
	國 籍	1. 中華民國
	住、居所 (事務所)	1. 新竹縣竹北市泰和路84號
	代表人 姓 名 (中文)	1. 劉福洲
	代表人 姓 名 (英文)	1.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

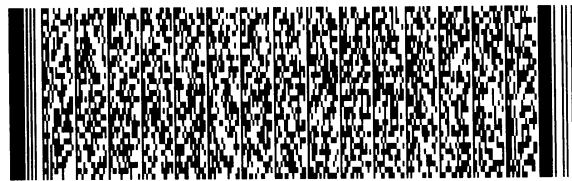
本發明為一種半導體晶片之堆疊構造及其封裝方法，特別係指一用以防止半導體晶片在堆疊時所造成電性傳遞不良或短路之情形，且其製造上相當便利者。

在科技的領域，各項科技產品皆以輕、薄、短小為其訴求，因此，對於積體電路的體積係越小越理想，更可符合產品之需求。而以往積體電路即使體積再小，亦只能並列式地電連接於電路板上，而在有限的電路板面積上，並無法將積體電路的容置數量有效地提昇，是以，欲使產品達到更為輕、薄、短小之訴求，將有其困難之處。

因此，將若干個半導體晶片予以疊合使用，可達到輕、薄、短小的訴求，然而，將若干個半導體晶片疊合時，上層半導體晶片將會壓到下層半導體晶片之導線，使該導線與下層半導體晶片表面形成電性接觸，以致將影響到下層半導體晶片之訊號傳遞。

是以，習知一種半導體晶片之堆疊構造，請參閱圖一，其包括有一基板 10、一下層半導體晶片 12、一上層半導體晶片 14、複數個導線 16 及一隔離層 18。下層半導體晶片 12 係設於基板 10 上，上層半導體晶片 14 係藉由隔離層 18 疊合於下層半導體晶片 12 上方，使下層半導體晶片 12 與上層半導體晶片 14 形成一適當之間距 20，如是，複數個導線 16 即可電連接於下層半導體晶片 12 邊緣，上層半導體晶片 14 疊合於下層半導體晶片 12 上時，不致於壓損複數個導線 16。

然而，此種結構在製造上必須先製作隔離層 18，再將



五、發明說明 (2)

其黏著於下層半導體晶片 12 上，而後再將上層半導體晶片 14 黏著於隔離層 18 上，是以，其製造程序較為複雜，生產成本較高。

再者，若下層半導體晶片 12 之焊墊形成於中央部位時，則並無法以上述之方法實施堆疊。

請參閱圖二，為焊墊 22 形成於下層半導體晶片 23 中央部位之堆疊情形，此時，上層半導體晶片 24 將會壓到導線 25，使導線 25 接觸到下層半導體晶片 24 邊緣，以致造成電訊之傳遞不佳或短路之現象。

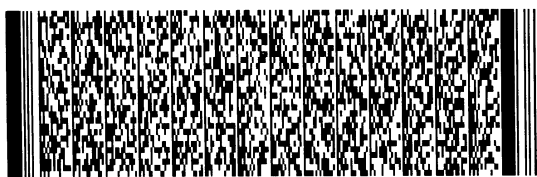
有鑑於此，本發明人乃本於精益求精、創新突破之精神，而發明出本發明半導體晶片之堆疊構造及其封裝方法，其可有效解決上述之缺點，且其製造上更為便利，而可降低生產成本。

本發明之主要目的，在於提供一種積體電路堆疊構造及其製造方法，其具有便於將積體電路予以堆疊之功效，以達到提高生產速度之目的。

本創作之另一目的，在於提供一種積體電路堆疊構造及其製造方法，其可將半導體晶片予以堆疊時，不致產生電性傳遞不良之現象。

本創作之又一目的，在於提供一種積體電路堆疊構造及其製方法，其可避免上層積體電路壓到下層積體電路之導線，且其製程上相當便利。

是以，為達上述之目的，本發明之主要特徵在於包括有：



五、發明說明 (3)

一基板，其具有一第一表面及一第二表面，該第一表面形成有訊號輸入端，該第二表面形成有訊號輸出端，用以電連接於印刷電路板上；

一下層半導體晶片，其設有一上表面及一下表面，該上表面中央部位設有複數個焊墊；

一黏膠層，其係用以將該下層半導體晶片之下表面黏著於該基板之第一表面，且該黏膠層之溢膠將覆蓋於該下層積體電路之上表面周邊；

複數條導線，其一端係電連接於該下層積體電路之焊墊上，另一端電連接於該基板之訊號輸入端；及

一上層半導體晶片，其係疊設於該下層半導體晶片之上表面上，而與該下層半導體晶片形成堆疊，且其係電連接於該基板之訊號輸入端。

如是，將半導體晶片予以堆疊時，可藉由黏膠層之溢膠覆蓋住下層半導體晶片，使複數條導線不致與下層半導體晶片形成短路，而導致電訊傳遞不良之現象。

本案得藉由以下圖式及說明，得以更深入之瞭解。

圖一為習知半導體晶片堆疊構造之剖示圖。

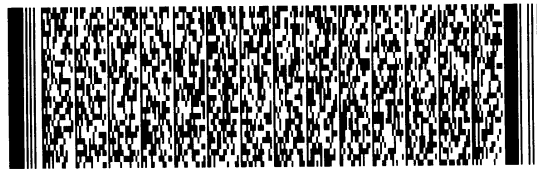
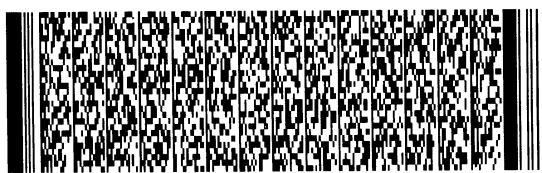
圖二為習知半導體晶片堆疊構造之示意圖。

圖三為本發明半導體晶片堆疊構造之示意圖。

圖四為本發明半導體晶片之堆疊構造之剖視圖。

圖五為本發明半導體晶片之堆疊構造之示意圖。

請參閱圖三、圖四及圖五，本發明半導體晶片之堆疊構造，包括有一基板 26，一下層半導體晶片 28，一黏著層



五、發明說明 (4)

30，複數條導線 32 及一上層半導體晶片 34。

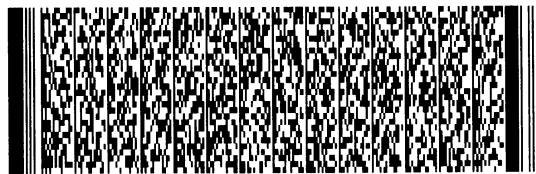
基板 26 具有一第一表面 36 及第二表面 38，第一表面 36 形成有訊號輸入端 40，該第二表面 38 形成有訊號輸出端 42，訊號輸出端 42 為球柵陣列金屬球 (ball grid array)，用以電連接於電路板上 (圖未顯示)。

下層半導體晶片 28 設有一下表面 44 及一上表面 46，下表面 44 係設置於基板 26 之第一表面 36 上，而上表面 46 中央部位形成有若干個焊墊 48，用以電連接於基板 26 之訊號輸入端 40。

黏著層 30 係設置於下層半導體晶片 28 之下表面 44 與基板 26 之第一表面 36 間，用以將下層半導體晶片 28 黏著固定於基板 26。黏著層 30 加熱液化使下層半導體晶片 28 黏著於基板 26 上時，位於下層半導體晶片 28 之下表面 44 的黏著層 30 將溢出下層半導體晶片 28 之下表面 44，而黏著層 30 之溢膠 50 將延著下層半導體晶片 28 周邊延伸至下層半導體晶片 28 之上表面 46，以致將下層半導體晶片 28 周邊包覆住。

另，基板 26 上於下層半導體晶片 28 周邊形成有阻隔層 52，用以阻隔溢膠 50 往基板 26 四周擴散，使溢膠 50 往上堆積覆蓋於下層半導體晶片 28 之上表面 46 四週邊，本實施例中，阻隔層 52 係以綠漆覆設於基板 26 上，在製造上更為便利。

請參閱圖四，將下層半導體晶片 28 固著於基板 26 後，將複數條導線 32 一端電連接於位於下層半導體晶片 28 中央部位之焊墊 48，另一端電連接於基板 26 之訊號輸入端 40，使下層半導體晶片 28 之訊號傳遞至基板 26 上。此時，複數



五、發明說明 (5)

條導線 32 係位於下層半導體晶片 28 之上表面 46 之溢膠 50 上方，而後，將上層半導體晶片 34 藉由黏膠 54 黏著堆疊於下層半導體晶片 28 上方，此時，上層半導體晶片 34 雖壓設於複數條導線 32 上，但複數條導線 32 與下層半導體晶片 28 間有溢膠 50 之隔絕，使複數條導線 32 與下層半導體晶片 28 不致有電性之接觸而產生短路之現象。而後，上層半導體晶片 28 藉由複數條導線 56 電連接於基板 26 之訊號輸入端 40，使上層半導體晶片 34 之訊號傳遞至基板 26 上，以完成半導體晶片之堆疊。

另外，以一封膠層 58 覆蓋於基板 26、下層半導體晶片 28 及上層半導體晶片 34 上方，用以保護複數條導線 32、56，如是，即完成半導體晶片之堆疊封裝。

藉如上之構造組合，本發明半導體晶片之堆疊構造及其製造方法具有如下之優點：

1. 可使上層半導體晶片 34 疊合於下層半導體晶片 28 上時，電連於下層半導體晶片 28 之複數條導線 32 藉由溢膠 50 與下層半導體晶片 28 隔離，使上層半導體晶片 34 雖壓著複數條導線 32，亦不致使複數條導線 32 與下層半導體晶片 28 形成電接觸，而產生短路或壓損之現象。
2. 當下層半導體晶片 28 黏著於基板 26 時，藉由黏膠層 30 之溢膠 50 包覆住下層半導體晶片 28 之上表面 36，使複數條導線 32 不致因上層半導體晶片 34 之壓著而與下層半導體晶片 28 形成電接觸，以影響到訊號之傳遞，其在堆疊之製造上相當便利，可降低半導體晶片在堆疊時，欲解決電性傳遞不



五、發明說明 (6)

良所產生製造成本提高之課題。

在較佳實施例之詳細說明中所提出之具體實施例僅為為了易於說明本發明之技術內容，並非將本發明狹義地限制於實施例，凡依本發明之精神及以下申請專利範圍之情況所作種種變化實施均屬本發明之範圍。



圖式簡單說明

圖一為習知半導體晶片堆疊構造之剖示圖。

圖二為習知半導體晶片堆疊構造之示意圖。

圖三為本發明半導體晶片堆疊構造之示意圖。

圖四為本發明半導體晶片之堆疊構造之剖視圖。

圖五為本發明半導體晶片之堆疊構造之示意圖。

標號說明

基板 26

下層半導體晶片 28

黏著層 30

複數條導線 32

上層半導體晶片 34

第一表面 36

第二表面 38

訊號輸入端 40

訊號輸出端 42

下表面 44

上表面 46

焊墊 48

溢膠 50

阻隔層 52

黏膠 54

複數條導線 56

封膠層 58



四、中文發明摘要 (發明之名稱：半導體晶片之堆疊構造及其封裝方法)

本發明半導體晶片之堆疊構造及其製造方法，其包括有一基板，一下層半導體晶片，一黏膠層，複數條導線及一上層積體電路；該基板設有訊號輸入端及訊號輸出端用以電連接於一印刷電路板上；該下層半導體晶片中央部位設有複數個焊墊，該下層半導體晶片係藉由黏膠層黏著於該基板上，且該黏膠層之溢膠將覆蓋於該下層積體電路之周邊，用以使複數條導線不致因被上層半導體晶片壓到，而與下層半導體晶片形成短路或產生電訊傳遞不良之現象。

英文發明摘要 (發明之名稱：)



六、申請專利範圍

1. 一種半導體晶片之堆疊構造，其係用以電連接於印刷電路板上，包括有：

一基板，該基板具有一第一表面及一第二表面，該第一表面形成有訊號輸入端，該第二表面形成有訊號輸出端，用以電連接於該印刷電路板上；

一下層半導體晶片，其設有一上表面及一下表面，該上表面中央部位設有複數個焊墊；

一黏膠層，其係用以將該下層半導體晶片之下表面黏著於該基板之第一表面，且該黏膠層之溢膠將覆蓋於該下層半導體晶片之上表面；

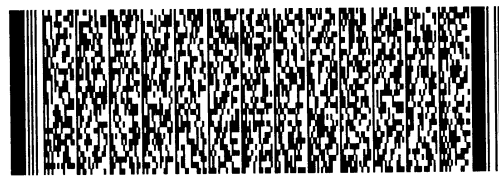
複數條導線，其一端係電連接於該下層半導體晶片之焊墊上，另一端電連接於該基板之訊號輸入端；及

一上層半導體晶片，其係疊設於該下層半導體晶片之上表面上，而與該下層半導體晶片形成堆疊，且其係電連接於該基板之訊號輸入端。

2. 如申請專利範圍第 1 項所之半導體晶片之堆疊構造，其中該基板之訊號輸出端為球柵陣列式 (BGA) 之金屬球。

3. 如申請專利範圍第 1 項所述之半導體晶片之堆疊構造，其中該基板之第一表面上位於下層半導體晶片側邊形成有阻隔層，用以阻擋黏膠層之溢膠，使溢膠往下層半導體晶片之上表面攀伸。

4. 如申請專利範圍第 3 項所述之半導體晶片之堆疊構造，其中該阻隔層係以覆設綠漆方式形成於該基板之第一表面。



六、申請專利範圍

5.如申請專利範圍第1項所述之半導體晶片之堆疊構造，其中該上層半導體晶片係藉由複數條導線電連於該基板之訊號輸入端。

6.如申請專利範圍第1項所述之半導體晶片之堆疊構造，其更包括有一封膠層，用以封住該下層半導體晶片及該上層半導體晶片，以保護該等複數條導線。

7.一種半導體晶片之堆疊構造之封裝方法，其包括下列步驟：

提供一基板，該基板具有一第一表面及一第二表面，該第一表面形成有訊號輸入端，該第二表面形成有訊號輸出端；

提供一下層半導體晶片，其設有一上表面及一下表面，該上表面中央部位設有複數個焊墊；

提供一黏膠層，該黏膠層係位於該下層半導體晶片與該基板間，用以將該下層半導體晶片之下表面黏著於該基板之第一表面，而該黏膠層之溢膠將覆蓋於該下層積體電路之上表面；

提供複數條導線，其一端係電連接於該下層積體電路之焊墊上，另一端電連接於該基板之訊號輸入端；及

提供一上層半導體晶片，其係疊設於該下層半導體晶片之上表面上，而與該下層半導體晶片形成堆疊，且其係電連接於該基板之訊號輸入端。

8.如申請專利範圍第7項所述之半導體晶片之堆疊構造之封裝方法，其中該基板之訊號輸出端為球柵陣列式(BGA)



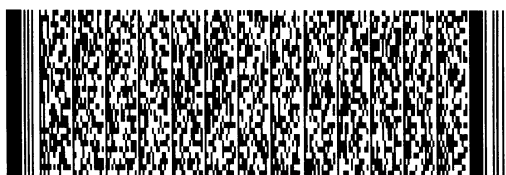
六、申請專利範圍

之金屬球。

9.如申請專利範圍第7項所述之半導體晶片之堆疊構造之封裝方法，其中該基板之第一表面上位於下層半導體晶片側邊形成有阻隔層，用以阻擋溢膠層之溢膠，使溢膠往下層半導體晶片之上表面攀伸。

10.如申請專利範圍第9項所述之半導體晶片之堆疊構造之封裝方法，其中該阻隔層係以點綠漆方式形成於該基板之第一表面上。

11.如申請專利範圍第7項所述之半導體晶片之堆疊構造之封裝方法，提供一封膠層，用以封住該下層半導體晶片及該上層半導體晶片，以保護該等複數條導線。



圖式

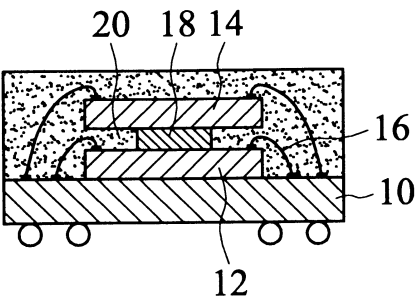


圖 1

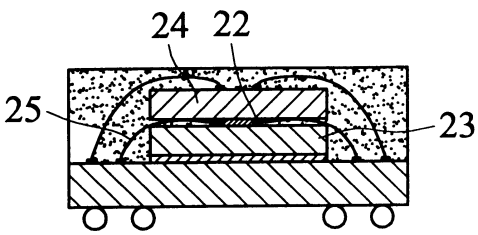


圖 2

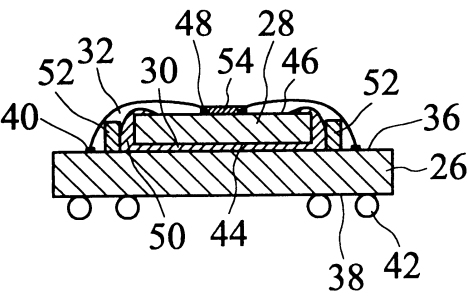


圖 3

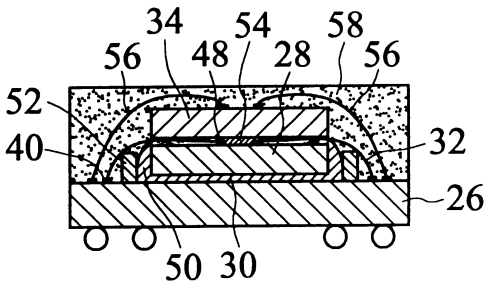


圖 4

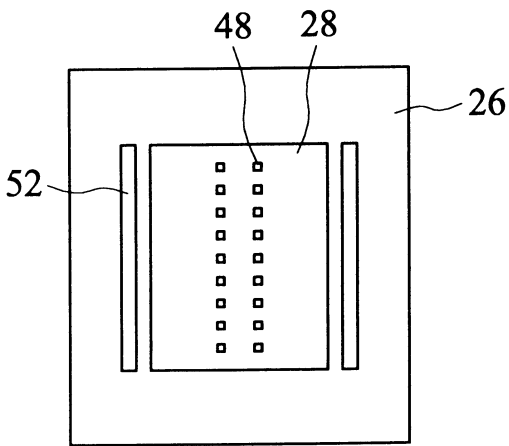


圖 5