

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5580608号
(P5580608)

(45) 発行日 平成26年8月27日(2014.8.27)

(24) 登録日 平成26年7月18日(2014.7.18)

(51) Int. Cl. F I
G05F 1/56 (2006.01) G O 5 F 1/56 3 2 O E
G05F 3/26 (2006.01) G O 5 F 3/26

請求項の数 10 (全 13 頁)

(21) 出願番号	特願2010-7380 (P2010-7380)	(73) 特許権者	000002325 セイコーインスツル株式会社 千葉県千葉市美浜区中瀬1丁目8番地
(22) 出願日	平成22年1月15日(2010.1.15)	(74) 代理人	100154863 弁理士 久原 健太郎
(65) 公開番号	特開2010-218543 (P2010-218543A)	(74) 代理人	100142837 弁理士 内野 則彰
(43) 公開日	平成22年9月30日(2010.9.30)	(74) 代理人	100123685 弁理士 木村 信行
審査請求日	平成24年11月9日(2012.11.9)	(72) 発明者	中下 貴雄 千葉県千葉市美浜区中瀬1丁目8番地 セイコーインスツル株式会社内
(31) 優先権主張番号	特願2009-39340 (P2009-39340)	審査官	松本 泰典
(32) 優先日	平成21年2月23日(2009.2.23)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 ボルテージレギュレータ

(57) 【特許請求の範囲】

【請求項1】

基準電圧と出力電圧に基づいた電圧との差を増幅し、出力端子の出力電圧が一定になるよう出力トランジスタのゲート電圧を制御するアンプを備えたボルテージレギュレータであって、

前記出力トランジスタとカレントミラー接続し、前記出力トランジスタの出力電流をセンスするセンストランジスタと、

前記センストランジスタに流れる電流を流す第一トランジスタと、

ソースが接地端子に接続され、前記第一トランジスタとカレントミラー接続する第二トランジスタと、電源端子と前記第二トランジスタのドレインとの間に設けられ、順方向にダイオード接続する第三トランジスタと、前記第三トランジスタとカレントミラー接続し、ドレインを前記出力トランジスタのゲートに接続する第四トランジスタと、を有し、前記出力電流が最大出力電流になると、前記第二トランジスタに流れる電流に基づいて前記出力トランジスタがオフしていくよう制御する第一制御回路と、

ソースが前記出力端子に接続され、前記第一トランジスタとカレントミラー接続する第五トランジスタと、前記電源端子と前記第五トランジスタのドレインとの間に設けられ、順方向にダイオード接続する第六トランジスタと、前記第六トランジスタとカレントミラー接続し、ドレインを前記出力トランジスタのゲートに接続する第七トランジスタと、を有し、前記出力電流が前記最大出力電流になり、且つ前記出力電圧が所定電圧以下になると、前記出力電流が短絡時出力電流になるように、前記第五トランジスタに流れる電流に

10

20

基づいて前記出力トランジスタがさらにオフしていくよう制御する第二制御回路と、を備える、
ことを特徴とするボルテージレギュレータ。

【請求項 2】

基準電圧と出力電圧に基づいた電圧との差を増幅し、出力端子の出力電圧が一定になるよう出力トランジスタのゲート電圧を制御するアンプを備えたボルテージレギュレータであって、

前記出力トランジスタとカレントミラー接続し、前記出力トランジスタの出力電流をセンスするセンストランジスタと、

前記センストランジスタに流れる電流を流す第一トランジスタと、

ソースが接地端子に接続され、前記第一トランジスタとカレントミラー接続する第二トランジスタと、電源端子と前記第二トランジスタのドレインとの間に設けられ、ゲートに線形領域で動作する電圧が印加される第三トランジスタと、ゲートを前記第三トランジスタのドレインと接続し、ソースを前記電源端子と接続し、ドレインを前記出力トランジスタのゲートに接続する第四トランジスタと、を有し、前記出力電流が最大出力電流になると、前記第二トランジスタに流れる電流に基づいて前記出力トランジスタがオフしていくよう制御する第一制御回路と、

ソースが前記出力端子に接続され、前記第一トランジスタとカレントミラー接続する第五トランジスタと、前記電源端子と前記第五トランジスタのドレインとの間に設けられ、順方向にダイオード接続する第六トランジスタと、前記第六トランジスタとカレントミラー接続し、ドレインを前記出力トランジスタのゲートに接続する第七トランジスタと、を有し、前記出力電流が前記最大出力電流になり、且つ前記出力電圧が所定電圧以下になると、前記出力電流が短絡時出力電流になるように、前記第五トランジスタに流れる電流に基づいて前記出力トランジスタがさらにオフしていくよう制御する第二制御回路と、を備える、

ことを特徴とするボルテージレギュレータ。

【請求項 3】

前記第一制御回路は、

一方の端子を前記接地端子に接続されるバイアス電流源と

前記電源端子と前記バイアス電流源の他方の端子との間に設けられ、順方向にダイオード接続し、前記第三トランジスタとカレントミラー接続する第八トランジスタと、を備えた

ことを特徴とする請求項 2 記載のボルテージレギュレータ。

【請求項 4】

基準電圧と出力電圧に基づいた電圧との差を増幅し、出力端子の出力電圧が一定になるよう出力トランジスタのゲート電圧を制御するアンプを備えたボルテージレギュレータであって、

前記出力トランジスタとカレントミラー接続し、前記出力トランジスタの出力電流をセンスするセンストランジスタと、

前記センストランジスタに流れる電流を流す第一トランジスタと、

前記第一トランジスタとカレントミラー接続し、ソースを接地端子に接続する第二トランジスタと、

電源端子と前記第二トランジスタのドレインとの間に設けられ、順方向にダイオード接続する第三トランジスタと、

前記第三トランジスタとカレントミラー接続し、ドレインを前記出力トランジスタのゲートに接続する第四トランジスタと、

前記第一トランジスタとカレントミラー接続し、ドレインを前記第二トランジスタのドレインに接続し、ソースを前記出力端子に接続する第五トランジスタと、を有し、

前記出力電流が最大出力電流になると、前記第二トランジスタに流れる電流に基づいて前記出力トランジスタがオフしていくよう制御し、

10

20

30

40

50

前記出力電流が前記最大出力電流になり、且つ前記出力電圧が所定電圧以下になると、前記出力電流が短絡時出力電流になるように、前記第五トランジスタに流れる電流に基づいて前記出力トランジスタがさらにオフしていくよう制御する制御回路と、を備える、ことを特徴とするボルテージレギュレータ。

【請求項 5】

前記第一トランジスタは、他のトランジスタよりも閾値の低いトランジスタで構成される、

ことを特徴とする請求項 4 記載のボルテージレギュレータ。

【請求項 6】

前記接地端子と前記第二トランジスタの間に、順方向にダイオード接続する第六トランジスタを、備える、

ことを特徴とする請求項 4 または 5 記載のボルテージレギュレータ。

【請求項 7】

基準電圧と出力電圧に基づいた電圧との差を増幅し、出力端子の出力電圧が一定になるよう出力トランジスタのゲート電圧を制御するアンプを備えたボルテージレギュレータであって、

前記出力トランジスタとカレントミラー接続し、前記出力トランジスタの出力電流をセンスするセンストランジスタと、

前記センストランジスタに流れる電流を流す第一トランジスタと、

ソースが接地端子に接続され、前記第一トランジスタとカレントミラー接続する第二トランジスタと、電源端子と前記第二トランジスタのドレインとの間に設けられ、順方向にダイオード接続する第三トランジスタと、前記第三トランジスタとカレントミラー接続し、ドレインを前記出力トランジスタのゲートに接続する第四トランジスタと、を有し、前記出力電流が最大出力電流になると、前記第二トランジスタに流れる電流に基づいて前記出力トランジスタがオフしていくよう制御する第一制御回路と、

ソースが前記出力端子に接続され、前記第一トランジスタとカレントミラー接続する第五トランジスタと、前記電源端子と前記第五トランジスタのドレインとの間に設けられ、ゲートに線形領域で動作する電圧が印加される第六トランジスタと、前記第六トランジスタとカレントミラー接続し、ドレインを前記出力トランジスタのゲートに接続する第七トランジスタと、を有し、前記出力電流が前記最大出力電流になり、且つ前記出力電圧が所定電圧以下になると、前記出力電流が短絡時出力電流になるように、前記第五トランジスタに流れる電流に基づいて前記出力トランジスタがさらにオフしていくよう制御する第二制御回路と、を備える、

ことを特徴とするボルテージレギュレータ。

【請求項 8】

前記第二制御回路は、

一方の端子を前記接地端子に接続されるバイアス電流源と、

前記電源端子と前記バイアス電流源の他方の端子との間に設けられ、順方向にダイオード接続し、前記第六トランジスタとカレントミラー接続する第八トランジスタと、を備えた、

ことを特徴とする請求項 7 記載のボルテージレギュレータ。

【請求項 9】

基準電圧と出力電圧に基づいた電圧との差を増幅し、出力端子の出力電圧が一定になるよう出力トランジスタのゲート電圧を制御するアンプを備えたボルテージレギュレータであって、

前記出力トランジスタとカレントミラー接続し、前記出力トランジスタの出力電流をセンスするセンストランジスタと、

前記センストランジスタに流れる電流を流す第一トランジスタと、

ソースが接地端子に接続され、前記第一トランジスタとカレントミラー接続する第二トランジスタと、電源端子と前記第二トランジスタのドレインとの間に設けられ、ゲートに

10

20

30

40

50

線形領域で動作する電圧が印加される第三トランジスタと、

ゲートを前記第三トランジスタのドレインと接続し、ソースを前記電源端子と接続し、ドレインを前記出力トランジスタのゲートに接続する第四トランジスタと、を有し、前記出力電流が最大出力電流になると、前記第二トランジスタに流れる電流に基づいて前記出力トランジスタがオフしていくよう制御する第一制御回路と、

ソースが前記出力端子に接続され、前記第一トランジスタとカレントミラー接続する第五トランジスタと、前記電源端子と前記第五トランジスタのドレインとの間に設けられ、ゲートに線形領域で動作する電圧が印加される第六トランジスタと、前記第六トランジスタとカレントミラー接続し、ドレインを前記出力トランジスタのゲートに接続する第七トランジスタと、を有し、前記出力電流が前記最大出力電流になり、且つ前記出力電圧が所定電圧以下になると、前記出力電流が短絡時出力電流になるように、前記第五トランジスタに流れる電流に基づいて前記出力トランジスタがさらにオフしていくよう制御する第二制御回路と、を備える、

ことを特徴とするボルテージレギュレータ。

【請求項 10】

前記第一制御回路は、

一方の端子を前記接地端子に接続されるバイアス電流源と

前記電源端子と前記バイアス電流源の他方の端子との間に設けられ、順方向にダイオード接続し、前記第三トランジスタとカレントミラー接続する第八トランジスタと、を備えた

前記第二制御回路は、

一方の端子を前記接地端子に接続されるバイアス電流源と

前記電源端子と前記バイアス電流源の他方の端子との間に設けられ、順方向にダイオード接続し、前記第六トランジスタとカレントミラー接続する第九トランジスタと、を備えた

ことを特徴とする請求項 9 記載のボルテージレギュレータ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、過電流保護回路を備えたボルテージレギュレータに関する。

【背景技術】

【0002】

従来のボルテージレギュレータについて説明する。図 3 は、従来のボルテージレギュレータを示す図である。

【0003】

出力電圧 V_{out} が所定電圧よりも高いと、つまり、分圧回路 91 の分圧電圧 V_{fb} が基準電圧 V_{ref} よりも高いと、アンプ 92 の出力信号（出力トランジスタ 84 のゲート電圧）が高くなり、出力トランジスタ 84 はオフしていき、出力電圧 V_{out} は低くなる。また、出力電圧 V_{out} が所定電圧よりも低いと、上記のように、出力電圧 V_{out} は高くなる。つまり、出力電圧 V_{out} が一定になる。

【0004】

ここで、ボルテージレギュレータの出力端子と接地端子とが短絡するとする。すると、出力電流 I_{out} が、多くなり、最大出力電流 I_m になる。この最大出力電流 I_m に応じ、出力トランジスタ 84 とカレントミラー接続するセンストランジスタ 83 に流れる電流が多くなり、この時 PMOS トランジスタ 82 がオンしていて、抵抗 87 だけに発生する電圧が高くなり、NMOS トランジスタ 85 がオンしていき、抵抗 86 に発生する電圧が高くなり、PMOS トランジスタ 81 がオンしていき、出力トランジスタ 84 のゲート・ソース間電圧が低くなり、出力トランジスタ 84 がオフしていく。よって、出力電流 I_{out} は最大出力電流 I_m よりも多くならずに最大出力電流 I_m に固定され、出力電圧 V_{out} が低くなる。ここで、抵抗 87 だけに発生する電圧により、出力トランジスタ 84 の

10

20

30

40

50

ゲート・ソース間電圧が低くなり、出力トランジスタ 84 がオフしていき、出力電流 I_{out} が最大出力電流 I_m に固定されるので、最大出力電流 I_m は抵抗 87 だけの抵抗値によって決定される。

【0005】

出力電圧 V_{out} が低くなることにより、PMOS トランジスタ 82 のゲート・ソース間電圧が閾値電圧の絶対値 V_{tp} よりも低くなると、PMOS トランジスタ 82 はオフする。すると、抵抗 87 だけでなく抵抗 87 及び 88 の両方に発生する電圧が高くなり、NMOS トランジスタ 85 がさらにオンしていき、抵抗 86 に発生する電圧がさらに高くなり、PMOS トランジスタ 81 がさらにオンしていき、出力トランジスタ 84 のゲート・ソース間電圧がさらに低くなり、出力トランジスタ 84 がさらにオフしていく。よって、出力電流 I_{out} が、少なくなり、短絡時出力電流 I_s になる。その後、出力電圧 V_{out} が、低くなり、0 ボルトになる。ここで、抵抗 87 及び 88 の両方に発生する電圧により、出力トランジスタ 84 のゲート・ソース間電圧が低くなり、出力トランジスタ 84 がオフしていき、出力電流 I_{out} が短絡時出力電流 I_s になるので、短絡時出力電流 I_s は抵抗 87 及び 88 の両方の抵抗値によって決定される（例えば、特許文献 1 参照。）

10

【先行技術文献】

【特許文献】

【0006】

【特許文献 1】特開 2003 - 216252 号公報（図 5）

20

【発明の概要】

【発明が解決しようとする課題】

【0007】

しかし、従来の技術では、最大出力電流 I_m 及び短絡時出力電流 I_s が出力電流 I_{out} に対して正確に設定されるようにする場合、最大出力電流 I_m 及び短絡時出力電流 I_s が抵抗 87 及び 88 の両方の抵抗値によって決定されているので、抵抗 87 及び 88 の両方の抵抗値のトリミング工程が必要になってしまう。よって、その分、ボルテージレギュレータの製造工程が複雑になってしまう。

【0008】

本発明は、上記課題に鑑みてなされ、容易に最大出力電流及び短絡時出力電流を正確に設定できるボルテージレギュレータを提供する。

30

【課題を解決するための手段】

【0009】

本発明は、上記課題を解決するため、過電流保護回路を備えたボルテージレギュレータにおいて、過電流保護回路の最大出力電流 I_m 及び短絡時出力電流 I_s の電流値を決定する回路として、出力電流に応じた電流をミラーするカレントミラー回路を用いて電流で制御する回路を備えたことを特徴とするボルテージレギュレータを提供する。

【発明の効果】

【0010】

本発明の過電流保護回路を備えたボルテージレギュレータは、最大出力電流 I_m 及び短絡時出力電流 I_s の電流値を決定するために、出力電流に応じた電流をミラーするカレントミラー回路を備えたので、最大出力電流 I_m 及び短絡時出力電流 I_s を出力電流に対して正確に設定することが出来る。

40

【図面の簡単な説明】

【0011】

【図 1】第一の実施形態のボルテージレギュレータを示す回路図である。

【図 2】ボルテージレギュレータの出力電圧出力電流特性を示す図である。

【図 3】従来のボルテージレギュレータを示す回路図である。

【図 4】第二の実施形態のボルテージレギュレータを示す回路図である。

【図 5】第三の実施形態のボルテージレギュレータを示す回路図である。

50

【図6】第四の実施形態のボルテージレギュレータを示す回路図である。

【図7】第三の実施形態のボルテージレギュレータの出力電圧出力電流特性を示す図である。

【発明を実施するための形態】

【0012】

<第一の実施形態>

図1は、第一の実施形態のボルテージレギュレータを示す回路図である。

【0013】

第一の実施形態のボルテージレギュレータは、センス回路10、制御回路20、制御回路30、出力トランジスタ40、分圧回路50及びアンプ60を備える。

10

【0014】

センス回路10は、センストランジスタ11とNMOSトランジスタ12を有する。制御回路20は、PMOSトランジスタ22及び23とNMOSトランジスタ21を有する。制御回路30は、PMOSトランジスタ32及び33とNMOSトランジスタ31を有する。

【0015】

アンプ60の非反転入力端子は分圧回路50の出力端子に接続し、反転入力端子は基準電圧入力端子に接続し、出力端子はセンス回路10の入力端子と制御回路20の出力端子と制御回路30の出力端子と出力トランジスタ40のゲートとに接続する。出力トランジスタ40のソース及びバックゲートは電源端子に接続し、ドレインはボルテージレギュレータの出力端子に接続する。分圧回路50は、ボルテージレギュレータの出力端子と接地端子との間に設けられる。

20

【0016】

センストランジスタ11のゲートはアンプ60の出力端子に接続し、ソース及びバックゲートは電源端子に接続する。NMOSトランジスタ12のゲートはドレインとNMOSトランジスタ21のゲートとNMOSトランジスタ31のゲートとセンストランジスタ11のドレインとに接続し、ソース及びバックゲートは接地端子に接続する。PMOSトランジスタ22のゲートはドレインとPMOSトランジスタ23のゲートとNMOSトランジスタ21のドレインとに接続し、ソース及びバックゲートは電源端子に接続する。PMOSトランジスタ23のソース及びバックゲートは電源端子に接続し、ドレインはアンプ60の出力端子に接続する。NMOSトランジスタ21のソース及びバックゲートは接地端子に接続する。PMOSトランジスタ32のゲートはドレインとPMOSトランジスタ33のゲートとNMOSトランジスタ31のドレインとに接続し、ソース及びバックゲートは電源端子に接続する。PMOSトランジスタ33のソース及びバックゲートは電源端子に接続し、ドレインはアンプ60の出力端子に接続する。NMOSトランジスタ31のソース及びバックゲートはボルテージレギュレータの出力端子に接続する。

30

【0017】

PMOSトランジスタ22とPMOSトランジスタ23とはカレントミラー接続する。PMOSトランジスタ32とPMOSトランジスタ33とはカレントミラー接続する。出力トランジスタ40とセンストランジスタ11とはカレントミラー接続する。センストランジスタ11に流れる電流を流すNMOSトランジスタ12とNMOSトランジスタ21とNMOSトランジスタ31とはカレントミラー接続する。

40

【0018】

分圧回路50は、出力電圧 V_{out} を分圧し、分圧電圧 V_{fb} を出力する。アンプ60は、基準電圧 V_{ref} と分圧電圧 V_{fb} とを比較し、出力電圧 V_{out} が一定になるよう出力トランジスタ40のゲート電圧を制御する。出力トランジスタ40は、アンプ60の出力信号及び電源電圧 V_{DD} に基づき、出力電圧 V_{out} を出力する。センス回路10は、センストランジスタ11によって出力トランジスタ40の出力電流 I_{out} をセンスする。出力電流 I_{out} が最大出力電流 I_m になると、制御回路20はNMOSトランジスタ21に流れる電流に基づいて出力トランジスタ40がオフしていくよう動作する。出力

50

電流 I_{out} が最大出力電流 I_m になって出力電圧 V_{out} が所定電圧 V_a 以下になると、出力電流 I_{out} が短絡時出力電流 I_s になるように、制御回路 30 は NMOS トランジスタ 31 に流れる電流に基づいて出力トランジスタ 40 がさらにオフしていくよう動作する。

【0019】

次に、ボルテージレギュレータの動作について説明する。図 2 は、ボルテージレギュレータの出力電圧出力電流特性を示す図である。

出力電圧 V_{out} が所定電圧よりも高いと、分圧電圧 V_{fb} が基準電圧 V_{ref} よりも高く、アンプ 60 の出力信号（出力トランジスタ 40 のゲート電圧）が高くなり、出力トランジスタ 40 はオフしていき、出力電圧 V_{out} は低くなる。また、出力電圧 V_{out} が所定電圧よりも低いと、上記と逆の動作をして、出力電圧 V_{out} は高くなる。つまり、出力電圧 V_{out} が一定になる。

10

【0020】

ここで、ボルテージレギュレータの出力端子と接地端子とが短絡すると、出力電流 I_{out} が増加する。出力電流 I_{out} が最大出力電流 I_m になると、最大出力電流 I_m に応じ、出力トランジスタ 40 とカレントミラー接続するセンストランジスタ 11 に流れる電流が多くなり、NMOS トランジスタ 12 に流れる電流も多くなる。NMOS トランジスタ 12 とカレントミラー接続する NMOS トランジスタ 21 に流れる電流も多くなり、PMOS トランジスタ 22 に流れる電流も多くなる。PMOS トランジスタ 22 とカレントミラー接続する PMOS トランジスタ 23 のオン抵抗が低くなり、出力トランジスタ 40 のゲート・ソース間電圧が低くなり、出力トランジスタ 40 がオフしていき、出力電流 I_{out} は最大出力電流 I_m よりも多く流れず、出力電圧 V_{out} が低くなる。ここで、NMOS トランジスタ 21 に流れる電流により、出力トランジスタ 40 のゲート・ソース間電圧が低くなり、出力トランジスタ 40 がオフしていき、出力電流 I_{out} が最大出力電流 I_m に固定されるので、最大出力電流 I_m は NMOS トランジスタ 21 に流れる電流によって決定される。

20

【0021】

出力電圧 V_{out} が、低くなり、所定電圧 V_a 以下になる。すると、NMOS トランジスタ 31 のゲート・ソース間電圧が閾値電圧 V_{tn} 以上になり、NMOS トランジスタ 31 はオンする。すると、PMOS トランジスタ 32 に流れる電流が多くなり、PMOS トランジスタ 32 とカレントミラー接続する PMOS トランジスタ 33 のオン抵抗が低くなり、出力トランジスタ 40 のゲート・ソース間電圧がさらに低くなり、出力トランジスタ 40 がさらにオフしていき、出力電流 I_{out} が、少なくなり、短絡時出力電流 I_s になる。この短絡時出力電流 I_s は、NMOS トランジスタ 31 に流れる電流によって決定される。その後、出力電圧 V_{out} が、低くなり、0 ボルトになる。ここで、NMOS トランジスタ 31 に流れる電流により、出力トランジスタ 40 のゲート・ソース間電圧が低くなり、出力トランジスタ 40 がオフしていき、出力電流 I_{out} が短絡時出力電流 I_s になるので、短絡時出力電流 I_s は NMOS トランジスタ 31 に流れる電流によって決定される。

30

【0022】

このようにすると、出力トランジスタ 40 とセンストランジスタ 11 とはカレントミラー接続し、さらに、センストランジスタ 11 に流れる電流を流す NMOS トランジスタ 12 と NMOS トランジスタ 21 と NMOS トランジスタ 31 とはカレントミラー接続するので、これらのカレントミラー比に基づき、抵抗の抵抗値のトリミング工程等がなくても、NMOS トランジスタ 21 及び NMOS トランジスタ 31 に流れる電流は出力トランジスタ 40 に流れる出力電流 I_{out} に対して正確に設定される。つまり、最大出力電流 I_m 及び短絡時出力電流 I_s が NMOS トランジスタ 21 及び NMOS トランジスタ 31 に流れる電流によってそれぞれ決定されるので、最大出力電流 I_m 及び短絡時出力電流 I_s は出力電流 I_{out} に対して正確に設定される。

40

【0023】

50

また、制御回路20及び制御回路30に抵抗がないので、その抵抗の抵抗値のトリミング工程もない。よって、そのトリミング工程で使用されるヒューズもなくなるので、ボルテージレギュレータの面積が小さくなる。

【0024】

なお、図示しないが、PMOSトランジスタ22とPMOSトランジスタ23は、カレントミラー接続する代わりに、PMOSトランジスタ22のゲートに線形領域で動作するような電圧を与える回路に変更しても良い。PMOSトランジスタ32とPMOSトランジスタ33も同様である。

【0025】

また、NMOSトランジスタ31のバックゲートは、図1では、ボルテージレギュレータの出力端子に接続しているが、図示しないが、接地端子に接続しても良い。すると、NMOSトランジスタ31がオンしにくくなり、これに応じ、図2の波形が微調整される。

<第二の実施形態>

【0026】

図4は、第二の実施形態のボルテージレギュレータの回路図である。

図1との違いはPMOSトランジスタ22を削除し、PMOSトランジスタ401、402とバイアス電流源403を追加した点である。接続としては、バイアス電流源403は、一方は接地端子に接続され、もう一方はPMOSトランジスタ401のドレインに接続される。PMOSトランジスタ401は、ゲートおよびドレインはPMOSトランジスタ402のゲートに接続され、ソースは電源端子に接続される。PMOSトランジスタ402は、ドレインはPMOSトランジスタ23のゲートおよびNMOSトランジスタ21のドレインに接続され、ソースは電源端子に接続される。

【0027】

次に第二の実施形態のボルテージレギュレータの動作について説明する。

出力電圧 V_{out} が所定電圧よりも高いと、分圧電圧 V_{fb} が基準電圧 V_{ref} よりも高く、アンプ60の出力信号(出力トランジスタ40のゲート電圧)が高くなり、出力トランジスタ40はオフしていき、出力電圧 V_{out} は低くなる。また、出力電圧 V_{out} が所定電圧よりも低いと、上記と逆の動作をして、出力電圧 V_{out} は高くなる。つまり、出力電圧 V_{out} が一定になる。

【0028】

出力電圧が一定である時、バイアス電流源403によってPMOSトランジスタ401に電流が流れる。PMOSトランジスタ401とPMOSトランジスタ402はカレントミラーを構成しているため、PMOSトランジスタ402に電流が流れ、ノード411は電源電圧 V_{DD} 付近の電圧となる。ノード411が電源電圧 V_{DD} 付近の電圧のため、PMOSトランジスタ23はオフした状態にある。

【0029】

ここで、ボルテージレギュレータの出力端子と接地端子とが短絡すると、出力電流 I_{out} が増加する。出力電流 I_{out} が最大出力電流 I_m になると、最大出力電流 I_m に応じ、出力トランジスタ40とカレントミラー接続するセンストランジスタ11に流れる電流が多くなり、NMOSトランジスタ12に流れる電流も多くなる。すると、NMOSトランジスタ12とカレントミラー接続するNMOSトランジスタ21に流れる電流も多くなっていく。ここで、NMOSトランジスタ21に流れる電流がPMOSトランジスタ402に流れる電流より多くなると、ノード411の電圧は電源電圧 V_{DD} 付近の電圧から接地電圧 V_{SS} 付近の電圧へと変化していく。ノード411が接地電圧 V_{SS} 付近の電圧になるとPMOSトランジスタ23がオンしていき、出力トランジスタ40のゲート・ソース間電圧が低くなる。こうして出力トランジスタ40はオフしていく。

【0030】

出力トランジスタ40とセンストランジスタ11はカレントミラー接続している。さらに、NMOSトランジスタ12とNMOSトランジスタ21はカレントミラー接続している。このためNMOSトランジスタ21に流れる電流は、これらのカレントミラー比に基

10

20

30

40

50

づき出力電流 I_{out} に対して正確な比で設定することが可能となる。最大出力電流 I_m は $NMOS$ トランジスタ 21 に流れる電流と $PMOS$ トランジスタ 402 に流れる電流によって決定される。このため、この二つの電流値を調節することで容易に最大出力電流 I_m を調節することが可能となる。

【0031】

以上記載したように、第二の実施形態のボルテージレギュレータは、最大出力電流 I_m を $NMOS$ トランジスタ 21 に流れる電流と $PMOS$ トランジスタ 402 に流れる電流によって容易に設定および調節することが可能となる。

< 第三の実施形態 >

【0032】

図5は、第三の実施形態のボルテージレギュレータの回路図である。

図1との違いは $PMOS$ トランジスタ 32、33、 $NMOS$ トランジスタ 12 を削除し、 NL トランジスタ 501 を追加した点である。接続としては、 NL トランジスタ 501 は、ゲートおよびドレインは $NMOS$ トランジスタ 21 のゲートおよび $NMOS$ トランジスタ 31 のゲートに接続され、ソースは接地端子に接続される。 $NMOS$ トランジスタ 31 は、ドレインは $NMOS$ トランジスタ 21 のドレインと $PMOS$ トランジスタ 22 のドレインおよびゲートに接続され、ソースは出力端子に接続される。

【0033】

次に第三の実施形態のボルテージレギュレータの動作について説明する。 NL トランジスタとは $NMOS$ トランジスタと比べて閾値の低いトランジスタの事を指す。

出力電圧 V_{out} が所定電圧よりも高いと、分圧電圧 V_{fb} が基準電圧 V_{ref} よりも高く、アンプ 60 の出力信号（出力トランジスタ 40 のゲート電圧）が高くなり、出力トランジスタ 40 はオフしていき、出力電圧 V_{out} は低くなる。また、出力電圧 V_{out} が所定電圧よりも低いと、上記と逆の動作をして、出力電圧 V_{out} は高くなる。つまり、出力電圧 V_{out} が一定になる。

【0034】

ここで、ボルテージレギュレータの出力端子と接地端子とが短絡すると、出力電流 I_{out} が増加する。出力電流 I_{out} が最大出力電流 I_m になると、最大出力電流 I_m に応じ、出力トランジスタ 40 とカレントミラー接続するセンストランジスタ 11 に流れる電流が多くなる。すると NL トランジスタ 501 に流れる電流も多くなり、カレントミラー接続する $NMOS$ トランジスタ 21 に流れる電流も多くなっていく。 $NMOS$ トランジスタ 21 に電流が流れると $PMOS$ トランジスタ 22 にも電流が流れ、カレントミラー接続する $PMOS$ トランジスタ 23 にも電流が流れていく。こうして出力トランジスタ 40 のゲート・ソース間電圧が低くなり、出力トランジスタ 40 はオフしていく。最大出力電流 I_m は $NMOS$ トランジスタ 21 に流れる電流によって決定される。

【0035】

出力電圧 V_{out} が低くなり所定電圧 V_a 以下になる。すると、 $NMOS$ トランジスタ 31 のゲート・ソース間電圧が閾値電圧 V_{tn} 以上になり、 $NMOS$ トランジスタ 31 はオンする。すると、 $PMOS$ トランジスタ 22 に流れる電流が多くなり、 $PMOS$ トランジスタ 22 とカレントミラー接続する $PMOS$ トランジスタ 23 のオン抵抗が低くなる。こうして出力トランジスタ 40 のゲート・ソース間電圧がさらに低くなり、出力トランジスタ 40 がさらにオフしていく。出力トランジスタ 40 がさらにオフすると出力電流 I_{out} が少なくなり、短絡時出力電流 I_s まで制限される。この短絡時出力電流 I_s は、 $NMOS$ トランジスタ 31 に流れる電流によって決定することができる。その後、出力電圧 V_{out} はさらに低くなり 0 ボルトになっていく。

【0036】

出力トランジスタ 40 とセンストランジスタ 11 はカレントミラー接続している。さらに、 NL トランジスタ 501 と $NMOS$ トランジスタ 21 と $NMOS$ トランジスタ 31 はカレントミラー接続している。このため $NMOS$ トランジスタ 21 および $NMOS$ トランジスタ 31 に流れる電流は、これらのカレントミラー比に基づき出力電流 I_{out} に対し

10

20

30

40

50

て正確な比で設定することが可能となる。最大出力電流 I_m 及び短絡時出力電流 I_s は NMOS トランジスタ 21 及び NMOS トランジスタ 31 に流れる電流によって決定される。このため、最大出力電流 I_m 及び短絡時出力電流 I_s は出力電流 I_{out} に対して正確な比で設定することが可能となる。

【0037】

また、PMOS トランジスタ 32、33 を削除しているため、さらにボルテージレギュレータの面積を小さくすることができる。

【0038】

NL トランジスタ 501 は、出力電流 I_{out} が最大出力電流 I_m になる前に出力電圧が低下するのを防止するために用いている。出力端子と接地端子とが短絡し出力電流 I_{out} が上昇するとセンストランジスタ 11 で電流をセンスして、出力トランジスタ 40 をオフしていく。この時、最大出力電流 I_m 以下であってもセンストランジスタ 11 は電流を正確に検出し、PMOS トランジスタ 23 に電流を流していく。このため、図 7 の点線で示すように、最大出力電流 I_m に達する前に出力トランジスタ 40 をオフさせる動作が開始し、出力電圧が低下してしまうのである。これを防ぐために、NL トランジスタ 501 と NMOS トランジスタ 21 の閾値に差を設けることでミラー比をずらし、最大出力電流 I_m 以下では動作しないようにしている。

【0039】

なお、図示はしないが NL トランジスタ 501 は NMOS トランジスタを用いても良い。以上記載したように、第三の実施形態のボルテージレギュレータは、最大出力電流 I_m 及び短絡時出力電流 I_s を NMOS トランジスタ 21 及び NMOS トランジスタ 31 に流れる電流によって設定および調節することが可能となる。また、トランジスタ数を減らすためさらに小さい面積で実現することが可能となる。

< 第四の実施形態 >

【0040】

図 6 は、第四の実施形態のボルテージレギュレータの回路図である。

図 1 との違いは PMOS トランジスタ 32、33 を削除し、NMOS トランジスタ 601 を追加した点である。接続としては、NMOS トランジスタ 601 は、ゲートおよびドレインは NMOS トランジスタ 21 のソースに接続され、ソースは接地端子に接続される。

【0041】

次に第四の実施形態のボルテージレギュレータの動作について説明する。NMOS トランジスタ 21 のソースに NMOS トランジスタ 601 を追加することで NMOS トランジスタ 12 と NMOS トランジスタ 21 のミラー比をずらすことができる。このミラー比をずらすことによって最大出力電流 I_m 以下で出力電圧が低下するのを防止することができる。また、NL トランジスタを用いないため NL トランジスタ用のマスクや工程を省くことができ、製造コスト削減を行うことができる。

【0042】

また、図示はしないがさらにミラー比をずらすため NMOS トランジスタ 12 に NL トランジスタを用いても良い。

【0043】

以上記載したように、第四の実施形態のボルテージレギュレータは、最大出力電流 I_m 及び短絡時出力電流 I_s を NMOS トランジスタ 21 及び NMOS トランジスタ 31 に流れる電流によって設定および調節することが可能となる。また、NL トランジスタを用いずに NMOS トランジスタ 12 と NMOS トランジスタ 21 のミラー比をずらすため、製造コスト削減を行うことができる。

【符号の説明】

【0044】

10 センス回路

20、30 制御回路

10

20

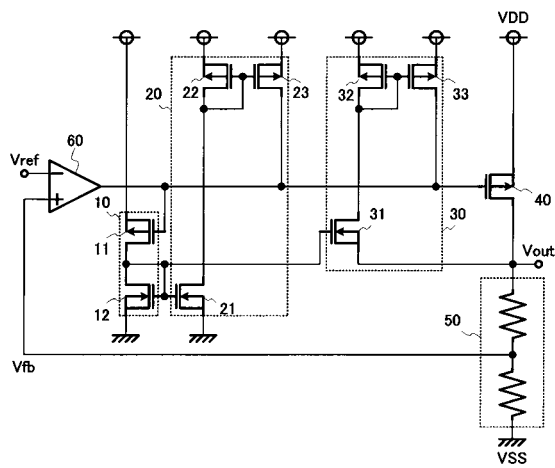
30

40

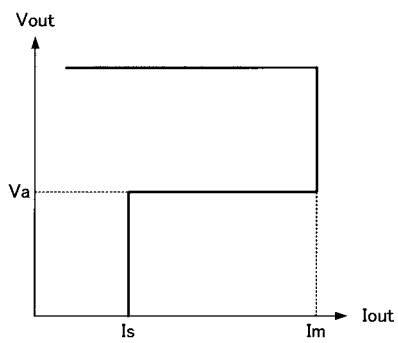
50

- 4 0 出力トランジスタ
- 5 0 分圧回路
- 6 0 アンプ
- 4 0 3 バイアス電流源
- 5 0 1 NLトランジスタ

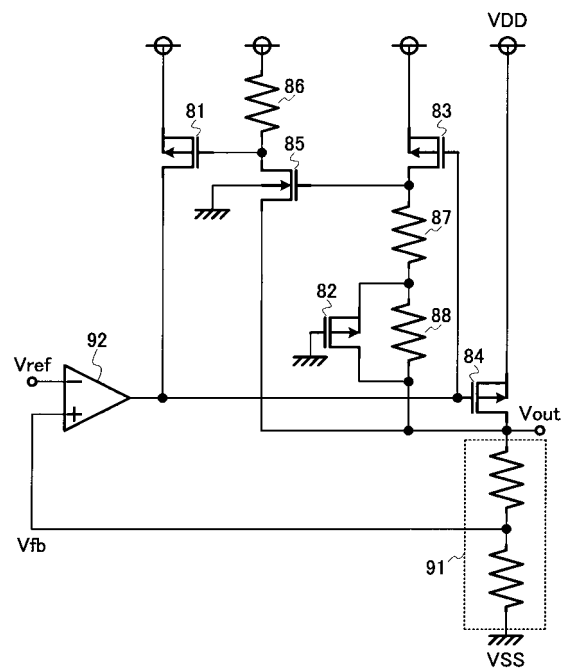
【 図 1 】



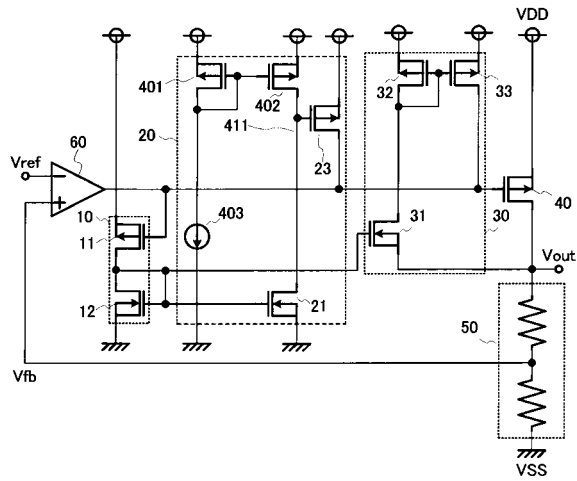
【 図 2 】



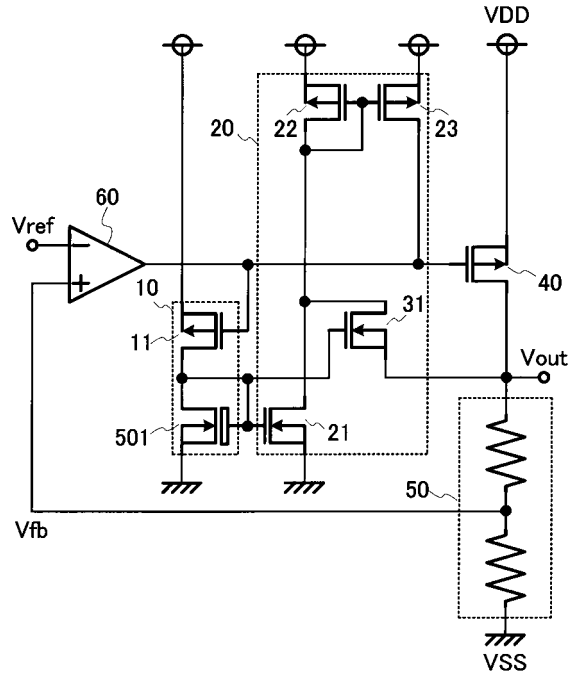
【 図 3 】



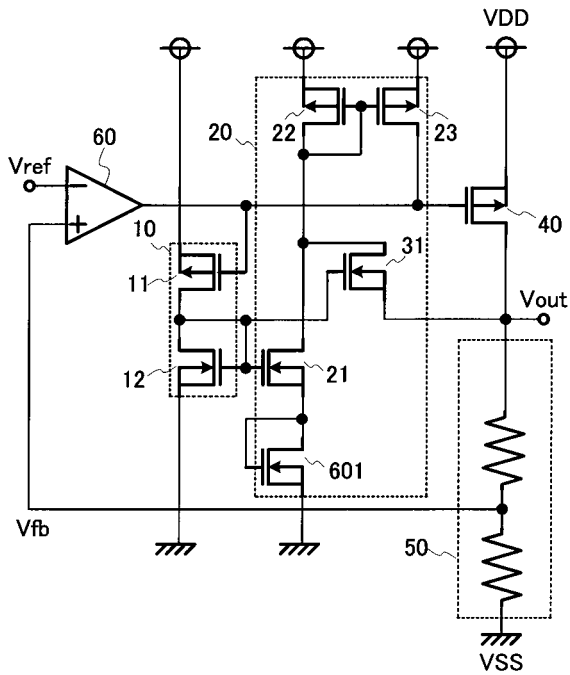
【 図 4 】



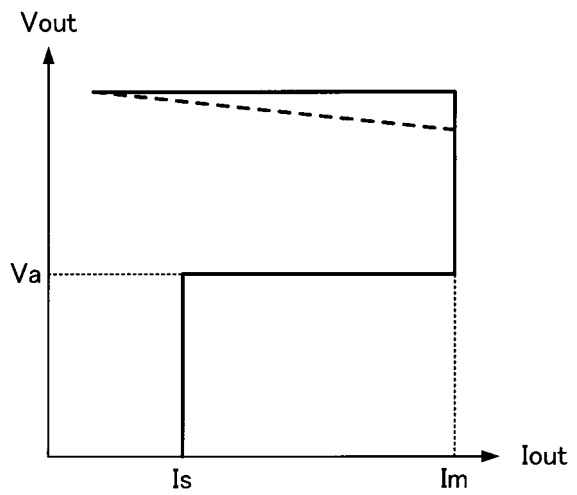
【 図 5 】



【 図 6 】



【 図 7 】



フロントページの続き

- (56)参考文献 特開2005-235932(JP,A)
特開2003-216252(JP,A)
特開2003-186554(JP,A)
特開2006-079517(JP,A)
特開2006-139673(JP,A)
特開2005-218264(JP,A)
特開2003-029856(JP,A)

(58)調査した分野(Int.Cl., DB名)

G05F 1/56
G05F 3/26