

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2005-295627
(P2005-295627A)

(43) 公開日 平成17年10月20日(2005. 10. 20)

(51) Int.Cl.⁷
H02M 7/219
H02M 7/162

F I
H02M 7/219
H02M 7/162

テーマコード (参考)
5H006

審査請求 未請求 請求項の数 4 O L (全 20 頁)

(21) 出願番号	特願2004-104224 (P2004-104224)	(71) 出願人	000002945
(22) 出願日	平成16年3月31日 (2004. 3. 31)		オムロン株式会社
			京都市下京区塩小路通堀川東入南不動堂町
			801番地
		(74) 代理人	100082131
			弁理士 稲本 義雄
		(72) 発明者	山田 智巳
			京都市下京区塩小路通堀川東入南不動堂町
			801番地 オムロン株式会社内
		(72) 発明者	岡本 好崇
			京都市下京区塩小路通堀川東入南不動堂町
			801番地 オムロン株式会社内
		(72) 発明者	西村 朋宏
			京都市下京区塩小路通堀川東入南不動堂町
			801番地 オムロン株式会社内
			最終頁に続く

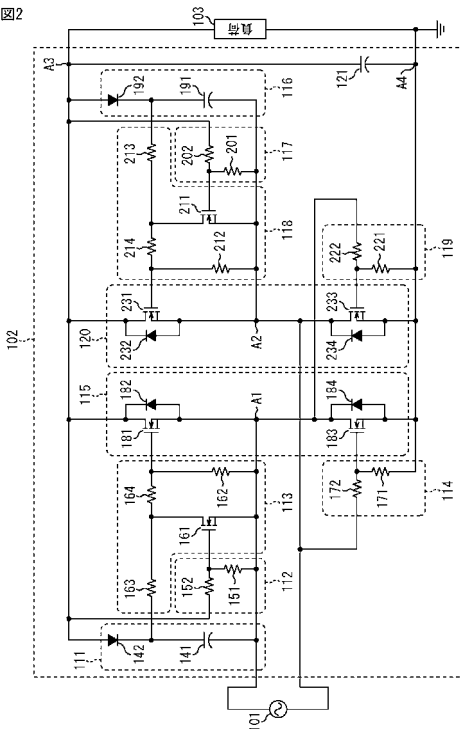
(54) 【発明の名称】 全波整流平滑回路およびスイッチング電源装置

(57) 【要約】

【課題】 より少ない損失で交流電圧を全波整流平滑化する。

【解決手段】 全波整流平滑回路102の整流素子は、MOSFET181、183、231、および233の4つのnチャネルMOSFETにより構成される。MOSFET181はコンデンサ141の両端の電圧を分圧した駆動電圧によりスイッチングされ、MOSFET231はコンデンサ191の両端の電圧を分圧した駆動電圧によりスイッチングされる。MOSFET183は接続点A2と接続点A4の電圧を分圧した駆動電圧によりスイッチングされ、MOSFET233は接続点A1と接続点A4の電圧を分圧した駆動電圧によりスイッチングされる。本発明は、定電圧直流電源に適用することができる。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

交流電源から入力された交流電圧を全波整流平滑化する全波整流平滑回路において、
ソースが前記交流電源の第 1 の端子に接続された第 1 の n チャンネル MOSFET (Metal Oxide Semiconductor Field Effect Transistor) と、

ドレインが前記交流電源の前記第 1 の端子に接続された第 2 の n チャンネル MOSFET と、

ドレインが前記第 1 の n チャンネル MOSFET のドレインに接続され、ソースが前記交流電源の第 2 の端子に接続された第 3 の n チャンネル MOSFET と、

ドレインが前記交流電源の前記第 2 の端子に接続され、ソースが前記第 2 の n チャンネル MOSFET のソースに接続された第 4 の n チャンネル MOSFET と、

10

第 1 の端子が前記第 3 の n チャンネル MOSFET のドレインと接続され、第 2 の端子が前記第 4 の n チャンネル MOSFET のソースに接続され、前記第 1 乃至第 4 の n チャンネル MOSFET により全波整流された電圧を平滑化する第 1 のコンデンサと、

前記第 1 のコンデンサの前記第 1 の端子と前記交流電源の前記第 1 の端子の間の電圧によりチャージされる第 2 のコンデンサと、

前記交流電源の前記第 1 の端子と前記第 1 のコンデンサの前記第 1 の端子の間の電圧に基づいて、前記第 2 のコンデンサの両端の電圧を分圧した第 1 の駆動電圧を前記第 1 の n チャンネル MOSFET に印加する第 1 の駆動回路と、

前記交流電源の第 2 の端子と前記第 1 のコンデンサの前記第 2 の端子の間の電圧を分圧した第 2 の駆動電圧を前記第 2 の n チャンネル MOSFET に印加する第 1 の分圧回路と、

20

前記第 1 のコンデンサの前記第 1 の端子と前記交流電源の前記第 2 の端子の間の電圧によりチャージされる第 3 のコンデンサと、

前記交流電源の前記第 2 の端子と前記第 1 のコンデンサの前記第 1 の端子の間の電圧に基づいて、前記第 3 のコンデンサの両端の電圧を分圧した第 3 の駆動電圧を前記第 3 の n チャンネル MOSFET に印加する第 2 の駆動回路と、

前記交流電源の第 1 の端子と前記第 1 のコンデンサの前記第 2 の端子の間の電圧を分圧した第 4 の駆動電圧を前記第 4 の n チャンネル MOSFET に印加する第 2 の分圧回路と

を含むことを特徴とする全波整流平滑回路。

【請求項 2】

前記第 1 の駆動回路は、前記交流電源の前記第 1 の端子と前記第 1 のコンデンサの前記第 1 の端子の間の電圧が第 1 の基準電圧以下になったとき、前記第 1 の駆動電圧を前記第 1 の n チャンネル MOSFET に印加し、

30

前記第 2 の駆動回路は、前記交流電源の前記第 2 の端子と前記第 1 のコンデンサの前記第 1 の端子の間の電圧が第 2 の基準電圧以下になったとき、前記第 3 の駆動電圧を前記第 3 の n チャンネル MOSFET に印加する

ことを特徴とする請求項 1 に記載の全波整流平滑回路。

【請求項 3】

前記第 1 の駆動回路は、第 1 のスイッチング素子を含み、

前記第 2 の駆動回路は、第 2 のスイッチング素子を含み、

前記交流電源の前記第 1 の端子と前記第 1 のコンデンサの前記第 1 の端子の間の電圧を分圧した第 5 の駆動電圧を前記第 1 のスイッチング素子に印加する第 3 の分圧回路と、

40

前記交流電源の前記第 2 の端子と前記第 1 のコンデンサの前記第 1 の端子の間の電圧を分圧した第 6 の駆動電圧を前記第 2 のスイッチング素子に印加する第 4 の分圧回路とをさらに含み、

前記交流電源の前記第 1 の端子と前記第 1 のコンデンサの前記第 1 の端子の間の電圧が前記第 1 の基準電圧以下となったとき、前記第 5 の駆動電圧が前記第 1 のスイッチング素子をオフする電圧となり、前記第 1 のスイッチング素子がオフされたとき、前記第 1 の駆動回路は、前記第 1 の駆動電圧を前記第 1 の n チャンネル MOSFET に印加し、

前記交流電源の前記第 2 の端子と前記第 1 のコンデンサの前記第 2 の端子の間の電圧が前記第 2 の基準電圧以下となったとき、前記第 6 の駆動電圧が前記第 2 のスイッチング素

50

子をオフする電圧となり、前記第 2 のスイッチング素子がオフされたとき、前記第 2 の駆動回路は、前記第 3 の駆動電圧を前記第 3 の n チャンネル MOSFET に印加する

ことを特徴とする請求項 2 に記載の全波整流平滑回路。

【請求項 4】

交流電源が出力する交流電圧を全波整流平滑化した電圧をスイッチングして出力するスイッチング電源装置において、

ソースが前記交流電源の第 1 の端子に接続された第 1 の n チャンネル MOSFET と、

ドレインが前記交流電源の前記第 1 の端子に接続された第 2 の n チャンネル MOSFET と、

ドレインが前記第 1 の n チャンネル MOSFET のドレインに接続され、ソースが前記交流電源の第 2 の端子に接続された第 3 の n チャンネル MOSFET と、

10

ドレインが前記交流電源の前記第 2 の端子に接続され、ソースが前記第 2 の n チャンネル MOSFET のソースに接続された第 4 の n チャンネル MOSFET と、

第 1 の端子が前記第 3 の n チャンネル MOSFET のドレインと接続され、第 2 の端子が前記第 4 の n チャンネル MOSFET のソースに接続され、前記第 1 乃至第 4 の n チャンネル MOSFET により全波整流された電圧を平滑化する第 1 のコンデンサと、

前記第 1 のコンデンサの前記第 1 の端子と前記交流電源の前記第 1 の端子の間の電圧によりチャージされる第 2 のコンデンサと、

前記交流電源の前記第 1 の端子と前記第 1 のコンデンサの前記第 1 の端子の間の電圧に基づいて、前記第 2 のコンデンサの両端の電圧を分圧した第 1 の駆動電圧を前記第 1 の n チャンネル MOSFET に印加する第 1 の駆動回路と、

20

前記交流電源の第 2 の端子と前記第 1 のコンデンサの前記第 2 の端子の間の電圧を分圧した第 2 の駆動電圧を前記第 2 の n チャンネル MOSFET に印加する第 1 の分圧回路と、

前記第 1 のコンデンサの前記第 1 の端子と前記交流電源の前記第 2 の端子の間の電圧によりチャージされる第 3 のコンデンサと、

前記交流電源の前記第 2 の端子と前記第 1 のコンデンサの前記第 1 の端子の間の電圧に基づいて、前記第 3 のコンデンサの両端の電圧を分圧した第 3 の駆動電圧を前記第 3 の n チャンネル MOSFET に印加する第 2 の駆動回路と、

前記交流電源の第 1 の端子と前記第 1 のコンデンサの前記第 2 の端子の間の電圧を分圧した第 4 の駆動電圧を前記第 4 の n チャンネル MOSFET に印加する第 2 の分圧回路と

を含むことを特徴とするスイッチング電源装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、全波整流平滑回路およびスイッチング電源装置に関し、特に、電力損失を低減するようにした全波整流平滑回路およびスイッチング電源装置に関する。

【背景技術】

【0002】

従来より、スイッチング電源装置の小型化、軽量化、および高効率化するために、スイッチング電源装置の電力の損失を低減することが重要な課題となっている。特に、スイッチング電源装置に設けられ、交流電圧を全波整流平滑化する全波整流平滑回路は電力の損失が大きく、全波整流平滑回路の損失の低減は重要な課題となっている。

40

【0003】

図 1 は、ダイオードを使用した一般的な全波整流平滑回路の例を示している。

【0004】

全波整流平滑回路 2 は、ダイオード 11 乃至 14 およびコンデンサ 15 により構成される。ダイオード 11 のアノードは、ダイオード 12 のカソードに接続され、ダイオード 11 のカソードは、ダイオード 13 のカソードおよび平滑用のコンデンサ 15 の一端に接続されている。ダイオード 12 のアノードは、ダイオード 14 のアノードおよびコンデンサ 15 の他の一端に接続され、ダイオード 13 のアノードは、ダイオード 14 のカソードに接続されている。

50

【 0 0 0 5 】

交流電源 1 の一端はダイオード 1 1 のアノードに接続され、交流電源 1 の他の一端はダイオード 1 4 のカソードに接続され、交流電源 1 は全波整流平滑回路 2 に交流電圧を供給する。全波整流平滑回路 2 のコンデンサ 1 5 の両端には負荷 3 が接続され、全波整流平滑回路 2 の出力電圧、すなわちコンデンサ 1 5 の両端電圧が負荷 3 に印加される。

【 0 0 0 6 】

交流電源 1 から入力された交流電圧は、ダイオード 1 1 のアノードの電位がダイオード 1 3 のアノードの電位より高いとき、ダイオード 1 1 およびダイオード 1 4 を介してコンデンサ 1 5 の両端に印加され、ダイオード 1 3 のアノードの電位がダイオード 1 1 のアノードの電位より高いとき、ダイオード 1 3 およびダイオード 1 2 を介してコンデンサ 1 5 の両端に印加され、入力電圧が全波整流される。さらに、全波整流された電圧はコンデンサ 1 5 により平滑化され、脈流を含んだ直流電圧が負荷 3 に供給される。

10

【 0 0 0 7 】

しかしながら、ダイオードは順方向の電圧降下が大きく、電力の損失が大きいため、ダイオードの替わりに、オン抵抗が少ない p チャンネル MOSFET (Metal Oxide Semiconductor Field Effect Transistor) と n チャンネル MOSFET を組み合わせて整流素子に用いた全波整流平滑回路が提案されている (例えば、特許文献 1) 。

【特許文献 1】特開平 0 9 - 1 3 1 0 6 4 号公報

【 発明の開示 】

【 発明が解決しようとする課題 】

20

【 0 0 0 8 】

一般的に、同一の形状、耐圧、および定格電流の MOSFET では、n チャンネル MOSFET の方が、p チャンネル MOSFET よりもオン抵抗が小さいため、全波整流平滑回路をより低損失化するためには、全ての整流素子を n チャンネル MOSFET にすることが望ましい。しかしながら、特許文献 1 に記載されている発明では、p チャンネル MOSFET と n チャンネル MOSFET を組み合わせた全波整流平滑回路しか開示されていない。

【 0 0 0 9 】

また、特許文献 1 に記載された発明では、p チャンネル MOSFET を n チャンネル MOSFET に置き換えようとした場合、n チャンネル MOSFET に駆動電圧を供給するためのチャージポンプ回路が必要となり、さらに、チャージポンプ回路に所定の電圧を入力する電源やチャージポンプ回路を入力電圧と同じ周波数で制御するための制御回路などが必要となり、電力の損失が大きくなるとともに、全波整流平滑回路が大きくなってしまいう課題があった。

30

【 0 0 1 0 】

本発明は、このような状況に鑑みてなされたものであり、全ての整流素子に n チャンネル MOSFET を用いて、より少ない損失で入力された交流電圧を全波整流平滑化できるようにしたものである。

【 課題を解決するための手段 】

【 0 0 1 1 】

本発明の全波整流平滑回路は、交流電源から入力された交流電圧を全波整流平滑化する全波整流平滑回路であって、ソースが交流電源の第 1 の端子に接続された第 1 の n チャンネル MOSFET (Metal Oxide Semiconductor Field Effect Transistor) と、ドレインが交流電源の第 1 の端子に接続された第 2 の n チャンネル MOSFET と、ドレインが第 1 の n チャンネル MOSFET のドレインに接続され、ソースが交流電源の第 2 の端子に接続された第 3 の n チャンネル MOSFET と、ドレインが交流電源の第 2 の端子に接続され、ソースが第 2 の n チャンネル MOSFET のソースに接続された第 4 の n チャンネル MOSFET と、第 1 の端子が第 3 の n チャンネル MOSFET のドレインと接続され、第 2 の端子が第 4 の n チャンネル MOSFET のソースに接続され、第 1 乃至第 4 の n チャンネル MOSFET により全波整流された電圧を平滑化する第 1 のコンデンサと、第 1 のコンデンサの第 1 の端子と交流電源の第 1 の端子の間の電圧によりチャージされる第 2 のコンデンサと、交流電源の第 1 の端子と第 1 のコンデンサの第 1 の端子の間の電圧に基づいて、第 2 のコンデンサの両端の電圧を分圧した第 1 の駆動電圧を第 1

40

50

の n チャンネル MOSFET に印加する第 1 の駆動回路と、交流電源の第 2 の端子と第 1 のコンデンサの第 2 の端子の間の電圧を分圧した第 2 の駆動電圧を第 2 の n チャンネル MOSFET に印加する第 1 の分圧回路と、第 1 のコンデンサの第 1 の端子と交流電源の第 2 の端子の間の電圧によりチャージされる第 3 のコンデンサと、交流電源の第 2 の端子と第 1 のコンデンサの第 1 の端子の間の電圧に基づいて、第 3 のコンデンサの両端の電圧を分圧した第 3 の駆動電圧を第 3 の n チャンネル MOSFET に印加する第 2 の駆動回路と、交流電源の第 1 の端子と第 1 のコンデンサの第 2 の端子の間の電圧を分圧した第 4 の駆動電圧を第 4 の n チャンネル MOSFET に印加する第 2 の分圧回路とを含むことを特徴とする。

【 0 0 1 2 】

第 1 の駆動回路は、例えば、交流電源の第 1 の端子と第 1 のコンデンサの第 1 の端子の間の電圧が所定の電圧になったときスイッチングするスイッチング素子を含み、スイッチング素子のオンまたはオフにより駆動電圧を制御するようにすることができる。また、第 1 の駆動回路は、例えば、交流電源の第 1 の端子と第 1 のコンデンサの第 1 の端子の間の電圧を所定の電圧と比較して、第 1 の駆動電圧を出力するコンパレータにより構成される。

10

【 0 0 1 3 】

第 2 の駆動回路は、例えば、交流電源の第 2 の端子と第 1 のコンデンサの第 1 の端子の間の電圧が所定の電圧になったときスイッチングするスイッチング素子を含み、スイッチング素子のオンまたはオフにより駆動電圧を制御するようにすることができる。また、第 2 の駆動回路は、例えば、交流電源の第 2 の端子と第 1 のコンデンサの第 1 の端子の間の電圧を所定の電圧と比較して、第 3 の駆動電圧を出力するコンパレータにより構成される。

20

【 0 0 1 4 】

本発明の全波整流平滑回路によれば、第 1 の n チャンネル MOSFET のソースが交流電源の第 1 の端子に接続され、第 2 のチャンネル MOSFET のドレインが交流電源の第 1 の端子に接続され、第 3 の n チャンネル MOSFET のドレインが第 1 の n チャンネル MOSFET のドレインに接続され、ソースが交流電源の第 2 の端子に接続され、第 4 の n チャンネル MOSFET のドレインが交流電源の第 2 の端子に接続され、ソースが第 2 の n チャンネル MOSFET のソースに接続され、第 1 のコンデンサの第 1 の端子が第 3 の n チャンネル MOSFET のドレインと接続され、第 2 の端子が第 4 の n チャンネル MOSFET のソースに接続され、第 1 乃至第 4 の n チャンネル MOSFET により全波整流された電圧が平滑化され、第 2 のコンデンサが第 1 のコンデンサの第 1 の端子と交流電源の第 1 の端子の間の電圧によりチャージされ、交流電源の第 1 の端子と第 1 のコンデンサの第 1 の端子の間の電圧に基づいて、第 2 のコンデンサの両端の電圧を分圧した第 1 の駆動電圧が第 1 の n チャンネル MOSFET に印加され、交流電源の第 2 の端子と第 1 のコンデンサの第 2 の端子の間の電圧を分圧した第 2 の駆動電圧が第 2 の n チャンネル MOSFET に印加され、第 3 のコンデンサが第 1 のコンデンサの第 1 の端子と交流電源の第 2 の端子の間の電圧によりチャージされ、交流電源の第 2 の端子と第 1 のコンデンサの第 1 の端子の間の電圧に基づいて、第 3 のコンデンサの両端の電圧を分圧した第 3 の駆動電圧が第 3 の n チャンネル MOSFET に印加され、交流電源の第 1 の端子と第 1 のコンデンサの第 2 の端子の間の電圧を分圧した第 4 の駆動電圧が第 4 の n チャンネル MOSFET に印加される。

30

40

【 0 0 1 5 】

従って、全波整流平滑回路の整流素子を全て n チャンネル MOSFET により構成することができる。全波整流平滑回路の電力の損失をより低減することができる。

【 0 0 1 6 】

本発明の全波整流平滑回路は、交流電源の第 1 の端子と第 1 のコンデンサの第 1 の端子の間の電圧が第 1 の基準電圧以下になったとき、第 1 の駆動電圧を第 1 の n チャンネル MOSFET に印加し、第 2 の駆動回路は、交流電源の第 2 の端子と第 1 のコンデンサの第 1 の端子の間の電圧が第 2 の基準電圧以下になったとき、第 3 の駆動電圧を第 3 の n チャンネル MOSFET に印加するようにすることができる。

【 0 0 1 7 】

50

従って、第1のnチャンネルMOSFETのスイッチングを、交流電源の第1の端子と第1のコンデンサの第1の端子の間の電圧が第1の基準電圧以下になったか否かにより制御することができるようになる。また、第2のnチャンネルMOSFETのスイッチングを、交流電源の第2の端子と第1のコンデンサの第1の端子の間の電圧が第2の基準電圧以下になったか否かにより制御することができるようになる。

【0018】

本発明の全波整流平滑回路は、第1の駆動回路は、第1のスイッチング素子を含み、第2の駆動回路は、第2のスイッチング素子を含み、交流電源の第1の端子と第1のコンデンサの第1の端子の間の電圧を分圧した第5の駆動電圧を第1のスイッチング素子に印加する第3の分圧回路と、交流電源の第2の端子と第1のコンデンサの第1の端子の間の電圧を分圧した第6の駆動電圧を第2のスイッチング素子に印加する第4の分圧回路とをさらに含み、交流電源の第1の端子と第1のコンデンサの第1の端子の間の電圧が第1の基準電圧以下となったとき、第5の駆動電圧が第1のスイッチング素子をオフする電圧となり、第1のスイッチング素子がオフされたとき、第1の駆動回路は、第1の駆動電圧を第1のnチャンネルMOSFETに印加し、交流電源の第2の端子と第1のコンデンサの第2の端子の間の電圧が第2の基準電圧以下となったとき、第6の駆動電圧が第2のスイッチング素子をオフする電圧となり、第2のスイッチング素子がオフされたとき、第2の駆動回路は、第3の駆動電圧を第3のnチャンネルMOSFETに印加するようにすることができる。

10

【0019】

第1のスイッチング素子および第2のスイッチング素子は、例えば、MOSFETやバイポーラトランジスタなどにより構成される。

20

【0020】

従って、特殊な部品を用いることなく、安価かつ容易に全波整流平滑回路を構成することができる。

【0021】

本発明のスイッチング電源装置は、交流電源が出力する交流電圧を全波整流平滑化した電圧をスイッチングして出力するスイッチング電源装置であって、ソースが交流電源の第1の端子に接続された第1のnチャンネルMOSFET(Metal Oxide Semiconductor Field Effect Transistor)と、ドレインが交流電源の第1の端子に接続された第2のnチャンネルMOSFETと、ドレインが第1のnチャンネルMOSFETのドレインに接続され、ソースが交流電源の第2の端子に接続された第3のnチャンネルMOSFETと、ドレインが交流電源の第2の端子に接続され、ソースが第2のnチャンネルMOSFETのソースに接続された第4のnチャンネルMOSFETと、第1の端子が第3のnチャンネルMOSFETのドレインと接続され、第2の端子が第4のnチャンネルMOSFETのソースに接続され、第1乃至第4のnチャンネルMOSFETにより全波整流された電圧を平滑化する第1のコンデンサと、第1のコンデンサの第1の端子と交流電源の第1の端子の間の電圧によりチャージされる第2のコンデンサと、交流電源の第1の端子と第1のコンデンサの第1の端子の間の電圧に基づいて、第2のコンデンサの両端の電圧を分圧した第1の駆動電圧を第1のnチャンネルMOSFETに印加する第1の駆動回路と、交流電源の第2の端子と第1のコンデンサの第2の端子の間の電圧を分圧した第2の駆動電圧を第2のnチャンネルMOSFETに印加する第1の分圧回路と、第1のコンデンサの第1の端子と交流電源の第2の端子の間の電圧によりチャージされる第3のコンデンサと、交流電源の第2の端子と第1のコンデンサの第1の端子の間の電圧に基づいて、第3のコンデンサの両端の電圧を分圧した第3の駆動電圧を第3のnチャンネルMOSFETに印加する第2の駆動回路と、交流電源の第1の端子と第1のコンデンサの第2の端子の間の電圧を分圧した第4の駆動電圧を第4のnチャンネルMOSFETに印加する第2の分圧回路とを含むことを特徴とする。

30

40

【0022】

第1の駆動回路は、例えば、交流電源の第1の端子と第1のコンデンサの第1の端子の間の電圧が所定の電圧になったときスイッチングするスイッチング素子を含み、スイッチング素子のオンまたはオフにより駆動電圧を制御するようにすることができる。また、第

50

1の駆動回路は、例えば、交流電源の第1の端子と第1のコンデンサの第1の端子の間の電圧を所定の電圧と比較して、第1の駆動電圧を出力するコンパレータにより構成される。

【0023】

第2の駆動回路は、例えば、交流電源の第2の端子と第1のコンデンサの第1の端子の間の電圧が所定の電圧になったときスイッチングするスイッチング素子を含み、スイッチング素子のオンまたはオフにより駆動電圧を制御するようにすることができる。また、第2の駆動回路は、例えば、交流電源の第2の端子と第1のコンデンサの第1の端子の間の電圧を所定の電圧と比較して、第3の駆動電圧を出力するコンパレータにより構成される。

10

【0024】

本発明のスイッチング電源によれば、第1のnチャネルMOSFETのソースが交流電源の第1の端子に接続され、第2のチャネルMOSFETのドレインが交流電源の第1の端子に接続され、第3のnチャネルMOSFETのドレインが第1のnチャネルMOSFETのドレインに接続され、ソースが交流電源の第2の端子に接続され、第4のnチャネルMOSFETのドレインが交流電源の第2の端子に接続され、ソースが第2のnチャネルMOSFETのソースに接続され、第1のコンデンサの第1の端子が第3のnチャネルMOSFETのドレインと接続され、第2の端子が第4のnチャネルMOSFETのソースに接続され、第1乃至第4のnチャネルMOSFETにより全波整流された電圧が平滑化され、第2のコンデンサが第1のコンデンサの第1の端子と交流電源の第1の端子の間の電圧によりチャージされ、交流電源の第1の端子と第1のコンデンサの第1の端子の間の電圧に基づいて、第2のコンデンサの両端の電圧を分圧した第1の駆動電圧が第1のnチャネルMOSFETに印加され、交流電源の第2の端子と第1のコンデンサの第2の端子の間の電圧を分圧した第2の駆動電圧が第2のnチャネルMOSFETに印加され、第3のコンデンサが第1のコンデンサの第1の端子と交流電源の第2の端子の間の電圧によりチャージされ、交流電源の第2の端子と第1のコンデンサの第1の端子の間の電圧に基づいて、第3のコンデンサの両端の電圧を分圧した第3の駆動電圧が第3のnチャネルMOSFETに印加され、交流電源の第1の端子と第1のコンデンサの第2の端子の間の電圧を分圧した第4の駆動電圧が第4のnチャネルMOSFETに印加される。

20

【0025】

従って、スイッチング電源装置の整流素子を全てnチャネルMOSFETにより構成することができ、スイッチング電源装置の電力の損失をより低減することができる。

30

【発明の効果】

【0026】

以上のように、本発明の全波整流平滑回路によれば、入力された交流電圧を全波整流平滑化することができる。また、本発明の全波整流平滑回路によれば、電力の損失をより低減することができる。

【0027】

また、本発明のスイッチング電源によれば、所定の直流電圧を出力することができる。また、本発明のスイッチング電源によれば、電力の損失をより低減することができる。

【発明を実施するための最良の形態】

40

【0028】

図2は、本発明を適用した全波整流平滑回路102の回路構成例を示す図である。

【0029】

全波整流平滑回路102は、交流電源101および負荷103に接続され、全波整流平滑回路102は、交流電源101から入力された交流の入力電圧 V_{in} を全波整流平滑化し、全波整流平滑化した直流の出力電圧 V_{out} を負荷103に出力する。

【0030】

全波整流平滑回路102は、チャージアップ回路111、分圧回路112、駆動回路113、分圧回路114、スイッチング回路115、チャージアップ回路116、分圧回路117、駆動回路118、分圧回路119、スイッチング回路120、およびコンデンサ

50

1 2 1 により構成される。

【0031】

なお、全波整流平滑回路102において、交流電源101の一端、MOSFET181のソース、およびMOSFET183のドレインの接続点を接続点A1、交流電源101の他の一端、MOSFET231のソース、およびMOSFET233のドレインの接続点を接続点A2とする。接続点A1と接続点A2の電位差は、交流電源101から入力される入力電圧 V_{in} と等しい。また、コンデンサ121とMOSFET231のドレインの接続点を接続点A3、コンデンサ121とMOSFET233のソースの接続点を接続点A4とする。接続点A3と接続点A4の電位差は、負荷103に印加される出力電圧 V_{out} と等しい。

【0032】

10

また、以下、入力電圧 V_{in} において、接続点A1の電位が接続点A2の電位より高くなるサイクルを正のサイクル、接続点A2の電位が接続点A1の電位より高くなるサイクルを負のサイクル、接続点A1の電位が上昇する方向を正の方向、接続点A2の電位が上昇する方向を負の方向とする。

【0033】

チャージアップ回路111は、コンデンサ141およびダイオード142により構成される。コンデンサ141の一端は、ダイオード142のカソードおよび駆動回路113の抵抗163の一端に接続されている。コンデンサ141の他の一端は、交流電源101の一端、分圧回路112の抵抗151の一端、駆動回路113のMOSFET161のソースおよび抵抗162の一端、スイッチング回路115のMOSFET181のソース、ダイオード182のアノード、MOSFET183のドレイン、およびダイオード184のカソード、並びに、分圧回路119の抵抗222の一端に接続されている。

20

【0034】

ダイオード142のアノードは、分圧回路112の抵抗152の一端、スイッチング回路115のMOSFET181のドレインおよびダイオード182のカソード、スイッチング回路120のMOSFET231のドレインおよびダイオード232のカソード、分圧回路117の抵抗202の一端、チャージアップ回路116のダイオード192のアノード、並びに、コンデンサ121の一端に接続されている。

【0035】

コンデンサ141と駆動回路113の抵抗163の時定数は、入力電圧 V_{in} の周期に比べて十分大きな値に設計されており、コンデンサ141の放電時間は入力電圧 V_{in} の周期に比べて十分長いため、コンデンサ141は入力電圧 V_{in} のピーク値とほぼ等しい電圧に常にチャージされる。

30

【0036】

分圧回路112は、抵抗151および152により構成され、接続点A3と接続点A1の間に印加された電圧を分圧した駆動電圧を駆動回路113のMOSFET161のゲート-ソース間に印加する。抵抗151の一端であって、チャージアップ回路111のコンデンサ141の一端に接続されている一端とは異なる他の一端は、抵抗152の一端であって、分圧回路111のダイオード142のアノードに接続されている一端とは異なる他の一端、および駆動回路113のMOSFET161のゲートに接続されている。

40

【0037】

駆動回路113は、MOSFET161および抵抗162乃至164により構成され、スイッチング回路115のMOSFET181のゲート-ソース間に駆動電圧を印加する。MOSFET161はnチャネルMOSFETであり、MOSFET161のドレインは、抵抗163の一端であって、分圧回路111のダイオード142のカソードと接続されている一端とは異なる他の一端、および抵抗164の一端に接続されている。抵抗162の一端であって、分圧回路111のコンデンサ141の一端と接続されている一端とは異なる他の一端は、抵抗164の他の一端、およびスイッチング回路115のMOSFET181のゲートに接続されている。

【0038】

分圧回路114は、抵抗171および172により構成され、接続点A2と接続点A4の

50

間に印加された電圧を分圧した駆動電圧をMOSFET 183のゲート - ソース間に印加する。抵抗171の一端は、抵抗172の一端、およびスイッチング回路115のMOSFET 183のゲートに接続されている。抵抗171の他の一端は、スイッチング回路115のMOSFET 183のソースおよびダイオード184のアノード、スイッチング回路120のMOSFET 233のソースおよびダイオード234のアノード、分圧回路119の抵抗221の一端、およびコンデンサ121の一端であって、チャージアップ回路116のダイオード192のアノードと接続されている一端とは異なる他の一端と接続され、さらに接地されている。

【0039】

抵抗172の他の一端は、交流電源101の一端であって、チャージアップ回路111のコンデンサ141の一端に接続されている一端とは異なる他の一端、スイッチング回路120のMOSFET 231のソース、ダイオード232のアノード、MOSFET 233のドレイン、およびダイオード234のカソード、駆動回路118の抵抗212の一端およびMOSFET 211のソース、分圧回路117の抵抗201の一端、並びにチャージアップ回路116のコンデンサ191の一端に接続されている。 10

【0040】

スイッチング回路115は、MOSFET 181および183、並びに、ダイオード182および184により構成される。MOSFET 181および183は、nチャネルMOSFETからなる全波整流平滑回路102の整流素子である。ダイオード182はMOSFET 181のボディダイオードであり、ダイオード184はMOSFET 183のボディダイオードである。なお、ダイオード182および184は、MOSFET 181および183のボディダイオードではなく、外付けのダイオードとしてもよい。 20

【0041】

チャージアップ回路116は、コンデンサ191およびダイオード192により構成される。コンデンサ191の一端であって、分圧回路117の抵抗201の一端に接続されている一端とは異なる他の一端は、ダイオード192のカソード、および駆動回路118の抵抗213の一端と接続されている。

【0042】

コンデンサ191と駆動回路118の抵抗213の時定数は、入力電圧 V_{in} の周期に比べて十分大きな値に設計されており、コンデンサ191の放電時間は入力電圧 V_{in} の周期に比べて十分長いため、コンデンサ191は入力電圧 V_{in} のピーク値とほぼ等しい電圧に常にチャージされる。 30

【0043】

分圧回路117は、抵抗201および202により構成され、接続点A3と接続点A2の間に印加された電圧を分圧した駆動電圧を駆動回路118のMOSFET 211のゲート - ソース間に印加する。抵抗201の一端であって、チャージアップ回路116のコンデンサ191の一端に接続されている一端と異なる他の一端は、抵抗202の一端であって、チャージアップ回路116のダイオード192のアノードに接続されている一端とは異なる他の一端、および駆動回路118のMOSFET 211のゲートに接続されている。

【0044】

駆動回路118は、MOSFET 211および抵抗212乃至214により構成され、スイッチング回路120のMOSFET 231のゲート - ソース間に駆動電圧を印加する。MOSFET 211はnチャネルMOSFETであり、MOSFET 211のドレインは、抵抗213の一端であって、チャージアップ回路116のダイオード192のカソードと接続されている一端とは異なる他の一端、および抵抗214の一端に接続されている。抵抗212の一端であって、MOSFET 211のソースに接続されている一端とは異なる他の一端は、抵抗214の他の一端、およびスイッチング回路120のMOSFET 231のゲートに接続されている。 40

【0045】

分圧回路119は、抵抗221および抵抗222により構成され、接続点A1と接続点A4の間に印加された電圧を分圧した駆動電圧を、MOSFET 233のゲート - ソース間に印加 50

する。抵抗 2 2 1 の一端であって、コンデンサ 1 2 1 の一端に接続されている一端とは異なる他の一端は、抵抗 2 2 2 の一端であって、スイッチング回路 1 1 5 の MOSFET 1 8 3 のドレインに接続されている一端とは異なる他の一端、およびスイッチング回路 1 2 0 の MOSFET 2 3 3 のゲートに接続されている。

【 0 0 4 6 】

スイッチング回路 1 2 0 は、MOSFET 2 3 1 および 2 3 3、並びに、ダイオード 2 3 2 および 2 3 4 により構成される。MOSFET 2 3 1 および 2 3 3 は、n チャネル MOSFET からなる全波整平滑回路 1 0 2 の整流素子である。ダイオード 2 3 2 は MOSFET 2 3 1 のボディダイオードであり、ダイオード 2 3 4 は MOSFET 2 3 3 のボディダイオードである。なお、ダイオード 2 3 2 および 2 3 4 は、MOSFET 2 3 1 および 2 3 3 のボディダイオードではなく、
10 外付けのダイオードとしてもよい。

【 0 0 4 7 】

コンデンサ 1 2 1 の両端には負荷 1 0 3 が接続されており、コンデンサ 1 0 1 は、交流電源 1 0 1 から入力された入力電圧 V_{in} が MOSFET 1 8 1、1 8 3、2 3 1、および 2 3 3 により全波整流された電圧を平滑化し、負荷 1 0 3 に供給する。

【 0 0 4 8 】

次に、図 3 および 4 を参照して、交流電源 1 0 1 により入力電圧 V_{in} が入力されてから十分な時間が経過した後の全波整流平滑回路 1 0 2 の定常状態における動作について説明する。なお、現時点において、交流電圧 1 0 1 から入力される入力電圧 V_{in} がほぼ 0 V、かつ正のサイクルに入る前であり、MOSFET 1 6 1 および MOSFET 2 1 1 がオンされており、
20 コンデンサ 1 2 1 が十分充電され、コンデンサ 1 4 1 およびコンデンサ 1 9 1 が入力電圧 V_{in} のピーク値とほぼ等しい電圧に充電されている状態とする。

【 0 0 4 9 】

入力電圧 V_{in} が正のサイクルに入り、接続点 A 1 の電位が上昇し、接続点 A 1 と接続点 A 3 の電位差が小さくなるに伴い、抵抗 1 5 1 の両端の電圧、すなわち、MOSFET 1 6 1 のゲート - ソース間の電圧が下降する。そして、接続点 A 1 と接続点 A 3 の電位差が所定の電圧（基準電圧）以下となり、抵抗 1 5 1 の両端の電圧が MOSFET 1 6 1 のスレッシュホールド電圧より小さくなったとき、MOSFET 1 6 1 はオフされる。

【 0 0 5 0 】

MOSFET 1 6 1 がオフされると、コンデンサ 1 4 1、抵抗 1 6 3、MOSFET 1 6 1、コンデンサ 1 4 1 の経路で流れていた電流が流れなくなり、図 3 の矢印 2 6 1 で示されるように、コンデンサ 1 4 1、抵抗 1 6 3、抵抗 1 6 4、抵抗 1 6 2、コンデンサ 1 4 1 の経路で流れる電流が増大する。そして、コンデンサ 1 4 1 の両端の電圧を分圧した抵抗 1 6 2 の両端の電圧、すなわち、MOSFET 1 8 1 のゲート - ソース間の電圧が上昇する。このとき、抵抗 1 6 2 の両端の電圧は、MOSFET 1 8 1 のスレッシュホールド電圧以上かつ MOSFET 1 8 1 のゲート - ソース間の定格電圧以下の電圧となるように設計されており、MOSFET 1 8 1 がオンされる。
30

【 0 0 5 1 】

また、接続点 A 1 の電位の上昇に伴い、接続点 A 1 と接続点 A 2 の電位差（入力電圧 V_{in} ）により、図 3 の矢印 2 6 2 で示されるように、交流電源 1 0 1、抵抗 2 2 2、抵抗 2 2 1、ダイオード 2 3 4、交流電源 1 0 1 の経路で電流が流れ、抵抗 2 2 1 の両端の電圧、すなわち、MOSFET 2 3 3 のゲート - ソース間の電圧が上昇する。そして、入力電圧 V_{in} が正の方向に上昇するに従い、接続点 A 1 と接続点 A 4 の電位差が所定の電圧以上となり、抵抗 2 2 1 の両端の電圧が MOSFET 2 3 3 のスレッシュホールド電圧以上になったとき、MOSFET 2 3 3 がオンされる。
40

【 0 0 5 2 】

さらに入力電圧 V_{in} が正の方向に上昇し、接続点 A 1 の電位が接続点 A 3 の電位を上回ったとき、図 3 の矢印 2 6 3 で示されるように、交流電源 1 0 1、MOSFET 1 8 1、コンデンサ 1 2 1、MOSFET 2 3 3、交流電源 1 0 1 の経路で電流が流れ、コンデンサ 1 2 1 が充電される。

【 0 0 5 3 】

また、図 3 の矢印 2 6 4 で示されるように、交流電源 1 0 1、MOSFET 1 8 1、ダイオード 1 9 2、コンデンサ 1 9 1、交流電源 1 0 1 の経路で電流が流れ、コンデンサ 1 9 1 が充電される。上述したように、コンデンサ 1 9 1 と抵抗 2 1 3 の時定数は、入力電圧 V_{in} の周期に比べて十分大きな値に設定されており、コンデンサ 1 9 1 の両端の電圧がほとんど降下しないまま、入力電圧 V_{in} のピーク値付近の電圧によりコンデンサ 1 9 1 の充電が繰り返され、コンデンサ 1 9 1 の両端の電圧は、入力電圧 V_{in} のピーク値にほぼ等しい電圧に常にチャージされる。

【 0 0 5 4 】

入力電圧 V_{in} が正のピーク値に達した後、接続点 A 1 の電位が下降し、接続点 A 1 の電位が接続点 A 3 の電位より低くなったとき、上述した図 3 の矢印 2 6 3 および 2 6 4 の経路の電流は流れなくなる。

10

【 0 0 5 5 】

そして、接続点 A 1 と接続点 A 4 の電位差が所定の電圧より小さくなり、抵抗 2 2 1 の両端の電圧が、MOSFET 2 3 3 のスレッシュホールド電圧未満になったとき、MOSFET 2 3 3 がオフされる。

【 0 0 5 6 】

また、接続点 A 1 の電位が下降し、接続点 A 1 と接続点 A 3 の電位差が所定の電圧より大きくなり、抵抗 1 5 1 の両端の電圧が MOSFET 1 6 1 のスレッシュホールド電圧以上になったとき、MOSFET 1 6 1 がオンされる。MOSFET 1 6 1 がオンされると、コンデンサ 1 4 1、抵抗 1 6 3、MOSFET 1 6 1、コンデンサ 1 4 1 の経路で電流が流れるようになり、MOSFET 1 8 1 のゲート - ソース間がほぼ短絡状態となり、MOSFET 1 8 1 のゲート - ソース間の電圧がほぼ 0 V となり、MOSFET 1 8 1 はオフされる。

20

【 0 0 5 7 】

次に、入力電圧 V_{in} が負のサイクルに入り、接続点 A 2 の電位が上昇し、接続点 A 2 と接続点 A 3 の電位差が小さくなるに従い、抵抗 2 0 1 の両端の電圧、すなわち、MOSFET 2 1 1 のゲート - ソース間の電圧が下降する。そして、接続点 A 2 と接続点 A 3 の電位差が所定の電圧（基準電圧）以下となり、抵抗 2 0 1 の両端の電圧が MOSFET 2 1 1 のスレッシュホールド電圧より小さくなったとき、MOSFET 2 1 1 がオフされる。

【 0 0 5 8 】

30

MOSFET 2 1 1 がオフされると、コンデンサ 1 9 1、抵抗 2 1 3、MOSFET 2 1 1、コンデンサ 1 9 1 の経路で流れていた電流が流れなくなり、図 4 の矢印 2 7 1 で示されるように、コンデンサ 1 9 1、抵抗 2 1 3、抵抗 2 1 4、抵抗 2 1 2、コンデンサ 1 9 1 の経路で流れる電流が増大する。そして、コンデンサ 1 9 1 の両端の電圧を分圧した抵抗 2 1 2 の両端の電圧、すなわち、MOSFET 2 3 1 のゲート - ソース間の電圧が上昇する。このとき、抵抗 2 1 2 の両端の電圧は MOSFET 2 3 1 のスレッシュホールド電圧以上かつ MOSFET 2 3 1 のゲート - ソース間の定格電圧以下の電圧となるように設計されており、MOSFET 2 3 1 がオンされる。

【 0 0 5 9 】

また、接続点 A 2 の電位の上昇に伴い、接続点 A 2 と接続点 A 1 の電位差（入力電圧 V_{in} ）により、図 4 の矢印 2 7 2 で示されるように、交流電源 1 0 1、抵抗 1 7 2、抵抗 1 7 1、ダイオード 1 8 4、交流電源 1 0 1 の経路で電流が流れ、抵抗 1 7 1 の両端の電圧、すなわち、MOSFET 1 8 3 のゲート - ソース間の電圧が上昇する。そして、入力電圧 V_{in} が負の方向に上昇するに従い、接続点 A 2 と接続点 A 4 の電位差が所定の電圧以上となり、抵抗 1 7 1 の両端の電圧が MOSFET 1 8 3 のスレッシュホールド電圧以上になったとき、MOSFET 1 8 3 がオンされる。

40

【 0 0 6 0 】

さらに入力電圧 V_{in} が負の方向に上昇し、接続点 A 2 の電位が接続点 A 3 の電位を上回ったとき、図 4 の矢印 2 7 3 で示されるように、交流電源 1 0 1、MOSFET 2 3 1、コンデンサ 1 2 1、MOSFET 1 8 3、交流電源 1 0 1 の経路で電流が流れ、コンデンサ 1 2 1 が充電

50

される。

【0061】

また、図4の矢印274で示されるように、交流電源101、MOSFET231、ダイオード142、コンデンサ141、交流電源101の経路で電流が流れ、コンデンサ141が充電される。上述したように、コンデンサ141と抵抗163の時定数は、入力電圧 V_{in} の周期に比べて十分大きな値に設定されており、コンデンサ141の両端の電圧がほとんど降下しないまま、入力電圧 V_{in} のピーク値付近の電圧によりコンデンサ141の充電が繰り返され、コンデンサ141の両端の電圧は、入力電圧 V_{in} のピーク値にほぼ等しい電圧に常にチャージされる。

【0062】

入力電圧 V_{in} が負のピーク値に達した後、接続点A2の電位が下降し、接続点A2の電位が接続点A3の電位より低くなったとき、上述した図4の矢印273および274で示される経路の電流は流れなくなる。

【0063】

そして、接続点A2と接続点A4の電位差が所定の電圧より小さくなり、抵抗171の両端の電圧が、MOSFET183のスレッシュホールド電圧未満になったとき、MOSFET183がオフされる。

【0064】

また、接続点A2の電位が下降し、接続点A2と接続点A3の電位差が所定の電圧より大きくなり、抵抗201の両端の電圧がMOSFET211のスレッシュホールド電圧以上になったとき、MOSFET211がオンされる。MOSFET211がオンされると、コンデンサ191、抵抗213、MOSFET211、コンデンサ191の経路で電流が流れるようになり、MOSFET231のゲート-ソース間がほぼ短絡状態となり、MOSFET231のゲート-ソース間の電圧がほぼ0Vとなり、MOSFET231はオフされる。

【0065】

上述したようにMOSFET181、183、232、および234により入力電圧 V_{in} が全波整流された電圧は、コンデンサ121により平滑化され、負荷103に出力される。

【0066】

その後、再び入力電圧 V_{in} が正のサイクルに入り、上述した動作が繰り返される。

【0067】

このように、全波整流平滑回路102は、整流素子にnチャネルMOSFETのみを用いて、交流電圧を全波整流平滑化することができ、電力の損失を低減することができる。

【0068】

なお、全波整流平滑回路102の整流素子を、nチャネルMOSFETを2つ以上並列に接続して設けることにより、電力の損失をより低減することができる。また、MOSFET161および211に、pチャネルMOSFETやバイポーラトランジスタなどnチャネルMOSFET以外のトランジスタを用いるようにしてもよい。さらに、分圧回路112、114、117、および119をコンパレータにより構成するようにしてもよい。この場合、例えば、分圧回路112をコンパレータにより構成した場合、コンパレータは接続点A3と接続点A1の電位を比較して、接続点A3と接続点A1の電位差が所定の値になったとき、コンパレータによりMOSFET161に駆動電圧が印加される。

【0069】

図5は、全波整流平滑回路102を用いたスイッチング電源装置301の回路構成例を示す図である。なお、図5では、図2と対応する部分については同じ符号を付してあり、その説明は繰り返しになるので省略する。

【0070】

スイッチング電源装置301は、フライバック方式のスイッチング電源装置であり、交流電源101、全波整流平滑回路102、および出力回路311により構成される。

【0071】

交流電源101から入力された交流電圧は、図3および図4を参照して上述したように

10

20

30

40

50

、全波整流平滑回路 1 0 2 により全波整流平滑化され、出力回路 3 1 1 に供給される。出力回路 3 1 1 は、全波整流平滑化された電圧を所定の直流電圧に変換して、出力端子 3 2 7 - 1 および 3 2 7 - 2 に接続された外部の電力機器に出力する。

【 0 0 7 2 】

出力回路 3 1 1 は、トランス 3 2 1、ダイオード 3 2 2、コンデンサ 3 2 3、制御回路 3 2 4、駆動回路 3 2 5、MOSFET 3 2 6、並びに出力端子 3 2 7 - 1 および 3 2 7 - 2 により構成される。

【 0 0 7 3 】

トランス 3 2 1 の一次巻線の一端は、全波整流平滑回路 1 0 2 のコンデンサ 1 2 1 の接地されている一端とは異なる他の一端に接続され、トランス 3 2 1 の一次巻線の他の一端は、MOSFET 3 2 6 のドレインに接続されている。トランス 3 2 1 の二次巻線の一端はダイオード 3 2 2 のアノードに接続され、トランス 3 2 1 の二次巻線の他の一端は、コンデンサ 3 2 3 の一端、および出力端子 3 2 7 - 2 に接続され、さらに接地されている。トランス 3 2 1 は、スイッチング電源装置 3 0 1 の交流電源 1 0 1 と出力端子 3 2 7 - 1 および 3 2 7 - 2 との間を絶縁するとともに、全波整流平滑回路 1 0 2 から出力された電圧を所定の電圧に変圧する。

【 0 0 7 4 】

ダイオード 3 2 2 のカソードは、コンデンサ 3 2 3 の一端であって、トランス 3 2 1 の二次巻線の一端と接続されている一端とは異なる他の一端、および出力端子 3 2 7 - 1 に接続されている。

【 0 0 7 5 】

制御回路 3 2 4 は、出力端子 3 2 7 - 1 および 3 2 7 - 2 に接続され、スイッチング電源装置 3 0 1 の出力電圧を監視し、スイッチング電源装置 3 0 1 の出力電圧が所定の電圧になるように、制御信号を駆動回路 3 2 5 に供給する。

【 0 0 7 6 】

駆動回路 3 2 5 は、制御回路 3 2 4 から供給された制御信号に基づいて、MOSFET 3 2 6 を駆動する駆動信号を MOSFET 3 2 6 のゲートに供給する。

【 0 0 7 7 】

MOSFET 3 2 6 は、n チャネル MOSFET であり、ソースが接地されている。MOSFET 3 2 6 は、駆動回路 3 2 5 から供給された駆動信号により、オンまたはオフにスイッチングされる。なお、MOSFET 3 2 6 に、p チャネル MOSFET やバイポーラトランジスタなど n チャネル MOSFET 以外のトランジスタを用いるようにしてもよい。

【 0 0 7 8 】

次に、スイッチング電源装置 3 0 1 の動作について説明する。

【 0 0 7 9 】

交流電源 1 0 1 から入力された入力電圧 V_{in} は、全波整流平滑回路 1 0 2 により全波整流平滑化され、出力回路 3 1 1 に供給される。全波整流平滑回路 1 0 2 から供給された全波整流平滑化された直流電圧は、トランス 3 2 1 により変圧され、出力される。トランス 3 2 1 から出力された電圧は、ダイオード 3 2 2 およびコンデンサ 3 2 3 により平滑化され、出力端子 3 2 7 - 1 および 3 2 7 - 2 から、外部の電力機器に出力される。制御回路 3 2 4 は、出力電圧を監視し、出力電圧が所定の直流電圧となるように、駆動回路 3 2 5 に制御信号を供給する。駆動回路 3 2 5 は、制御信号に基づいて、駆動回路 3 2 5 に駆動信号を供給し、MOSFET 3 2 6 は、駆動信号によりオンまたはオフされ、出力電圧が所定の電圧になるように全波整流平滑回路 1 0 2 から出力された直流電圧がスイッチングされる。

【 0 0 8 0 】

このように、スイッチング電源装置に全波整流平滑回路 1 0 2 を適用することにより、スイッチング電源装置の電力の損失を低減することができる。

【 0 0 8 1 】

なお、以上では、本発明を適用した全波整流平滑回路 1 0 2 をフライバック方式のスィ

10

20

30

40

50

ッティング電源装置に適用する例を示したが、もちろん、フォワード方式、プッシュプル方式、ハーフブリッジ方式、フルブリッジ方式など、交流電圧を全波整流平滑化した電圧をスイッチングする他の方式のスイッチング電源装置に適用することも可能である。

【0082】

図6は、図2の全波整流平滑回路102において、MOSFET183および234がオンされるタイミングを遅らせて、MOSFET183および234が同時にオンすることによる短絡状態がより発生しにくくするようにした全波整流平滑回路401の回路構成例を示している。なお、図6では、図2と対応する部分については同じ符号を付してあり、その説明は繰り返しになるので省略する。

【0083】

10

全波整流平滑回路401は、図2の全波整流平滑回路202と比較して、分圧回路114および119が、分圧回路411および412に置き換わっている点異なる。

【0084】

分圧回路411は、図2の全波整流平滑回路202の分圧回路114に、ツェナーダイオード421を追加して設けた回路である。ツェナーダイオード421のアノードはMOSFET233のドレインに接続され、ツェナーダイオード421のカソードは抵抗172の一端であって、抵抗171と接続されている一端とは異なる他の一端と接続されている。

【0085】

分圧回路412は、図2の全波整流平滑回路202の分圧回路119に、ツェナーダイオード431を追加して設けた回路である。ツェナーダイオード431のアノードはMOSFET184のドレインに接続され、ツェナーダイオード431のカソードは抵抗222の一端であって、抵抗221と接続されている一端とは異なる他の一端と接続されている。

20

【0086】

全波整流平滑回路401では、入力電圧 V_{in} が正のサイクルのとき、ツェナーダイオード431の働きにより、入力電圧 V_{in} が所定の電圧になるまで、図6の矢印451で示される交流電源101、ツェナーダイオード431、抵抗222、抵抗221、ダイオード234、交流電源101の経路には電流が流れない。従って、抵抗221の両端の電圧、すなわち、MOSFET233のゲート-ソース間に電圧が印加されるのを遅らせることができ、MOSFET233がオンされるタイミングを遅らせることができる。これにより、MOSFET183がオフされる前に、MOSFET233がオンされ、交流電源101、MOSFET233、MOSFET183、交流電源101の経路で短絡電流が流れ、MOSFET183やMOSFET233が破壊されるのを防止することができる。ツェナーダイオード421も、ツェナーダイオード431と同様に、MOSFET183がオンされるタイミングを遅らせる働きをする。

30

【0087】

図7は、図6の全波整流平滑回路401において、MOSFET183および233のターンオフをより高速にするようにした全波整流平滑回路501の回路構成例を示している。なお、図7では、図6と対応する部分については同じ符号を付してあり、その説明は繰り返しになるので省略する。

【0088】

全波整流平滑回路501は、図6の全波整流平滑回路401と比較して、分圧回路411および412が、分圧回路511および512に置き換わっている点異なる。

40

【0089】

分圧回路511は、図6の全波整流平滑回路401の分圧回路411に、抵抗521およびダイオード522を追加して設けた回路である。抵抗521の一端はMOSFET183のゲートに接続され、抵抗521の他の一端はダイオード522のアノードと接続されている。ダイオード522のカソードは、ツェナーダイオード421のアノードと接続されている。

【0090】

分圧回路512は、図6の全波整流平滑回路401の分圧回路412に、抵抗531およびダイオード532を追加して設けた回路である。抵抗531の一端はMOSFET233の

50

ゲートに接続され、抵抗 5 3 1 の他の一端はダイオード 5 3 2 のアノードと接続されている。ダイオード 5 3 2 のカソードは、ツェナーダイオード 4 3 1 のアノードと接続されている。

【0091】

分圧回路 5 1 1 において、抵抗 5 2 1 とダイオード 5 2 2 を、抵抗 1 7 2 とツェナーダイオード 4 2 1 を並列に接続することにより、ツェナーダイオード 4 2 1 (ダイオード 5 2 2) の順方向の抵抗値が小さくなる。従って、MOSFET 1 8 3 をオフさせるときに、MOSFET 1 8 3 のゲート - ソース間に蓄積されている電荷をより高速に引き抜くことができるようになり、MOSFET 1 8 3 のターンオフ時間を短くすることができる。なお、分圧回路 5 2 2 も同様に、抵抗 5 3 1 およびダイオード 5 3 2 により、MOSFET 2 3 3 のターンオフ時間をより短くすることができる。

10

【0092】

以上のように、第 1 の n チャンネル MOSFET のソースを交流電源の第 1 の端子に接続し、第 2 の n チャンネルドレインを交流電源の第 1 の端子に接続し、第 3 の n チャンネル MOSFET のドレインを第 1 の n チャンネル MOSFET のドレインに接続し、ソースを交流電源の第 2 の端子に接続し、第 4 の n チャンネル MOSFET のドレインを交流電源の第 2 の端子に接続し、ソースを第 2 の n チャンネル MOSFET のソースに接続し、第 1 のコンデンサの第 1 の端子を第 3 の n チャンネル MOSFET のドレインと接続し、第 2 の端子を第 4 の n チャンネル MOSFET のソースに接続し、第 1 のコンデンサにより第 1 乃至第 4 の n チャンネル MOSFET により全波整流された電圧を平滑化し、第 1 のコンデンサの第 1 の端子と交流電源の第 1 の端子の間の電圧により第 2 のコンデンサをチャージし、交流電源の第 1 の端子と第 1 のコンデンサの第 1 の端子の間の電圧に基づいて、第 2 のコンデンサの両端の電圧を分圧した第 1 の駆動電圧を第 1 の n チャンネル MOSFET に印加し、交流電源の第 2 の端子と第 1 のコンデンサの第 2 の端子の間の電圧を分圧した第 2 の駆動電圧を第 2 の n チャンネル MOSFET に印加し、第 1 のコンデンサの第 1 の端子と交流電源の第 2 の端子の間の電圧により第 3 のコンデンサをチャージし、交流電源の第 2 の端子と第 1 のコンデンサの第 1 の端子の間の電圧に基づいて、第 3 のコンデンサの両端の電圧を分圧した第 3 の駆動電圧を第 3 の n チャンネル MOSFET に印加し、交流電源の第 1 の端子と第 1 のコンデンサの第 2 の端子の間の電圧を分圧した第 4 の駆動電圧を第 4 の n チャンネル MOSFET に印加するようにした場合には、入力された交流電圧を全波整流平滑化することができる。また、電力の損失をより低減することができる。

20

30

【0093】

以上のように、第 1 の n チャンネル MOSFET のソースを交流電源の第 1 の端子に接続し、第 2 の n チャンネルドレインを交流電源の第 1 の端子に接続し、第 3 の n チャンネル MOSFET のドレインを第 1 の n チャンネル MOSFET のドレインに接続し、ソースを交流電源の第 2 の端子に接続し、第 4 の n チャンネル MOSFET のドレインを交流電源の第 2 の端子に接続し、ソースを第 2 の n チャンネル MOSFET のソースに接続し、第 1 のコンデンサの第 1 の端子を第 3 の n チャンネル MOSFET のドレインと接続し、第 2 の端子を第 4 の n チャンネル MOSFET のソースに接続し、第 1 のコンデンサにより第 1 乃至第 4 の n チャンネル MOSFET により全波整流された電圧を平滑化し、第 1 のコンデンサの第 1 の端子と交流電源の第 1 の端子の間の電圧により第 2 のコンデンサをチャージし、交流電源の第 1 の端子と第 1 のコンデンサの第 1 の端子の間の電圧に基づいて、第 2 のコンデンサの両端の電圧を分圧した第 1 の駆動電圧を第 1 の n チャンネル MOSFET に印加し、交流電源の第 2 の端子と第 1 のコンデンサの第 2 の端子の間の電圧を分圧した第 2 の駆動電圧を第 2 の n チャンネル MOSFET に印加し、第 1 のコンデンサの第 1 の端子と交流電源の第 2 の端子の間の電圧により第 3 のコンデンサをチャージし、交流電源の第 2 の端子と第 1 のコンデンサの第 1 の端子の間の電圧に基づいて、第 3 のコンデンサの両端の電圧を分圧した第 3 の駆動電圧を第 3 の n チャンネル MOSFET に印加し、交流電源の第 1 の端子と第 1 のコンデンサの第 2 の端子の間の電圧を分圧した第 4 の駆動電圧を第 4 の n チャンネル MOSFET に印加するようにした場合には、所定の直流電圧を出力することができる。また、電力の損失をより低減することができる。

40

【図面の簡単な説明】

50

【 0 0 9 4 】

【図 1】従来の DC/DC コンバータの回路の基本構成を示す図である。

【図 2】本発明を適用した全波整流平滑回路の構成例を示す図である。

【図 3】本発明を適用した全波整流平滑回路の動作を説明する図である。

【図 4】本発明を適用した全波整流平滑回路の動作を説明する図である。

【図 5】本発明を適用したスイッチング電源の回路の構成例を示す図である。

【図 6】本発明を適用した全波整流平滑回路の構成例を示す図である。

【図 7】本発明を適用した全波整流平滑回路の構成例を示す図である。

【符号の説明】

【 0 0 9 5 】

10

2 全波整流平滑回路

1 0 1 交流電源

1 0 2 全波整流平滑回路

1 1 1 チャージアップ回路

1 1 2 分圧回路

1 1 3 駆動回路

1 1 4 分圧回路

1 1 5 スwitching 回路

1 1 6 チャージアップ回路

1 1 7 分圧回路

20

1 1 8 駆動回路

1 1 9 分圧回路

1 2 0 スwitching 回路

1 2 1 コンデンサ

1 4 2 ダイオード

1 5 1 , 1 5 2 抵抗

1 6 1 MOSFET

1 6 2 , 1 6 3 , 1 6 4 , 1 7 1 , 1 7 2 抵抗

1 8 1 MOSFET

1 8 2 ダイオード

30

1 8 3 MOSFET

1 8 4 ダイオード

1 9 1 コンデンサ

1 9 2 ダイオード

2 0 1 , 2 0 2 抵抗

2 1 1 MOSFET

2 1 2 , 2 1 3 , 2 1 4 , 2 2 1 , 2 2 2 抵抗

2 3 1 MOSFET

2 3 2 ダイオード

2 3 3 MOSFET

40

2 3 4 ダイオード

3 0 1 スwitching 電源装置

3 1 1 出力回路

3 2 1 トランス

3 2 2 ダイオード

3 2 3 コンデンサ

3 2 4 制御回路

3 2 5 駆動回路

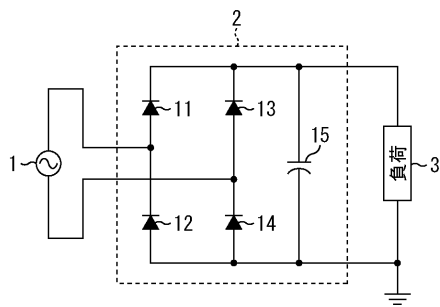
3 2 6 MOSFET

3 2 7 出力端子

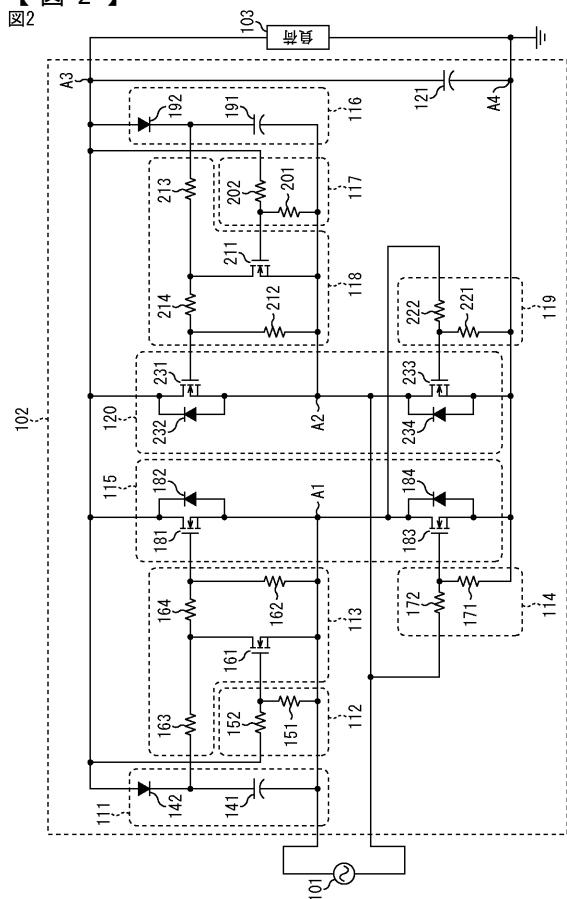
50

- 4 0 1 全波整流平滑回路
 4 1 1 , 4 1 2 分圧回路
 4 2 1 , 4 3 1 ツェナーダイオード
 5 0 1 全波整流平滑回路
 5 1 1 , 5 1 2 分圧回路
 5 2 2 , 5 3 2 ダイオード

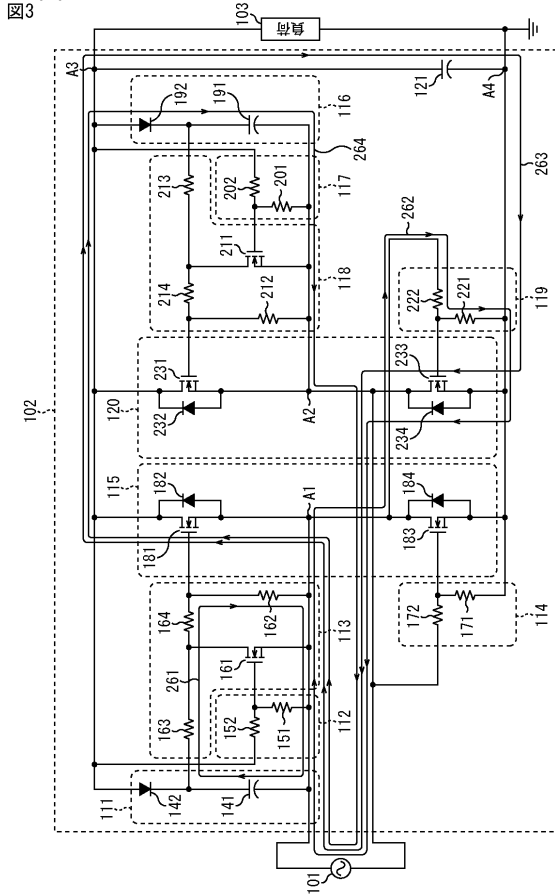
【図 1】
図1



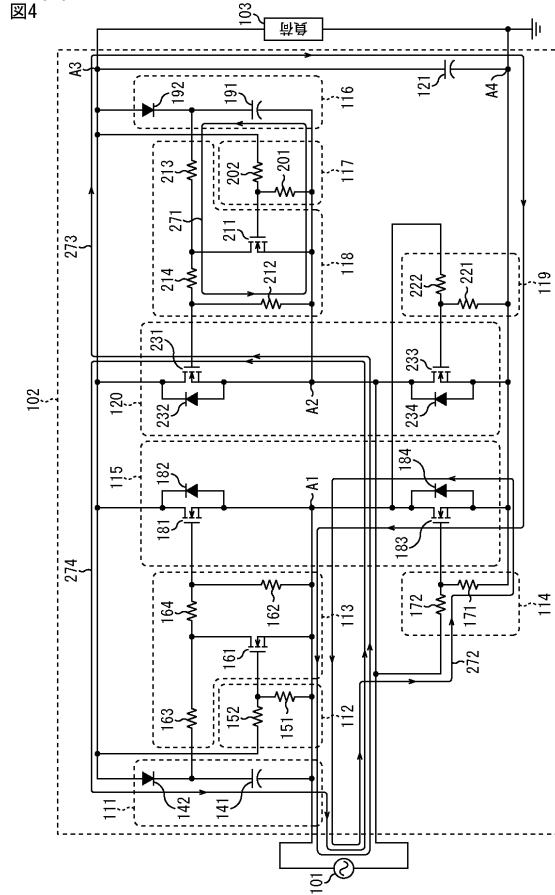
【図 2】
図2



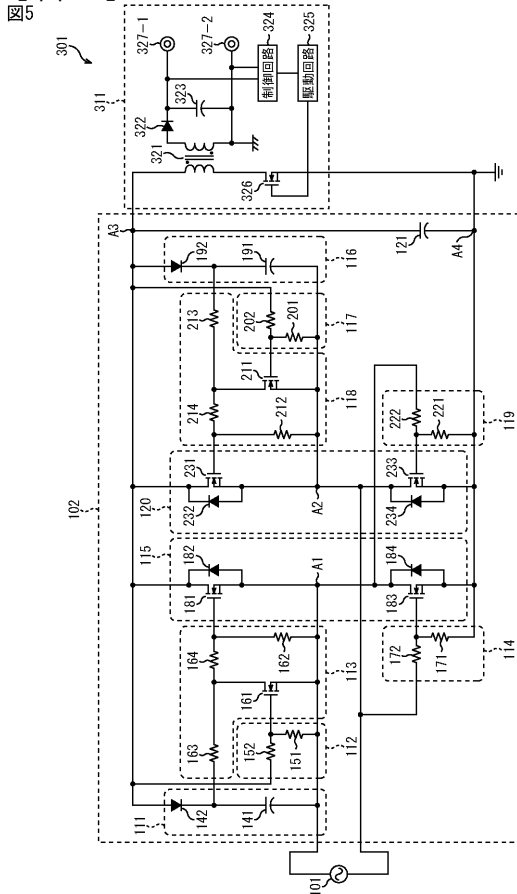
【図 3】



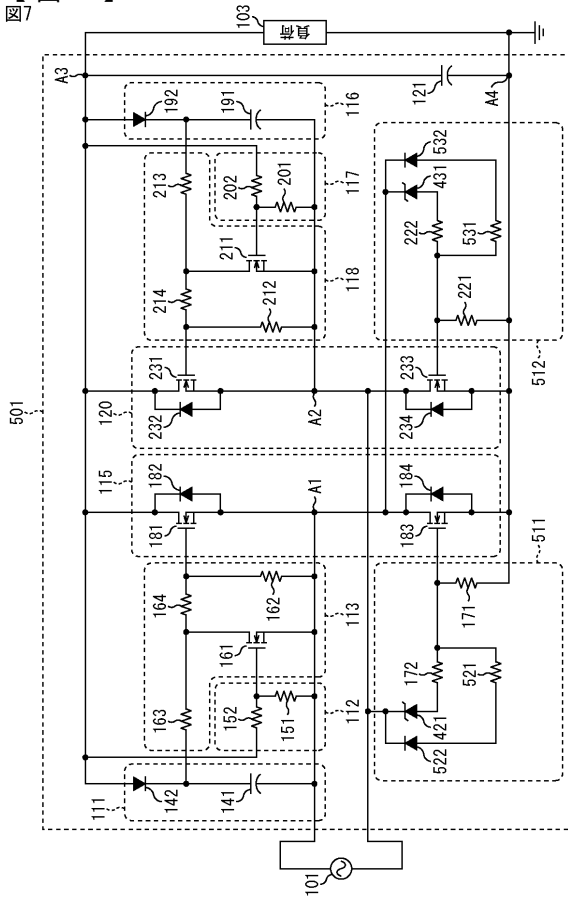
【図 4】



【図 5】



【図 7】



フロントページの続き

- (72)発明者 中條 雅暢
京都市下京区塩小路通堀川東入南不動堂町 8 0 1 番地 オムロン株式会社内
- (72)発明者 清水 良治
京都市下京区塩小路通堀川東入南不動堂町 8 0 1 番地 オムロン株式会社内
- (72)発明者 広瀬 心人
京都市下京区塩小路通堀川東入南不動堂町 8 0 1 番地 オムロン株式会社内
- F ターム(参考) 5H006 CA02 CB01 CC02 CC08 DB03 DC05