



(12) 发明专利申请

(10) 申请公布号 CN 115857237 A

(43) 申请公布日 2023. 03. 28

(21) 申请号 202211570911.9

(51) Int. Cl.

(22) 申请日 2017.09.06

G02F 1/1362 (2006.01)

(30) 优先权数据

H01L 27/12 (2006.01)

2016-178106 2016.09.12 JP

H01L 29/10 (2006.01)

2016-183322 2016.09.20 JP

G02F 1/1368 (2006.01)

2016-233577 2016.11.30 JP

2017-099483 2017.05.19 JP

(62) 分案原申请数据

201780052947.9 2017.09.06

(71) 申请人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

(72) 发明人 山崎舜平 肥冢纯一 冈崎健一

(74) 专利代理机构 中国专利代理(香港)有限公司

72001

专利代理师 何欣亭 陈岚

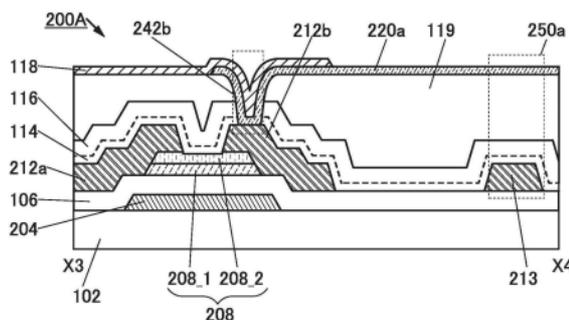
权利要求书6页 说明书69页 附图85页

(54) 发明名称

显示装置及电子设备

(57) 摘要

提供一种新颖的显示装置。该显示装置包括像素部以及驱动该像素部的驱动电路。驱动电路包括双栅结构的第一晶体管。像素部包括单栅结构的第二晶体管及与第二晶体管电连接的像素电极。第一晶体管及第二晶体管的每一个包括被用作沟道的第一金属氧化物膜。各金属氧化物膜包括第一区域及第二区域。第一区域包含In或者Zn、以及氧。第二区域包含In或者元素M、以及氧。第一区域及第二区域以马赛克状分散或者分布。



1. 一种显示装置,包括:
像素部,包括:
晶体管;以及
像素电极,其电连接到所述晶体管,
其中,所述晶体管包括被用作沟道的金属氧化物膜,
所述金属氧化物膜包括In、Zn及元素M,
所述金属氧化物膜不具有包括原子个数比不同的二种以上的膜的叠层结构,
所述金属氧化物膜包括第一区域和第二区域,
所述第一区域包括In或者Zn、以及氧,
所述第二区域包括In或者所述元素M、以及氧,
并且,所述第一区域和所述第二区域以马赛克状分散或者分布的方式混合。
2. 根据权利要求1所述的显示装置,
其中,绝缘膜位于所述晶体管上,
所述金属氧化物膜位于栅极绝缘膜上,
并且,所述像素电极在所述绝缘膜的开口中与所述晶体管电连接。
3. 根据权利要求1所述的显示装置,
其中,所述晶体管包括栅电极和栅极绝缘膜,该栅极绝缘膜位于所述栅电极和所述金属氧化物膜之间,
并且,所述金属氧化物膜和所述像素电极位于所述栅极绝缘膜上。
4. 一种显示装置,包括:
像素部,包括:
晶体管;以及
像素电极,其电连接到所述晶体管,
其中,所述晶体管包括被用作沟道的金属氧化物膜,
所述金属氧化物膜包括In、Zn及元素M,
所述金属氧化物膜不具有包括原子个数比不同的二种以上的膜的叠层结构,
所述金属氧化物膜包括第一区域和第二区域,
所述第一区域包括In或者Zn、以及氧,
所述第二区域包括In或者所述元素M、以及氧,
所述第一区域和所述第二区域以马赛克状分散或者分布的方式混合,
绝缘膜位于所述晶体管上,
所述金属氧化物膜位于栅极绝缘膜上,
所述像素电极在所述绝缘膜的开口中与所述晶体管电连接,
所述晶体管包括栅电极和栅极绝缘膜,该栅极绝缘膜位于所述栅电极和所述金属氧化物膜之间,
并且,所述金属氧化物膜和所述像素电极位于所述栅极绝缘膜上。
5. 根据权利要求1-4中任一项所述的显示装置,
其中,所述金属氧化物膜包括In、M及Zn原子的总和中In的含量为40%以上且50%以下的区域以及In、M及Zn原子的总和中M的含量为5%以上且30%以下的区域,

并且,所述元素M为镓、铝、硅、硼、钇、锡、铜、钒、铍、钛、铁、镍、锗、锆、钼、镧、铈、钕、钐、铟、铊、铋、铷和铯中的一个或多个。

6. 根据权利要求1-4中任一项所述的显示装置,

其中,所述第一区域的每一个的尺寸为0.5nm以上且3nm以下,

并且,所述第二区域的每一个的尺寸为0.5nm以上且3nm以下。

7. 根据权利要求1-4中任一项所述的显示装置,

其中,所述金属氧化物膜包括具有c轴排列的晶体。

8. 根据权利要求1-4中任一项所述的显示装置,还包括在所述晶体管下方的柔性衬底。

9. 一种显示装置,包括:

像素部,包括:

晶体管;以及

像素电极,其电连接到所述晶体管,

其中,所述晶体管包括被用作沟道的第一金属氧化物膜和位于所述第一金属氧化物膜上的第二金属氧化物膜,

所述第一金属氧化物膜和所述第二金属氧化物膜的每一个包括In、Zn及元素M,

所述第一金属氧化物膜和所述第二金属氧化物膜的每一个不具有包括原子个数比不同的二种以上的膜的叠层结构,

所述第一金属氧化物膜和所述第二金属氧化物膜的每一个包括第一区域和第二区域,

所述第一区域包括In或者Zn、以及氧,

所述第二区域包括In或者所述元素M、以及氧,

并且,所述第一区域和所述第二区域以马赛克状分散或者分布的方式混合。

10. 根据权利要求9所述的显示装置,

其中,绝缘膜位于所述晶体管上,

所述第一金属氧化物膜和所述第二金属氧化物膜位于栅极绝缘膜上,

并且,所述像素电极在所述绝缘膜的开口中与所述晶体管电连接。

11. 根据权利要求9所述的显示装置,

其中,所述晶体管包括栅电极和栅极绝缘膜,该栅极绝缘膜位于所述栅电极和所述金属氧化物膜之间,

并且,所述第一金属氧化物膜、所述第二金属氧化物及所述像素电极位于所述栅极绝缘膜上。

12. 一种显示装置,包括:

像素部,包括:

晶体管;以及

像素电极,其电连接到所述晶体管,

其中,所述晶体管包括被用作沟道的第一金属氧化物膜和位于所述第一金属氧化物膜上的第二金属氧化物膜,

所述第一金属氧化物膜和所述第二金属氧化物膜的每一个包括In、Zn及元素M,

所述第一金属氧化物膜和所述第二金属氧化物膜的每一个不具有包括原子个数比不同的二种以上的膜的叠层结构,

19. 一种显示装置,包括:
像素部,包括:
晶体管;以及
像素电极,其电连接到所述晶体管,
其中,在所述晶体管上依次层叠有第一绝缘膜和第二绝缘膜,
所述第一绝缘膜和所述第二绝缘膜的每一个在所述晶体管上具有开口,
所述晶体管包括被用作沟道的金属氧化物膜,
所述像素电极位于所述第二绝缘膜上,
所述像素电极在所述第一绝缘膜和所述第二绝缘膜的所述开口中与所述晶体管电连接,
所述金属氧化物膜包括In、Zn及元素M,
所述金属氧化物膜不具有包括原子个数比不同的二种以上的膜的叠层结构,
所述金属氧化物膜包括第一区域和第二区域,
所述第一区域包括In或者Zn、以及氧,
所述第二区域包括In或者所述元素M、以及氧,
所述第一区域和所述第二区域以马赛克状分散或者分布的方式混合,
所述第一绝缘膜包括无机绝缘膜,
并且,所述第二绝缘膜包括有机树脂膜。
20. 根据权利要求17-19中任一项所述的显示装置,
其中,所述金属氧化物膜包括In、M及Zn原子的总和中In的含量为40%以上且50%以下的区域以及In、M及Zn原子的总和中M的含量为5%以上且30%以下的区域,
并且,所述元素M为镓、铝、硅、硼、钇、锡、铜、钒、铍、钛、铁、镍、铬、锆、钼、镧、铈、钕、钐、铈、钆、铟、铊和镁中的一个或多个。
21. 根据权利要求17-19中任一项所述的显示装置,
其中,所述第一区域的每一个的尺寸为0.5nm以上且3nm以下,
并且,所述第二区域的每一个的尺寸为0.5nm以上且3nm以下。
22. 根据权利要求17-19中任一项所述的显示装置,
其中,所述金属氧化物膜包括具有c轴排列的晶体。
23. 根据权利要求17-19中任一项所述的显示装置,还包括在所述晶体管下方的柔性衬底。
24. 一种显示装置,包括:
像素部,包括:
晶体管;以及
像素电极,其电连接到所述晶体管,
其中,在所述晶体管上依次层叠有第一绝缘膜和第二绝缘膜,
所述第一绝缘膜和所述第二绝缘膜的每一个在所述晶体管上具有开口,
所述晶体管包括被用作沟道的第一金属氧化物膜和位于所述第一金属氧化物膜上的第二金属氧化物膜,
所述像素电极位于所述第二绝缘膜上,

所述像素电极在所述第一绝缘膜和所述第二绝缘膜的所述开口中与所述晶体管电连接，

所述第一金属氧化物膜和所述第二金属氧化物膜的每一个包括In、Zn及元素M，

所述第一金属氧化物膜和所述第二金属氧化物膜的每一个不具有包括原子个数比不同的二种以上的膜的叠层结构，

所述金属氧化物膜包括第一区域和第二区域，

所述第一区域包括In或者Zn、以及氧，

所述第二区域包括In或者所述元素M、以及氧，

并且，所述第一区域和所述第二区域以马赛克状分散或者分布的方式混合。

25. 根据权利要求24所述的显示装置，

其中，所述第一绝缘膜包括无机绝缘膜，

并且，所述第二绝缘膜包括有机树脂膜。

26. 一种显示装置，包括：

像素部，包括：

晶体管；以及

像素电极，其电连接到所述晶体管，

其中，在所述晶体管上依次层叠有第一绝缘膜和第二绝缘膜，

所述第一绝缘膜和所述第二绝缘膜的每一个在所述晶体管上具有开口，

所述晶体管包括被用作沟道的第一金属氧化物膜和位于所述第一金属氧化物膜上的第二金属氧化物膜，

所述像素电极位于所述第二绝缘膜上，

所述像素电极在所述第一绝缘膜和所述第二绝缘膜的所述开口中与所述晶体管电连接，

所述第一金属氧化物膜和所述第二金属氧化物膜的每一个包括In、Zn及元素M，

所述第一金属氧化物膜和所述第二金属氧化物膜的每一个不具有包括原子个数比不同的二种以上的膜的叠层结构，

所述金属氧化物膜包括第一区域和第二区域，

所述第一区域包括In或者Zn、以及氧，

所述第二区域包括In或者所述元素M、以及氧，

所述第一区域和所述第二区域以马赛克状分散或者分布的方式混合，

所述第一绝缘膜包括无机绝缘膜，

并且，所述第二绝缘膜包括有机树脂膜。

27. 根据权利要求24-26中任一项所述的显示装置，

其中，所述第一金属氧化物膜和所述第二金属氧化物膜的每一个包括In、M及Zn原子的总和中In的含量为40%以上且50%以下的区域以及In、M及Zn原子的总和中M的含量为5%以上且30%以下的区域，

并且，所述元素M为镓、铝、硅、硼、钇、锡、铜、钒、铍、钛、铁、镍、锆、锆、钼、镧、铈、钕、钆、钇、钨和镁中的一个或多个。

28. 根据权利要求24-26中任一项所述的显示装置，

其中,所述第一区域的每一个的尺寸为0.5nm以上且3nm以下,
并且,所述第二区域的每一个的尺寸为0.5nm以上且3nm以下。

29. 根据权利要求24-26中任一项所述的显示装置,
其中,所述第二金属氧化物膜包括具有c轴排列的晶体。

30. 根据权利要求24-26中任一项所述的显示装置,还包括在所述晶体管下方的柔性衬底。

显示装置及电子设备

技术领域

[0001] 本发明的一个实施方式涉及一种显示装置及电子设备。

[0002] 注意,本发明的一个实施方式不局限于上述技术领域。本说明书等所公开的发明的一个实施方式的技术领域涉及一种物体、方法或制造方法。另外,本发明的一个实施方式涉及一种工序(process)、机器(machine)、产品(manufacture)或组合物(composition of matter)。具体而言,本发明的一个实施方式涉及一种半导体装置、显示装置、发光装置、蓄电装置、存储装置、其驱动方法或其制造方法。

[0003] 在本说明书等中,半导体装置是指通过利用半导体特性而能够工作的所有装置。晶体管等半导体元件、半导体电路、运算装置及存储装置都是半导体装置的实施方式。摄像装置、显示装置、液晶显示装置、发光装置、电光装置、发电装置(包括薄膜太阳能电池及有机薄膜太阳能电池等)及电子设备有时包括半导体装置。

背景技术

[0004] 作为可用于晶体管的半导体材料,氧化物半导体受到瞩目。例如,已公开了如下半导体装置:层叠有多个氧化物半导体层,在该多个氧化物半导体层中,被用作沟道的氧化物半导体层包含铟及镓,并且铟的比率比镓的比率高,由此提高场效应迁移率(有时,简单地称为迁移率或 μFE)的半导体装置(参照专利文献1)。

[0005] 将氧化物半导体晶体管用于液晶显示器及有机电致发光(electroluminescence: EL)显示器等显示装置的技术受到注目。氧化物半导体晶体管的关态电流(off-state current)极低。专利文献2及专利文献3公开了通过利用该极低关态电流特性降低显示静态图像时的刷新频度,来降低液晶显示器或有机EL显示器的功耗的技术。注意,在本说明书中,将上述降低显示装置的功耗的驱动方法称为空转停止(idling stop:IDS)驱动。

[参考文献]

[专利文献]

[0006] [专利文献1]日本专利申请公开第2014-007399号公报

[专利文献2]日本专利申请公开第2011-141522号公报

[专利文献3]日本专利申请公开第2011-141524号公报

发明内容

[0007] 将氧化物半导体膜用作沟道区的晶体管的场效应迁移率越高越好。然而,当场效应迁移率提高时,晶体管有趋于具有常开启特性的问题。“常开启”是指即使不对栅电极施加电压也存在沟道,而电流流过晶体管的状态。

[0008] 此外,在将氧化物半导体膜用于沟道区的晶体管中,形成在氧化物半导体膜中的氧缺陷对晶体管特性造成负面影响。例如,形成在氧化物半导体膜中的氧缺陷与氢键合而成为载流子供应源。在氧化物半导体膜中发生的载流子供应源产生具有氧化物半导体膜的晶体管的电特性变动,典型的是,产生阈值电压的漂移。

[0009] 例如,在氧化物半导体膜中的氧缺陷量过多时,晶体管的阈值电压向负方向漂移,由此晶体管具有常开启特性。因此,尤其在氧化物半导体膜的沟道区中,氧缺陷量优选少,或者氧缺陷量优选少得不呈现常开启特性。

[0010] 当制造显示装置时,在绝缘表面上形成多个不同的电路的情况下(例如,在同一衬底上形成像素部和驱动电路的情况下),用于像素部的晶体管需要具有优良的开关特性诸如高开关比,而用于驱动电路的晶体管需要具有高工作速度。尤其是,如ultra high-definition(也被称为4K分辨率、4K2K、4K)显示装置或super high-definition(也被称为8K解像度、8K4K、8K)显示装置那样,显示装置的清晰度越高,显示图像的写入时间越短,因此用于驱动电路的晶体管优选进行高速工作。

[0011] 鉴于上述问题,本发明的一个实施方式的一个目的是提高包含金属氧化物膜的晶体管的场效应迁移率及可靠性。本发明的一个实施方式的另一个目的是抑制包含金属氧化物膜的晶体管的电特性变动并提高该晶体管的可靠性。本发明的一个实施方式的另一个目的是提供一种显示品质高的高分辨率显示装置。本发明的一个实施方式的另一个目的是提供一种功耗低的显示装置。本发明的一个实施方式的另一个目的是提供一种新颖的显示装置。本发明的一个实施方式的另一个目的是提供一种新颖的电子设备。

[0012] 注意,上述目的的记载不妨碍其他目的的存在。在本发明的一个实施方式中,并不需要实现所有上述目的。上述目的以外的目的从说明书等的记载看来是显而易见的,并可以从说明书等中抽取上述目的以外的目的。

[0013] 本发明的一个实施方式是一种显示装置,该显示装置包括:像素部;以及驱动像素部的驱动电路。驱动电路包括第一晶体管。像素部包括第二晶体管及与第二晶体管电连接的像素电极。第一晶体管包括:第一栅电极;第二栅电极;以及位于第一栅电极与第二栅电极之间的被用作沟道的第一金属氧化物膜。第一栅电极及第二栅电极彼此电连接。第二晶体管包括被用作沟道的第二金属氧化物膜。像素电极使用第三金属氧化物膜形成。第三金属氧化物膜包括氢浓度比第二金属氧化物膜高的区域。第一金属氧化物膜、第二金属氧化物膜及第三金属氧化物膜的每一个包括第一区域及第二区域。第一区域包含In或者Zn、以及氧。第二区域包含In或者元素M、以及氧。第一区域及第二区域以马赛克状分散或者分布。

[0014] 另外,上述显示装置也可以具有如下结构:绝缘膜位于第一金属氧化物膜及第二晶体管上;该绝缘膜在第二晶体管上包括开口;第二金属氧化物膜位于栅极绝缘膜上;第一栅电极和第二栅电极中的一个及第三金属氧化物膜位于绝缘膜上;第三金属氧化物膜在绝缘膜的开口中与第二晶体管电连接。

[0015] 另外,上述显示装置也可以具有如下结构:在第一金属氧化物膜及第二晶体管上依次层叠有第一绝缘膜及第二绝缘膜;第一绝缘膜及第二绝缘膜的每一个在第二晶体管上包括开口;第二金属氧化物膜位于栅极绝缘膜上;第一栅电极和第二栅电极中的一个位于第一绝缘膜上;第三金属氧化物膜位于第二绝缘膜上;第三金属氧化物膜在第一绝缘膜及第二绝缘膜的开口中与第二晶体管电连接。

[0016] 第一绝缘膜也可以包括无机绝缘膜,并且第二绝缘膜也可以包括有机树脂膜。

[0017] 第二晶体管也可以包括第三栅电极及栅极绝缘膜。第二金属氧化物膜及第三金属氧化物膜也可以位于栅极绝缘膜上。

[0018] 本发明的一个实施方式是一种显示装置,该显示装置包括:像素部;以及驱动像素

部的驱动电路。驱动电路包括第一晶体管。像素部包括第二晶体管及与第二晶体管电连接的像素电极。在第二晶体管上依次层叠有第一绝缘膜及第二绝缘膜。第一绝缘膜及第二绝缘膜的每一个在第二晶体管上包括开口。第一晶体管包括第一栅电极、第二栅电极以及位于第一栅电极与第二栅电极之间的被用作沟道的第一金属氧化物膜。第一栅电极及第二栅电极彼此电连接。第二晶体管包括被用作沟道的第二金属氧化物膜。第一栅电极和第二栅电极中的一个位于第一绝缘膜上。像素电极位于第二绝缘膜上。像素电极在第一绝缘膜和第二绝缘膜中的开口中与第二晶体管电连接。第一金属氧化物膜及第二金属氧化物膜的每一个包括第一区域及第二区域。第一区域包含In或者Zn、以及氧。第二区域包含In或者元素M、以及氧。第一区域及第二区域以马赛克状分散或者分布。

[0019] 第一绝缘膜也可以包括无机绝缘膜,并且第二绝缘膜也可以包括有机树脂膜。

[0020] 第三金属氧化物膜的氢浓度也可以为 1×10^{20} atoms/cm³以上。

[0021] 第一金属氧化物膜、第二金属氧化物膜及第三金属氧化物膜的每一个也可以包括在In、M及Zn原子的总和中In的含量为40%以上且50%以下的区域以及在In、M及Zn原子的总和中M的含量为5%以上且30%以下的区域。

[0022] 在第一金属氧化物膜、第二金属氧化物膜及第三金属氧化物膜的每一个中,在In、M及Zn的原子个数比为4:x:y的情况下,x也可以为1.5以上且2.5以下,y也可以为2以上且4以下。

[0023] 在第一金属氧化物膜、第二金属氧化物膜及第三金属氧化物膜的每一个中,在In、M及Zn的原子个数比为5:x:y的情况下,x也可以为0.5以上且1.5以下,y也可以为5以上且7以下。

[0024] 元素M也可以为镓、铝、硅、硼、钇、锡、铜、钒、铍、钛、铁、镍、锆、铈、镧、铪、钨和镁中的一个或多个。

[0025] 第一晶体管也可以具有双栅结构,并且第二晶体管也可以具有单栅结构。

[0026] 本发明的另一个实施方式是包括上述显示装置中的任一个以及触摸传感器的显示模块。本发明的另一个实施方式是一种电子设备,该电子设备包括:上述显示装置中的任一个或者上述显示模块;以及接收器、操作键或电池。

[0027] 本发明的一个实施方式可以提高包含金属氧化物膜的晶体管的场效应迁移率及可靠性。本发明的一个实施方式可以抑制包含金属氧化物膜的晶体管的电特性变动并提高该晶体管的可靠性。本发明的一个实施方式可以提供一种显示品质高的高分辨率显示装置。本发明的一个实施方式可以提供一种功耗低的显示装置。本发明的一个实施方式可以提供一种新颖的显示装置。本发明的一个实施方式可以提供一种新颖的显示装置。

[0028] 注意,上述效果的记载不妨碍其他效果的存在。本发明的一个实施方式并不需要实现所有上述效果。从说明书、附图、权利要求书等的记载中可明显得知并抽取上述以外的效果。

附图说明

[0029] 图1A-1、图1A-2、图1B-1及图1B-2是说明显示装置的截面图。

图2A和图2B是说明显示装置的俯视图。

图3是金属氧化物的构成的示意图。

图4A-1、图4A-2、图4B-1及图4B-2是说明显示装置的截面图。
图5A-1至图5A-3、图5B-1至图5B-3是说明显示装置的制造方法的截面图。
图6A-1、图6A-2、图6B-1及图6B-2是说明显示装置的制造方法的截面图。
图7A-1、图7A-2、图7B-1及图7B-2是说明显示装置的制造方法的截面图。
图8A-1、图8A-2、图8B-1及图8B-2是说明显示装置的截面图。
图9A和图9B是说明显示装置的俯视图。
图10A-1、图10A-2、图10B-1及图10B-2是说明显示装置的截面图。
图11A-1、图11A-2、图11B-1及图11B-2是说明显示装置的制造方法的截面图。
图12A-1、图12A-2、图12B-1及图12B-2是说明显示装置的制造方法的截面图。
图13A-1和图13B-1是说明显示装置的制造方法的截面图。
图14A至图14C是说明晶体管的俯视图及截面图。
图15A至图15C是说明晶体管的俯视图及截面图。
图16A和图16B是示出扩散到金属氧化物膜中的氧或过剩氧的扩散路径的示意图。
图17A至图17C是说明晶体管的俯视图及截面图。
图18示出样品的XRD谱的测定结果。
图19A和图19B是样品的TEM像,图19C至图19L是样品的电子束衍射图案。
图20A至图20C示出样品的EDX面分析图像。
图21说明使用横向电场模式液晶元件的显示装置的制造工序。
图22是示出显示装置的一个实施方式的俯视图。
图23是示出显示装置的一个实施方式的截面图。
图24是示出显示装置的一个实施方式的截面图。
图25是示出显示装置的一个实施方式的截面图。
图26是示出显示装置的一个实施方式的截面图。
图27是示出显示装置的一个实施方式的截面图。
图28是示出显示装置的一个实施方式的截面图。
图29A至图29C是说明显示装置的方框图及电路图。
图30是示出控制器IC的结构实例的方框图。
图31A至图31C是说明参数的图。
图32A和图32B示出帧存储器的结构实例。
图33是示出寄存器的结构实例的方框图。
图34是示出寄存器的结构实例的电路图。
图35说明显示模块。
图36A至图36E说明电子设备。
图37A至图37G说明电子设备。
图38是示出广播系统的结构实例的方框图。
图39是示出广播系统的结构实例的方框图。
图40是示出广播系统的数据传输的示意图。
图41A至图41D示出接收器的结构实例。
图42A和图42B是有关实施例的方框图。

图43示出实施例中的显示器的驱动范围。

图44A和图44B说明实施例中的晶体管的 I_d-V_g 特性。

图45A和图45B说明实施例中的晶体管特性的变化。

图46A和图46B是有关实施例的方框图。

图47说明实施例中的对晶体管进行的GBT测试的结果。

图48A和图48B说明实施例中的晶体管特性的变化。

图49是有关实施例的方框图。

图50是有关实施例的电路图。

图51是有关实施例的方框图。

图52是有关实施例的时序图。

图53说明实施例中的迁移率及写入时间的关系。

图54A和图54B说明实施例中的晶体管的 I_d-V_g 特性。

图55说明实施例中的对晶体管进行的GBT测试的结果。

图56A和图56B说明实施例中的晶体管特性的变化。

图57说明实施例中的晶体管特性的变化。

图58A和图58B示出实施例中的ESR分析结果。

具体实施方式

[0030] 下面,参照附图对实施方式进行说明。注意,实施方式可以以各种形式实施。所属技术领域的普通技术人员可以很容易地理解一个事实,就是方式和详细内容可以在不脱离本发明的宗旨及其范围的条件下被变换为各种各样的形式。因此,本发明不应该被解释为仅限定在下面的实施方式所记载的内容中。

[0031] 在附图中,为便于清楚地说明,有时夸大表示大小、层的厚度或区域。因此,大小、层的厚度或区域并不一定限于附图所示的尺寸。此外,附图示意性地示出理想的例子,因此本发明的实施方式不局限于附图所示的形状或数值。

[0032] 在本说明书中,“第一”、“第二”、“第三”等序数词是为了避免构成要素的混淆而使用的,而不是为了在数目方面上进行限定的。

[0033] 在本说明书中,为方便起见,使用“上”、“上方”、“下”、“下方”等表示配置的词句,以参照附图说明构成要素的位置关系。另外,构成要素的位置关系根据描述各构成要素的方向适当地改变。因此,不局限于本说明书中所说明的词句,可以根据情况适当地更换记载内容。

[0034] 在本说明书等中,晶体管是指至少包括栅极、漏极以及源极这三个端子的元件。晶体管在漏极(漏极端子、漏区域或漏电极)与源极(源极端子、源区域或源电极)之间具有沟道区,并且电流能够通过沟道区流过源极与漏极之间。注意,在本说明书等中,沟道区是指电流主要流过的区域。

[0035] 另外,例如在使用极性不同的晶体管的情况或电路工作中的电流方向变化的情况下,源极及漏极的功能有时相互调换。因此,在本说明书等中,“源极”和“漏极”可以相互调换。

[0036] 在本说明书等中,“电连接”包括构成要素通过“具有某种电作用的元件”连接的情

况。“具有某种电作用的元件”只要可以进行连接对象间的电信号的授收,就对其没有特别的限制。“具有某种电作用的元件”的例子不仅包括电极和布线,而且还包括晶体管等开关元件、电阻器、电感器、电容器、其他具有各种功能的元件等。

[0037] 在本说明书等中,“平行”是指两条直线形成的角度为 -10° 以上且 10° 以下的状态,因此也包括该角度为 -5° 以上且 5° 以下的状态。“垂直”是指两条直线形成的角度为 80° 以上且 100° 以下的状态,因此也包括该角度为 85° 以上且 95° 以下的角度的状态。

[0038] 在本说明书等中,可以将“膜”和“层”相互调换。例如,有时可以将“导电层”变换为“导电膜”。此外,有时可以将“绝缘膜”变换为“绝缘层”。

[0039] 在本说明书等中,在没有特别的说明的情况下,关态电流(off-state current)是指晶体管处于关闭状态(也称为非导通状态或遮断状态)的漏极电流。在没有特别的说明的情况下,n沟道晶体管的关闭状态是指栅极与源极间的电压(V_{gs} :栅-源电压)低于阈值电压 V_{th} 的状态,p沟道晶体管的关闭状态是指栅-源电压 V_{gs} 高于阈值电压 V_{th} 的状态。例如,n沟道晶体管的关态电流有时是指栅-源电压 V_{gs} 低于阈值电压 V_{th} 时的漏极电流。

[0040] 晶体管的关态电流有时取决于 V_{gs} 。因此,“晶体管的关态电流为I以下”有时是指存在使晶体管的关态电流成为I以下的 V_{gs} 的值。例如,晶体管的关态电流有时是指: V_{gs} 为预定的值时的关闭状态; V_{gs} 为预定的范围内的值时的关闭状态;或者 V_{gs} 为能够获得充分低的关态电流的值时的关闭状态。

[0041] 作为一个例子,设想一种n沟道晶体管,该n沟道晶体管的阈值电压 V_{th} 为0.5V, V_{gs} 为0.5V时的漏极电流为 1×10^{-9} A, V_{gs} 为0.1V时的漏极电流为 1×10^{-13} A, V_{gs} 为-0.5V时的漏极电流为 1×10^{-19} A, V_{gs} 为-0.8V时的漏极电流为 1×10^{-22} A。在 V_{gs} 为-0.5V时或在 V_{gs} 为-0.5V至-0.8V的范围内,该晶体管的漏极电流为 1×10^{-19} A以下,所以可以称该晶体管的关态电流为 1×10^{-19} A以下。由于存在使该晶体管的漏极电流成为 1×10^{-22} A以下的 V_{gs} ,因此有时称该晶体管的关态电流为 1×10^{-22} A以下。

[0042] 在本说明书等中,具有沟道宽度W的晶体管的关态电流有时由每沟道宽度W的电流值表示或者由每预定的沟道宽度(例如,1 μ m)的电流值表示。在为后者时,关态电流有时以具有每个长度的电流的次元的单位(例如,A/ μ m)表示。

[0043] 晶体管的关态电流有时取决于温度。在本说明书中,在没有特别的说明的情况下,关态电流有时为在室温、60 $^\circ$ C、85 $^\circ$ C、95 $^\circ$ C或125 $^\circ$ C下的关态电流。或者,关态电流有时为在保证包括该晶体管的半导体装置等的可靠性的温度下或者在该半导体装置等被使用的温度(例如,5 $^\circ$ C至35 $^\circ$ C的温度范围)下的关态电流。晶体管的关态电流为I以下的状态有时表示:在室温、60 $^\circ$ C、85 $^\circ$ C、95 $^\circ$ C、125 $^\circ$ C、保证包括该晶体管的半导体装置的可靠性的温度下或者在该半导体装置等被使用的温度(例如,5 $^\circ$ C至35 $^\circ$ C的温度范围)下的关态电流在指定的 V_{gs} 下成为I以下。

[0044] 晶体管的关态电流有时取决于漏极与源极间的电压 V_{ds} 。在本说明书中,在没有特别的说明的情况下,关态电流有时为 V_{ds} 为0.1V、0.8V、1V、1.2V、1.8V、2.5V、3V、3.3V、10V、12V、16V或20V时的关态电流。或者,关态电流有时为保证包括该晶体管的半导体装置等的可靠性的 V_{ds} 时或者该半导体装置等所使用的 V_{ds} 时的关态电流。晶体管的关态电流为I以下的状态有时表示:在 V_{ds} 为0.1V、0.8V、1V、1.2V、1.8V、2.5V、3V、3.3V、10V、12V、16V、20V、保证包括该晶体管的半导体装置的可靠性的 V_{ds} 或该半导体装置等被使用的 V_{ds} 下的关态电流在

指定的 V_{gs} 下成为I以下。

[0045] 在上述关态电流的说明中,可以将漏极换称为源极。也就是说,关态电流有时指晶体管处于关闭状态时流过源极的电流。

[0046] 在本说明书等中,“泄漏电流”有时表示与关态电流相同的意思。在本说明书等中,关态电流例如有时指在晶体管处于关闭状态时流在源极与漏极间的电流。

[0047] 在本说明书等中,晶体管的阈值电压是指在晶体管中形成沟道时的栅极电压(V_g)。具体而言,在以横轴表示栅极电压(V_g)且以纵轴表示漏极电流(I_d)的平方根的图表中,晶体管的阈值电压有时是指:在将对标绘曲线($V_g - \sqrt{I_d}$ 特性)具有最大倾斜度的切线外推时的直线与漏极电流(I_d)的平方根为0($I_d=0A$)处的交叉点的栅极电压(V_g)。或者,晶体管的阈值电压有时是指在以L为沟道长度且以W为沟道宽度, $I_d[A] \times L[\mu m] / W[\mu m]$ 的值为 $1 \times 10^{-9}[A]$ 时的栅极电压(V_g)。

[0048] 在本说明书等中,例如在导电性充分低时,有时“半导体”包括“绝缘体”的特性。此外,由于“半导体”与“绝缘体”的边境不清楚,因此有时不能精确地区别“半导体”与“绝缘体”。由此,有时可以将本说明书等中的“半导体”称为“绝缘体”。同样地,有时可以将本说明书等中的“绝缘体”称为“半导体”。有时可以将本说明书等中的“绝缘体”称为“半绝缘体”。

[0049] 在本说明书等中,例如在导电性充分高时,有时“半导体”包括“导电体”的特性。此外,由于“半导体”和“导电体”的边境不清楚,因此有时不能精确地区别“半导体”和“导电体”。由此,有时可以将本说明书等中的“半导体”称为“导电体”。同样地,有时可以将本说明书中的“导电体”称为“半导体”。

[0050] 在本说明书等中,半导体的杂质是指半导体膜的主要成分之外的元素。例如,浓度低于0.1atomic%的元素是杂质。当半导体包含杂质时,有可能DOS(density of states:态密度)形成在其中,例如,载流子迁移率有可能降低或结晶性有可能降低。在半导体包含氧化物半导体时,作为改变半导体特性的杂质的例子,有第1族元素、第2族元素、第13族元素、第14族元素、第15族元素、以及主要成分之外的过渡金属,尤其是,有氢(有时包含于水中)、锂、钠、硅、硼、磷、碳、氮。在半导体是氧化物半导体的情况下,有时例如由于氢等杂质的混入导致氧缺陷的产生。此外,当半导体包含硅时,作为改变半导体特性的杂质的例子,有氧、除氢之外的第1族元素、第2族元素、第13族元素、第15族元素。

[0051] 在本说明书等中,金属氧化物(metal oxide)是指广义上的金属的氧化物。金属氧化物被分类为氧化物绝缘体、氧化物导电体(包括透明氧化物导电体)和氧化物半导体(oxide semiconductor,也可以简称为OS)等。例如,有时将被用于晶体管的活性层的金属氧化物称为氧化物半导体。换言之,可以将具有放大作用、整流作用和开关作用中的至少一个的金属氧化物称为金属氧化物半导体(metal oxide semiconductor,简称为OS)。也就是说,OS FET是包含金属氧化物或氧化物半导体的晶体管。

[0052] 在本说明书等中,有时将包含氮的金属氧化物也称为金属氧化物(metal oxide)。另外,也可以将包含氮的金属氧化物称为金属氧氮化物(metal oxynitride)。

[0053] (实施方式1)

在本实施方式中,参照图1A-1、图1A-2、图1B-1及图1B-2、图2A及图2B、图3、图4A-1、图4A-2、图4B-1及图4B-2、图5A-1至图5A-3、图5B-1至图5B-3、图6A-1、图6A-2、图6B-1及图6B-2、图7A-1、图7A-2、图7B-1及图7B-2、图8A-1、图8A-2、图8B-1及图8B-2、图9A及图9B、

图10A-1、图10A-2、图10B-1及图10B-2、图11A-1、图11A-2、图11B-1及图11B-2、图12A-1、图12A-2、图12B-1及图12B-2、图13A-1和图13B-1、图14A至图14C、图15A至图15C、图16A及图16B说明本发明的一个实施方式的显示装置及该显示装置的制造方法。

[0054] <1-1. 显示装置的结构实例1>

图2A和图2B是本发明的一个实施方式的显示装置的驱动电路及显示部所包括的晶体管的俯视图。图2A为包括在驱动电路中的晶体管100A的俯视图，图2B为包括在像素部中的晶体管200A的俯视图。图1A-1相当于沿着图2A的点划线X1-X2的截面图，图1A-2相当于沿着图2A的点划线Y1-Y2的截面图，图1B-1相当于沿着图2B的点划线X3-X4的截面图，图1B-2相当于沿着图2B的点划线Y3-Y4的截面图。注意，在图2A和图2B中，为了方便起见，省略晶体管100A、200A的构成要素的一部分（例如，被用作栅极绝缘膜的绝缘膜）。有时在各晶体管中将点划线X1-X2及X3-X4的方向称为沟道长度方向，将点划线Y1-Y2及Y3-Y4的方向称为沟道宽度方向。有时在后面的晶体管的俯视图也与图2A和图2B同样地省略构成要素的一部分。

[0055] 如图1A-1和图1A-2所示，驱动电路包括晶体管100A。

[0056] 晶体管100A包括：衬底102上的导电膜104；衬底102及导电膜104上的绝缘膜106；绝缘膜106上的金属氧化物膜108；金属氧化物膜108上的导电膜112a；以及金属氧化物膜108上的导电膜112b。此外，在晶体管100A上，具体而言，在金属氧化物膜108、导电膜112a及导电膜112b上形成有绝缘膜114、绝缘膜114上的绝缘膜116以及绝缘膜116上的绝缘膜118。

[0057] 绝缘膜106、114、116包括开口142a。导电膜120a通过开口142a与导电膜104电连接。

[0058] 晶体管100A为所谓的沟道蚀刻型晶体管，且具有双栅结构。

[0059] 如图1B-1及图1B-2所示，像素部包括晶体管200A、被用作像素电极的导电膜220a及被用作电容布线的导电膜213及电容器250a。

[0060] 晶体管200A包括：衬底102上的导电膜204；衬底102及导电膜204上的绝缘膜106；绝缘膜106上的金属氧化物膜208；金属氧化物膜208上的导电膜212a；以及金属氧化物膜208上的导电膜212b。此外，在晶体管200A上，具体而言，在金属氧化物膜208、导电膜212a及导电膜212b上形成有绝缘膜114、绝缘膜114上的绝缘膜116以及绝缘膜116上的绝缘膜118。

[0061] 绝缘膜114、116包括开口242a。被用作像素电极的导电膜220a通过开口242a与导电膜212b电连接。被用作电容布线的导电膜213形成在绝缘膜106上。导电膜213与导电膜112a、112b、212a、212b同时形成，或者，导电膜213也可以与导电膜104、204同时形成。导电膜213、绝缘膜114、116及导电膜220a形成电容器250a。

[0062] 晶体管200A为所谓的沟道蚀刻型晶体管，且具有单栅结构。

[0063] 晶体管100A所包括的导电膜120a与被用作像素电极的导电膜220a在同一工序中形成。导电膜120a、220a优选为后述的氧化物导电膜（oxide conductor:OC）。当将氧化物导电膜用于导电膜120a、220a时，可以对绝缘膜114、116添加氧。添加到绝缘膜114、116的氧移动到金属氧化物膜108、208，而填补金属氧化物膜108、208中的氧缺陷。其结果是，可以提高晶体管100A、200A的可靠性。导电膜120a、220a可以使用可用于导电膜104、112a、112b、204、212a、212b的材料形成。

[0064] 绝缘膜106被用作晶体管100A、200A的第一栅极绝缘膜。绝缘膜114、116被用作晶

晶体管100A的第二栅极绝缘膜。绝缘膜118被用作晶体管100A、200A的保护绝缘膜。在晶体管100A中,导电膜104被用作第一栅电极,导电膜112a被用作源电极,导电膜112b被用作漏电极,导电膜120a被用作第二栅电极。在晶体管200A中,导电膜204被用作栅电极,导电膜212a被用作源电极,导电膜212b被用作漏电极。

[0065] 在晶体管100A中,如图1A-2所示,导电膜120a通过开口142a与导电膜104电连接。

[0066] 此外,如图1A-2所示,金属氧化物膜108以与导电膜104及120a相对的方式位于两个被用作栅电极的导电膜之间。导电膜120a的沟道长度方向上的长度及沟道宽度方向上的长度分别比金属氧化物膜108的沟道长度方向上的长度及沟道宽度方向上的长度长,并且导电膜120a隔着绝缘膜114、116覆盖金属氧化物膜108整体。

[0067] 换言之,导电膜104及导电膜120a通过设置在绝缘膜106、114、116中的开口彼此连接且包括位于金属氧化物膜108的侧端部的外侧的区域。

[0068] 通过采用上述结构,可以利用导电膜104及120a的电场电围绕晶体管100A所包括的金属氧化物膜108。可以将如晶体管100A那样第一栅电极及第二栅电极的电场电围绕形成沟道区的金属氧化物膜的晶体管的装置结构称为围绕沟道(S-channel:surrounded channel)结构。

[0069] 因为晶体管100A具有S-channel结构,所以可以使用被用作第一栅电极的导电膜104对金属氧化物膜108有效地施加用来引起沟道的电场。由此,晶体管100A的电流驱动能力得到提高,从而可以得到高通态电流特性。由于可以提高通态电流,所以可以减小晶体管100A的尺寸。另外,由于晶体管100A具有金属氧化物膜108由被用作第一栅电极的导电膜104与被用作第二栅电极的导电膜120a围绕的结构,所以可以提高晶体管100A的机械强度。

[0070] 在晶体管100A中,金属氧化物膜108包括:绝缘膜106上的金属氧化物膜108_1;以及金属氧化物膜108_1上的金属氧化物膜108_2。在晶体管200A中,金属氧化物膜208包括:绝缘膜106上的金属氧化物膜208_1;以及金属氧化物膜208_1上的金属氧化物膜208_2。金属氧化物膜108_1、108_2、208_1、208_2包含相同的元素。例如,金属氧化物膜108_1、108_2、208_1、208_2优选独立地包含In、M(M为镓、铝、硅、硼、钇、锡、铜、钒、铍、钛、铁、镍、锗、锆、钼、镧、铈、钕、钐、钨或镁)和Zn。

[0071] 此外,金属氧化物膜108_1、108_2、208_1、208_2优选独立地包括In的原子个数比大于M的原子个数比的区域。例如,金属氧化物膜108_1、108_2、208_1、208_2的In、M和Zn的原子个数比优选为In:M:Zn=4:2:3或其附近。在此,“附近”包括:当In为4时,M为1.5以上且2.5以下,并且Zn为2以上且4以下的情况。或者,金属氧化物膜108_1、108_2、208_1、208_2的In、M和Zn的原子个数比优选为In:M:Zn=5:1:6或其附近。如此,具有大致相同的组成的金属氧化物膜108_1、108_2、208_1、208_2可以使用相同的溅射靶材形成,所以可以抑制制造成本。在使用相同的溅射靶材的情况下,可以在同一处理室中在真空中连续地形成金属氧化物膜108_1、108_2、208_1、208_2。由此,可以抑制杂质混入金属氧化物膜108_1与金属氧化物膜108_2的界面和金属氧化物膜208_1与金属氧化物膜208_2的界面。

[0072] 优选将具有CAC(cloud-aligned composite)构成的金属氧化物用于金属氧化物膜108_1、108_2、208_1、208_2。参照图3对该金属氧化物进行说明。

[0073] 图3是具有CAC构成的金属氧化物的示意图。在本说明书中,将本发明的一个实施方式的具有半导体功能的金属氧化物定义为CAC-MO(metal oxide semiconductor)或CAC-

OS(oxide semiconductor)。

[0074] 例如,如图3所示,在CAC-MO或CAC-OS中,包含在金属氧化物中的元素不均匀地分布,而形成以各元素为主要成分的区域001及002。这些区域混合而形成或分散为马赛克(mosaic)状。换言之,CAC-MO或CAC-OS具有包含在金属氧化物中的元素不均匀地分布的构成,其中该分布区域的尺寸为0.5nm以上且10nm以下,优选为1nm以上且2nm以下或附近的尺寸。注意,在下面的金属氧化物的记载中,将一个或多个金属元素不均匀地分布且包含该金属元素的区域混合的状态称为马赛克状或补丁(patch)状,该区域的尺寸为0.5nm以上且10nm以下,优选为1nm以上且2nm以下或附近的尺寸。

[0075] CAC-MO或CAC-OS在材料的一部分中具有导电性的功能,在材料的另一部分中具有绝缘性的功能,作为材料的整体具有半导体的功能。在将CAC-MO或CAC-OS用于晶体管的沟道的情况下,导电性的功能是使被用作载流子的电子(或空穴)流过的功能,绝缘性的功能是不使被用作载流子的电子流过的功能。通过利用导电性的功能和绝缘性的功能的互补作用,CAC-MO或CAC-OS可以具有开关功能(开启/关闭的功能)。在CAC-MO或CAC-OS中,通过使各功能分离,可以最大限度地提高各功能。

[0076] 在本说明书等中,CAC-MO或CAC-OS包括导电性区域及绝缘性区域。例如,图3所示的区域001及002中的一个可以是导电性区域,另一个可以是绝缘性区域。导电性区域具有上述导电性的功能,绝缘性区域具有上述绝缘性的功能。在材料中导电性区域和绝缘性区域有时以纳米粒子级分离。导电性区域和绝缘性区域有时在材料中不均匀地分布。有时观察到其边缘模糊而以云状连接的导电性区域。

[0077] CAC-MO或CAC-OS也可以包含具有不同带隙的成分。例如,CAC-MO或CAC-OS包含具有起因于绝缘性区域的宽隙的成分及具有起因于导电性区域的窄隙的成分。在该构成中,载流子主要在具有窄隙的成分中流过。具有窄隙的成分与具有宽隙的成分互补作用,与具有窄隙的成分联动地在具有宽隙的成分中载流子流过。因此,在将上述CAC-MO或CAC-OS用于晶体管的沟道区时,可以得到晶体管的导通状态下的高电流驱动能力,即高通态电流及高场效应迁移率。

[0078] 此外,也可以将CAC-MO或CAC-OS称为基质复合材料(matrix composite)或金属基质复合材料(metal matrix composite)。关于CAC-MO或CAC-OS,将在实施方式2中进行详细的说明。

[0079] 当金属氧化物膜108_1、108_2、208_1、208_2独立地包括其In的原子个数比大于M的原子个数比的区域且具有CAC构成时,晶体管100A、200A可以具有高场效应迁移率。具体而言,晶体管100A、200A可以具有超过 $40\text{cm}^2/\text{Vs}$,优选超过 $50\text{cm}^2/\text{Vs}$,更优选超过 $100\text{cm}^2/\text{Vs}$ 的场效应迁移率。

[0080] 由于具有S-channel结构的晶体管100A具有高场效应迁移率及高驱动能力,因此通过将晶体管100A用于驱动电路,典型的是用于生成栅极信号的栅极驱动器,可以提供一种边框宽度窄(窄边框)的显示装置。通过将晶体管100A用于显示装置所包括的供应来自信号线的信号的源极驱动器(尤其是,源极驱动器所包括的与移位寄存器的输出端子连接的解复用器),可以减少与显示装置连接的布线数。

[0081] 另外,晶体管100A、200A为沟道蚀刻结构的晶体管,因此与使用低温多晶硅形成的晶体管相比,可以以较少的制造工序形成。另外,金属氧化物膜被用于晶体管100A、200A的

沟道,因此不需要激光晶化工序,这不同于低温多晶硅的晶体管。因此,即使在使用大型衬底形成显示装置的情况下,也可以降低制造成本。优选在ultra high definition(4K分辨率、4K2K、4K)或super high definition(8K分辨率、8K4K、8K)等高分辨率的大型显示装置的驱动电路及显示部中使用如晶体管100A、200A那样场效应迁移率高的晶体管,此时可以实现短时间的写入及显示不良的降低。

[0082] <1-2.显示装置的构成要素>

接着,对本实施方式的显示装置的构成要素进行详细的说明。

[0083] [衬底]

虽然对衬底102的材料等没有特别的限制,但是至少需要能够承受后续的加热处理的耐热性。例如,作为衬底102,可以使用玻璃衬底、陶瓷衬底、石英衬底、蓝宝石衬底等。另外,作为衬底102,还可以使用硅或碳化硅的单晶半导体衬底或多晶半导体衬底、硅锗的化合物半导体衬底、SOI(silicon on insulator:绝缘体上硅)衬底等、或者设置有半导体元件的上述衬底。当作为衬底102使用玻璃衬底时,可以使用如下尺寸的玻璃衬底:第六代(1500mm×1850mm)、第七代(1870mm×2200mm)、第八代(2200mm×2400mm)、第九代(2400mm×2800mm)、第十代(2950mm×3400mm)。由此,可以制造大型显示装置。

[0084] 另外,作为衬底102也可以使用柔性衬底,并且,可以在柔性衬底上直接设置晶体管100A、200A。或者,也可以在衬底102与晶体管100A、200A之间设置剥离层。剥离层可以在如下情况下使用:将在剥离层上形成的半导体装置的一部分或全部从衬底102分离并转置到其他衬底上的情况。此时,可以将晶体管100A、200A转置到耐热性低的衬底或柔性衬底上。

[0085] [导电膜]

被用作栅电极的导电膜104、204、120a、被用作源电极的导电膜112a、212a及被用作漏电极的导电膜112b、212b可以使用选自铬(Cr)、铜(Cu)、铝(Al)、金(Au)、银(Ag)、锌(Zn)、钼(Mo)、钽(Ta)、钛(Ti)、钨(W)、锰(Mn)、镍(Ni)、铁(Fe)、钴(Co)中的金属元素、包含上述金属元素作为成分的合金或者组合上述金属元素的合金等形成。

[0086] 导电膜104、112a、112b、120a、204、212a、212b可以使用包含铟和锡的氧化物(In-Sn氧化物)、包含铟和钨的氧化物(In-W氧化物)、包含铟、钨及锌的氧化物(In-W-Zn氧化物)、包含铟和钛的氧化物(In-Ti氧化物)、包含铟、钛及锡的氧化物(In-Ti-Sn氧化物)、包含铟和锌的氧化物(In-Zn氧化物)、包含铟、锡及硅的氧化物(In-Sn-Si氧化物)、包含铟、镓及锌的氧化物(In-Ga-Zn氧化物)等金属氧化物形成。金属氧化物可以为氧化物导电体或氧化物半导体。

[0087] 在此,说明氧化物导电体。在本说明书等中,也可以将氧化物导电体称为OC(oxide conductor)。例如,氧化物导电体通过如下方式得到。在金属氧化物中形成氧缺陷,对该氧缺陷添加氢而在导带附近形成施主能级。其结果是,金属氧化物的导电性增高,由此金属氧化物成为导电体。可以将成为导电体的金属氧化物称为氧化物导电体。一般而言,由于氧化物半导体的能隙大,因此使可见光透过。由于氧化物导电体是在导带附近具有施主能级的金属氧化物,所以在氧化物导电体中起因于施主能级的吸收的影响小,由此氧化物导电体具有与氧化物半导体大致相同的可见光透过性。

[0088] 氧化物导电体的氢浓度比被用作沟道的金属氧化物(例如,氧化物半导体)高,典

型的是 8×10^{19} atoms/cm³以上,优选为 1×10^{20} atoms/cm³以上,优选为 5×10^{20} atoms/cm³以上。

[0089] 氧化物导体具有缺陷及杂质,由此具有导电性。包含氧化物导体的导电膜的电阻率为 $1 \times 10^{-3} \Omega \text{ cm}$ 以上且低于 $1 \times 10^4 \Omega \text{ cm}$,优选为 $1 \times 10^{-3} \Omega \text{ cm}$ 以上且低于 $1 \times 10^{-1} \Omega \text{ cm}$ 。

[0090] 包含氧化物导体的导电膜的导电率典型为 $1 \times 10^{-2} \text{ S/m}$ 以上且 $1 \times 10^5 \text{ S/m}$ 以下,或者 $1 \times 10^3 \text{ S/m}$ 以上且 $1 \times 10^5 \text{ S/m}$ 以下。

[0091] 氧化物导体包含杂质及缺陷。包含氧化物导体的导电膜的典型例子是通过稀有气体的添加而生成缺陷的膜、或者通过等离子体的暴露而生成缺陷的膜。

[0092] 氧化物导体优选使用具有CAC构成的金属氧化物形成。

[0093] 作为导电膜104、112a、112b、120a、204、212a、212b,也可以应用Cu-X合金膜(X为Mn、Ni、Cr、Fe、Co、Mo、Ta或Ti)。通过使用Cu-X合金膜,可以在加工时使用湿蚀刻工序,从而可以抑制制造成本。由于Cu-X合金膜的电阻低,所以通过使用Cu-X合金膜作为导电膜104、112a、112b、120a、204、212a、212b,可以抑制布线延迟。因此,在制造大型显示装置时,优选使用Cu-X合金膜作为布线。

[0094] 在上述金属元素中,选自铜、钛、钨、钼和钨中的一个或多个优选包含在导电膜112a、112b、212a、212b中。尤其是,作为导电膜112a、112b、212a、212b,优选使用氮化钼膜。氮化钼膜具有导电性且对铜或氢具有高阻挡性。因为氮化钼膜的氢的释放量少,所以氮化钼膜最适合用于与金属氧化物膜108、208接触的导电膜或金属氧化物膜108、208附近的导电膜。优选作为导电膜112a、112b、212a、212b使用铜膜,因为导电膜112a、112b、212a、212b的电阻得到降低。

[0095] 可以通过无电镀法形成导电膜112a、112b、212a、212b。作为通过该无电镀法可形成的材料,例如可以使用选自Cu、Ni、Al、Au、Sn、Co、Ag和Pd中的一个或多个。尤其优选使用Cu或Ag,因为导电膜的电阻得到降低。

[0096] [被用作栅极绝缘膜的绝缘膜]

作为被用作晶体管100A、200A的栅极绝缘膜的绝缘膜106,可以使用包括通过等离子体增强化学气相沉积(PECVD: plasma enhanced chemical vapor deposition)法、溅射法等形成的如下膜中的至少一个的绝缘层:氧化硅膜、氧氮化硅膜、氮氧化硅膜、氮化硅膜、氧化铝膜、氧化钪膜、氧化钇膜、氧化锆膜、氧化镓膜、氧化钽膜、氧化镁膜、氧化镧膜、氧化铈膜和氧化钕膜。注意,绝缘膜106也可以具有两层或三层以上的叠层结构。

[0097] 与被用作晶体管100A、200A的沟道区的金属氧化物膜108、208接触的绝缘膜106优选为氧化物绝缘膜,更优选的是,具有氧含量超过化学计量组成的区域(过剩氧区域)。换言之,绝缘膜106是能够释放氧的绝缘膜。为了在绝缘膜106中设置过剩氧区域,例如在氧气氛下形成绝缘膜106或者在氧气氛下对成膜之后的绝缘膜106进行加热处理。

[0098] 当作为绝缘膜106使用氧化钪时,发挥如下效果。氧化钪的相对介电常数比氧化硅及氧氮化硅高。因此,通过使用氧化钪,与使用氧化硅的情况相比,可以使绝缘膜106的厚度变大,由此,可以减少隧道电流引起的泄漏电流。也就是说,可以提供关态电流小的晶体管。再者,与具有非晶结构的氧化钪相比,具有结晶结构的氧化钪具有高相对介电常数。因此,为了提供关态电流小的晶体管,优选使用具有结晶结构的氧化钪。作为结晶结构的例子,可以举出单斜晶系及立方晶系。注意,本发明的一个实施方式不局限于此。

[0099] 注意,本发明的一个实施方式不局限于上述结构,作为接触于金属氧化物膜108、208的绝缘膜106也可以使用氮化物绝缘膜。例如,形成氮化硅膜,对该氮化硅膜的表面进行氧等离子体处理等来使氮化硅膜的表面氧化。在对氮化硅膜的表面进行氧等离子体处理等的情况下,氮化硅膜的表面有可能在原子级上被氧化。因此,当进行晶体管的截面观察时,有时观察不到氧化膜,或者观察到氮化硅膜接触于金属氧化物。注意,在氧等离子体处理中,被照射物暴露于在包含氧气体的气氛中产生的等离子体。氧气体是指氧、臭氧、一氧化二氮等包含氧的气体。

[0100] 与氧化硅膜相比,氮化硅膜的相对介电常数较高且为了得到与氧化硅膜相等的静电容量所需要的厚度较大。因此,当作为晶体管的栅极绝缘膜包括氮化硅膜时,可以增加绝缘膜106的厚度。因此,可以抑制晶体管的绝缘耐压的下降并提高绝缘耐压来抑制晶体管的静电破坏。

[0101] 在本实施方式中,作为绝缘膜106形成氮化硅膜与氧化硅膜的叠层膜。

[0102] [金属氧化物膜]

金属氧化物膜108、208可以使用上述材料形成。

[0103] 当金属氧化物膜108、208包含In-M-Zn氧化物时,用来形成In-M-Zn氧化物的溅射靶材的金属元素的原子个数比优选满足 $In > M$ 。这种溅射靶材的金属元素的原子个数比例例如为 $In:M:Zn=2:1:3, 3:1:2, 4:2:4.1, 5:1:6, 5:1:7, 5:1:8, 6:1:6, 5:2:5$ 。

[0104] 当使用In-M-Zn氧化物形成金属氧化物膜108、208时,作为溅射靶材优选使用包含多晶的In-M-Zn氧化物的靶材。通过使用包含多晶的In-M-Zn氧化物的靶材,容易形成具有结晶性的金属氧化物膜108、208。注意,所形成的金属氧化物膜108、208中的金属元素的原子个数比从上述溅射靶材中的金属元素的原子个数比在 $\pm 40\%$ 的范围内变化。例如,在使用In、Ga、Zn的原子个数比为4:2:4.1的溅射靶材时,所形成的金属氧化物膜108、208的In、Ga、Zn的原子个数比有时为4:2:3或4:2:3附近。

[0105] 金属氧化物膜108、208的能隙为2eV以上,优选为2.5eV以上。通过使用这种能隙较宽的氧化物半导体,可以降低晶体管100A、200A的关态电流。

[0106] 金属氧化物膜108、208优选具有非单晶结构。非单晶结构的例子包括下述c轴取向结晶氧化物半导体(c-axis-aligned crystalline oxide semiconductor:CAAC-OS)、多晶结构、微晶结构及非晶结构。在非单晶结构中,非晶结构的缺陷态密度最高,而CAAC-OS的缺陷态密度最低。

[0107] 即使金属氧化物膜108_1、108_2、208_1、208_2独立地包含In的原子个数比比M的原子个数比多的区域,如果金属氧化物膜108_1、108_2、208_1、208_2具有高结晶性,场效应迁移率则有可能降低。

[0108] 因此,金属氧化物膜108_1可以包含其结晶性比金属氧化物膜108_2低的区域,金属氧化物膜208_1可以包含其结晶性比金属氧化物膜208_2低的区域。例如,可以通过使用X线衍射(XRD:X-ray diffraction)或透射电子显微镜(TEM:transmission electron microscope)分析出金属氧化物膜108_1、108_2、208_1、208_2的结晶性。

[0109] 在金属氧化物膜108_1、208_1包括结晶性低的区域的情况下,发挥如下优异的效果。

[0110] 首先,对在金属氧化物膜108中可能形成的氧缺陷进行说明。

[0111] 形成在金属氧化物膜108中的氧缺陷对晶体管特性造成负面影响而引起问题。例如,在金属氧化物膜108中形成的氧缺陷与氢键合,而成为载流子供应源。在金属氧化物膜108中产生的载流子供应源导致具有金属氧化物膜108的晶体管100A的电特性的变动,典型为阈值电压的漂移。因此,在金属氧化物膜108中,氧缺陷越少越好。

[0112] 于是,在本发明的一个实施方式的结构中,位于金属氧化物膜108附近的绝缘膜,具体而言,形成在金属氧化物膜108上方的绝缘膜114、116包含过剩氧。氧或过剩氧从绝缘膜114、116移动到金属氧化物膜108,由此能够减少金属氧化物膜中的氧缺陷。

[0113] 在此,参照图16A和图16B对扩散到金属氧化物膜108中的氧或过剩氧的路径进行说明。图16A和图16B是表示扩散到金属氧化物膜108中的氧或过剩氧的路径的示意图。图16A是沟道长度方向上的示意图,图16B是沟道宽度方向上的示意图。虽然在此使用金属氧化物膜108进行说明,但是与金属氧化物膜108同样,氧还扩散到金属氧化物膜208中。

[0114] 绝缘膜114、116中的氧或过剩氧从上方,即经过金属氧化物膜108_2而扩散到金属氧化物膜108_1中(图16A和图16B中的路径1)。

[0115] 绝缘膜114、116中的氧或过剩氧也通过金属氧化物膜108_1及108_2的侧面扩散到金属氧化物膜108中(图16B中的路径2)。

[0116] 例如,在金属氧化物膜108_2的结晶性高时,通过图16A和图16B所示的路径1的氧或过剩氧的扩散有时被妨碍。另一方面,在图16B所示的路径2中,氧或过剩氧可以通过金属氧化物膜108_1及108_2的侧面扩散到金属氧化物膜108_1及108_2中。

[0117] 此外,当金属氧化物膜108_1包括其结晶性比金属氧化物膜108_2低的区域时,该区域成为过剩氧的扩散路径,由此过剩氧可以通过图16B所示的路径2扩散到其结晶性高于金属氧化物膜108_1的金属氧化物膜108_2中。虽然图16A和图16B未图示,但是在绝缘膜106包含氧或过剩氧的情况下,氧或过剩氧有可能从绝缘膜106扩散到金属氧化物膜108中。

[0118] 如此,当采用包括结晶性不同的金属氧化物膜的叠层结构,并将结晶性低的区域用作过剩氧的扩散路径时,可以提供一种可靠性高的晶体管。

[0119] 此外,在只由结晶性低的金属氧化物膜构成金属氧化物膜108的情况下,由于杂质(例如,氢或水分)附着于或者混入到金属氧化物膜的背沟道一侧,即相当于金属氧化物膜108_2的区域中,所以有时导致可靠性的下降。

[0120] 混入到金属氧化物膜108中的氢或水分等杂质对晶体管特性造成负面影响,所以成为问题。因此,在金属氧化物膜108中,氢或水分等杂质越少越好。

[0121] 于是,通过提高金属氧化物膜108的上层的结晶性,可以抑制杂质混入到金属氧化物膜108中。尤其是,当提高金属氧化物膜108_2的结晶性时,可以抑制对导电膜112a、112b进行加工时的损伤。当对导电膜112a、112b进行加工时,金属氧化物膜108的表面,即金属氧化物膜108_2的表面暴露于蚀刻剂或蚀刻气体。但是,当金属氧化物膜108_2包括结晶性高的区域时,金属氧化物膜108_2的蚀刻耐性高于金属氧化物膜108_1。因此,金属氧化物膜108_2被用作蚀刻停止膜。

[0122] 优选作为金属氧化物膜108使用杂质浓度低且缺陷态密度低的金属氧化物膜,此时晶体管可以具有优良的电特性。这里,将杂质浓度低且缺陷态密度低(氧缺陷量小)的状态称为“高纯度本征”或“实质上高纯度本征”。作为包含在金属氧化物膜中的杂质的典型例子,可以举出水、氢。在本说明书等中,有时将降低或去除金属氧化物膜中的水及氢的处理

称为脱水化、脱氢化。另外,有时将对金属氧化物膜或氧化物绝缘膜添加氧的处理称为加氧化,有时将被加氧化而包含超过化学计量组成的氧的状态称为过氧化状态。

[0123] 高纯度本征或实质上高纯度本征的金属氧化物膜的载流子发生源较少,所以其载流子密度得到降低。因此,在该金属氧化物膜中形成沟道区的晶体管很少具有负阈值电压的电特性(也称为常开启特性)。高纯度本征或实质上高纯度本征的金属氧化物膜具有较低的缺陷态密度,所以有可能具有较低的陷阱态密度。此外,高纯度本征或实质上高纯度本征的金属氧化物膜的关态电流极小,即便是沟道宽度为 $1 \times 10^6 \mu\text{m}$ 、沟道长度L为 $10 \mu\text{m}$ 的元件,当源电极与漏电极间的电压(漏极电压)在1V至10V的范围内时,关态电流也可以为半导体参数分析仪的测量极限以下,即 $1 \times 10^{-13} \text{A}$ 以下。

[0124] 在金属氧化物膜108_1具有其结晶性低于金属氧化物膜108_2的区域时,金属氧化物膜108_1有时具有高载流子密度。

[0125] 当金属氧化物膜108_1的载流子密度较高时,费米能级有时相对地高于金属氧化物膜108_1的导带。由此,金属氧化物膜108_1的导带底变低,金属氧化物膜108_1的导带底与可能形成在栅极绝缘膜(在此,绝缘膜106)中的陷阱能级的能量差有时变大。当该能量差变大时,有时可以减少栅极绝缘膜中被俘获的电荷,而可以减少晶体管的阈值电压变动。此外,当金属氧化物膜108_1具有高载流子密度时,金属氧化物膜108可以具有高场效应迁移率。

[0126] [被用作保护绝缘膜的绝缘膜1]

绝缘膜114、116被用作晶体管100A、200A的保护绝缘膜。另外,绝缘膜114、116具有对金属氧化物膜108、208供应氧的功能。就是说,绝缘膜114、116包含氧。绝缘膜114是能够使氧透过的绝缘膜。绝缘膜114还被用作在后面形成绝缘膜116时缓解对金属氧化物膜108、208造成的损伤的膜。

[0127] 作为绝缘膜114,可以使用厚度为5nm以上且150nm以下,优选为5nm以上且50nm以下的氧化硅膜、氧氮化硅膜等。

[0128] 此外,优选使绝缘膜114中的缺陷量较少,典型的是,通过电子自旋共振(ESR: electron spin resonance)测得的与起因于硅悬空键且在 $g=2.001$ 处出现的信号对应的自旋密度优选为 $3 \times 10^{17} \text{spins}/\text{cm}^3$ 以下。若绝缘膜114的缺陷密度高,氧则与该缺陷键合,而使绝缘膜114中的氧的透过性减少。

[0129] 从外部进入绝缘膜114的氧不是全部移动到绝缘膜114的外部,而是其一部分残留在绝缘膜114内部。另外,有时在绝缘膜114中发生的氧移动如下:氧进入绝缘膜114,并且绝缘膜114所含有的氧移动到绝缘膜114的外部。在形成能够使氧透过的氧化物绝缘膜作为绝缘膜114时,可以使从设置在绝缘膜114上的绝缘膜116脱离的氧经过绝缘膜114而移动到金属氧化物膜108、208中。

[0130] 此外,绝缘膜114可以使用起因于氮氧化物的态密度低的氧化物绝缘膜形成。注意,该起因于氮氧化物的态密度有时会形成在金属氧化物膜的价带顶的能量(E_{v_os})与金属氧化物膜的导带底的能量(E_{c_os})之间。作为上述氧化物绝缘膜,可以使用氮氧化物的释放量少的氧氮化硅膜或氮氧化物的释放量少的氧氮化铝膜等。

[0131] 此外,氮氧化物的释放量少的氧氮化硅膜是指在热脱附谱分析法(TDS: thermal desorption spectroscopy)中氮释放量比氮氧化物的释放量多的膜,典型的是氮的释放量

为 1×10^{18} 分子/cm³以上且 5×10^{19} 分子/cm³以下。注意,该氮释放量是在进行膜表面温度为50℃以上且650℃以下,优选为50℃以上且550℃以下的加热处理时的氮释放量。

[0132] 氮氧化物(NO_x;x大于0且为2以下,优选为1以上且2以下),典型的是NO₂或NO例如在绝缘膜114中形成能级。该能级位于金属氧化物膜108、208的能隙中。由此,当氮氧化物扩散到绝缘膜114与金属氧化物膜108、208的界面时,有时该能级在绝缘膜114一侧俘获电子。其结果是,被俘获的电子留在绝缘膜114与金属氧化物膜108、208的界面附近,由此晶体管的阈值电压向正方向漂移。

[0133] 当进行加热处理时,氮氧化物与氮及氧起反应。由于当进行加热处理时绝缘膜114所包含的氮氧化物与绝缘膜116所包含的氮起反应,所以绝缘膜114所包含的氮氧化物减少。因此,在绝缘膜114与金属氧化物膜108、208的界面处不容易俘获电子。

[0134] 通过使用上述氧化物绝缘膜,绝缘膜114可以降低晶体管的阈值电压的漂移,从而可以降低晶体管的电特性变动。

[0135] 上述氧化物绝缘膜的利用二次离子质谱(SIMS:secondary ion mass spectrometry)测得的氮浓度为 6×10^{20} atoms/cm³以下。

[0136] 通过利用在衬底温度为220℃以上且350℃以下的情况下使用硅烷及一氧化二氮的PECVD法形成上述氧化物绝缘膜,可以形成致密且硬度高的膜。

[0137] 绝缘膜116为氧含量超过化学计量组成的氧化物绝缘膜。上述氧化物绝缘膜通过加热而其一部分的氧脱离。在TDS中,上述氧化物绝缘膜的氧释放量为 1.0×10^{19} atoms/cm³以上,优选为 3.0×10^{20} atoms/cm³以上。注意,上述氧释放量是在TDS中的加热处理的温度为50℃至650℃或者50℃至550℃的范围内被释放的氧的总量。此外,上述氧释放量为在TDS中换算为氧原子的氧释放总量。

[0138] 作为绝缘膜116可以使用厚度为30nm以上且500nm以下,优选为50nm以上且400nm以下的氧化硅膜、氮化硅膜等。

[0139] 优选的是,绝缘膜116中的缺陷量较少,典型的是,通过ESR测得的与起因于硅悬空键且在 $g=2.001$ 处出现的信号对应的自旋密度低于 1.5×10^{18} spins/cm³,更优选为 1×10^{18} spins/cm³以下。绝缘膜116与绝缘膜114相比离金属氧化物膜108、208更远,所以绝缘膜116也可以具有比绝缘膜114高的缺陷密度。

[0140] 另外,绝缘膜114、116可以使用由相同种类的材料形成的绝缘膜形成,所以有时无法明确地确认到绝缘膜114与116的界面。因此,在本实施方式中,以虚线示出绝缘膜114与116的界面。虽然在本实施方式中说明绝缘膜114与116的两层结构,但是本发明的一个实施方式不局限于此。例如,也可以采用绝缘膜114的单层结构或三层以上的叠层结构。

[0141] [被用作保护绝缘膜的绝缘膜2]

绝缘膜118被用作晶体管100A、200A的保护绝缘膜。

[0142] 绝缘膜118包含氢和氮中的一种或两种。或者,绝缘膜118包含氮及硅。绝缘膜118具有阻挡氧、氢、水、碱金属、碱土金属等的功能。通过设置绝缘膜118,能够防止氧从金属氧化物膜108、208扩散到外部并能够防止绝缘膜114、116所包含的氧扩散到外部,还能够抑制氢、水等从外部侵入金属氧化物膜108、208中。

[0143] 作为绝缘膜118,例如可以使用氮化物绝缘膜。作为该氮化物绝缘膜的例子,有氮化硅膜、氮氧化硅膜、氮化铝膜、氮氧化铝膜。

[0144] 虽然上述所记载的导电膜、绝缘膜、金属氧化物膜及金属膜等各种膜可以利用溅射法或PECVD法形成,但是例如也可以利用其它方法,例如热化学气相沉积(chemical vapor deposition:CVD)法形成。作为热CVD法的例子,可以举出有机金属化学气相沉积(metal organic chemical vapor deposition:MOCVD)法或原子层沉积(atomic layer deposition:ALD)法。

[0145] 由于热CVD法在成膜时不使用等离子体,因此具有不产生因等离子体损伤引起的缺陷的优点。在热CVD法中,将源气体供应到处理室内,将处理室设定为大气压或减压,而在衬底上沉积膜。

[0146] 此外,在ALD法中,将源气体供应到处理室内,将处理室设定为大气压或减压,而在衬底上沉积膜。

[0147] <1-3.显示装置的结构实例2>

接着,参照图4A-1、图4A-2、图4B-1、图4B-2对保护绝缘膜的叠层结构不同的显示装置进行说明。

[0148] 图4A-1相当于沿着图2A的点划线X1-X2的截面图,图4A-2相当于沿着图2A的点划线Y1-Y2的截面图,图4B-1相当于沿着图2B的点划线X3-X4的截面图,图4B-2相当于沿着图2B的点划线Y3-Y4的截面图。

[0149] 图4A-1、图4A-2、图4B-1、图4B-2所示的显示装置在设置在像素部中的晶体管200A上包括绝缘膜114、116,在绝缘膜116上包括被用作平坦化膜的绝缘膜119。绝缘膜114、116、119包括开口242b。在绝缘膜119上形成有被用作像素电极的导电膜220a。导电膜220a在开口242b中与导电膜212b电连接。在绝缘膜119及导电膜220a上设置有绝缘膜118。绝缘膜118包括开口且在该开口中导电膜220a的一部分露出。

[0150] 绝缘膜119使用可用于平坦化绝缘膜的有机材料形成。绝缘膜119可以使用聚酰亚胺树脂或丙烯酸树脂等有机材料通过旋涂法或印刷法等湿式法形成。除了上述有机材料以外,可以使用低介电常数材料(low-k材料)等。此外,也可以通过层叠多个使用这些材料形成的绝缘膜,来形成平坦化绝缘膜。作为绝缘膜119,优选使用透光性有机树脂,典型的是聚酰亚胺。在显示装置是透射型液晶装置的情况下,通过作为绝缘膜119使用透光性有机树脂,可以提高背光的透过性。

[0151] 在图4A-1、图4A-2、图4B-1、图4B-2所示的显示装置中,被用作平坦化膜的绝缘膜119不形成在驱动电路中。因此,当作为导电膜120a使用氧化物导电膜时,可以对绝缘膜114、116添加氧。添加到绝缘膜114、116的氧可以移动到金属氧化物膜108而填补金属氧化物膜108中的氧缺陷,由此可以提高晶体管100A的可靠性。

[0152] 另外,在图4A-1、图4A-2、图4B-1、图4B-2所示的显示装置的像素部中,被用作平坦化膜的绝缘膜119形成在绝缘膜116上。另外,被用作像素电极的导电膜220a形成在绝缘膜119上。由于导电膜220a的平坦性高,所以在显示装置是液晶显示装置的情况下,可以减少液晶层的取向不良。另外,绝缘膜119可以扩大被用作栅极布线的导电膜204与导电膜220a之间的间隔及被用作信号线的导电膜212a与导电膜220a之间的间隔,而可以抑制布线延迟。

[0153] <1-4.显示装置的结构实例3>

接着,参照图8A-1、图8A-2、图8B-1、图8B-2、图9A、图9B对被用作像素电极的导电

膜的形状不同的显示装置进行说明。

[0154] 图9A和图9B是设置在本发明的一个实施方式的显示装置中的驱动电路及显示部所包括的晶体管的俯视图。图9A为包括在驱动电路中的晶体管100A的俯视图，图9B为包括在像素部中的晶体管200B的俯视图。图8A-1相当于沿着图9A的点划线X1-X2的截面图，图8A-2相当于沿着图9A的点划线Y1-Y2的截面图，图8B-1相当于沿着图9B的点划线X3-X4的截面图，图8B-2相当于沿着图9B的点划线Y3-Y4的截面图。

[0155] 如图8A-1及图8A-2所示，驱动电路包括晶体管100A。

[0156] 如图8B-1及图8B-2所示，像素部包括晶体管200B、被用作像素电极的导电膜210及电容器250。

[0157] 晶体管200B与图1A-1、图1A-2、图1B-1、图1B-2所示的晶体管200A及图4A-1、图4A-2、图4B-1、图4B-2所示的晶体管200A的不同之处在于与被用作像素电极的导电膜之间的连接。晶体管200B在绝缘膜106与导电膜212b之间与被用作像素电极的导电膜210连接。

[0158] 导电膜210与晶体管100A的金属氧化物膜108及晶体管200B的金属氧化物膜208同时形成。在导电膜210中，依次层叠有岛状导电膜210_1及岛状导电膜210_2。导电膜210_1与金属氧化物膜108_1、208_1同时形成，导电膜210_2与金属氧化物膜108_2、208_2同时形成。

[0159] 在图8B-1中，绝缘膜118包括开口211，在该开口211中导电膜210露出。另外，如图10B-1所示，绝缘膜118也可以覆盖导电膜210。例如，在显示装置是液晶显示装置的情况下，优选不在被用作像素电极的导电膜210上设置绝缘膜118。然而，根据施加到液晶层的电压，也可以在导电膜210上设置绝缘膜118。

[0160] 作为导电膜210，优选使用氧化物导电膜(OC)。因此，与包括在晶体管100A、200B中的金属氧化物膜108、208相比，导电膜210的氢浓度更高。

[0161] <1-5. 晶体管的变形例子>

接着，对可用于本实施方式所示的晶体管的晶体管的变形例子进行说明。图14A是晶体管100C的俯视图，图14B相当于沿着图14A的点划线X1-X2的截面图，图14C相当于沿着图14A的点划线Y1-Y2的截面图。在此，虽然作为晶体管100A的变形例子对晶体管100C进行说明，但是也可以将晶体管100C的结构应用于晶体管200A、200B。

[0162] 晶体管100C与上述晶体管100A的不同之处在于导电膜112a、112b都具有三层结构。

[0163] 晶体管100C的导电膜112a包括：导电膜112a_1；导电膜112a_1上的导电膜112a_2；以及导电膜112a_2上的导电膜112a_3。晶体管100C的导电膜112b包括：导电膜112b_1；导电膜112b_1上的导电膜112b_2；以及导电膜112b_2上的导电膜112b_3。

[0164] 例如，导电膜112a_1、导电膜112b_1、导电膜112a_3及导电膜112b_3优选包含选自钛、钨、钽、钼、铟、镓、锡和锌中的一种或多种元素。此外，导电膜112a_2及导电膜112b_2优选包含选自铜、铝和银中的一种或多种元素。

[0165] 具体而言，导电膜112a_1、导电膜112b_1、导电膜112a_3及导电膜112b_3可以使用In-Sn氧化物或In-Zn氧化物形成，导电膜112a_2及导电膜112b_2可以使用铜形成。

[0166] 优选采用上述结构，因为该结构可以降低导电膜112a、112b的布线电阻，且可以抑制对金属氧化物膜108的铜的扩散。优选采用上述结构，因为该结构还可以降低导电膜112b与接触于导电膜112b的导电膜之间的接触电阻。优选将上述结构用于像素部的晶体管200A

等,因为导电膜212b与导电膜220a的接触电阻得到降低。晶体管100C的其他构成要素与上述晶体管100A同样,发挥同样的效果。

[0167] 图15A是可用于本实施方式所示的晶体管的晶体管100D的俯视图。图15B相当于沿着图15A的点划线X1-X2的截面图,图15C相当于沿着图15A的点划线Y1-Y2的截面图。

[0168] 晶体管100D与上述晶体管100A的不同之处在于导电膜112a、112b都具有三层结构。此外,晶体管100D与上述晶体管100C的不同之处在于导电膜112a、112b的形状。

[0169] 晶体管100D的导电膜112a包括:导电膜112a_1;导电膜112a_1上的导电膜112a_2;以及导电膜112a_2上的导电膜112a_3。晶体管100D的导电膜112b包括:导电膜112b_1;导电膜112b_1上的导电膜112b_2;以及导电膜112b_2上的导电膜112b_3。此外,导电膜112a_1、导电膜112a_2、导电膜112a_3、导电膜112b_1、导电膜112b_2及导电膜112b_3可以使用上述材料形成。

[0170] 导电膜112a_1的端部具有位于导电膜112a_2的端部的外侧的区域。导电膜112a_3覆盖导电膜112a_2的顶面及侧面且包括与导电膜112a_1接触的区域。导电膜112b_1的端部具有位于导电膜112b_2的端部的外侧的区域。导电膜112b_3覆盖导电膜112b_2的顶面及侧面且包括与导电膜112b_1接触的区域。

[0171] 优选采用上述结构,因为该结构可以降低导电膜112a、112b的布线电阻,且可以抑制对金属氧化物膜108的铜的扩散。另外,与上述晶体管100C相比,晶体管100D可以更有效地抑制铜的扩散。优选采用上述结构,因为该结构可以降低导电膜112b与接触于导电膜112b的导电膜之间的接触电阻。晶体管100D的其他构成要素与上述晶体管同样,发挥同样的效果。

[0172] 晶体管100A、100C、200A、200B使用6张光掩模而制造。另一方面,晶体管100D使用7张光掩模而制造,因为为了形成导电膜112a、112b需要2张光掩模。

[0173] 图17A是可用于本实施方式所示的晶体管的晶体管100E的俯视图,图17B相当于沿着图17A的点划线X1-X2的截面图,图17C相当于沿着图17A的点划线Y1-Y2的截面图。

[0174] 图17A至图17C所示的晶体管100E与上述晶体管100D的不同之处在于绝缘膜118与导电膜120a的叠层顺序。在晶体管100E中,绝缘膜118位于绝缘膜116之上,导电膜120a位于绝缘膜118之上。在绝缘膜106、114、116及118的开口142a中,导电膜104与导电膜120a电连接。

[0175] 作为本实施方式的晶体管,可以自由地组合上述晶体管的结构。

[0176] <1-6. 显示装置的制造方法1>

下面,参照图5A-1至图5A-3、图5B-1至图5B-3、图6A-1、图6A-2、图6B-1、图6B-2、图7A-1、图7A-2、图7B-1、图7B-2对包括在本发明的一个实施方式的显示装置中的晶体管100A、200A的制造方法进行说明。

[0177] 图5A-1至图5A-3、图5B-1至图5B-3、图6A-1、图6A-2、图6B-1、图6B-2、图7A-1、图7A-2、图7B-1、图7B-2是说明显示装置的制造方法的截面图。图5A-1至图5A-3、图6A-1和图6A-2及图7A-1和图7A-2是晶体管100A的沟道长度方向的截面图,图5B-1至图5B-3、图6B-1和图6B-2及图7B-1和图7B-2是晶体管200A的沟道长度方向的截面图。

[0178] 首先,在衬底102上形成导电膜,通过光刻工序及蚀刻工序对该导电膜进行加工,来形成被用作晶体管100A的第一栅电极的导电膜104及被用作晶体管200A的栅电极的导电

膜204。接着,在导电膜104上形成被用作第一栅极绝缘膜的绝缘膜106(参照图5A-1、图5B-1)。

[0179] 在本实施方式中,作为衬底102使用玻璃衬底,作为导电膜104、204通过溅射法形成厚度为50nm的钛膜和厚度为200nm的铜膜。作为绝缘膜106,通过PECVD法形成厚度为400nm的氮化硅膜和厚度为50nm的氧氮化硅膜。

[0180] 另外,上述氮化硅膜具有第一氮化硅膜、第二氮化硅膜及第三氮化硅膜的三层结构。该三层结构例如可以如下所示那样形成。

[0181] 例如,可以在如下条件下形成厚度为50nm的第一氮化硅膜:作为源气体将流量为200sccm的硅烷、流量为2000sccm的氮以及流量为100sccm的氨气体供应给PECVD装置的反应室内,将反应室内的压力控制为100Pa,使用27.12MHz的高频电源供应2000W的功率。

[0182] 可以在如下条件下形成厚度为300nm的第二氮化硅膜:作为源气体将流量为200sccm的硅烷、流量为2000sccm的氮以及流量为2000sccm的氨气体供应给PECVD装置的反应室内,将反应室内的压力控制为100Pa,使用27.12MHz的高频电源供应2000W的功率。

[0183] 可以在如下条件下形成厚度为50nm的第三氮化硅膜:作为源气体将流量为200sccm的硅烷以及流量为5000sccm的氮供应给PECVD装置的反应室内,将反应室内的压力控制为100Pa,使用27.12MHz的高频电源供应2000W的功率。

[0184] 另外,可以以350℃以下的衬底温度形成上述第一氮化硅膜、第二氮化硅膜及第三氮化硅膜。

[0185] 当氮化硅膜具有上述三层结构时,例如在作为导电膜104使用包含铜的导电膜的情况下,能够得到如下效果。

[0186] 第一氮化硅膜可以抑制铜从导电膜104、204扩散。第二氮化硅膜具有释放氢的功能,可以提高被用作栅极绝缘膜的绝缘膜的耐电压。第三氮化硅膜是氢的释放量少且可以抑制从第二氮化硅膜释放的氢扩散的膜。

[0187] 接着,在绝缘膜106上形成金属氧化物膜108_1_0及金属氧化物膜108_2_0(参照图5A-2、图5B-2)。

[0188] 图5A-1及图5B-1是在绝缘膜106上形成金属氧化物膜108_1_0及108_2_0时的成膜装置内的截面示意图。在图5A-1及图5B-1中,作为成膜装置使用溅射装置,并且,示意性地示出在该溅射装置中设置的靶材191以及产生在靶材191的下方的等离子体192。

[0189] 在图5A-1及图5B-1中,以虚线的箭头示意性地表示添加到绝缘膜106的氧或过剩氧。例如,在形成金属氧化物膜108_1_0时使用氧气体的情况下,可以有效地对绝缘膜106添加氧。

[0190] 在绝缘膜106上形成金属氧化物膜108_1_0,该金属氧化物膜108_1_0的厚度为1nm以上且25nm以下,优选为5nm以上且20nm以下。金属氧化物膜108_1_0使用惰性气体(典型的是,Ar气体)和氧气体中的一个或两个形成。此外,形成金属氧化物膜108_1_0时的成膜气体整体中所占的氧气体的比率(以下,也称为氧流量比)为0%以上且低于30%,优选为5%以上且15%以下。

[0191] 在将形成金属氧化物膜108_1_0时的氧流量比设定为上述范围的情况下,金属氧化物膜108_1_0可以具有比金属氧化物膜108_2_0低的结晶性。

[0192] 接着,在金属氧化物膜108_1_0上形成金属氧化物膜108_2_0。当形成金属氧化物

膜108_2_0时,在包含氧气体的气氛下进行等离子体放电。此时,对将在其上形成金属氧化物膜108_2_0的金属氧化物膜108_1_0添加氧。形成金属氧化物膜108_2_0时的氧流量比为30%以上且100%以下,优选为50%以上且100%以下,更优选为70%以上且100%以下。

[0193] 金属氧化物膜108_2_0的厚度为20nm以上且100nm以下,优选为20nm以上且50nm以下。

[0194] 如上所述,用来形成金属氧化物膜108_2_0的氧流量比优选高于用来形成金属氧化物膜108_1_0的氧流量比。换言之,金属氧化物膜108_1_0优选在比金属氧化物膜108_2_0低的氧分压下形成。

[0195] 将形成金属氧化物膜108_1_0及108_2_0时的衬底温度设定为室温(25℃)以上且200℃以下,优选为室温以上且130℃以下。上述范围的衬底温度适合于大面积玻璃衬底(例如,上述第8世代至第10世代的玻璃衬底)。尤其是,当将形成金属氧化物膜108_1_0及108_2_0时的衬底温度设定为室温时,可以抑制衬底的变形或弯曲。为了提高金属氧化物膜108_2_0的结晶性,优选提高形成金属氧化物膜108_2_0时的衬底温度。

[0196] 更优选在真空中连续地形成金属氧化物膜108_1_0及108_2_0,因为这可以防止杂质混入各界面。

[0197] 另外,需要提高溅射气体的纯度。例如,作为被用作溅射气体的氧气体或氩气体,使用露点为-40℃以下,优选为-80℃以下,更优选为-100℃以下,进一步优选为-120℃以下的高纯度气体,由此可以尽可能地降低混入金属氧化物膜的水分等。

[0198] 在通过溅射法形成金属氧化物膜的情况下,优选使用低温泵等吸附式真空抽气泵对溅射装置的处理室进行高真空抽气(抽空到 5×10^{-7} Pa至 1×10^{-4} Pa左右)以尽可能地去除对金属氧化物膜来说是杂质的水等。尤其是,在溅射装置的待机时处理室内的相当于 H_2O 的气体分子($m/z=18$ 的气体分子)的分压优选为 1×10^{-4} Pa以下,更优选为 5×10^{-5} Pa以下。

[0199] 在本实施方式中,金属氧化物膜108_1_0使用In-Ga-Zn金属氧化物靶材(原子个数比为In:Ga:Zn=4:2:4.1)并利用溅射法形成。形成金属氧化物膜108_1_0时的衬底温度为室温,作为成膜气体使用流量为180sccm的氩气体及流量为20sccm的氧气体(氧流量比为10%)。

[0200] 此外,金属氧化物膜108_2_0使用In-Ga-Zn金属氧化物靶材(原子个数比为In:Ga:Zn=4:2:4.1)并利用溅射法形成。形成金属氧化物膜108_2_0时的衬底温度为室温,作为成膜气体使用流量为200sccm的氧气体(氧流量比为100%)。

[0201] 当形成金属氧化物膜108_1_0时的氧流量比与形成金属氧化物膜108_2_0时的氧流量比不同时,可以形成结晶性不同的叠层膜。

[0202] 制造方法不局限于上述溅射法,也可以使用脉冲激光沉积(PLD)法、等离子体增强化学气相沉积(PECVD)法、热CVD(chemical vapor deposition)法、ALD(atomic layer deposition)法、真空蒸镀法等。作为热CVD法的例子,可以举出有机金属化学气相沉积(metal organic chemical vapor deposition:MOCVD)法。

[0203] 接着,将金属氧化物膜108_1_0及108_2_0加工为所希望的形状,来形成岛状金属氧化物膜108_1、108_2、208_1及208_2。在本实施方式中,金属氧化物膜108_1及108_2构成岛状金属氧化物膜108(参照图5A-3),金属氧化物膜208_1及208_2构成岛状金属氧化物膜208(参照图5B-3)。

[0204] 在形成金属氧化物膜108及208之后,也可以对金属氧化物膜108及208进行氧等离子体处理。其结果是,可以对金属氧化物膜108及208的表面添加氧,而可以减少金属氧化物膜108及208的氧缺陷。尤其优选减少金属氧化物膜108及208的侧面的氧缺陷,因为这可以抑制晶体管的泄漏电流。

[0205] 优选的是,在形成金属氧化物膜108、208之后进行加热处理(以下,称为第一加热处理)。通过进行第一加热处理,可以减少包含在金属氧化物膜108、208中的氢、水等。以氢、水等的减少为目的的加热处理也可以在将金属氧化物膜108_1_0及108_2_0加工为岛状之前进行。注意,第一加热处理是提高金属氧化物膜的纯度的处理之一。

[0206] 第一加热处理例如在150℃以上且低于衬底的应变点,优选为200℃以上且450℃以下,更优选为250℃以上且350℃以下的温度下进行。

[0207] 另外,第一加热处理可以使用电炉、快速热退火(rapid thermal anneal:RTA)装置等进行。通过使用RTA装置,可只在短时间内以衬底的应变点以上的温度进行加热处理。由此,可以缩短加热处理时间。第一加热处理可以在氮、氧、超干燥空气(含水量为20ppm以下,优选为1ppm以下,更优选为10ppb以下的空气)或稀有气体(例如,氩、氦)的气氛下进行。上述氮、氧、超干燥空气或稀有气体优选不含有氢、水等。此外,在氮气分或稀有气体气氛下进行加热处理之后,也可以在氧气分或超干燥空气气氛下进行加热。其结果是,可以在释放包含在金属氧化物膜中的氢、水等的同时将氧供应到金属氧化物膜中。由此,可以减少金属氧化物膜中的氧缺陷量。

[0208] 接着,在绝缘膜106及金属氧化物膜108、208上形成导电膜。接着,将该导电膜加工为所希望的形状,来形成导电膜112a、112b、导电膜212a、212b及导电膜213。

[0209] 在本实施方式中,作为导电膜112a、112b、212a、212b及213,通过溅射法依次形成厚度为30nm的钛膜、厚度为200nm的铜膜、厚度为10nm的钛膜。

[0210] 在本实施方式中,使用湿蚀刻装置对导电膜进行加工。注意,导电膜的加工方法不局限于上述方法,例如也可以使用干蚀刻装置。

[0211] 在形成导电膜112a、112b、212a、212b、213之后,也可以洗涤金属氧化物膜108、208(具体而言,金属氧化物膜108_2、208_2)的表面(背沟道一侧)。该洗涤例如可以使用磷酸等化学溶液进行。通过使用磷酸等化学溶液进行洗涤,可以去除附着于金属氧化物膜108_2、208_2表面的杂质(例如,包含在导电膜112a、112b、212a、212b中的元素)。注意,不一定必须进行该洗涤,有时不进行该洗涤。

[0212] 在导电膜112a、112b、212a、212b、213的形成过程和/或上述洗涤工序中,有时金属氧化物膜108、208的不被导电膜112a、112b、212a、212b覆盖的区域变薄。

[0213] 此外,不被导电膜112a、112b、212a、212b覆盖的区域,就是说,金属氧化物膜108_2、208_2优选具有高结晶性。杂质(尤其是导电膜112a、112b、212a、212b的构成元素)不容易扩散到结晶性高的金属氧化物膜中。因此,可以制造一种可靠性高的晶体管。

[0214] 虽然图5A-3及图5B-3示出不被导电膜112a、112b、212a、212b覆盖的金属氧化物膜108、208的表面,即金属氧化物膜108_2、208_2的表面形成有凹部的例子,但是本发明的一个实施方式不局限于该例子,不被导电膜112a、112b、212a、212b覆盖的金属氧化物膜108、208的表面不一定需要形成有凹部。

[0215] 接着,在金属氧化物膜108、208及导电膜112a、112b、212a、212b、213上形成绝缘膜

114及116(参照图6A-1、图6B-1)。

[0216] 在此,在形成绝缘膜114之后,优选以不暴露于大气的方式连续地形成绝缘膜116。当在形成绝缘膜114之后以不暴露于大气的方式调整源气体的流量、压力、高频功率和衬底温度中的一个以上来连续地形成绝缘膜116时,可以降低绝缘膜114与116的界面处的来自大气成分的杂质浓度。

[0217] 例如,作为绝缘膜114,可以通过PECVD法形成氧氮化硅膜。此时,作为源气体,优选使用含有硅的沉积气体及氧化性气体。作为含有硅的沉积气体的典型例子,有硅烷、乙硅烷、丙硅烷、氟化硅烷。作为氧化性气体的例子,有一氧化二氮、二氧化氮。氧化性气体流量为沉积气体流量的20倍以上且500倍以下,优选为40倍以上且100倍以下。

[0218] 在本实施方式中,作为绝缘膜114,在如下条件下利用PECVD法形成氧氮化硅膜:保持衬底102的温度为220℃,作为源气体使用流量为50sccm的硅烷及流量为2000sccm的一氧化二氮,处理室内的压力为20Pa,并且,对平行板电极供应13.56MHz、100W(功率密度为 $1.6 \times 10^{-2} \text{W/cm}^2$)的高频功率。

[0219] 作为绝缘膜116,在如下条件下形成氧化硅膜或氧氮化硅膜:将设置于进行了真空抽气的PECVD装置的处理室内的衬底温度保持为180℃以上且350℃以下,将源气体引入处理室中并将处理室内的压力设定为100Pa以上且250Pa以下,优选为100Pa以上且200Pa以下,并且,对设置于处理室内的电极供应 0.17W/cm^2 以上且 0.5W/cm^2 以下,优选为 0.25W/cm^2 以上且 0.35W/cm^2 以下的高频功率。

[0220] 作为绝缘膜116的成膜条件,对具有上述压力的反应室供应具有上述功率密度的高频功率,由此在等离子体中源气体的分解效率得到提高,氧自由基增加,且可以促进源气体的氧化,由此绝缘膜116中的氧含量超过化学计量组成。在以上述衬底温度形成的膜中,硅与氧的键合较弱,因此,膜中的氧的一部分通过后面工序的加热处理脱离。由此,可以形成氧含量超过化学计量组成且通过加热而其一部分的氧脱离的氧化物绝缘膜。

[0221] 在绝缘膜116的形成工序中,绝缘膜114被用作金属氧化物膜108、208的保护膜。因此,可以在减少对金属氧化物膜108、208造成的损伤的同时使用功率密度高的高频功率形成绝缘膜116。

[0222] 另外,在绝缘膜116的成膜条件中,当增加相对于氧化性气体的包含硅的沉积气体的流量时,可以减少绝缘膜116中的缺陷量。典型的是,能够形成缺陷量较少的氧化物绝缘膜,即通过ESR测得的起因于硅悬空键且在 $g = 2.001$ 处出现的信号的自旋密度低于 $6 \times 10^{17} \text{spins/cm}^3$,优选为 $3 \times 10^{17} \text{spins/cm}^3$ 以下,更优选为 $1.5 \times 10^{17} \text{spins/cm}^3$ 以下。其结果是,能够提高晶体管100A、200A的可靠性。

[0223] 优选在形成绝缘膜114、116之后进行加热处理(以下,称为第二加热处理)。通过第二加热处理,可以降低包含于绝缘膜114、116中的氮氧化物。通过第二加热处理,可以将包含于绝缘膜114、116中的氧的一部分移动到金属氧化物膜108、208中,由此可以减少金属氧化物膜108、208中的氧缺陷量。

[0224] 第二加热处理的典型温度为低于400℃,优选为低于375℃,进一步优选为150℃以上且350℃以下。第二加热处理可以在氮、氧、超干燥空气(含水量为20ppm以下,优选为1ppm以下,优选为10ppb以下的空气)或稀有气体(例如,氩、氦)的气氛下进行。上述氮、氧、超干燥空气或稀有气体优选不含有氢、水等。该加热处理可以使用电炉、RTA等进行。

[0225] 接着,在绝缘膜114、116的所希望的区域中形成开口142a、242a。

[0226] 在本实施方式中,开口142a、242a使用干蚀刻装置形成。开口142a到达导电膜104,开口242a到达导电膜212b。

[0227] 接着,在绝缘膜116上形成导电膜120(参照图6A-2及图6B-2)。

[0228] 图6A-1及图6B-1是在绝缘膜116上形成导电膜120时的成膜装置内的截面示意图。在图6A-1及图6B-1中,作为成膜装置使用溅射装置,并且,示意性地示出在该溅射装置中设置的靶材193以及形成在靶材193的下方的等离子体194。

[0229] 在形成导电膜120时,在包含氧气体的气氛下进行等离子体放电。此时,对将在其上形成导电膜120的绝缘膜116添加氧。当形成导电膜120时,也可以混合惰性气体(例如,氩气体、氙气体、氙气体)和氧气体。

[0230] 至少在形成导电膜120时混有氧气体即可。在形成导电膜120时的成膜气体中,氧气体的比率高于0%且为100%以下,优选为10%以上且100%以下,更优选为30%以上且100%以下。

[0231] 在图6A-1及图6B-1中,以虚线的箭头示意性地示出添加到绝缘膜116的氧或过剩氧。

[0232] 在本实施方式中,通过溅射法利用In-Ga-Zn金属氧化物靶材(In:Ga:Zn=4:2:4.1[原子个数比])形成导电膜120。另外,也可以使用ITO靶材且作为成膜气体使用氧气体(100%)利用溅射法形成导电膜120。

[0233] 注意,虽然在本实施方式中当形成导电膜120时对绝缘膜116添加氧,但是添加氧的方法不局限于该例子。例如,也可以在形成导电膜120之后还对绝缘膜116添加氧。

[0234] 作为对绝缘膜116添加氧的方法,例如可以使用包含铟、锡、硅的氧化物(In-Sn-Si氧化物,也称为ITSO)靶材(其重量%为 $\text{In}_2\text{O}_3:\text{SnO}_2:\text{SiO}_2=85:10:5$)形成厚度为5nm的ITSO膜。在此,ITSO膜的厚度优选为1nm以上且20nm以下,或者2nm以上且10nm以下,此时可以适当使氧透过且抑制氧的释放。然后,隔着ITSO膜对绝缘膜116添加氧。例如,可以利用离子掺杂法、离子注入法、等离子体处理法添加氧。当添加氧时,通过对衬底一侧施加偏压,可以有效地将氧添加到绝缘膜116。例如使用灰化装置,并且,施加到该灰化装置的衬底一侧的偏压的功率密度可以为 $1\text{W}/\text{cm}^2$ 以上且 $5\text{W}/\text{cm}^2$ 以下。添加氧时的衬底温度为室温以上且 300°C 以下,优选为 100°C 以上且 250°C 以下,由此可以高效地对绝缘膜116添加氧。

[0235] 接着,将导电膜120加工为所希望的形状,来形成导电膜120a_1、220a_1(参照图7A-1及图7B-1)。

[0236] 在本实施方式中,使用湿蚀刻装置将导电膜120加工为导电膜120a_1、220a_1。

[0237] 接着,在绝缘膜116、导电膜120a_1、220a_1上形成绝缘膜118(参照图7A-2及图7B-2)。

[0238] 绝缘膜118包含氢和氮中的一种或两种。作为绝缘膜118,例如优选使用氮化硅膜。绝缘膜118例如可以通过溅射法或PECVD法形成。例如,当通过PECVD法形成绝缘膜118时,衬底温度低于 400°C ,优选为低于 375°C ,进一步优选为 180°C 以上且 350°C 以下。绝缘膜118的成膜时的衬底温度优选为上述范围,此时可以形成致密的膜。另外,当绝缘膜118的成膜时的衬底温度为上述范围时,可以将绝缘膜114、116中的氧或过剩氧移动到金属氧化物膜108、208。

[0239] 当作为绝缘膜118利用PECVD法形成氮化硅膜时,作为源气体优选使用包含硅的沉积气体、氮及氨。通过使用少于氮的氨,在等离子体中氨离解而产生活性种。该活性种将包括在包含硅的沉积气体中的硅与氢之间的键合及氮分子之间的三键切断。其结果是,可以促进硅与氮的键合,而可以形成硅与氢的键合少且缺陷少的致密的氮化硅膜。在氨量比氮量多时,包含硅的沉积气体的分解及氮的分解不进展,而导致形成硅与氢的键合会残留下来且缺陷增加的不致密的氮化硅膜。由此,在源气体中,将氮流量比设定为氨流量比的5倍以上且50倍以下,优选为10倍以上且50倍以下。

[0240] 在本实施方式中,作为绝缘膜118,通过利用PECVD装置并使用硅烷、氮及氨作为源气体,形成厚度为50nm的氮化硅膜。硅烷的流量为50sccm,氮的流量为5000sccm,氨的流量为100sccm。处理室的压力为100Pa,衬底温度为350℃,用27.12MHz的高频电源对平行板电极供应1000W的高频功率。PECVD装置是电极面积为6000cm²的平行板型PECVD装置,并且,将所供应的功率的换算为每单位面积的功率(功率密度)为 $1.7 \times 10^{-1} \text{W/cm}^2$ 。

[0241] 在使用In-Ga-Zn金属氧化物靶材(In:Ga:Zn=4:2:4.1[原子个数比])形成导电膜120a_1、220a_1的情况下,绝缘膜118所包含的氢和氮中的一种或两种有时进入导电膜120a_1、220a_1。此时,氢和氮中的一种或两种键合到导电膜120a_1、220a_1中的氧缺陷而降低导电膜120a_1、220a_1的电阻。由此可以形成低电阻的导电膜120a、220a。低电阻的导电膜是氧化物导电膜。由于绝缘膜118所包含的氢和氮中的一种或两种移动到导电膜120a、220a,因此导电膜120a、220a的氢浓度和/或氮浓度比金属氧化物膜108、208高。

[0242] 在形成绝缘膜118之后,也可以进行与上述第一加热处理或第二加热处理同等的加热处理(以下,称为第三加热处理)。

[0243] 通过进行第三加热处理,绝缘膜116所包含的氧移动到金属氧化物膜108、208,填补金属氧化物膜108、208中的氧缺陷。

[0244] 通过上述工序,可以制造图1A-1、图1A-2、图1B-1、图1B-2所示的显示装置。

[0245] <1-7. 显示装置的制造方法>

对图4A-1、图4A-2、图4B-1、图4B-2所示的显示装置的制造方法进行说明。为了制造图4A-1、图4A-2、图4B-1、图4B-2所示的显示装置,与图1A-1、图1A-2、图1B-1、图1B-2所示的显示装置同样地进行直到形成绝缘膜116为止的工序。接着,在像素部中形成绝缘膜119。绝缘膜119可以通过如下方式形成:对绝缘膜116涂敷感光树脂,然后进行曝光及显影;或者,对绝缘膜116涂敷非感光树脂,进行烧成,形成抗蚀剂掩模,使用该抗蚀剂掩模对烧成之后的非感光树脂进行蚀刻。

[0246] 接着,与图1A-1、图1A-2、图1B-1、图1B-2所示的显示装置同样地在绝缘膜116及119上形成导电膜120a_1、220a_1。当形成导电膜120a_1时,可以对绝缘膜114及116添加氧。因此,可以减少晶体管100A的金属氧化物膜108及晶体管200A的金属氧化物膜208中的氧缺陷。

[0247] 接着,在绝缘膜116、119、导电膜120a_1及220a_1上形成绝缘膜118。绝缘膜118所包含的氢和氮中的一种或两种有时进入导电膜120a_1、220a_1。此时,氢和氮中的一种或两种键合到导电膜120a_1、220a_1中的氧缺陷而降低导电膜120a_1、220a_1的电阻。由此可以形成低电阻的导电膜120a、220a。由于绝缘膜118所包含的氢和氮中的一种或两种移动到导电膜120a、220a,因此导电膜120a、220a的氢浓度和/或氮浓度比金属氧化物膜108、208高。

[0248] 然后,可以对绝缘膜118中的与导电膜220a重叠的部分进行蚀刻。

[0249] 通过上述工序,可以形成图4A-1、图4A-2、图4B-1、图4B-2所示的显示装置。

[0250] <1-8.显示装置的制造方法3>

对图8A-1、图8A-2、图8B-1、图8B-2所示的显示装置的制造方法进行说明。首先,在衬底102上形成导电膜,通过光刻工序及蚀刻工序对该导电膜进行加工,来形成被用作晶体管100A的第一栅电极的导电膜104、被用作晶体管200A的栅电极的导电膜204及电容布线205。接着,在导电膜104上形成被用作第一栅极绝缘膜的绝缘膜106。接着,在绝缘膜106上形成金属氧化物膜108、金属氧化物膜208、金属氧化物膜209(参照图11A-1、图11B-1)。金属氧化物膜209_1及209_2构成岛状金属氧化物膜209。

[0251] 在形成金属氧化物膜108、208、209之后,也可以进行第一加热处理。

[0252] 接着,在金属氧化物膜108上形成导电膜112a及112b,在金属氧化物膜208上形成导电膜212a,在金属氧化物膜208及209上形成导电膜212b(参照图11A-2、图11B-2)。

[0253] 接着,在金属氧化物膜108、208、209及导电膜112a、112b、212a、212b上形成绝缘膜114及116(参照图12A-1、图12B-1)。绝缘膜114及116包括开口117,在该开口117中金属氧化物膜209露出。

[0254] 接着,在绝缘膜116上形成导电膜120a。接着,在绝缘膜114、116、导电膜120a、212b及金属氧化物膜209上形成绝缘膜118(参照图12A-2、图12B-2)。注意,绝缘膜118所包含的氢和氮中的一种或两种有时进入金属氧化物膜209。在此情况下,氢和氮中的一种或两种键合到金属氧化物膜209中的氧缺陷而降低金属氧化物膜的电阻,其结果是,形成导电膜210。导电膜210_1及210_2构成导电膜210。由于绝缘膜118所包含的氢和氮中的一种或两种移动到导电膜210,因此导电膜210的氢浓度和/或氮浓度比金属氧化物膜108、208高。

[0255] 然后,也可以对绝缘膜118中的与导电膜210重叠的部分进行蚀刻(参照图13A-1、图13B-1)。

[0256] 通过上述工序,可以制造图8A-1、图8A-2、图8B-1、图8B-2所示的显示装置。

[0257] 另外,通过进行直到图12A-2、图12B-2为止的工序,可以制造图10A-1、图10A-2、图10B-1、图10B-2所示的显示装置。

[0258] 本实施方式的至少一部分可以与本说明书所记载的其他实施方式及实施例适当地组合而实施。

[0259] (实施方式2)

在本实施方式中,参照图18、图19A至图19L、图20A至图20C对本发明的一个实施方式的金属氧化物膜进行说明。

[0260] <CAC-OS的构成>

以下说明可以用于本发明的一个实施方式所公开的晶体管的具有CAC构成的金属氧化物的详细内容。在此,作为具有CAC构成的金属氧化物的典型例子,说明CAC-OS。

[0261] 例如,如图3所示,在CAC-OS中包含在金属氧化物中的元素不均匀地分布,以形成区域001及区域002,该区域001及区域002都包含各元素作为主要成分。这些区域混合而形成或分散为马赛克(mosaic)状。换言之,CAC-OS具有包含在金属氧化物中的元素不均匀地分布的构成。包含不均匀地分布的元素的材料的尺寸为0.5nm以上且10nm以下,优选为0.5nm以上且3nm以下或近似的尺寸。

[0262] 包含不均匀地分布的元素的区域的物理特性由该元素的性质决定。例如,包含不均匀地分布的包含在金属氧化物中的元素中更趋于成为绝缘体的元素的区域成为电介质区域。另一方面,包含不均匀地分布的包含在金属氧化物中的元素中更趋于成为导体的元素的区域成为导电体区域。导电体区域及电介质区域混合而形成马赛克状的材料被用作半导体。

[0263] 换言之,本发明的一个实施方式中的金属氧化物是物理特性不同的材料混合的基质复合材料(matrix composite)或金属基质复合材料(metal matrix composite)的一种。

[0264] 氧化物半导体优选至少包含镉。尤其优选包含镉及锌。此外,也可以包含元素M(M是镓、铝、硅、硼、钇、铜、钒、铍、钛、铁、镍、锗、锆、钼、镧、铈、钕、钐、铪和镁等中的一种或多种)。

[0265] 例如,在CAC-OS中,具有CAC构成的In-Ga-Zn氧化物(尤其可以将这种In-Ga-Zn氧化物称为CAC-IGZO)具有其材料分成镉氧化物(InO_{X1} , $X1$ 为大于0的实数)或镉锌氧化物($\text{In}_{X2}\text{Zn}_{Y2}\text{O}_{Z2}$, $X2$ 、 $Y2$ 及 $Z2$ 为大于0的实数)以及镓氧化物(GaO_{X3} , $X3$ 为大于0的实数)或镓锌氧化物($\text{Ga}_{X4}\text{Zn}_{Y4}\text{O}_{Z4}$, $X4$ 、 $Y4$ 及 $Z4$ 为大于0的实数)等而形成马赛克状的构成。形成马赛克状的 InO_{X1} 或 $\text{In}_{X2}\text{Zn}_{Y2}\text{O}_{Z2}$ 均匀地分布在膜中。这种构成也被称为云状构成。

[0266] 换言之,CAC-OS是具有包含 GaO_{X3} 作为主要成分的区域和包含 $\text{In}_{X2}\text{Zn}_{Y2}\text{O}_{Z2}$ 或 InO_{X1} 作为主要成分的区域混在一起的构成的复合氧化物半导体。在本说明书中,例如,当第一区域的In与元素M的原子个数比大于第二区域的In与元素M的原子个数比时,第一区域的In浓度高于第二区域。

[0267] 注意,包含In、Ga、Zn及O的化合物也已知为IGZO。作为IGZO的典型例子,可以举出以 $\text{InGaO}_3(\text{ZnO})_{m1}$ ($m1$ 为自然数)表示的结晶性化合物以及以 $\text{In}_{(1+x0)}\text{Ga}_{(1-x0)}\text{O}_3(\text{ZnO})_{m0}$ ($-1 \leq x0 \leq 1$, $m0$ 为任意数)表示的结晶性化合物。

[0268] 上述结晶性化合物具有单晶结构、多晶结构或CAAC结构。CAAC结构是多个IGZO纳米晶具有c轴取向性且在a-b面上以不取向的方式连接的结晶结构。

[0269] 另一方面,CAC-OS与氧化物半导体的材料构成有关。在包含In、Ga、Zn及O的CAC-OS的材料构成中,在CAC-OS的一部分中观察到包含Ga作为主要成分的纳米粒子状区域,在其一部分中观察到包含In作为主要成分的纳米粒子状区域。这些纳米粒子状区域无规律地分散而形成马赛克状。因此,在CAC-OS中,结晶结构是次要因素。

[0270] 在CAC-OS中不具有包括原子个数比不同的二种以上的膜的叠层结构。例如,不包括包含In作为主要成分的膜与包含Ga作为主要成分的膜的两层结构。

[0271] 有时观察不到包含 GaO_{X3} 作为主要成分的区域与包含 $\text{In}_{X2}\text{Zn}_{Y2}\text{O}_{Z2}$ 或 InO_{X1} 作为主要成分的区域之间的明确的边界。

[0272] 在CAC-OS中包含铝、硅、硼、钇、铜、钒、铍、钛、铁、镍、锗、锆、钼、镧、铈、钕、钐、铪和镁等中的一种或多种以代替镓的情况下,在CAC-OS的一部分中观察到包含该元素作为主要成分的纳米粒子状区域,在其一部分中观察到包含In作为主要成分的纳米粒子状区域,并且,这些纳米粒子状区域无规律地分散而在CAC-OS中形成马赛克状。

[0273] <CAC-OS的分析>

接着,说明使用各种方法对在衬底上形成的氧化物半导体进行测定的结果。

[0274] 《样品的结构及其制造方法》

以下,对本发明的一个实施方式的一个样品进行说明。各样品在形成氧化物半导体时的衬底温度及氧气体流量比上不同。各样品包括衬底及该衬底上的氧化物半导体。

[0275] 对各样品的形成方法进行说明。

[0276] 作为衬底使用玻璃衬底。使用溅射装置在玻璃衬底上作为氧化物半导体形成厚度为100nm的In-Ga-Zn氧化物。成膜条件为如下:处理室内的压力为0.6Pa,作为靶材使用氧化物靶材(原子个数比为In:Ga:Zn=4:2:4.1)。对设置在溅射装置内的氧化物靶材供应2500W的AC功率。

[0277] 九个样品的形成氧化物时的条件如下:将衬底温度设定为不进行意图性的加热时的温度(以下,将这种温度也称为室温或R.T.)、130°C及170°C。将氧气体对Ar和氧的混合气体的流量比(以下,也称为氧气体流量比)设定为10%、30%及100%。

[0278] 《利用X射线衍射的分析》

在本节中,说明对九个样品进行X射线衍射(XRD:X-ray diffraction)测定的结果。作为XRD装置,使用Bruker公司制造的D8 ADVANCE。其条件为如下:利用out-of-plane法进行 $\theta/2\theta$ 扫描,扫描范围为15deg.至50deg.,步进宽度为0.02deg.,扫描速度为3.0deg./分。

[0279] 图18示出利用out-of-plane法测定出的XRD谱。在图18中,最上行示出成膜时的衬底温度为170°C的样品的测定结果,中间行示出成膜时的衬底温度为130°C的样品的测定结果,最下行示出成膜时的衬底温度为R.T.的样品的测定结果。最左列示出氧气体流量比为10%的样品的测定结果,中间列示出氧气体流量比为30%的样品的测定结果,最右列示出氧气体流量比为100%的样品的测定结果。

[0280] 在图18所示的XRD谱中,成膜时的衬底温度越高或成膜时的氧气体流量比越高, $2\theta = 31^\circ$ 附近的峰值强度则越大。另外,已知 $2\theta = 31^\circ$ 附近的峰值来源于在大致垂直于结晶性IGZO化合物的形成面或顶面的方向上具有c轴取向性的结晶性IGZO化合物(将这种化合物也称为CAAC(c-axis aligned crystalline)-IGZO)。

[0281] 如图18的XRD谱所示,成膜时的衬底温度越低或氧气体流量比越低,峰值则越不明显。因此,可知在成膜时的衬底温度低或氧气体流量比低的样品的测定区域中,观察不到a-b面方向及c轴方向的取向。

[0282] [使用电子显微镜的分析]

在本节中,说明在成膜时的衬底温度为R.T.且氧气体流量比为10%的条件下形成的样品利用高角度环形暗场-扫描透射电子显微镜(high-angle annular dark field scanning transmission electron microscope:HAADF-STEM)进行观察及分析的结果。以下,将利用HAADF-STEM取得的图像也称为TEM图像。

[0283] 说明对利用HAADF-STEM取得的平面图像及截面图像(以下,分别也称为平面TEM图像及截面TEM图像)进行图像分析的结果。利用球面像差校正功能观察TEM图像。使用日本电子株式会社制造的原子分辨率分析电子显微镜JEM-ARM200F来取得HAADF-STEM图像,其条件如下:加速电压为200kV,照射束径大致为 $0.1\text{nm}\phi$ 的电子束。

[0284] 图19A为在成膜时的衬底温度为R.T.且氧气体流量比为10%的条件下形成的样品的平面TEM图像。图19B为在成膜时的衬底温度为R.T.且氧气体流量比为10%的条件下形成的样品的截面TEM图像。

[0285] [电子衍射图案的分析]

在本节中,说明通过对在成膜时的衬底温度为R.T.且氧气体流量比为10%的条件下形成的样品照射束径为1nm的电子束(也称为纳米束)来取得的电子衍射图案。

[0286] 观察图19A的在成膜时的衬底温度为R.T.且氧气体流量比为10%的条件下形成的样品的平面TEM图像中的黑点a1、a2、a3、a4及a5所示的部分的电子衍射图案。该电子衍射图案是在以固定速度照射电子束35秒钟时观察到的。图19C、图19D、图19E、图19F、图19G分别示出黑点a1、a2、a3、a4、a5所示的部分的结果。

[0287] 在图19C、图19D、图19E、图19F及图19G中,观察到圆圈状(环状)的亮度高的区域。另外,在环状区域内观察到多个斑点。

[0288] 观察图19B的在成膜时的衬底温度为R.T.且氧气体流量比为10%的条件下形成的样品的截面TEM图像中的黑点b1、b2、b3、b4及b5所示的部分的电子衍射图案。图19H、图19I、图19J、图19K、图19L分别示出黑点b1、b2、b3、b4、b5所示的部分的结果。

[0289] 在图19H、图19I、图19J、图19K及图19L中,观察到环状的亮度高的区域。另外,在环状区域内观察到多个斑点。

[0290] 例如,当对包含 InGaZnO_4 结晶的CAAC-OS在平行于样品面的方向上入射束径为300nm的电子束时,可以获得包含起因于 InGaZnO_4 结晶的(009)面的斑点的衍射图案。换言之,CAAC-OS具有c轴取向性,并且c轴朝向大致垂直于CAAC-OS的形成面或顶面的方向。另一方面,当对相同的样品在垂直于样品面的方向上入射束径为300nm的电子束时,确认到环状衍射图案。换言之,可知CAAC-OS不具有a轴取向性及b轴取向性。

[0291] 另外,当使用大束径(例如,50nm以上)的电子束对具有纳米晶的氧化物半导体(nanocrystalline oxide semiconductor(nc-OS))进行电子衍射时,观察到类似光晕图案的衍射图案。另外,在使用小束径(例如,小于50nm)的电子束而得到的nc-OS的纳米束电子衍射中观察到亮点。另外,在nc-OS的纳米束电子衍射图案中,有时观察到圆圈状(环状)的亮度高的区域。在nc-OS的纳米束电子衍射图案中,有时在环状区域内观察到多个亮点。

[0292] 在成膜时的衬底温度为R.T.且氧气体流量比为10%的条件下形成的样品的电子衍射图案具有环状的亮度高的区域且在该环状区域内出现多个亮点。因此,在成膜时的衬底温度为R.T.且氧气体流量比为10%的条件下形成的样品呈现与nc-OS类似的电子衍射图案,在平面方向及截面方向上不显示取向性。

[0293] 如上所述,成膜时的衬底温度低或氧气体流量比低的氧化物半导体具有明显与具有非晶结构的氧化物半导体膜及具有单晶结构的氧化物半导体膜不同的性质。

[0294] 《元素分析》

在本节中,说明在成膜时的衬底温度为R.T.且氧气体流量比为10%的条件下形成的样品所包含的元素的分析结果。在该分析中,使用能量分散型X射线分析法(EDX:energy dispersive X-ray spectroscopy)取得EDX面分析图像。在EDX测定中,作为元素分析装置使用日本电子株式会社制造的能量分散型X射线分析装置JED-2300T。在检测从样品发射的X射线时,使用硅漂移探测器。

[0295] 在EDX测定中,各点的EDX谱通过如下方式得到:对样品的分析对象区域的各点照射电子束,并测定由该照射发生的样品的特性X射线的能量及发生次数。在本实施方式中,各点的EDX谱的峰值归属于In原子中的向L壳层的电子跃迁、Ga原子中的向K壳层的电子跃

迁、Zn原子中的向K壳层的电子跃迁及O原子中的向K壳层的电子跃迁,并算出各点的各原子的比率。通过在样品的分析对象区域中进行上述步骤,可以获得示出各原子的比率分布的EDX面分析图像。

[0296] 图20A至图20C示出在成膜时的衬底温度为R.T.且氧气体流量比为10%的条件下形成的样品的截面的EDX面分析图像。图20A示出Ga原子的EDX面分析图像。在所有的原子中Ga原子的比率为1.18atomic%至18.64atomic%。图20B示出In原子的EDX面分析图像。在所有的原子中In原子的比率为9.28atomic%至33.74atomic%。图20C示出Zn原子的EDX面分析图像。在所有的原子中Zn原子的比率为6.69atomic%至24.99atomic%。图20A至图20C示出在成膜时的衬底温度为R.T.且氧气体流量比为10%的条件下形成的样品的截面中的相同区域。在EDX面分析图像中,由明暗表示元素的比率:该区域内的测定元素越多该区域越亮,测定元素越少该区域就越暗。图20A至图20C的EDX面分析图像的倍率为7200000倍。

[0297] 图20A至图20C的EDX面分析图像示出明暗的相对分布,这表示在成膜时的衬底温度为R.T.且氧气体流量比为10%的条件下形成的样品中各原子具有分布。在此,着眼于图20A至图20C的由实线围绕的区域及由虚线围绕的区域。

[0298] 在图20A中,在由实线围绕的区域内相对较暗的区域较多,而在由虚线围绕的区域内相对较亮的区域较多。在图20B中,在由实线围绕的区域内相对较亮的区域较多,而在由虚线围绕的区域内相对较暗的区域较多。

[0299] 换言之,由实线围绕的区域为包含相对较多的In原子的区域,由虚线围绕的区域为包含相对较少的In原子的区域。在图20C中,由实线围绕的区域的右侧部分相对较亮,其左侧部分相对较暗。因此,由实线围绕的区域为包含 $\text{In}_{x_2}\text{Zn}_{y_2}\text{O}_{z_2}$ 或 InO_{x_1} 等作为主要成分的区域。

[0300] 由实线围绕的区域为包含相对较少的Ga原子的区域,由虚线围绕的区域为包含相对较多的Ga原子的区域。在图20C中,由虚线围绕的区域的左上方部分相对较亮,其右下方部分相对较暗。因此,由虚线围绕的区域为包含 GaO_{x_3} 或 $\text{Ga}_{x_4}\text{Zn}_{y_4}\text{O}_{z_4}$ 等作为主要成分的区域。

[0301] 如图20A至图20C所示,In原子的分布与Ga原子的分布相比更均匀,包含 InO_{x_1} 作为主要成分的区域看起来像是通过包含 $\text{In}_{x_2}\text{Zn}_{y_2}\text{O}_{z_2}$ 作为主要成分的区域互相连接的。因此,包含 $\text{In}_{x_2}\text{Zn}_{y_2}\text{O}_{z_2}$ 或 InO_{x_1} 作为主要成分的区域以云状展开。

[0302] 可以将具有包含 GaO_{x_3} 等作为主要成分的区域及包含 $\text{In}_{x_2}\text{Zn}_{y_2}\text{O}_{z_2}$ 或 InO_{x_1} 作为主要成分的区域不均匀地分布而混合的构成的In-Ga-Zn氧化物称为CAC-OS。

[0303] CAC-OS的结晶结构具有nc结构。在具有nc结构的CAC-OS的电子衍射图案中,除了起因于包含单晶、多晶或CAAC结构的IGZO的亮点以外,还出现多个亮点。或者,该结晶结构定义为除了出现多个亮点之外,还出现环状的亮度高的区域。

[0304] 如图20A至图20C所示,包含 GaO_{x_3} 等作为主要成分的区域及包含 $\text{In}_{x_2}\text{Zn}_{y_2}\text{O}_{z_2}$ 或 InO_{x_1} 作为主要成分的区域尺寸为0.5nm以上且10nm以下或者1nm以上且3nm以下。在EDX面分析图像中,包含各元素作为主要成分的区域直径优选为1nm以上且2nm以下。

[0305] 如上所述,CAC-OS具有与金属元素均匀地分布的IGZO化合物不同的结构,且具有与IGZO化合物不同的性质。换言之,在CAC-OS中,包含 GaO_{x_3} 等作为主要成分的区域及包含 $\text{In}_{x_2}\text{Zn}_{y_2}\text{O}_{z_2}$ 或 InO_{x_1} 作为主要成分的区域互相分离而形成马赛克状。

[0306] 包含 $\text{In}_{x_2}\text{Zn}_{y_2}\text{O}_{z_2}$ 或 InO_{x_1} 作为主要成分的区域导电性高于包含 GaO_{x_3} 等作为主要

成分的区域。换言之,当载流子流过包含 $\text{In}_{x_2}\text{Zn}_{y_2}\text{O}_{z_2}$ 或 InO_{x_1} 作为主要成分的区域时,呈现氧化物半导体的导电性。因此,当包含 $\text{In}_{x_2}\text{Zn}_{y_2}\text{O}_{z_2}$ 或 InO_{x_1} 作为主要成分的区域在氧化物半导体中以云状分布时,可以实现高场效应迁移率(μ)。

[0307] 另一方面,包含 GaO_{x_3} 等作为主要成分的区域绝缘性高于包含 $\text{In}_{x_2}\text{Zn}_{y_2}\text{O}_{z_2}$ 或 InO_{x_1} 作为主要成分的区域。换言之,当包含 GaO_{x_3} 等作为主要成分的区域在氧化物半导体中分布时,可以抑制泄漏电流而实现良好的开关工作。

[0308] 因此,当将CAC-OS用于半导体元件时,起因于 GaO_{x_3} 等的绝缘性及起因于 $\text{In}_{x_2}\text{Zn}_{y_2}\text{O}_{z_2}$ 或 InO_{x_1} 的导电性起互补作用,由此可以实现高通态电流(I_{on})及高场效应迁移率(μ)。

[0309] 包含CAC-OS的半导体元件具有高可靠性。因此,CAC-OS适用于显示器等各种半导体装置。

[0310] <具有金属氧化物膜的晶体管>

下面,说明包括金属氧化物膜的晶体管。

[0311] 通过将上述金属氧化物膜用于晶体管,晶体管可以具有高载流子迁移率及高开关特性。另外,该晶体管可以具有高可靠性。

[0312] 优选将载流子密度低的金属氧化物膜用于晶体管。例如,金属氧化物膜的载流子密度低于 $8 \times 10^{11}/\text{cm}^3$,优选低于 $1 \times 10^{11}/\text{cm}^3$,更优选低于 $1 \times 10^{10}/\text{cm}^3$ 且为 $1 \times 10^{-9}/\text{cm}^3$ 以上。

[0313] 为了降低金属氧化物膜的载流子密度,降低金属氧化物膜的杂质浓度,由此可以降低缺陷态密度。在本说明书等中,将杂质浓度低且缺陷态密度低的状态称为高纯度本征或实质上高纯度本征。高纯度本征或实质上高纯度本征的金属氧化物膜的载流子发生源较少,所以可以具有低载流子密度。高纯度本征或实质上高纯度本征的金属氧化物膜具有较低的缺陷态密度,所以有时具有较低的陷阱态密度。

[0314] 被金属氧化物膜中的陷阱能级俘获的电荷到消失需要较长的时间,有时像固定电荷那样动作。因此,有时在陷阱态密度高的氧化物半导体中形成沟道区的晶体管的电特性不稳定。

[0315] 为了获得晶体管的稳定电特性,降低金属氧化物膜的杂质浓度是有效的。为了降低金属氧化物膜的杂质浓度,优选降低金属氧化物膜附近的膜的杂质浓度。作为杂质的例子,有氢、氮、碱金属、碱土金属、铁、镍、硅等。

[0316] 在此,说明金属氧化物膜中的各杂质的影响。

[0317] 在金属氧化物膜包含第14族元素之一的硅或碳时,缺陷态形成在氧化物半导体中。因此,氧化物半导体中及氧化物半导体的界面附近的硅或碳的浓度(通过SIMS测得的浓度)为 $2 \times 10^{18} \text{atoms}/\text{cm}^3$ 以下,优选为 $2 \times 10^{17} \text{atoms}/\text{cm}^3$ 以下。

[0318] 当金属氧化物膜包含碱金属或碱土金属时,有时形成缺陷态而产生载流子。因此,包括包含碱金属或碱土金属的金属氧化物膜的晶体管容易具有常开启特性。由此,优选降低金属氧化物膜中的碱金属或碱土金属的浓度。具体而言,利用SIMS测得的金属氧化物膜中的碱金属或碱土金属的浓度为 $1 \times 10^{18} \text{atoms}/\text{cm}^3$ 以下,优选为 $2 \times 10^{16} \text{atoms}/\text{cm}^3$ 以下。

[0319] 当金属氧化物膜包含氮时,产生作为载流子的电子,并载流子密度增加,而金属氧化物膜容易被n型化。由此,将其半导体包括含有氮的氧化物半导体的晶体管容易具有常开启型特性。因此,优选尽可能地减少氧化物半导体中的氮,例如,利用SIMS测得的氮浓度为小于 $5 \times 10^{19} \text{atoms}/\text{cm}^3$,优选为 $5 \times 10^{18} \text{atoms}/\text{cm}^3$ 以下,更优选为 $1 \times 10^{18} \text{atoms}/\text{cm}^3$ 以下,进

一步优选为 5×10^{17} atoms/cm³以下。

[0320] 包含在金属氧化物膜中的氢与键合于金属原子的氧起反应生成水,因此有时产生氧缺陷(V_o)。由于氢进入该氧缺陷(V_o),有时产生作为载流子的电子。另外,有时由于氢的一部分与键合于金属原子的氧键合,产生作为载流子的电子。因此,包括包含氢的氧化物半导体的晶体管容易具有常开启特性。由此,优选尽可能减少氧化物半导体中的氢。具体而言,利用SIMS测得氧化物半导体中的氢浓度为低于 1×10^{20} atoms/cm³,优选低于 1×10^{19} atoms/cm³,更优选低于 5×10^{18} atoms/cm³,进一步优选低于 1×10^{18} atoms/cm³。

[0321] 通过将氧引入金属氧化物膜中,可以降低金属氧化物膜中的氧缺陷(V_o)。换言之,当金属氧化物膜中的氧缺陷(V_o)被氧填补时,氧缺陷(V_o)消失。因此,通过使氧扩散到金属氧化物膜中,可以减少晶体管中的氧缺陷(V_o),从而可以提高晶体管的可靠性。

[0322] 作为将氧引入金属氧化物膜的方法,例如,可以以与氧化物半导体接触的方式设置包含超过化学计量组成的氧的氧化物。也就是说,在上述氧化物中,优选形成包含超过化学计量组成的氧的区域(以下,也称为氧过剩区域)。尤其是,当将金属氧化物膜用于晶体管时,通过对晶体管附近的基底膜或层间膜等设置具有氧过剩区域的氧化物,可以降低晶体管中的氧缺陷,由此可以提高晶体管的可靠性。

[0323] 当将杂质浓度被充分降低的金属氧化物膜用于晶体管的沟道形成区时,晶体管可以具有稳定的电特性。

[0324] 本实施方式的至少一部分可以与本说明书所记载的其他实施方式及实施例适当地组合而实施。

[0325] (实施方式3)

在本实施方式中,参照图21对作为显示元件使用横向电场模式的液晶元件的显示装置进行说明。

[0326] 图21示出说明使用横向电场模式的液晶元件的显示装置的制造工序的流程图。图21示出将氧化物半导体(尤其是CAC-OS)、低温多晶硅(LTPS:low-temperature polysilicon)和氢化非晶硅(a-Si:H)用于晶体管的沟道的情况的制造工序的一个例子。

[0327] <3-1.CAC-OS>

对将CAC-OS用于晶体管的情况进行说明。首先,使用溅射装置(SP)形成栅电极(GE:gate electrode)。在进行栅电极的加工时,使用1张掩模。

[0328] 接着,在栅电极上使用PECVD装置形成栅极绝缘膜(GI:gate insulator)。然后,在栅极绝缘膜上使用溅射装置形成将成为活性层的氧化物半导体(OS)膜。在将氧化物半导体膜加工为岛状时,使用1张掩模。

[0329] 接着,对栅极绝缘膜的一部分进行加工,来形成到达栅电极的开口。在形成该开口时,使用1张掩模。

[0330] 接着,在栅极绝缘膜及氧化物半导体膜上使用溅射装置形成导电膜,对该导电膜进行加工,来形成源电极及漏电极(S/D电极)。在形成源电极及漏电极时,使用1张掩模。

[0331] 接着,在氧化物半导体膜、源电极及漏电极上使用PECVD装置形成钝化膜。

[0332] 接着,对钝化膜的一部分进行加工,来形成到达源电极及漏电极的开口。在形成该开口时,使用1张掩模。

[0333] 接着,以覆盖形成在钝化膜中的开口的方式在钝化膜上使用溅射装置形成导电

膜,对该导电膜进行加工,来形成公共电极。在形成公共电极时,使用1张掩模。

[0334] 接着,在钝化膜及公共电极上使用PECVD装置形成绝缘膜。然后,在该绝缘膜的一部分中形成到达源电极及漏电极的开口。在形成绝缘膜时(在绝缘膜的一部分中形成开口时),使用1张掩模。

[0335] 接着,在绝缘膜上使用溅射装置形成导电膜,对该导电膜进行加工,来形成像素电极。在形成像素电极时,使用1张掩模。

[0336] 通过上述工序,可以制造横向电场模式的液晶显示装置。在使用CAC-OS的情况下,在制造横向电场模式的液晶显示装置时使用总计8张掩模。

[0337] <3-2.LTPS>

将对LTPS用于晶体管的情况进行说明。首先,使用溅射装置形成遮光膜。在进行遮光膜的加工时,使用1张掩模。

[0338] 接着,在遮光膜上使用PECVD装置形成基底绝缘膜。然后,在基底绝缘膜上使用PECVD装置形成将成为活性层的Si膜,然后,为了使该Si膜晶化,进行准分子激光退火(ELA: excimer laser annealing)。通过该ELA工序,活性层的Si膜成为多晶硅(p-Si: polysilicon)膜。当对大面积进行ELA时,需要大型设备。有时发生ELA特有的线状不均匀等。

[0339] 接着,将p-Si膜加工为岛状。在将p-Si膜加工为岛状时,使用1张掩模。

[0340] 接着,在p-Si膜上使用PECVD装置形成栅极绝缘膜(GI),然后,在栅极绝缘膜上使用溅射装置形成栅电极(GE)。在形成栅电极时,使用1张掩模。在形成栅电极时,栅极绝缘膜的一部分被去除。

[0341] 接着,为了在p-Si膜中形成 n^+ 区域,使用离子掺杂(ID: ion doping)装置注入杂质。在形成 n^+ 区域时,使用1张掩模。接着,为了在p-Si膜中形成 n^- 区域,使用离子掺杂装置注入杂质。在形成 n^- 区域时,对整个面进行掺杂,而不使用掩模。接着,为了在p-Si膜中形成 p^+ 区域,使用离子掺杂装置注入杂质。在形成 p^+ 区域时,使用1张掩模。

[0342] 接着,进行热活化。在进行热活化时,可以使用退火炉或RTA装置等。

[0343] 接着,在p-Si膜及栅电极上使用PECVD装置形成层间绝缘膜。然后,对该层间绝缘膜及栅极绝缘膜的一部分进行加工,来形成到达 n^+ 区域及 p^+ 区域的开口。在形成该开口时,使用1张掩模。

[0344] 接着,在形成有开口的层间绝缘膜上使用溅射装置形成导电膜,对该导电膜进行加工,来形成源电极及漏电极(S/D电极)。在形成源电极及漏电极时,使用1张掩模。

[0345] 接着,在源电极及漏电极上使用涂布装置形成平坦化绝缘膜。作为平坦化绝缘膜例如可以使用有机树脂膜。在形成平坦化绝缘膜时,使用1张掩模。

[0346] 接着,在平坦化绝缘膜上使用溅射装置形成导电膜,对该导电膜进行加工,来形成公共电极。在形成公共电极时,使用1张掩模。

[0347] 接着,在公共电极上使用PECVD装置形成绝缘膜。然后,在该绝缘膜的一部分中形成到达源电极及漏电极的开口。在形成绝缘膜时(在绝缘膜的一部分中形成开口时),使用1张掩模。

[0348] 接着,在绝缘膜上使用溅射装置形成导电膜,对该导电膜进行加工,来形成像素电极。在形成像素电极时,使用1张掩模。

[0349] 通过上述工序,可以制造横向电场模式的液晶显示装置。在使用LTPS的情况下,在

制造横向电场模式的液晶显示装置时使用总计11张掩模。

[0350] <3-3.a-Si:H>

对将a-Si:H用于晶体管的情况进行说明。首先,使用溅射装置形成栅电极(GE)。在进行栅电极的加工时,使用1张掩模。

[0351] 接着,在栅电极上使用PECVD装置形成栅极绝缘膜(GI)。然后,在栅极绝缘膜上使用PECVD装置形成将成为活性层的硅(Si)膜。在将该硅膜加工为岛状时,使用1张掩模。

[0352] 接着,对栅极绝缘膜的一部分进行加工,来形成到达栅电极的开口。在形成该开口时,使用1张掩模。

[0353] 接着,在栅极绝缘膜上使用溅射装置形成导电膜,对该导电膜进行加工,来形成电容器的电极。在进行电容器的电极的加工时,使用1张掩模。

[0354] 接着,在栅极绝缘膜及硅膜上使用溅射装置形成导电膜,对该导电膜进行加工,来形成源电极及漏电极(S/D电极)。在形成源电极及漏电极时,使用1张掩模。

[0355] 接着,在源电极及漏电极上使用溅射装置形成导电膜,对该导电膜进行加工,来形成公共电极。在形成公共电极时,使用1张掩模。

[0356] 接着,在公共电极上使用PECVD装置形成绝缘膜。然后,对该绝缘膜的一部分中形成到达源电极及漏电极的开口。在形成绝缘膜时(在绝缘膜的一部分中形成开口时),使用1张掩模。

[0357] 接着,在绝缘膜上使用溅射装置形成导电膜,对该导电膜进行加工,来形成像素电极。在形成像素电极时,使用1张掩模。

[0358] 通过上述工序,可以制造横向电场模式的液晶显示装置。在使用a-Si:H的情况下,在制造横向电场模式的液晶显示装置时使用总计8张掩模。

[0359] 在CAC-OS、LTPS及a-Si:H的各流程图中,形成公共电极的工序、在公共电极上形成绝缘膜的工序及形成像素电极的工序是为了形成横向电场模式的液晶显示装置而需要的工序。因此,在制造使用垂直电场模式(例如,VA模式)的液晶显示装置的情况下或者在作为显示元件使用有机EL元件的情况下,采用与横向电场模式的液晶显示装置不同的工序。

[0360] 如图21所示,当将CAC-OS用于横向电场模式的液晶元件的晶体管时,可以通过比使用LTPS的情况更简易的工序制造。另外,使用CAC-OS的晶体管可以以与使用a-Si:H的晶体管相同的掩模数制造,并且,其迁移率比使用s-Si:H的晶体管高。因此,当采用使用CAC-OS的晶体管时,可以在显示装置中设置驱动电路(栅极驱动器或源极驱动器)的一部分或全部。

[0361] 表1示出各工序的特性。

[0362] [表1]

	CAC-OS		LTPS		a-Si:H	
	TN/VA	横向电场	TN/VA	横向电场	TN/VA	横向电场
用来形成 LCD 的掩模数	6 至 7	6 至 8	9	11	4 至 5	8 以下
用来形成 FET 的掩模数	(5)		(6)		(4)	
最高工艺温度	350°C 以下		400°C 以上		350°C 以下	
栅极驱动器	可		可		可	
迁移率 [cm^2/Vs]	100 以下		100 以下		1 以下	
开/关比	20 以下		9 以下		7 以下	
装置成本	低		高		低	
生产设备成本	低		高		低	

[0363] 如表1所示,当使用CAC-OS时,掩模数大致相同于使用a-Si:H的情况,并且其场效应迁移率(或简单地称为迁移率)及开/关比等电特性比使用a-Si:H的情况高。因此,通过使用CAC-OS,可以实现显示品质高的显示装置。另外,如表1所示,在使用CAC-OS的情况下,与LTPS相比,最高工艺温度、装置成本及生产设备成本低。因此,可以抑制显示装置的制造成本。

[0364] 另外,与使用硅的晶体管相比,使用以CAC-OS为典型的氧化物半导体的晶体管具有如下效果:关态电流低;没有或者几乎没有短沟道效应;耐压高;温度特性的变化少。另外,由于使用氧化物半导体的晶体管具有与使用硅的晶体管同等的开关速度或者同等的频率特性,因此可以进行高速工作。因此,包括使用氧化物半导体的晶体管的显示装置可以具有高显示品质及高可靠性。

[0365] 本实施方式的至少一部分可以与本说明书所记载的其他实施方式及实施例适当地组合而实施。

[0366] (实施方式4)

在本实施方式中,使用图22至图28说明包括前面的实施方式中说明的晶体管的显示装置的一个例子。

[0367] 图22是示出显示装置的一个例子的俯视图。图22的显示装置700包括:设置在第一衬底701上的像素部702;设置在第一衬底701上的源极驱动电路部704及栅极驱动电路部706;以围绕像素部702、源极驱动电路部704及栅极驱动电路部706的方式设置的密封剂712;以及以与第一衬底701对置的方式设置的第二衬底705。由密封剂712贴合第一衬底701及第二衬底705。也就是说,像素部702、源极驱动电路部704及栅极驱动电路部706被第一衬底701、密封剂712及第二衬底705密封。虽然在图22中未图示,但是在第一衬底701与第二衬底705之间设置有显示元件。

[0368] 在显示装置700中,在第一衬底701上的与由密封剂712围绕的区域不同的区域中设置有电连接于像素部702、源极驱动电路部704及栅极驱动电路部706的柔性印刷电路(flexible printed circuit:FPC)端子部708。另外,FPC716连接于FPC端子部708,并且从

FPC716对像素部702、源极驱动电路部704及栅极驱动电路部706供应各种信号等。另外,信号线710连接于像素部702、源极驱动电路部704、栅极驱动电路部706以及FPC端子部708。各种信号等通过信号线710从FPC716供应到像素部702、源极驱动电路部704、栅极驱动电路部706以及FPC端子部708。

[0369] 另外,也可以在显示装置700中设置多个栅极驱动电路部706。在此示出将源极驱动电路部704及栅极驱动电路部706形成在与像素部702相同的第一衬底701上的例子,但是显示装置700的结构并不局限于该例子。例如,可以只将栅极驱动电路部706形成在第一衬底701上,或者可以只将源极驱动电路部704形成在第一衬底701上。此时,也可以将形成有源极驱动电路或栅极驱动电路等的衬底(例如,使用单晶半导体膜或多晶半导体膜形成的驱动电路板)形成于第一衬底701上。另外,对另行形成的驱动电路板的连接方法没有特别的限制,而可以采用COG(chip on glass:玻璃覆晶封装)方法、引线键合方法等。

[0370] 显示装置700所包括的像素部702、源极驱动电路部704及栅极驱动电路部706包括多个晶体管。

[0371] 显示装置700可以包括各种元件。作为该元件的例子,可以举出电致发光(EL)元件(例如,包含有机物及无机物的EL元件、有机EL元件、无机EL元件、LED)、发光晶体管元件(根据电流发光的晶体管)、电子发射元件、液晶元件、电子墨水显示器、电泳元件、电湿润(electrowetting)元件、等离子体显示面板(PDP)、微电子机械系统(MEMS)显示器(例如,光栅光阀(GLV)、数字微镜设备(DMD)、数码微快门(DMS)元件)、压电陶瓷显示器。

[0372] 作为包括EL元件的显示装置的一个例子,有EL显示器。作为包括电子发射元件的显示装置的一个例子,有场致发射显示器(FED)及SED方式平面型显示器(SED:surface-conduction electron-emitter display,表面传导电子发射显示器)。作为包括液晶元件的显示装置的一个例子,有液晶显示器(透射式液晶显示器、半透射式液晶显示器、反射式液晶显示器、直观式液晶显示器、投射式液晶显示器)。作为包括电子墨水显示器或电泳元件的显示装置的一个例子,有电子纸。在半透射式液晶显示器或反射式液晶显示器中,像素电极的一部分或全部可以被用作反射电极。例如,像素电极的一部分或全部可以包含铝、银等。此时,可以将SRAM等存储电路设置在反射电极下方,由此可以进一步降低功耗。

[0373] 作为显示装置700的显示系统,可以采用逐行扫描系统或隔行扫描系统等。另外,进行彩色显示时的在像素中被控制的颜色要素不局限于R、G、B(R、G、B分别相当于红色、绿色、蓝色)这三种颜色。例如,也可以使用R像素、G像素、B像素及W(白色)像素的四个像素。或者,如PenTile排列,颜色要素也可以由R、G、B中的两个颜色构成。该两个颜色可以根据颜色要素而不同。或者,可以对RGB追加黄色(yellow)、青色(cyan)、品红色(magenta)等中的一种以上的颜色。另外,各个颜色要素的点的显示区域的大小可以不同。所公开的发明的一个实施方式不局限于彩色显示的显示装置;所公开的发明也可以应用于黑白显示的显示装置。

[0374] 为了获得将白色光(W)用于背光(例如,有机EL元件、无机EL元件、LED、荧光灯)的全彩色显示装置,也可以使用着色层(也称为滤光片)。例如,可以适当地组合红色(R)着色层、绿色(G)着色层、蓝色(B)着色层、黄色(Y)着色层。通过使用着色层,与不使用着色层的情况相比,可以得到高颜色再现性。此时,通过设置包括着色层的区域和不包括着色层的区域,也可以将不包括着色层的区域中的白色光直接用于显示。通过部分地设置不包括着色

层的区域,有时可以减少着色层所引起的明亮图像的亮度降低,而可以减少功耗20%至30%左右。在使用有机EL元件或无机EL元件等自发光元件进行全彩色显示时,各元件也可以发射各颜色R、G、B、Y、W的光。通过使用自发光元件,有时与使用着色层的情况相比可以进一步减少功耗。

[0375] 作为彩色化系统,也可以使用如下系统:经过滤色片将白色光的一部分转换为红色光、绿色光及蓝色光的上述滤色片系统;使用红色光、绿色光及蓝色光的三色系统;以及将蓝色光的一部分转换为红色光或绿色光的颜色转换系统或量子点系统。

[0376] 在本实施方式中,参照图23至图28说明作为显示元件包括液晶元件的结构及作为显示元件包括EL元件的结构。图23至图25及图27是沿着图22的点划线Q-R的截面图,且示出作为显示元件使用液晶元件的结构。图26及图28是沿着图22的点划线Q-R的截面图,且示出作为显示元件使用EL元件的结构。

[0377] 首先说明图23至图28的共同部分,然后说明不同的部分。

[0378] <4-1. 显示装置的共同部分>

图23至图28的显示装置700包括:引绕布线部711;像素部702;源极驱动电路部704;以及FPC端子部708。引绕布线部711包括信号线710。像素部702包括晶体管750及电容器(未图示)。源极驱动电路部704包括晶体管752。

[0379] 晶体管750及晶体管752具有与上述晶体管100D同样的结构。注意,晶体管750不包括第二栅电极。晶体管750及晶体管752也可以具有上述实施方式所示的其他晶体管的结构。

[0380] 在本实施方式中使用的晶体管包括高度纯化且氧缺陷的形成被抑制的金属氧化物膜。该晶体管可以降低关态电流。因此,可以长时间保持图像信号等电信号,并可以在供电状态下使写入间隔长。因此,可以降低刷新工作的频度,由此可以降低功耗。

[0381] 另外,在本实施方式中使用的晶体管能够具有较高的场效应迁移率,因此能够进行高速驱动。例如,在包括这种能够进行高速驱动的晶体管的液晶显示装置中,可以在一个衬底上形成像素部的开关晶体管及驱动电路部的驱动晶体管。也就是说,作为驱动电路不需要追加使用硅片等形成的半导体装置,所以可以减少半导体装置的构件数。另外,通过在像素部中使用能够进行高速驱动的晶体管,可以提供高品质的图像。

[0382] 虽然图23至图28示出像素部702所包括的晶体管750及源极驱动电路部704所包括的晶体管752具有相同结构的例子,但是本发明的一个实施方式不局限于此。例如,像素部702及源极驱动电路部704也可以包括不同的晶体管。具体而言,也可以采用在像素部702中使用交错型晶体管且在源极驱动电路部704中使用实施方式1所示的反交错型晶体管的结构、或者在像素部702中使用实施方式1所示的反交错型晶体管且在源极驱动电路部704中使用交错型晶体管的结构。此外,可以将上述“源极驱动电路部704”置换为“栅极驱动电路部”。

[0383] 信号线710通过与被用作晶体管750、752的源电极及漏电极的导电膜相同的工序形成。当使用包含铜元素的材料形成信号线710时,起因于布线电阻的信号延迟等得到减小,而可以在大屏幕上显示图像。

[0384] FPC端子部708包括连接电极760、各向异性导电膜780及FPC716。连接电极760通过与被用作晶体管750、752的源电极及漏电极的导电膜相同的工序形成。连接电极760与

FPC716所包括的端子通过各向异性导电膜780电连接。

[0385] 例如,作为第一衬底701及第二衬底705,可以使用玻璃衬底。作为第一衬底701及第二衬底705,也可以使用柔性衬底。作为柔性衬底的例子,有塑料衬底。

[0386] 在第一衬底701与第二衬底705之间设置有结构体778。结构体778是通过选择性地蚀刻绝缘膜而得到的柱状间隔物,且用来控制第一衬底701与第二衬底705之间的距离(液晶盒厚(cell gap))。另外,作为结构体778,也可以使用球状间隔物。

[0387] 在第二衬底705一侧,设置有被用作黑矩阵的遮光膜738、被用作滤色片的着色膜736、与遮光膜738及着色膜736接触的绝缘膜734。

[0388] <4-2. 包括液晶元件的显示装置的结构实例>

图23的显示装置700包括液晶元件775。液晶元件775包括导电膜772、导电膜774及液晶层776。导电膜774设置在第二衬底705一侧并被用作对置电极。图23的显示装置700可以通过由施加到导电膜772与导电膜774之间的电压改变液晶层776的取向状态,由此控制光的透过或非透过而显示图像。

[0389] 导电膜772电连接到晶体管750的被用作源电极或漏电极的导电膜。导电膜772形成在晶体管750的栅极绝缘膜上并被用作像素电极,即显示元件的一个电极。导电膜772具有反射电极的功能。图23的显示装置700是由导电膜772反射外光并经过着色膜736进行显示的所谓的反射型彩色液晶显示装置。

[0390] 作为导电膜772,可以使用使可见光透过的导电膜或反射可见光的导电膜。例如,作为使可见光透过的导电膜,优选使用包含选自铟(In)、锌(Zn)、锡(Sn)中的元素的材料。例如,作为反射可见光的导电膜,优选使用包含铝或银的材料。在本实施方式中,作为导电膜772使用反射可见光的导电膜。

[0391] 如图24所示,也可以在像素部702中形成被用作平坦化膜的绝缘膜770。在绝缘膜770上形成有导电膜772。另外,在导电膜772上形成有包括开口的绝缘膜735。

[0392] 此外,图23和图24示出反射型彩色液晶显示装置,但是显示装置700不局限于该例子,也可以为透射型彩色液晶显示装置,其中作为导电膜772使用使可见光透过的导电膜。另外,显示装置700也可以为组合反射型彩色液晶显示装置和透射型彩色液晶显示装置的所谓的半透射型彩色液晶显示装置。

[0393] 图25示出透射型彩色液晶显示装置的例子。图25是沿着图22的点划线Q-R的截面图,且示出作为显示元件包括液晶元件的结构。图25所示的显示装置700是作为液晶元件的驱动方式使用水平电场方式(例如,边缘电场转换(fringe field switching:FFS)模式)的一个例子。在图25所示的结构中,在被用作像素电极的导电膜772上设置有绝缘膜773,在绝缘膜773上设置有导电膜774。在该结构中,导电膜774被用作公共电极,可以由隔着绝缘膜773在导电膜772与导电膜774之间产生的电场控制液晶层776的取向状态。

[0394] 虽然在图23至图25中未图示,但是导电膜772和/或导电膜774也可以在与液晶层776接触的一侧设置有取向膜。虽然在图23至图25中未图示,但是也可以适当地设置偏振构件、相位差构件、抗反射构件等光学构件(光学衬底)。例如,也可以通过利用偏振衬底及相位差衬底来获得圆偏振。此外,作为光源,也可以使用背光、侧光等。

[0395] 在作为显示元件使用液晶元件的情况下,可以使用热致液晶、低分子液晶、高分子液晶、高分子分散型液晶、铁电液晶、反铁电液晶等。这些液晶材料根据条件呈现出胆甾相、

近晶相、立方相、手征向列相、均质相等。

[0396] 在采用横向电场方式的情况下,也可以使用不需要取向膜的呈现蓝相的液晶。蓝相是液晶相的一种,是指当使胆甾型液晶的温度上升时即将从胆甾相转变到均质相之前出现的相。因为蓝相只在较窄的温度范围内出现,所以将其中混合了几wt%以上的手征试剂的液晶组合物用于液晶层,以扩大温度范围。包含呈现蓝相的液晶和手征试剂的液晶组成物具有高响应速度,且具有光学各向同性,由此不需要取向处理。由于不需要设置取向膜而不需要摩擦处理,因此可以防止由于摩擦处理而引起的静电破坏,由此可以降低制造工序中的液晶显示装置的不良和破损。此外,呈现蓝相的液晶材料的视角依赖性小。

[0397] 当作为显示元件使用液晶元件时,可以使用:扭曲向列(twisted nematic:TN)模式、平面内转换(in-plane switching:IPS)模式、FFS模式、轴对称排列微单元(axially symmetric aligned micro-cell:ASM)模式、光学补偿弯曲(optical compensated birefringence:OCB)模式、铁电性液晶(ferroelectric liquid crystal:FLC)模式、反铁电性液晶(antiferroelectric liquid crystal:AFLC)模式等。

[0398] 另外,也可以使用常黑型液晶显示装置,例如垂直取向(VA)模式的透射型液晶显示装置。作为垂直取向模式,可以举出几个例子,例如可以使用多畴垂直取向(multi-domain vertical alignment:MVA)模式、垂直取向构型(patterned vertical alignment:PVA)模式、高级超视觉(advanced super view:ASV)模式等。

[0399] <4-3.包括发光元件的显示装置>

图26所示的显示装置700包括发光元件782。发光元件782包括导电膜772、EL层786及导电膜788。图26所示的显示装置700可以通过利用来自发光元件782的EL层786的发光来显示图像。此外,EL层786包含有机化合物或量子点等无机化合物。

[0400] 作为可以用于有机化合物的材料的例子,可以举出荧光性材料及磷光性材料。作为可以用于量子点的材料的例子,可以举出胶状量子点材料、合金型量子点材料、核壳(core-shell)型量子点材料、核型量子点材料。另外,也可以使用包含第12族与第16族的元素、第13族与第15族的元素或第14族与第16族的元素的材料。或者,可以使用包含镉(Cd)、硒(Se)、锌(Zn)、硫(S)、磷(P)、铟(In)、碲(Te)、铅(Pb)、镓(Ga)、砷(As)、铝(Al)等元素的量子点材料。

[0401] 在图26所示的显示装置700中,在晶体管750上设置有绝缘膜730。绝缘膜730覆盖导电膜772的一部分。发光元件782具有顶部发射结构。因此,导电膜788具有透光性且使EL层786发射的光透过。虽然在本实施方式中例示出顶部发射结构,但是其结构不局限于此。例如,也可以采用向导电膜772一侧发射光的底部发射结构或向导电膜772一侧及导电膜788一侧的双方发射光的双面发射结构。

[0402] 以与发光元件782重叠的方式设置有着色膜736,并以与绝缘膜730重叠的方式在引绕布线部711及源极驱动电路部704中设置有遮光膜738。与图23同样,着色膜736及遮光膜738也可以被绝缘膜734覆盖。由密封膜732填充发光元件782与着色膜736之间的间隙。显示装置700的结构不局限于图26所示的设置有着色膜736的结构例子。例如,在通过分别涂布来形成EL层786时,也可以采用不设置着色膜736的结构。

[0403] 绝缘膜730可以使用聚酰亚胺树脂、丙烯酸树脂、聚酰亚胺酰胺树脂、苯并环丁烯树脂、聚酰胺树脂、环氧树脂等耐热性有机材料形成。此外,也可以通过层叠多个使用上述

材料形成的绝缘膜形成绝缘膜730。

[0404] <4-4. 设置有输入输出装置的显示装置的结构实例>

另外,也可以在图25及图26所示的显示装置700中设置输入输出装置。作为该输入输出装置的例子,可以举出触摸面板等。

[0405] 图27示出对图25所示的显示装置700设置触摸面板791的结构。图28示出对图26所示的显示装置700设置触摸面板791的结构。

[0406] 图27是在图25所示的显示装置700中设置触摸面板791的截面图,图28是在图26所示的显示装置700中设置触摸面板791的截面图。

[0407] 首先,以下说明图27及图28所示的触摸面板791。

[0408] 图27及图28所示的触摸面板791是设置在第二衬底705与着色膜736之间的所谓的In-Cell型触摸面板。触摸面板791在形成着色膜736之前形成在第二衬底705一侧。

[0409] 触摸面板791包括遮光膜738、绝缘膜792、电极793、电极794、绝缘膜795、电极796、绝缘膜797。例如,当手指或触屏笔等对象物靠近时,可以检测出电极793与794之间的电容变化。

[0410] 在图27及图28所示的晶体管750的上方示出电极793与电极794交叉的部分。电极796通过设置在绝缘膜795中的开口与夹住电极794的两个电极793电连接。此外,在图27及图28中示出设置有电极796的区域设置在像素部702中的结构,但是本发明的一个实施方式不局限于此。例如,设置有电极796的区域也可以设置在源极驱动电路部704中。

[0411] 电极793及电极794设置在与遮光膜738重叠的区域。如图27所示,电极793优选不与液晶元件775重叠。如图28所示,电极793优选不与发光元件782重叠。换言之,电极793在与发光元件782及液晶元件775重叠的区域具有开口。也就是说,电极793具有网格形状。通过采用这种结构,电极793不遮断发光元件782所发射的光,或者,电极793不遮断透过液晶元件775的光。因此,由于即使配置有触摸面板791也亮度下降极少,所以可以实现可见度高且功耗低的显示装置。此外,电极794可以具有与电极793相同的结构。

[0412] 由于电极793及电极794不与发光元件782重叠,所以作为电极793及电极794可以使用可见光的透过率低的金属材料。或者,由于电极793及电极794不与液晶元件775重叠,所以作为电极793及电极794可以使用可见光的透过率低的金属材料。

[0413] 因此,与使用可见光的透过率高的氧化物材料的情况相比,可以降低电极793及794的电阻,由此可以提高触摸面板的传感器的灵敏度。

[0414] 例如,作为电极793、794、796也可以使用导电纳米线。该纳米线的平均直径可以为1nm以上且100nm以下,优选为5nm以上且50nm以下,更优选为5nm以上且25nm以下。作为上述纳米线,可以使用Ag纳米线、Cu纳米线、Al纳米线等金属纳米线或碳纳米管。例如,在作为电极793、794、796中的任一个或全部使用Ag纳米线的情况下,能够实现89%以上的可见光透过率及40Ω/平方以上且100Ω/平方以下的薄层电阻值。

[0415] 虽然在图27及图28中示出in-cell型触摸面板的结构,但是本发明的一个实施方式不局限于此。例如,也可以采用形成在显示装置700上的所谓的on-cell型触摸面板或贴合于显示装置700的所谓的out-cell型触摸面板。

[0416] 如此,本发明的一个实施方式的显示装置可以与各种方式的触摸面板组合。

[0417] 本实施方式的至少一部分可以与本说明书所记载的其他实施方式及实施例适当

地组合而实施。

[0418] (实施方式5)

在本实施方式中,参照图29A至图29C说明本发明的一个实施方式的显示装置。

[0419] <显示装置的电路结构>

图29A所示的显示装置包括:具有显示元件的像素的区域(以下称为像素部502);配置在像素部502的外侧并具有用来驱动像素的电路的电路部(以下,将该电路部称为驱动电路部504);具有保护元件的功能的电路(以下,将该电路称为保护电路506);以及端子部507。此外,不一定需要设置保护电路506。

[0420] 驱动电路部504的一部分或全部优选形成在其上形成有像素部502的衬底上,此时,可以减少构件的数量及端子的数量。当驱动电路部504的一部分或全部形成在其上形成有像素部502的衬底上时,驱动电路部504的一部分或全部可以通过COG或TAB(tape automated bonding:卷带自动结合)安装。

[0421] 像素部502包括用来驱动配置为X行(X为2以上的自然数)Y列(Y为2以上的自然数)的显示元件的多个电路(以下,将该电路称为像素电路501)。驱动电路部504包括输出用来选择像素的信号(扫描信号)的电路(以下,将该电路称为栅极驱动器504a)以及供应用来驱动像素中的显示元件的信号(数据信号)的电路(以下,将该电路称为源极驱动器504b)等驱动电路。

[0422] 栅极驱动器504a具有移位寄存器等。栅极驱动器504a通过端子部507接收用来驱动移位寄存器的信号并输出信号。例如,栅极驱动器504a接收起始脉冲信号、时钟信号等并输出脉冲信号。栅极驱动器504a具有控制被供应扫描信号的布线(以下,将该布线称为扫描线GL_1至GL_X)的电位的功能。另外,也可以设置多个栅极驱动器504a,来各别控制扫描线GL_1至GL_X。或者,栅极驱动器504a具有供应初始化信号的功能。但是,不局限于此,栅极驱动器504a也可以供应其他信号。

[0423] 源极驱动器504b具有移位寄存器等。源极驱动器504b通过端子部507接收用来驱动移位寄存器的信号和从其中得出数据信号的信号(图像信号)。源极驱动器504b具有根据图像信号生成写入到像素电路501的数据信号的功能。另外,源极驱动器504b具有依照由于起始脉冲信号、时钟信号等的输入产生的脉冲信号来控制数据信号的输出的功能。另外,源极驱动器504b具有控制被供应数据信号的布线(以下,将该布线称为数据线DL_1至DL_Y)的电位的功能。或者,源极驱动器504b具有供应初始化信号的功能。但是,不局限于此,源极驱动器504b可以供应其他信号。

[0424] 源极驱动器504b例如包括多个模拟开关等。源极驱动器504b可以通过依次使多个模拟开关开启而输出对图像信号进行时间分割所得到的信号作为数据信号。源极驱动器504b也可以包括移位寄存器等。

[0425] 脉冲信号及数据信号分别通过被供应扫描信号的多个扫描线GL之一及被供应数据信号的多个数据线DL之一输入到多个像素电路501的每一个。栅极驱动器504a控制多个像素电路501的每一个中的数据信号的写入及保持。例如,脉冲信号通过扫描线GL_m(m是X以下的自然数)从栅极驱动器504a被输入到第m行第n列的像素电路501,数据信号根据扫描线GL_m的电位通过数据线DL_n(n是Y以下的自然数)从源极驱动器504b被输入到第m行第n列的像素电路501。

[0426] 图29A所示的保护电路506例如连接于栅极驱动器504a和像素电路501之间的扫描线GL。或者,保护电路506连接于源极驱动器504b和像素电路501之间的数据线DL。或者,保护电路506可以连接于栅极驱动器504a和端子部507之间的布线。或者,保护电路506可以连接于源极驱动器504b和端子部507之间的布线。此外,端子部507是指包括用来从外部电路对显示装置输入电力、控制信号及图像信号的端子的部分。

[0427] 保护电路506是在对与其连接的布线供应一定范围之外的电位时使该布线与其他布线电连接的电路。

[0428] 如图29A所示,通过对像素部502和驱动电路部504设置保护电路506,可以提高显示装置对因静电放电(electro static discharge:ESD)等而产生的过电流的耐性。注意,保护电路506的结构不局限于此,例如,保护电路506可以被配置为连接到栅极驱动器504a,或者,保护电路506也可以被配置为连接到源极驱动器504b。或者,保护电路506也可以被配置为连接到端子部507。

[0429] 在图29A中示出驱动电路部504包括栅极驱动器504a和源极驱动器504b的例子,但是其结构不局限于此。例如,也可以只形成栅极驱动器504a并安装形成有另外准备的源极驱动电路的衬底(例如,由单晶半导体膜或多晶半导体膜形成的驱动电路衬底)。

[0430] 图29A的多个像素电路501例如可以具有图29B所示的结构。

[0431] 图29B的像素电路501包括液晶元件570、晶体管550以及电容器560。作为晶体管550,可以使用前面的实施方式所示的晶体管。

[0432] 根据像素电路501的规格适当地设定液晶元件570的一对电极中的一个的电位。液晶元件570的取向状态取决于被写入的数据。此外,也可以对多个像素电路501的每一个所具有的液晶元件570的一对电极中的一个供应公共电位。对像素电路501中的液晶元件570的一对电极之一供应的电位可以按行不同。

[0433] 作为包括液晶元件570的显示装置的驱动方法的例子,有如下模式:TN模式;STN模式;VA模式;ASM模式;OCB模式;FLC模式;AFLC模式;MVA模式;PVA模式;IPS模式;FFS模式或横向弯曲取向(transverse bend alignment:TBA)模式。作为显示装置的驱动方法的其他例子,有电控双折射(electrically controlled birefringence:ECB)模式、聚合物分散液晶(polymer dispersed liquid crystal:PDLC)模式、聚合物网络液晶(polymer network liquid crystal:PNLC)模式、宾主模式。但是,不局限于此,也可以使用各种液晶元件及驱动方式。

[0434] 在第m行第n列的像素电路501中,晶体管550的源电极和漏电极中的一个与数据线DL_n电连接,晶体管550的源电极和漏电极中的另一个与液晶元件570的一对电极中的另一个电极电连接。晶体管550的栅电极与扫描线GL_m电连接。晶体管550具有控制是否写入数据信号的功能。

[0435] 电容器560的一对电极中的一个电极与供应电位的布线(以下,称为电位供应线VL)电连接,电容器560的一对电极中的另一个电极与液晶元件570的一对电极中的另一个电极电连接。根据像素电路501的规格适当地设定电位供应线VL的电位。电容器560具有储存被写入的数据的存储电容器的功能。

[0436] 例如,在包括图29B的像素电路501的显示装置中,图29A的栅极驱动器504a按行依次选择像素电路501,来使晶体管550开启而写入数据信号。

[0437] 当晶体管550被关闭时,被写入数据的像素电路501成为保持状态。上述步骤按行依次进行,由此可以显示图像。

[0438] 图29A的多个像素电路501的每一个例如可以具有图29C所示的结构。

[0439] 图29C所示的像素电路501包括晶体管552、554、电容器562以及发光元件572。可以将前面的实施方式所示的晶体管用于晶体管552和晶体管554中的一个或两个。

[0440] 晶体管552的源电极和漏电极中的一个电连接于被供应数据信号的布线(以下,称为信号线DL_n)。晶体管552的栅电极电连接于被供应栅极信号的布线(以下,称为扫描线GL_m)。

[0441] 晶体管552具有控制是否写入数据信号的功能。

[0442] 电容器562的一对电极中的一个电极电连接于供应电位的布线(以下,称为电位供应线VL_a),电容器562的一对电极中的另一个电极电连接于晶体管552的源电极和漏电极中的另一个。

[0443] 电容器562具有储存被写入的数据的存储电容器的功能。

[0444] 晶体管554的源电极和漏电极中的一个电连接于电位供应线VL_a。晶体管554的栅电极电连接于晶体管552的源电极和漏电极中的另一个。

[0445] 发光元件572的阳极和阴极中的一个电连接于电位供应线VL_b,发光元件572的阳极和阴极中的另一个电连接于晶体管554的源电极和漏电极中的另一个。

[0446] 作为发光元件572,例如可以使用有机电致发光元件(也称为有机EL元件)等。注意,发光元件572并不局限于此,也可以为包含无机材料的无机EL元件。

[0447] 对电位供应线VL_a和电位供应线VL_b中的一个供应高电源电位V_{DD},对电位供应线VL_a和电位供应线VL_b中的另一个供应低电源电位V_{SS}。

[0448] 例如,在包括图29C的像素电路501的显示装置中,图29A的栅极驱动器504a按行依次选择像素电路501,由此使晶体管552开启而写入数据信号。

[0449] 当晶体管552被关闭时,被写入数据的像素电路501成为保持状态。并且,流过晶体管554的源电极与漏电极之间的电流量根据写入的数据信号的电位被控制。发光元件572以对应于流过的电流量的亮度发光。上述步骤按行依次进行,由此可以显示图像。

[0450] 本实施方式的至少一部分可以与本说明书所记载的其他实施方式及实施例适当地组合而实施。

[0451] (实施方式6)

图30是示出显示装置800的结构实例的方框图。显示装置800包括显示单元810、触摸传感器单元820、控制器IC815及主体840。根据需要,显示装置800也可以包括光传感器843及开闭传感器844。显示单元810包括像素部502、栅极驱动器504a及源极驱动器504b。

[0452] 《控制器IC》

在图30中,控制器IC815包括接口850、帧存储器851、译码器852、传感器控制器853、控制器854、时钟生成电路855、图像处理部860、存储器870、时序控制器873、寄存器875及触摸传感器控制器884。

[0453] 控制器IC815与主体840之间的通信通过接口850进行。图像数据、各种控制信号等从主体840发送到控制器IC815。触摸传感器控制器884所取得的触摸位置等信息从控制器IC815发送到主体840。此外,控制器IC815所包括的每个电路的取舍根据主体840的规格、显

示装置800的规格等适当地选择。

[0454] 帧存储器851是用来储存输入到控制器IC815的图像数据的存储器。当从主体840发送被压缩的图像数据时,帧存储器851能够储存被压缩的图像数据。译码器852是使被压缩的图像数据解压缩的电路。当不需要图像数据的解压缩时,在译码器852中不进行处理。或者,译码器852可以配置于帧存储器851与接口850之间。

[0455] 图像处理部860具有对图像数据进行各种图像处理的功能。例如,图像处理部860包括伽马校正电路861、调光电路862及调色电路863。

[0456] 在作为显示装置800的显示元件使用有机EL或LED等利用电流的流动发光的显示元件的情况下,图像处理部860也可以包括校正电路864。在此情况下,源极驱动器504b优选包括检测流过显示元件中的电流的电路。校正电路864具有根据从源极驱动器504b发送的信号调节显示元件的亮度的功能。

[0457] 在图像处理部860中被处理过的图像数据经过存储器870输出到源极驱动器504b。存储器870是暂时储存图像数据的存储器。源极驱动器504b具有处理被输入的图像数据,且将该图像数据写入到像素部502的源极线的功能。注意,对源极驱动器504b的个数没有限制,可以设置像素部502的像素所需要的个数的源极驱动器504b。

[0458] 时序控制器873具有生成在源极驱动器504b、触摸传感器控制器884、栅极驱动器504a中使用的时序信号的功能。

[0459] 触摸传感器控制器884具有控制触摸传感器单元820的驱动电路的功能。包括从触摸传感器单元820读出的触摸信息的信号在触摸传感器控制器884中被处理,通过接口850发送到主体840。主体840生成反映触摸信息的图像数据并将该图像数据发送到控制器IC815。此外,控制器IC815可以将触摸信息反映到图像数据。

[0460] 时钟生成电路855具有生成在控制器IC815中使用的时钟信号的功能。控制器854具有对通过接口850从主体840发送的各种控制信号进行处理,并控制控制器IC815中的各种电路的功能。控制器854还具有控制对控制器IC815中的各种电路供应电源的功能。以下,将暂时停止对没有使用的电路供应电源的技术称为电源门控。在图30中,省略电源供应线。

[0461] 寄存器875储存用于控制器IC815的工作的数据。寄存器875所储存的数据包括在图像处理部860进行校正处理时使用的参数、在时序控制器873生成各种时序信号的波形时使用的参数等。寄存器875设置有包括多个寄存器的扫描器链寄存器。

[0462] 传感器控制器853与光传感器843电连接。光传感器843检测出光845而生成检测信号。传感器控制器853根据检测信号生成控制信号。传感器控制器853所生成的控制信号例如输出到控制器854。

[0463] 图像处理部860可以根据使用光传感器843及传感器控制器853测定的光845的亮度调节像素的亮度。换言之,在光845的亮度低的环境下,可以通过降低像素的亮度来减少刺眼且降低功耗。在光845的亮度高的环境下,可以通过提高像素的亮度来获得可见性高的显示品质。可以基于使用者所设定的亮度进行上述调整。在此,可以将上述调整称为调光或调光处理。另外,将进行该处理的电路称为调光电路。

[0464] 光传感器843及传感器控制器853可以具有测定光845的色调的功能,由此可以对色调进行校正。例如,在黄昏时的红色的环境下,显示装置800的使用者因颜色适应而看红色时感觉为白色。在此情况下,显示装置800的显示被感觉为苍白色。因此,通过强调显示装

置800的红色(R),可以进行色调校正。在此,可以将上述校正称为调色或调色处理。另外,将进行该处理的电路称为调色电路。

[0465] 图像处理部860有时根据显示装置800的规格包括RGB-RGBW转换电路等其他处理电路。RGB-RGBW转换电路具有将红色、绿色、蓝色(RGB)的图像数据转换为红色、绿色、蓝色、白色(RGBW)的图像数据的功能。就是说,当显示装置800包括RGBW四种颜色的像素时,通过使用白色(W)像素显示图像数据中的白色(W)成分,可以降低功耗。注意,在显示装置800包括RGBY(红色、绿色、蓝色、黄色)4个颜色的像素的情况下,例如可以使用RGB-RGBY转换电路。

[0466] <参数>

伽马校正、调光、调色等图像校正处理相当于根据输入图像数据X生成输出校正数据Y的处理。图像处理部860所使用的参数是用来将图像数据X转换为校正数据Y的参数。

[0467] 作为参数的设定方式有表格方式、函数近似方式。在图31A所示的表格方式中,将对应于图像数据 X_n 的校正数据 Y_n 作为参数储存于表格中。在表格方式中,需要储存对应于该表格的参数的多个寄存器,但是校正的自由度较高。另一方面,在可以在经验上预先决定对应于图像数据X的校正数据Y时,如图31B所示,采用函数近似方式是有效的。注意, a_1 、 a_2 、 b_2 等是参数。虽然这里示出在每个区域进行线性近似的方法,但是也可以采用以非线性函数近似的方法。在函数近似方式中,校正的自由度较低,但是储存定义函数的参数的寄存器的数量较少。

[0468] 时序控制器873所使用的参数表示如图31C所示那样时序控制器873的生成信号对于基准信号成为“L”(或“H”)的时序。参数 R_a (或 R_b)表示与对于基准信号成为“L”(或“H”)的时序对应的时钟周期的数量。

[0469] 上述用于校正的参数可以储存于寄存器875中。作为上述以外的能够储存于寄存器875中的参数有显示装置800的亮度、色调、节省能量设定(到显示变暗或关闭显示的时间)、触摸传感器控制器884的灵敏度等。

[0470] <电源门控>

当从主体840发送的图像数据没有变化时,控制器854可以进行控制器IC815中的一部分的电路的电源门控。具体而言,例如,可以暂时停止区域890中的电路(帧存储器851、译码器852、图像处理部860、存储器870、时序控制器873、寄存器875)的工作。可以在示出图像数据没有变化的控制信号从主体840发送到控制器IC815且控制器854检测出该控制信号时进行电源门控。

[0471] 另外,当图像数据没有变化时,例如,也可以通过在控制器854中组装定时器功能,根据使用定时器测量的时间决定再次开始对区域890中的电路供电的时序。

[0472] 除了区域890内的电路的电源门控以外,还可以进行源极驱动器504b的电源门控。

[0473] 在图30所示的结构中,也可以将源极驱动器504b设置在控制器IC815中。换言之,也可以将源极驱动器504b及控制器IC815形成在同一芯片上。

[0474] 下面,对帧存储器851及寄存器875的具体电路结构实例进行说明。

[0475] <帧存储器851>

图32A示出帧存储器851的结构实例。帧存储器851包括控制部902、单元阵列903、外围电路908。外围电路908包括读出放大器电路904、驱动器905、主放大器906、输入输出电

路907。

[0476] 控制部902具有控制帧存储器851的功能。例如,控制部902控制驱动器905、主放大器906及输入输出电路907。

[0477] 驱动器905与多个布线WL、CSEL电连接。驱动器905生成输出到多个布线WL、CSEL的信号。

[0478] 存储单元阵列903包括多个存储单元909。存储单元909与布线WL、LBL(或LBLB)、BGL电连接。布线WL是字线。布线LBL、LBLB是局部位线。虽然在图32A的例子中作为单元阵列903的结构采用折叠位线方式,但是也可以采用开放位线方式。

[0479] 图32B示出存储单元909的结构实例。存储单元909包括晶体管NW1、电容器CS1。存储单元909具有与动态随机存取存储器(DRAM)的存储单元相同的电路结构。在本例子中的晶体管NW1是包括背栅极的晶体管。晶体管NW1的背栅极与布线BGL电连接。布线BGL被输入电压 V_{bg_w1} 。

[0480] 晶体管NW1是在形成沟道的半导体层中使用金属氧化物之一的氧化物半导体的晶体管(也称为0S晶体管)。由于0S晶体管的关态电流极小,通过将0S晶体管用于存储单元909,可以抑制从电容器CS1泄漏电荷,所以可以降低帧存储器851的刷新工作的频率。即使停止电源供应,帧存储器851也能够长时间保持图像数据。此外,通过将电压 V_{bg_w1} 设定为负电压,可以使晶体管NW1的阈值电压向正电位一侧漂移,由此可以增长存储单元909的保持时间。

[0481] 在此,关态电流是指在晶体管处于关闭状态时流在源极和漏极之间的电流。在晶体管为n沟道型晶体管的情况下,例如当晶体管的阈值电压为0V至2V左右时,可以将对于源极的栅极的电压为负电压时流在源极和漏极之间的电流称为关态电流。关态电流极小意味着例如沟道宽度的每微米的关态电流为100zA(z表示仄普托, 10^{-21})以下的情况。由于关态电流越小越好,所以该标准化关态电流优选为10zA/ μm 以下或者1zA/ μm 以下,更优选为10yA/ μm (y表示幺科托, 10^{-24})以下。

[0482] 单元阵列903所包括的多个存储单元909的晶体管NW1是0S晶体管,所以作为其他电路中的晶体管例如可以使用形成在硅晶片上的Si晶体管。由此,可以将单元阵列903层叠在读出放大器电路904上。因此,可以缩小帧存储器851的电路面积,由此可以实现控制器IC815的小型化。

[0483] 单元阵列903层叠在读出放大器电路904上。读出放大器电路904包括多个读出放大器SA。读出放大器SA与相邻的布线LBL、LBLB(局部位线对)、布线GBL、GBLB(全局位线对)、多个布线CSEL电连接。读出放大器SA具有放大布线LBL与LBLB的电位差的功能。

[0484] 在读出放大器电路904中,对四个布线LBL设置有一个布线GBL,对四个布线LBLB设置有一个布线GBLB。但是,读出放大器电路904的结构不局限于图32A的结构实例。

[0485] 主放大器906与读出放大器电路904及输入输出电路907连接。主放大器906具有放大布线GBL与GBLB的电位差的功能。不一定需要设置主放大器906。

[0486] 输入输出电路907具有如下功能:将对应于写入数据的电位输出到布线GBL及GBLB或主放大器906的功能;以及作为读出数据将布线GBL及GBLB的电位或主放大器906的输出电位输出到外部的功能。可以使用布线CSEL的信号选择读出数据的读出放大器SA及写入数据的读出放大器SA。因此,不需要在输入输出电路907中设置多路复用器等选择电路。由此,

输入输出电路907可以具有简单的电路结构,且其占有面积得到减小。

[0487] <寄存器875>

图33是示出寄存器875的结构实例的方框图。寄存器875包括扫描器链寄存器部875A及寄存器部875B。扫描器链寄存器部875A包括多个寄存器930。由多个寄存器930形成扫描器链寄存器。寄存器部875B包括多个寄存器931。

[0488] 寄存器930是即使停止供电,数据也不消失的非易失性寄存器。在此,寄存器930设置有包括0S晶体管的保持电路,由此成为非易失性寄存器。

[0489] 寄存器931是易失性寄存器。对寄存器931的电路结构没有特别的限制,只要能够储存数据,就可以使用锁存电路、触发器电路等。图像处理部860及时序控制器873存取寄存器部875B,从对应的寄存器931提取数据。或者,图像处理部860及时序控制器873的处理内容根据从寄存器部875B供应的数据而控制。

[0490] 为了更新储存于寄存器875中的数据,首先改变扫描器链寄存器部875A中的数据。在改写扫描器链寄存器部875A的各寄存器930中的数据之后,将该数据同时加载到寄存器部875B的各寄存器931中。

[0491] 由此,图像处理部860及时序控制器873等可以使用同时更新的数据进行各种处理。由于数据的更新保持同时性,可以实现控制器IC815的稳定工作。通过设置扫描器链寄存器部875A及寄存器部875B,在图像处理部860及时序控制器873工作中也可以更新扫描器链寄存器部875A中的数据。

[0492] 当进行控制器IC815的电源门控时,在寄存器930的保持电路中储存(保存)数据之后停止供电。在再次开始供电之后,将寄存器930的数据恢复(加载)到寄存器931中之后再开始常规工作。此外,当储存于寄存器930中的数据及储存于寄存器931中的数据不一致时,优选在将寄存器931的数据保存于寄存器930中之后,在寄存器930的保持电路中储存数据。例如,在扫描器链寄存器部875A中插入更新数据时,寄存器930中的数据及寄存器931中的数据不一致。

[0493] 图34示出寄存器930、931的电路结构实例。图34示出扫描器链寄存器部875A的两级寄存器930及对应的两个寄存器931。寄存器930被输入信号Scan In且输出信号Scan Out。

[0494] 寄存器930包括保持电路947、选择器948、触发器电路949。选择器948及触发器电路949形成扫描触发器电路。选择器948被输入信号SAVE1。

[0495] 保持电路947被输入信号SAVE2、信号LOAD2。保持电路947包括晶体管T1、晶体管T2、晶体管T3、晶体管T4、晶体管T5、晶体管T6、电容器C4、电容器C6。晶体管T1、晶体管T2是0S晶体管。晶体管T1、晶体管T2也可以是与存储单元909的晶体管NW1(参照图32B)同样的包括背栅极的0S晶体管。

[0496] 由晶体管T1、晶体管T3、晶体管T4及电容器C4形成3晶体管型增益单元。同样地,由晶体管T2、晶体管T5、晶体管T6及电容器C6形成3晶体管型增益单元。该两个增益单元储存触发器电路949所保持的互补数据。由于晶体管T1、晶体管T2是0S晶体管,保持电路947即使停止供电也可以在长时间保持数据。在寄存器930中,晶体管T1、晶体管T2以外的晶体管可以使用Si晶体管形成。

[0497] 保持电路947根据信号SAVE2储存触发器电路949所保持的互补数据,且根据信号

LOAD2将所保持的数据加载到触发器电路949中。

[0498] 选择器948的输出端子与触发器电路949的输入端子电连接,寄存器931的输入端子与数据输出端子电连接。触发器电路949包括反相器950、反相器951、反相器952、反相器953、反相器954、反相器955、模拟开关957、模拟开关958。模拟开关957、模拟开关958的导通/关闭状态被扫描时钟(scan clock)信号控制。触发器电路949不局限于图34的电路结构,可以使用各种触发器电路949。

[0499] 寄存器931的输出端子与选择器948的两个输入端子的一个电连接,上一级触发器电路949的输出端子与选择器948的另一个输入端子电连接。此外,对扫描器链寄存器部875A的上级的选择器948的输入端子从寄存器875的外部输入数据。

[0500] 寄存器931包括反相器961、反相器962、反相器963、时钟反相器964、模拟开关965、缓冲器966。寄存器931根据信号LOAD1加载触发器电路949的数据。寄存器931的晶体管可以使用Si晶体管形成。

[0501] 《工作例子》

作为显示装置800的控制器IC815及寄存器875的工作例子,对出货前、包括显示装置800的电子设备的启动时、以及常规工作时的例子进行说明。

[0502] <出货前>

在出货前,将有关显示装置800的规格等的参数储存于寄存器875中。这些参数例如包括像素数、触摸传感器数、在时序控制器873中用来生成各种时序信号波形的参数。在图像处理部860包括校正电路864的情况下,将该校正数据作为参数储存于寄存器875中。此外,也可以设置专用ROM,上述参数除了存储在寄存器875中以外还存储在该ROM中。

[0503] <启动时>

在包括显示装置800的电子设备的启动时,将从主体840发送的由用户等设定的参数储存于寄存器875中。这些参数例如包括显示的亮度及色调、触摸传感器的灵敏度、节省能量设定(到显示变暗或关闭显示的时间)、伽马校正的曲线或表格。此外,在将该参数储存于寄存器875中时,从控制器854对寄存器875发送扫描时钟信号及与该扫描时钟信号同步的相当于该参数的数据。

[0504] <常规工作>

常规工作可以分为显示动态图像等的状态、显示静态图像而能够进行IDS驱动的状态及不进行图像显示的状态等。在显示动态图像等的状态下,图像处理部860及时序控制器873等工作,但是由于仅对扫描器链寄存器部875A中的寄存器875的数据进行改变,所以不影响到图像处理部860等。在改变扫描器链寄存器部875A的数据之后,通过将扫描器链寄存器部875A的数据同时加载到寄存器部875B中,寄存器875的数据改变结束。图像处理部860等工作切换为对应于该数据的工作。

[0505] 在显示静态图像而能够进行IDS驱动的状态下,例如可以与区域890中的其他电路同样地进行寄存器875的电源门控。此时,在进行扫描器链寄存器部875A所包括的寄存器930中的电源门控之前,根据信号SAVE2将触发器电路949所保持的互补数据储存于保持电路947。

[0506] 在停止电源门控之前,根据信号LOAD2将保持电路947所保持的数据加载到触发器电路949中,根据信号LOAD1将触发器电路949的数据加载到寄存器931中。如此,与在电源门

控之前相同的状态下寄存器875的数据成为有效。此外,即使寄存器875处于电源门控的状态,在主体840要求寄存器875的参数改变时,可以停止电源门控,改变参数。

[0507] 在不进行图像显示的状态下,例如,可以进行区域890中的电路(包括寄存器875)的电源门控。此时,有时主体840的工作也停止。由于帧存储器851及寄存器875是非易失性,所以在停止电源门控时,可以显示电源门控之前的状态的图像(静态图像)而不需要等待主体840的工作恢复。

[0508] 例如,在对折叠式信息终端的显示部使用显示装置800的情况下,当通过来自开闭传感器844的信号检测出信息终端被折叠且显示装置800的显示面不被使用时,除了区域890中的电路的电源门控以外,还可以进行传感器控制器853及触摸传感器控制器884等的电源门控。

[0509] 在信息终端被折叠时,有时根据主体840的规格,主体840的工作停止。即使在主体840的工作停止的状态下使信息终端展开,由于帧存储器851及寄存器875是非易失性,所以可以在从主体840发送图像数据、各种控制信号等之前显示帧存储器851中的图像数据。

[0510] 如此,当寄存器875包括扫描器链寄存器部875A及寄存器部875B,且进行扫描器链寄存器部875A的数据改变时,可以顺利地进行数据改变而不影响到图像处理部860及时序控制器873等。扫描器链寄存器部875A中的各寄存器930包括保持电路947,因此可以顺利地开始和停止电源门控。

[0511] 本实施方式的至少一部分可以与本说明书所记载的其他实施方式及实施例适当地组合而实施。

[0512] (实施方式7)

在本实施方式中,参照图35、图36A至图36E、图37A至图37G对包括本发明的一个实施方式的显示装置的显示模块及电子设备进行说明。

[0513] <7-1. 显示模块>

图35是包括光学式触摸传感器的显示模块7000的截面示意图。在图35所示的显示模块7000中,在上盖7001与下盖7002之间设置有连接于FPC的显示面板7006、背光(未图示)、框架7009、印刷电路板7010、电池7011。

[0514] 例如,可以将本发明的一个实施方式的显示装置用于显示面板7006。

[0515] 上盖7001及下盖7002的形状及尺寸可以根据显示面板7006的尺寸适当地改变。

[0516] 虽然未图示,但是背光具有光源。可以在背光上配置光源,或者可以采用在背光的端部设置有光源并还包括光扩散板的结构。当使用有机EL元件等自发光型发光元件时,或者当使用反射型面板等时,不一定需要设置背光。

[0517] 框架7009保护显示面板7006,且被用作用来遮断因印刷电路板7010的工作而产生的电磁波的电磁屏蔽。框架7009也可以被用作散热板。

[0518] 印刷电路板7010设置有电源电路以及用来输出视频信号及时钟信号的信号处理电路。作为对电源电路供应电力的电源,可以使用外部的商业电源或利用另行设置的电池7011的电源。当使用商业电源时,可以省略电池7011。

[0519] 显示模块7000还可以设置有偏振片、相位差板、棱镜片等构件。

[0520] 显示模块7000包括设置在印刷电路板7010上的发光部7015及受光部7016。由上盖7001与下盖7002围绕的区域设置有一对导光部(导光部7017a、导光部7017b)。

[0521] 作为上盖7001和下盖7002例如可以使用塑料等。上盖7001和下盖7002的厚度可以为薄(例如0.5mm以上且5mm以下)。此时,可以使显示模块7000的重量极轻。另外,可以用很少的材料制造上盖7001和下盖7002,因此可以降低制造成本。

[0522] 显示面板7006隔着框架7009与印刷电路板7010、电池7011重叠。显示面板7006及框架7009固定在导光部7017a、导光部7017b。

[0523] 从发光部7015发射的光7018通过导光部7017a经过显示面板7006上且通过导光部7017b到达受光部7016。例如,可以检测出光7018被指头或触屏笔等被检测体阻挡作为触摸操作。

[0524] 例如,多个发光部7015沿着显示面板7006的相邻的两个边设置。多个受光部7016被配置为与发光部7015对置。由此,可以取得触摸操作的位置的信息。

[0525] 作为发光部7015,可以使用LED元件等光源。尤其是,作为发光部7015,优选使用发射不被使用者看到且对使用者无害的红外线的光源。

[0526] 作为受光部7016,可以使用接收发光部7015所发射的光且将其转换为电信号的光电元件。优选使用能够接收红外线的光电二极管。

[0527] 作为导光部7017a、7017b可以使用至少使光7018透过的构件。通过使用导光部7017a及7017b,可以将发光部7015及受光部7016配置在显示面板7006的下侧,可以抑制外光到达受光部7016而导致触摸传感器的错误工作。尤其优选使用吸收可见光且使红外线透过的树脂。由此,更有效地抑制触摸传感器的错误工作。

[0528] 虽然图35示出包括光学触摸传感器的显示模块,但是也可以适当地将电阻膜式触摸面板或电容式触摸面板重叠于显示面板7006。此外,显示面板7006的对置衬底(密封衬底)可以具有触摸面板的功能。另外,也可以在显示面板7006的各像素内设置光传感器,而形成光学触摸面板。

[0529] <7-2. 电子设备1>

接着,图36A至图36E示出电子设备的一个例子。

[0530] 图36A是安装有取景器8100的照相机8000的外观图。

[0531] 照相机8000包括外壳8001、显示部8002、操作按钮8003、快门按钮8004等。另外,照相机8000安装有可装卸的镜头8006。

[0532] 虽然在此照相机8000的镜头8006能够从外壳8001拆卸下而交换,但是镜头8006也可以包括在外壳8001中。

[0533] 通过按下快门按钮8004,照相机8000可以进行成像。另外,也可以通过触摸被用作触摸面板的显示部8002进行成像。

[0534] 照相机8000的外壳8001包括具有电极的嵌入器,由此取景器8100、闪光灯装置等可以连接到外壳8001。

[0535] 取景器8100包括外壳8101、显示部8102以及按钮8103等。

[0536] 外壳8101包括嵌合到照相机8000的嵌入器的嵌入器,由此取景器8100可以安装到照相机8000。该嵌入器包括电极,可以将从照相机8000利用该电极接收的图像等显示在显示部8102上。

[0537] 按钮8103被用作电源按钮。通过利用按钮8103,可以切换显示部8102的开启及关闭。

[0538] 本发明的一个实施方式的显示装置可以用于照相机8000的显示部8002及取景器8100的显示部8102。

[0539] 虽然在图36A中照相机8000与取景器8100是分开且可拆卸的电子设备,但是照相机8000的外壳8001也可以包括具备显示装置的取景器。

[0540] 图36B是头戴显示器8200的外观图。

[0541] 头戴显示器8200包括安装部8201、透镜8202、主体8203、显示部8204以及电缆8205等。安装部8201包括电池8206。

[0542] 通过电缆8205,将电力从电池8206供应到主体8203。主体8203具备无线接收器等,接收图像数据等映像信息,并将其显示在显示部8204上。通过利用主体8203中的相机捕捉使用者的眼球及眼睑的动作,并使用该信息算出使用者的视点的坐标,可以利用使用者的视点作为输入方法。

[0543] 安装部8201也可以以与使用者接触的方式包括多个电极。主体8203也可以被配置为通过检测出根据使用者的眼球的动作而流过电极的电流,识别使用者的视线方向。主体8203可以被配置为通过检测出流过该电极的电流来监视使用者的脉搏。安装部8201可以具有温度传感器、压力传感器、加速度传感器等各种传感器,由此可以将使用者的生物信息显示在显示部8204上。主体8203也可以被配置为检测出使用者的头部的动作等,并与使用者的头部的动作等同步地使显示在显示部8204上的图像移动。

[0544] 可以将本发明的一个实施方式的显示装置用于显示部8204。

[0545] 图36C至图36E是头戴显示器8300的外观图。头戴显示器8300包括外壳8301、显示部8302、带等固定工具8304以及一对透镜8305。

[0546] 使用者可以通过透镜8305看到显示部8302上的显示。优选的是,显示部8302弯曲。当显示部8302弯曲时,使用者可以感受图像的高真实感。虽然在本实施方式中例示出具有一个显示部8302的结构,但是显示部8302的个数不局限于一个。例如,也可以设置两个显示部8302,此时,通过将每个显示部配置在使用者的每个眼睛一侧,可以进行利用视差的三维显示等。

[0547] 可以将本发明的一个实施方式的显示装置用于显示部8302。本发明的一个实施方式的显示装置具有极高的分辨率,所以即使如图36E那样地使用透镜8305放大图像,使用者不能看到像素,由此可以显示现实感更高的图像。

[0548] <7-3. 电子设备2>

接着,图37A至图37G示出与图36A至图36E所示的电子设备不同的电子设备的例子。

[0549] 图37A至图37G所示的电子设备包括外壳9000、显示部9001、扬声器9003、操作键9005(包括电源开关或操作开关)、连接端子9006、传感器9007(具有测量如下因素的功能的传感器:力、位移、位置、速度、加速度、角速度、转速、距离、光、液、磁、温度、化学物质、声音、时间、硬度、电场、电流、电压、电力、辐射线、流量、湿度、倾斜度、振动、气味或红外线)、麦克风9008等。

[0550] 图37A至图37G所示的电子设备具有各种功能,例如:将各种信息(静态图像、动态图像、文字图像等)显示在显示部上的功能;触控面板的功能;显示日历、日期或时间等的功能;通过利用各种软件(程序)控制处理的功能;进行无线通信的功能;通过利用无线通信功

能来连接到各种计算机网络的功能;通过利用无线通信功能,进行各种数据的发送及接收的功能;读出储存在存储介质中的程序或数据来将该程序或数据显示在显示部上的功能;等。注意,图37A至图37G所示的电子设备的功能不局限于此,上述电子设备可以具有各种功能。虽然在图37A至图37G中未图示,但是电子设备可以包括多个显示部。该电子设备也可以包括照相机等而具有如下功能:拍摄静态图像的功能;拍摄动态图像的功能;将所拍摄的图像储存在存储介质(外部存储介质或内置于照相机的存储介质)中的功能;将所拍摄的图像显示在显示部上的功能;等。

[0551] 接着,对包括电子设备的广播系统进行说明。在此,尤其是对发送广播信号的系统进行说明。

[0552] <7-4. 广播系统>

图38为示意性地示出广播系统的结构实例的方框图。广播系统1500包括摄像机1510、发送器1511、电子设备系统1501。电子设备系统1501包括接收器1512及显示装置1513。摄像机1510包括图像传感器1520及图像处理器1521。发送器1511包括编码器1522及调制器1523。

[0553] 接收器1512及显示装置1513由电子设备系统1501所包括的天线、解调器、译码器、逻辑电路、图像处理器及显示器单元构成。具体而言,例如,接收器1512包括天线、解调器、译码器及逻辑电路,其中,显示装置1513包括图像处理器及显示器单元。译码器及逻辑电路也可以不包括在接收器1512中,而包括在显示装置1513中。

[0554] 在摄像机1510能够拍摄8K视频的情况下,图像传感器1520具有能够拍摄8K分辨率的彩色图像的像素数。例如,在一个像素中包括一个红色(R)子像素、两个绿色(G)子像素及一个蓝色(B)子像素的情况下,8K摄像机的图像传感器1520至少需要 $7680 \times 4320 \times 4$ [R、G+G、B]个像素,4K摄像机的图像传感器1520至少需要 $3840 \times 2160 \times 4$ 个像素,2K摄像机的图像传感器1520至少需要 $1920 \times 1080 \times 4$ 个像素。

[0555] 图像传感器1520生成未加工的Raw数据1540。图像处理器1521对Raw数据1540进行图像处理(噪声去除、插补处理等)并生成视频数据1541。视频数据1541被输出到发送器1511。

[0556] 发送器1511对视频数据1541进行处理来生成适合广播频带的广播信号(载波)1543。编码器1522对视频数据1541进行处理来生成编过码的数据1542。编码器1522进行视频数据1541的编码处理、对视频数据1541附加广播控制数据(例如,认证数据)的处理、加密处理或加扰处理(用于扩频的数据排序处理)等处理。

[0557] 调制器1523通过对编过码的数据1542进行IQ调制(正交调幅)来生成并输出广播信号1543。广播信号1543为具有I(同相)成分和Q(正交相)成分的数据的复合信号。TV广播电台取得视频数据1541并供应广播信号1543。

[0558] 电子设备系统1501所包括的接收器1512接收广播信号1543。

[0559] 图39示出包括其他的电子设备系统的广播系统1500A。

[0560] 广播系统1500A包括摄像机1510、发送器1511、电子设备系统1501A及图像生成装置1530。电子设备系统1501A包括接收器1512及显示装置1513。摄像机1510包括图像传感器1520及图像处理器1521。发送器1511包括编码器1522A、编码器1522B及调制器1523。

[0561] 接收器1512及显示装置1513由电子设备系统1501A所包括的天线、解调器、译码

器、图像处理器及显示器单元构成。具体而言,例如,接收器1512包括天线、解调器及译码器,其中,显示装置1513包括图像处理器及显示器单元。译码器也可以不包括在接收器1512中,而包括在显示装置1513中。

[0562] 关于摄像机1510、摄像机1510所包括的图像传感器1520及图像处理器1521,参照上述说明。图像处理器1521生成视频数据1541A。视频数据1541A输出到发送器1511。

[0563] 图像生成装置1530生成对图像处理器1521中生成的图像数据附加的文字、图形、图案等的图像数据。文字、图形或图案等的图像数据作为视频数据1541B发送到发送器1511。

[0564] 发送器1511对视频数据1541A及视频数据1541B进行处理来生成适合广播频带的广播信号(载波)1543。编码器1522A对视频数据1541A进行处理来生成编过码的数据1542A。编码器1522B对视频数据1541B进行处理来生成编过码的数据1542B。编码器1522A及编码器1522B进行视频数据1541A及视频数据1541B的编码处理、对视频数据1541A及视频数据1541B附加广播控制数据(例如,认证数据)的处理、加密处理或加扰处理(用于扩频的数据排序处理)等处理。

[0565] 广播系统1500A也可以如图38所示的广播系统1500那样具有使用一个编码器对视频数据1541A及视频数据1541B进行处理的结构。

[0566] 编过码的数据1542A及编过码的数据1542B发送到调制器1523。调制器1523通过对编过码的数据1542A及编过码的数据1542B进行IQ调制来生成并输出广播信号1543。广播信号1543为具有I成分和Q成分的复合信号。TV广播电台取得视频数据1541并供应广播信号1543。

[0567] 电子设备系统1501A所包括的接收器1512接收广播信号1543。

[0568] 图40示意性地示出广播系统中的数据传输。图40示出从广播电台1561发送的电波(广播信号)传送到各家庭的电视接收机(TV)1560的路径。TV1560具备接收器1512及显示装置1513。作为人造卫星1562的例子,可以举出CS卫星和BS卫星。作为天线1564的例子,可以举出BS/110°CS天线和CS天线。作为天线1565的例子,可以举出特高频(UHF:ultra-high frequency)天线。

[0569] 电波1566A、1566B为用于卫星广播的信号。人造卫星1562在接收电波1566A时向地面发送电波1566B。各家庭的天线1564接收电波1566B,由此可以用TV1560收看卫星TV广播。或者,其他的广播电台的天线接收电波1566B,并用广播电台内的接收器将该电波1566B加工为能通过光缆传输的信号。广播电台利用光缆网发送广播信号至各家庭的TV1560的输入部。电波1567A、1567B为用于地面广播的信号。电波塔1563放大所接收的电波1567A并将其作为电波1567B发送。当天线1565接收电波1567B时,可以用各家庭的TV1560收看地面TV广播。

[0570] 本实施方式的视频传输系统不局限于TV广播系统。所发送的视频数据可以为动态图像数据或静态图像数据。

[0571] 图41A至图41D示出接收器的结构例子。TV1560可以由接收器接收广播信号并进行显示。图41A示出将接收器1571设置在TV1560的外侧的情况。图41B示出其他的情况,其中天线1564、1565与TV1560通过无线器件1572及1573进行数据传输。在此情况下,无线器件1572或1573被用作接收器。在TV1560中也可以内置有无线器件1573(参照图41C)。

[0572] 接收器可以做成小到可随身携带的尺寸。图41D所示的接收器1574包括连接器部1575。如果显示装置及信息终端(例如,个人计算机、智能手机、移动电话、平板终端)等电子设备具备可连接到连接器部1575的端子,它们就可以被用于收看卫星广播或地面广播。

[0573] 可以将半导体装置用于图38的广播系统1500的编码器1522。另外,可以组合专用IC、处理器(例如,GPU、CPU)等来形成编码器1522。另外,也可以将编码器1522集成在一个专用IC芯片。

[0574] 本实施方式的至少一部分可以与本说明书所记载的其他实施方式及实施例适当地组合而实施。

[实施例1]

[0575] 在本实施例中,验证通过利用包含本发明的一个实施方式的金属氧化物的晶体管,可以使高分辨率的大型显示器模块工作。

[0576] [8K显示器]

Recommendation ITU-R BT.2020-2是8K显示器的国际规格。在该规格中,水平分辨率为7680,垂直分辨率为4320,驱动方法为逐行扫描方式,最大帧率为120Hz。

[0577] 图42A是理想的显示器模块的方框图。在图42A所示的结构中,形成在衬底上的一个像素部(像素区域:Pixel Area)设置有一个源极驱动器(Source Driver)及一对栅极驱动器(Gate Driver)。一对栅极驱动器优选通过与像素所包括的晶体管相同的工序形成且优选通过所谓的gate on array (GOA)方式安装在显示器模块上。被用作源极驱动器的IC优选通过chip on glass (COG)法等安装在衬底上。

[0578] 用来驱动这种高分辨率显示器模块的晶体管需要极高场效应迁移率。尤其是在大型显示面板中,包含非晶硅等半导体的场效应迁移率低的晶体管有时不能在帧期间中完成图像改写工作,而不能进行驱动。

[0579] 在使用包含非晶硅的晶体管的情况下,如图42B所示,可以将像素部分成四个区域且在对各区域分别配置源极驱动器及栅极驱动器。通过采用上述结构,可以同时进行四个像素部的改写,因此即使使用场效应迁移率低的晶体管,也可以在帧期间内完成图像改写。在由于晶体管的场效应迁移率低而不能通过GOA方式安装栅极驱动器的情况下,如图42B所示,优选与源极驱动器同样地安装被用作栅极驱动器的IC。

[0580] 然而,图42B所示的结构有如下忧虑:源极驱动器和栅极驱动器等IC以及这些驱动器附带的构件的增大所引起的成本的增大;布线数的增大所引起的开口率的下降;IC的安装所引起的边框面积的增大;需要用来使被分割的像素部同步的电路;被分割的像素部的边界部被看到而导致的可见度的下降。另外,需要用来将被输入的图像数据分成4个部分的图像处理,因此需要可进行高速工作的大规模图像处理电路。

[0581] [验证模型]

在此,验证是否能够通过利用包含本发明的一个实施方式的金属氧化物的晶体管以及为了比较利用包含非晶硅的晶体管,来使大型8K液晶显示器模块进行工作。

[0582] 用于验证的液晶显示器模块的规格如下:像素部的尺寸为65英寸,有效像素数为7680×RGB(H)×4320(V),像素尺寸为187.5 μ m×187.5 μ m,作为液晶模式使用VA模式,灰度级数为12bit。源极驱动器IC的数据电压为3.5V至14.5V,1个水平期间为1.92 μ s,使用点反转驱动方式。栅极驱动器的时钟频率为260.16kHz,电压为-6.0V至22.0V,液晶元件的公共

电位为9.0V。

[0583] 一个子像素包括一个晶体管及一个电容器。像素所包括的晶体管为沟道蚀刻型单栅结构的晶体管,其沟道长度为4 μm ,沟道宽度为8 μm 。栅极驱动器所包括的晶体管为沟道蚀刻型双栅结构(具有S-channel结构)的晶体管,其沟道长度为4 μm ,沟道宽度为4000 μm 。在各晶体管的半导体层中使用本发明的一个实施方式的金属氧化物(CAC-OS)。

[0584] 作为比较,还验证将氢化非晶硅(a-Si:H)用于上述晶体管的半导体层的情况。

[0585] [验证]

在验证中,评估直到栅极线的电位完全下降为止的时间(栅电位下降时间)和直到源极线的电位达到最大输入电压的95%为止的时间(源极线电位充电时间)的总时间。以下示出验证结果。

[0586] [表2]

	栅电位下降时间	源极线电位充电时间(>95%)	总和	1个水平期间	工作
a-Si:H	2.25 μs	-		1.92 μs	不工作
CAC-OS	0.70 μs	1.21 μs	1.91 μs		工作

[0587] 在使用CAC-OS的情况下,栅电位下降时间与源极线电位充电时间的总和为1.91 μs ,短于以120Hz驱动时的1个水平期间1.92 μs ,这表示能够进行工作。由此,能够采用内置的栅极驱动器。此时,栅极驱动器一侧的边框宽度估计为3.85mm,由此能够制造边框极窄的显示器模块。

[0588] 另一方面,在使用氢化非晶硅的情况下,栅电位下降时间超过1个水平期间,因此不能内置栅极驱动器。在进行验证时假设栅极线及源极线等布线的负载相同。但是,在使用氢化非晶硅的情况下,配置在像素中的晶体管的尺寸较大,所以负载也比使用CAC-OS的情况更大。

[0589] 接着,验证在使用CAC-OS的情况和使用氢化非晶硅的情况下能够内置栅极驱动器的面板尺寸(像素部的尺寸)与帧率的关系。

[0590] 图43示出其结果。在图43中,纵轴表示面板尺寸,横轴表示帧率。可确认到通过使用CAC-OS,可以提供最大尺寸为70英寸的可内置有栅极驱动器的分辨率8K、帧率120Hz的12bit显示面板。

[0591] 上述验证示出通过使用本发明的一个实施方式的金属氧化物,可以提供高分辨率的大型显示器模块。

[实施例2]

[0592] 在本实施例中,制造本发明的一个实施方式的晶体管。此外,对该晶体管的 I_d-V_g 特性进行测定而评价可靠性。

[0593] [晶体管的制造]

首先,制造相当于上述晶体管100E的晶体管,对该晶体管的电特性进行评价。在本

实施例中,制造以下样品A1及样品A2。

[0594] 样品A1及A2包括晶体管,各晶体管的沟道长度L都是 $3\mu\text{m}$,沟道宽度W都是 $50\mu\text{m}$ 。

[0595] [样品A1及A2的制造方法]

首先,使用溅射装置在玻璃衬底上形成厚度为 100nm 的钨膜。接着,利用光刻法对该导电膜进行加工,来形成被用作第一栅电极的导电膜104。

[0596] 接着,在衬底及导电膜104上层叠四层绝缘膜,来形成被用作第一栅极绝缘膜的绝缘膜106。为了形成绝缘膜106,使用等离子体增强化学气相沉积(PECVD)装置在真空中连续地形成上述膜。为了形成绝缘膜106,从下层依次层叠厚度为 50nm 的氮化硅膜、厚度为 300nm 的氮化硅膜、厚度为 50nm 的氮化硅膜、厚度为 50nm 的氧氮化硅膜。

[0597] 接着,在绝缘膜106上依次形成两层的金属氧化物膜(第一金属氧化物膜、第二金属氧化物膜)。接着,通过将金属氧化物膜的叠层加工为岛状,来形成金属氧化物膜108。

[0598] 样品A1与样品A2的金属氧化物膜在不同的条件下形成。

[0599] 〈样品A1的金属氧化物膜的形成〉

在样品A1中,第一金属氧化物膜使用厚度为 20nm 的In-Ga-Zn膜形成,第二金属氧化物膜使用厚度为 25nm 的In-Ga-Zn膜形成。

[0600] 第一金属氧化物膜在如下条件下形成:衬底温度为 130°C ,将流量为 180sccm 的氩气体和流量为 20sccm 的氧气体引入溅射装置的处理室内,压力为 0.6Pa ,对包含铟、镓和锌的金属氧化物靶材(In:Ga:Zn=4:2:4.1[原子个数比])施加 2.5kW 的交流电力。有时将成膜气体整体中的氧比率称为氧流量比。形成第一金属氧化物膜时的氧流量比为 10% 。

[0601] 第二金属氧化物膜的成膜条件除了溅射气体的流量以外与第一金属氧化物膜的成膜条件相同。具体而言,停止对处理室引入氩气体,将流量为 200sccm 的氧气体引入溅射装置的处理室内。形成第二金属氧化物膜时的氧流量比为 100% 。

[0602] 〈样品A2的金属氧化物膜的形成〉

在样品A2中,第一金属氧化物膜使用厚度为 20nm 的In-Ga-Zn膜形成,第二金属氧化物膜使用厚度为 25nm 的In-Ga-Zn膜形成。

[0603] 第一金属氧化物膜在如下条件下形成:衬底温度为 170°C ,将流量为 140sccm 的氩气体和流量为 60sccm 的氧气体引入溅射装置的处理室内,压力为 0.6Pa ,对包含铟、镓和锌的金属氧化物靶材(In:Ga:Zn=4:2:4.1[原子个数比])施加 2.5kW 的交流电力。形成第一金属氧化物膜时的氧流量比为 30% 。

[0604] 第二金属氧化物膜在如下条件下形成:衬底温度为 170°C ,将流量为 100sccm 的氩气体和流量为 100sccm 的氧气体引入溅射装置的处理室内,压力为 0.6Pa ,对包含铟、镓和锌的金属氧化物靶材(In:Ga:Zn=1:1:1.2[原子个数比])施加 2.5kW 的交流电力。形成第二金属氧化物膜时的氧流量比为 50% 。

[0605] 通过上述工序形成样品A1及样品A2的金属氧化物膜108。

[0606] 接着,以如下方式进行加热温度为 350°C 的加热处理:在氮气氛下进行1小时的加热处理,然后在包含氮和氧的混合气体气氛下进行1小时的加热处理。

[0607] 接着,在绝缘膜106及金属氧化物膜108上形成导电膜,对该导电膜进行加工,由此形成导电膜112a、112b。作为该导电膜,使用溅射装置依次形成厚度为 30nm 的第一钛膜和厚度为 200nm 的铜膜。接着,通过光刻法对铜膜进行蚀刻,然后使用溅射装置形成厚度为 50nm

的第二钛膜。接着,通过光刻法对第一钛膜及第二钛膜进行蚀刻,由此形成导电膜112a、112b。

[0608] 接着,使用磷酸对露出的金属氧化物膜108的表面(背沟道一侧)进行洗涤。

[0609] 接着,在绝缘膜106、金属氧化物膜108及导电膜112a、112b上形成绝缘膜114,在绝缘膜114上形成绝缘膜116。绝缘膜114及绝缘膜116使用等离子体增强化学气相沉积(PECVD)装置在真空中连续地形成。绝缘膜114使用厚度为30nm的氧氮化硅膜形成,绝缘膜116使用厚度为400nm的氧氮化硅膜形成。

[0610] 接着,以350°C的加热温度在氮气氛下进行1小时的加热处理。

[0611] 接着,在绝缘膜116上形成导电膜。作为导电膜,使用溅射装置形成厚度为6nm的ITSO膜。

[0612] 接着,通过等离子体处理法将氧经由导电膜添加到绝缘膜116。在等离子体处理中,在包含氧气体的气氛下进行等离子体放电。

[0613] 接着,去除导电膜。

[0614] 接着,在绝缘膜116上形成绝缘膜118。作为绝缘膜118,使用等离子体增强化学气相沉积(PECVD)装置形成厚度为100nm的氮化硅膜。

[0615] 接着,在绝缘膜的所希望的区域中形成开口。该开口利用干蚀刻法形成。

[0616] 接着,以填充开口的方式形成导电膜,将该导电膜加工为岛状,由此形成被用作第二栅电极的导电膜120a。作为导电膜120a,使用溅射装置形成厚度为100nm的ITSO膜。

[0617] 接着,在绝缘膜118及导电膜120a上形成绝缘膜。作为绝缘膜,使用厚度为1.5 μm 的丙烯酸树脂类感光性树脂。

[0618] 通过上述步骤制造样品A1及样品A2。

[0619] [晶体管的 I_d - V_g 特性]

接着,测定所制造的样品A1及样品A2的晶体管的 I_d - V_g 特性。在晶体管的 I_d - V_g 特性的测定中,施加到被用作第一栅电极的导电膜的电压(以下,将该电压也称为栅电压(V_g))以及施加到被用作第二栅电极的导电膜的电压(以下,将该电压也称为背栅电压(V_{bg}))从-15V每隔0.25V变化到+20V。施加到被用作源电极的导电膜的电压(以下,将该电压也称为源电压(V_s))为0V(comm),施加到被用作漏电极的导电膜的电压(以下,将该电压也称为漏电压(V_d))为0.1V和20V。

[0620] 图44A和图44B分别示出样品A1及样品A2的 I_d - V_g 特性的结果。在图44A和图44B中,第一纵轴表示 I_d (A),第二纵轴表示场效应迁移率(μ_{FE} (cm^2/Vs)),横轴表示 V_g (V)。注意,该场效应迁移率是在 V_d 为20V时测定的值。

[0621] [场效应迁移率]

在此,说明场效应迁移率。作为晶体管的电流驱动能力的指标,使用场效应迁移率。晶体管的导通区域分类为线性区域及饱和区域。可以从各个区域的特性,根据gradual channel近似的漏极电流的分析式算出晶体管的场效应迁移率。当需要区分时,将线性区域的场效应迁移率及饱和区域的场效应迁移率分别称为线性迁移率(linear mobility)及饱和迁移率(saturation mobility)。饱和迁移率以如下公式(1)表示。

[0622] [公式1]

$$\mu_{FE}^{sat} = \frac{2L}{WC_{ox}} \left(\frac{\partial \sqrt{I_d}}{\partial V_g} \right)^2 \quad (1)$$

[0623] 在本说明书等中,将从公式(1)算出的曲线称为迁移率曲线。图44A和图44B示出使用式(1)从 I_d - V_g 特性估计出的饱和迁移率的迁移率曲线。

[0624] 如图44A和图44B所示,不管在哪一个条件下,也可以制造场效应迁移率高且开关特性优良的晶体管。

[0625] [栅极偏置热应力测试]

图47示出样品A1的应力测试结果。作为应力测试,进行栅极偏置应力测试(GBT测试)。GBT测试为加速测试的一种,可以在短时间内评价由于长时间的使用而发生的晶体管的特性变化。在此,在GBT测试中,将形成有晶体管的衬底保持为60°C且对晶体管的源极和漏极施加0V,对栅极施加30V或-30V,保持该状态3600秒钟。此时,将对栅极施加正电压的测试记为PBTS,将对栅极施加负电压的测试记为NBTS。另外,在照射10000lx的白色LED光的状态下对栅极施加30V或-30V,且保持该状态3600秒钟。此时,将对栅极施加正电压的测试记为PBITS,将对栅极施加负电压的测试记为NBITS。

[0626] 图47示出GBT测试的结果。图47的结果示出阈值的变动量(ΔV_{th})良好,为±1V以下。在GBT测试中获得良好结果的原因例如被推测为如下:作为包括在样品A1中的晶体管的金属氧化物膜108使用包含CAC-OS膜及CAAC-OS膜的叠层;形成有埋入沟道;背沟道一侧的金属氧化物膜108与绝缘膜114的界面的缺陷或损伤的影响得到缓和。

[0627] [可靠性评价1]

接着,对上述样品A1、A2进行可靠性评价。

[0628] 在可靠性评价中,通过对晶体管反复施加脉冲电压来驱动晶体管,并且测定通态电流的变化率。

[0629] 在测试中,在对源电极施加-8V的恒电位的状态下,对第一栅电极、第二栅电极及漏电极施加高电平电压为20V且低电平电压为-8V的脉冲电压。脉冲电压的频率大约为17.1kHz,施加20V的电压的期间为20%,施加-8V的电压的期间为80%(换言之,占空比为20%)。

[0630] 在施加脉冲电压一定期间之后,对晶体管的通态电流进行测定。在通态电流的测定中,将栅极电压(V_g)及背栅极电压(V_{bg})设定为15V,将源极电压(V_s)设定为0V(comm),将漏极电压(V_d)设定为5V,将测定中的采样期间设定为7.5毫秒(占空比为7.5%)。

[0631] 用于测定的样品A1及A2的沟道长度都是4 μ m,沟道宽度都是1000 μ m。

[0632] 图45A示出从所测定的 I_d - V_g 特性评估的样品A1及A2的通态电流的变化率。在图45A中,横轴表示时间,纵轴表示通态电流的变化率。

[0633] 图45B示出直到通态电流降低到50%为止的时间。在样品A2中,大约为4.2小时,在样品A1中,大约为55.5小时。

[0634] 上述结果示出包含本发明的一个实施方式的金属氧化物的晶体管具有高可靠性。

[0635] [可靠性评价2]

接着,在与上述可靠性评价不同的条件下进行可靠性评价。对在与样品A1相同的条件下制造的三个晶体管进行可靠性评价。该三个晶体管的沟道长度为3 μ m、4 μ m及6 μ m,沟

道宽度都是1000 μm 。注意,由于对不同的样品进行测定,因此在可靠性评价1与可靠性评价2之间可靠性评价的结果稍微不同。

[0636] 在测试中,在对源电极施加-9V的恒电位的状态下,对第一栅电极、第二栅电极及漏电极施加高电平电压为20V且低电平电压为-9V的脉冲电压。作为脉冲电压,施加20V的电压的期间为20%,施加-9V的电压的期间为80%(换言之,占空比为20%)。

[0637] 在施加脉冲电压一定期间之后,对晶体管的通态电流进行测定。在通态电流的测定中,将栅极电压(V_g)及背栅极电压(V_{bg})设定为15V,将源极电压(V_s)设定为0V(comm),将漏极电压(V_d)设定为5V,将测定中的采样期间设定为7.5毫秒(占空比为7.5%)。

[0638] 图48A和图48B示出测定结果。图48A以半对数图表示出测定结果,图48B以双对数图表示出测定结果。在图48A和图48B中,横轴示出测定时间,纵轴示出可靠性评价中的通态电流的变化率。从图48B的结果可估计通态电流因劣化而下降到70%需要125,000秒钟左右。上述结果示出包含本发明的一个实施方式的金属氧化物的晶体管具有高可靠性。

[0639] [晶体管的制造]

接着,制造相当于上述晶体管100A的晶体管,对该晶体管的电特性进行评价。在本实施例中,制造以下样品A3及样品A4。注意,在样品A3及A4的晶体管中,导电膜120a与绝缘膜118的叠层顺序与晶体管100A不同。

[0640] 样品A3及A4包括晶体管,各晶体管的沟道长度L都是2 μm ,沟道宽度W都是50 μm 。

[0641] [样品A3及A4的制造方法]

首先,使用溅射装置在玻璃衬底上形成厚度为100nm的钨膜。接着,利用光刻法对该导电膜进行加工,来形成被用作第一栅电极的导电膜104。

[0642] 接着,在样品A3及A4中形成彼此不同的绝缘膜106。

[0643] 在样品A3中,在衬底及导电膜104上层叠四层绝缘膜,来形成被用作第一栅极绝缘膜的绝缘膜106。为了形成样品A3的绝缘膜106,使用PECVD装置在真空中连续地形成上述膜。为了形成样品A3的绝缘膜106,从下层依次层叠厚度为50nm的氮化硅膜、厚度为300nm的氮化硅膜、厚度为50nm的氮化硅膜、厚度为50nm的氧氮化硅膜。

[0644] 在样品A4中,在衬底及导电膜104上层叠三层绝缘膜,来形成被用作第一栅极绝缘膜的绝缘膜106。为了形成样品A4的绝缘膜106,使用PECVD装置在真空中连续地形成上述膜。为了形成样品A4的绝缘膜106,从下层依次层叠厚度为50nm的氮化硅膜、厚度为300nm的氮化硅膜、厚度为50nm的氮化硅膜。在样品A4中,在形成绝缘膜106之后对绝缘膜106的表面进行氧等离子体处理。

[0645] 接着,在绝缘膜106上依次形成两层的金属氧化物膜(第一金属氧化物膜、第二金属氧化物膜)。接着,通过将金属氧化物膜的叠层加工为岛状,来形成金属氧化物膜108。

[0646] 第一金属氧化物膜使用厚度为10nm的In-Ga-Zn膜形成,第二金属氧化物膜使用厚度为25nm的In-Ga-Zn膜形成。

[0647] 第一金属氧化物膜在如下条件下形成:衬底温度为130 $^{\circ}\text{C}$,将流量为180sccm的氩气体和流量为20sccm的氧气体引入溅射装置的处理室内,压力为0.6Pa,对包含铟、镓和锌的金属氧化物靶材(In:Ga:Zn=4:2:4.1[原子个数比])施加2.5kW的交流电力。形成第一金属氧化物膜时的氧流量比为10%。

[0648] 第二金属氧化物膜的成膜条件除了溅射气体的流量以外与第一金属氧化物膜的

成膜条件相同。具体而言,停止对处理室引入氩气体,将流量为200sccm的氧气体引入溅射装置的处理室内。形成第二金属氧化物膜时的氧流量比为100%。

[0649] 接着,以如下方式进行加热温度为350℃的加热处理:在氮气氛下进行1小时的加热处理,然后在包含氮和氧的混合气体气氛下进行1小时的加热处理。

[0650] 接着,在绝缘膜106及金属氧化物膜108上形成导电膜,对该导电膜进行加工,由此形成导电膜112a、112b。作为该导电膜,使用溅射装置依次形成厚度为50nm的钨膜、厚度为400nm的铝膜和厚度为100nm的钛膜。接着,通过光刻法对该导电膜进行蚀刻,由此形成导电膜112a、112b。

[0651] 接着,使用磷酸对露出的金属氧化物膜108的表面(背沟道一侧)进行洗涤。

[0652] 接着,在绝缘膜106、金属氧化物膜108及导电膜112a、112b上形成绝缘膜114,在绝缘膜114上形成绝缘膜116。绝缘膜114及绝缘膜116使用PECVD装置在真空中连续地形成。绝缘膜114使用厚度为30nm的氮化硅膜形成,绝缘膜116使用厚度为400nm的氮化硅膜形成。

[0653] 接着,以350℃的加热温度在氮气氛下进行1小时的加热处理。

[0654] 接着,在绝缘膜116上形成导电膜。作为导电膜,使用溅射装置形成厚度为6nm的ITSO膜。

[0655] 接着,通过等离子体处理法将氧经由导电膜添加到绝缘膜116。在等离子体处理中,在包含氧气体的气氛下进行等离子体放电。

[0656] 接着,去除导电膜。

[0657] 接着,在绝缘膜116上形成绝缘膜118。作为绝缘膜118,使用PECVD装置形成厚度为100nm的氮化硅膜。

[0658] 接着,在绝缘膜的所希望的区域中形成开口。该开口利用干蚀刻法形成。

[0659] 接着,以填充开口的方式形成导电膜,将该导电膜加工为岛状,由此形成被用作第二栅电极的导电膜120a。作为导电膜120a,使用溅射装置形成厚度为100nm的ITSO膜。

[0660] 接着,在绝缘膜118及导电膜120a上形成绝缘膜。作为绝缘膜,使用厚度为1.5μm的丙烯酸树脂类感光性树脂。

[0661] 通过上述步骤制造样品A3及样品A4。

[0662] [晶体管的 I_d - V_g 特性]

接着,测定样品A3及A4的晶体管的 I_d - V_g 特性。作为各样品制造十个晶体管。晶体管的 I_d - V_g 特性在如下条件下测定: V_g 及 V_{bg} 从-15V每隔0.25V变化到+15V,将 V_s 设定为0V(comm),将 V_d 设定为0.1V或20V。

[0663] 图54A示出样品A3的十个晶体管的 I_d - V_g 特性。图54B示出样品A4的十个晶体管的 I_d - V_g 特性。在图54A和图54B中,横轴示出 V_g 。在图54A和图54B中,纵轴以对数示出漏极电流(I_d)。图54A中的测定结果群331示出 V_d 为0.1V时的样品A3的晶体管的 I_d - V_g 特性。图54A中的测定结果群332示出 V_d 为20V时的样品A3的晶体管的 I_d - V_g 特性。图54B中的测定结果群341示出 V_d 为0.1V时的样品A4的晶体管的 I_d - V_g 特性。图54B中的测定结果群342示出 V_d 为20V时的样品A4的晶体管的 I_d - V_g 特性。

[0664] 图54A和图54B的结果示出在样品A3及样品A4中晶体管的关态电流都少,晶体管之间的偏差也少。这示出样品A3的晶体管及样品A4的晶体管都具有良好的电特性。

[0665] [栅极偏置热应力测试]

接着,对样品A3及A4的晶体管进行GBT测试。各晶体管的沟道长度L都是 $3\mu\text{m}$,沟道宽度W都是 $50\mu\text{m}$ 。在此,在GBT测试中,将形成有晶体管的衬底保持为 60°C 且对晶体管的源极和漏极施加 0V ,对栅极施加 30V 或 -30V ,保持该状态 3600 秒钟。此时,将对栅极施加正电压的测试记为PBTS,将对栅极施加负电压的测试记为NBTS。另外,在照射 $100001\times$ 的白色LED光的状态下对栅极施加 30V 或 -30V 且保持该状态 3600 秒钟。此时,将对栅极施加正电压的测试记为PBITS,将对栅极施加负电压的测试记为NBITS。

[0666] 图55示出GBT测试的结果。样品A3的晶体管的阈值的变动量(ΔV_{th})在PBTS中为 0.49V ,在NBTS中为 0.04V ,在PBITS中为 0.06V ,在NBITS中为 -0.50V 。另一方面,样品A4的晶体管的 ΔV_{th} 在PBTS中为 0.74V ,在NBTS中为 0.05V ,在PBITS中为 0.11V ,在NBITS中为 -1.96V 。样品A3及A4的晶体管的因GBT测试的 V_{th} 的变化量都低于 2V 。这示出样品A3及A4的晶体管都具有良好的可靠性。

[0667] 一般而言,将氢化非晶硅层用于形成沟道的半导体层的晶体管(也称为a-Si:H晶体管)作为栅极绝缘层包括氮化硅层。在本发明的一个实施方式中,作为OS晶体管的栅极绝缘层可以使用氮化硅层。因此,为了将a-Si:H晶体管的生产线转换为OS晶体管的生产线,不需要大幅度地改变设备。因此,比较容易将a-Si:H晶体管的生产线转换为OS晶体管的生产线。

[实施例3]

[0668] 在本实施例中,对设想8K显示器的工作验证用显示器模块进行说明。作为包括在显示器模块中的晶体管,可以使用包括本发明的一个实施方式的金属氧化物的晶体管。

[0669] 为了制造设想8K显示器的工作验证用显示器模块,在2K或4K显示器模块的像素部中作为设想8K显示器的系统环境设置与8K显示器同等的负载。

[0670] 图46A是示出工作验证用显示器模块的方框图。在图46A所示的结构中,形成在衬底上的一个像素部601设置有一个源极驱动器603及一对栅极驱动器605。一对栅极驱动器605优选通过与像素所包括的晶体管相同的工序形成且通过所谓的gate on array方式安装在显示器模块上。源极驱动器603优选通过COG法等安装在衬底上。

[0671] 在衬底上设置有与FPC连接的端子部607、位于端子部607与栅极驱动器605之间的布线609、与栅极驱动器605连接的布线611以及与源极驱动器603连接的布线613。布线609被用作栅极驱动器605用信号线及电源线。布线611被用作栅极布线。布线613被用作信号线。

[0672] 像素部601包括区域601_1、601_2、601_3、601_4。对区域601_1与区域601_2之间、区域601_1与区域601_3之间、区域601_2与区域601_4之间、区域601_3与区域601_4之间以及一对栅极驱动器605之间的布线分别设置负载602。负载602是布线负载,电阻器、电容器等设置在布线。

[0673] 通过适当地在像素部601及驱动电路中设置负载602,可以在显示器模块的各区域中再现不同的工作。

[0674] 例如,在区域601_1与源极驱动器603之间及区域601_1与栅极驱动器605之间不设置负载。因此,在区域601_1中,信号线及栅极布线的信号波形的失真小,由此在像素部601中对像素写入信号的条件最宽容。

[0675] 在区域601_2与源极驱动器603之间不设置负载,而在区域601_2与栅极驱动器605之间设置有负载602。因此,在区域601_2中,信号线的信号波形的失真小,栅极布线的信号波形的失真大。

[0676] 在区域601_3与源极驱动器603之间设置有负载,而在区域601_3与栅极驱动器605之间不设置负载。因此,在区域601_3中,信号线的信号波形的失真大,栅极布线的信号波形的失真小。

[0677] 在区域601_4与源极驱动器603及栅极驱动器605之间设置有负载602。因此,在区域601_4中,信号线及栅极布线的信号波形的失真大,由此在像素部601中对像素写入信号的条件最严格。

[0678] 图46B示出实际的8K显示器模块的方框图。在像素部621中设置有像素623。像素623相当于图46A的负载602。图46A的区域601_1相当于图46B的像素部621的区域621_1。图46A的区域601_2相当于图46B的像素部621的区域621_2。图46A的区域601_3相当于图46B的像素部621的区域621_3。图46A的区域601_4相当于图46B的像素部621的区域621_4。

[0679] 如图46A所示,通过在像素部601中设置负载602,可以在一个显示器模块中以四个条件进行像素写入工作的验证。另外,还可以进行能够驱动与8K显示器同等的负载的源极驱动器及栅极驱动器的工作的验证。由此,可以使用2K或4K显示器模块进行8K显示器模块的工作验证。

[实施例4]

[0680] 在本实施例中说明的是为了探讨使用本发明的一个实施方式的晶体管来实现大型8K液晶显示装置的可能性进行模拟的结果。

[验证模型]

表3示出探讨的液晶显示装置的规格。液晶显示装置的屏幕对角为65英寸,在像素中R、G、B的3种子像素被配置为条纹状。像素电路在每个单元内包括一个晶体管及一个电容器。作为像素电路所包括的晶体管,设想包含CAC-OS膜的沟道蚀刻结构型晶体管。栅极驱动器是内置的,作为源极驱动器利用外部IC。通过模拟确认帧率假设为120Hz时的视频信号的写入所需要的时间。

[0682] [表3]

屏幕对角	65 英寸
驱动方法	有源矩阵
有效像素数	7680×RGB×4320
像素间距	0.1875mm×0.1875mm
像素密度	136ppi

像素电路	$1 T_r + 1 C/\text{单元}$
帧率	120 Hz
源极驱动器	IC
栅极驱动器	内置

[0683] 图49是探讨的液晶显示装置的示意图。尤其是,在大型显示器中,像素区域内的时间常数越小越好。因此,将栅极驱动器配置在像素区域的两侧,而将栅极选择信号从栅极线的两侧输入。通过采用这种结构,与仅在像素区域的一侧配置栅极驱动器的结构相比,可以将栅极线的时间常数降低到1/4。因此,可以缩短栅极线的充放电时间。为了使视频信号的写入期间最大化,可以将两个栅极线连接到缓冲器,同时选择两个栅极线,由此可以将视频信号同时写入到两个行。通过利用该结构,可以将栅极驱动器中的移位寄存器的级数从一般的4320级减少到一半的2160级,可以将1个水平选择期间从 $1.92\mu\text{s}$ 延长到 $3.83\mu\text{s}$ 。

[0684] 图50是液晶显示装置所包括的像素的电路图。每个像素包括红色(R)、绿色(G)及蓝色(B)的三个子像素。每个子像素包括晶体管M1、电容器Cs及液晶元件LC。在被用作选择晶体管的晶体管M1中,栅极与栅极线GL连接,源极和漏极中的一个与源极线SL连接。电容器Cs设置在晶体管M1的源极和漏极中的另一个与公共电位线CsCOM之间。液晶元件LC设置在晶体管M1的源极和漏极中的另一个与公共电位线TCOM之间。各子像素具有包括一个晶体管及一个电容器的最简单的结构。为了将视频信号同时写入到两个行,对一个列的像素设置两个源极线(将这种结构称为双源极线结构)。在奇数行的像素中,一个源极线(例如,SL11)与晶体管M1连接。在偶数行的像素中,另一个源极线(例如,SL12)与晶体管M1连接。

[0685] 图51是示出用于模拟的结构方框图。基于包含CAC-OS膜的晶体管的实测值抽出像素电路及栅极驱动器的晶体管的模型参数。作为源极驱动器,使用行为模型。作为像素区域的栅极线与源极线的寄生电容及栅极驱动器的CLK线的寄生成分使用RC负载模型。寄生电容及寄生电阻利用边界元法抽出。算出在像素区域内RC负载最大的像素的视频信号的写入所需要的时间。

[0686] 图52是示出像素的写入工作的时序图。在使上一个行的晶体管M1处于关闭状态之后,对该像素写入视频信号。换言之,从CLK信号输入到栅极驱动器至晶体管M1成为关闭状态所需要的时间(栅电位下降时间(a))及从输入视频信号至像素的电位达到视频信号的电位的时间(源极线电位上升时间(b))的总和相当于像素写入所需要的时间(c)。根据栅电位下降时间与源极线电位上升时间的总和算出像素写入所需要的时间。在此,栅电位下降时间假设为达到目标幅度的75%为止的时间,源极线电位上升时间假设为达到目标电位的95%为止的时间。如果像素写入所需要的时间(c)短于1个水平选择期间(在此,为 $3.83\mu\text{s}$),就可以判断为液晶显示装置能够进行工作。

[0687] [计算结果]

表4示出栅极线、源极线、栅极驱动器的CLK线的寄生电阻和寄生电容的抽出结果。表4还示出像素电容的抽出结果。使用这些抽出结果进行瞬态分析。

[0688] [表4]

栅极线电阻	3.60 k Ω
栅极线电容	364 pF
源极线电阻	4.83 k Ω
源极线电容	182 pF
CLK 线电阻	270 Ω
CLK 线电容	915 pF
像素电容	191 fF

[0689] 表5示出通过瞬态分析获得的栅电位下降时间及源极线电位上升时间的计算结果。

[0690] [表5]

栅电位下降时间(>75%)	1.69ms
源极线电位上升时间(>95%)	1.82ms
总时间	3.51ms

[0691] 当栅电位下降时间与源极线电位上升时间的总和短于1个水平选择期间的3.83 μ s时,能够进行工作。表5表示像素写入所需要的时间(3.51 μ s)短于1个水平选择期间(3.83 μ s),这示出液晶显示装置能够进行工作。

[0692] 图53示出晶体管的场效应迁移率与像素写入所需要的时间的关系的计算结果。纵轴示出像素写入所需要的时间,横轴示出以包括CAC-OS膜的晶体管的场效应迁移率为1时的场效应迁移率。场效应迁移率越低,像素写入所需要的时间越长。当场效应迁移率的参数降低到0.75倍左右时,像素写入所需要的时间变得比1个水平选择期间长,这示出液晶显示装置不能进行工作。

[0693] 确认到通过使用包括CAC-OS膜的晶体管,即使具有8K的高分辨率的大型(65英寸)显示面板,也可以以120Hz的高帧率驱动。

[实施例5]

[0694] 在本实施例中,制造本发明的一个实施方式的晶体管,并进行该晶体管的可靠性评价。

[0695] [晶体管的制造]

首先,制造相当于上述晶体管100A的晶体管。在本实施例中,制造以下样品B。注意,在样品B的晶体管中,导电膜120a和绝缘膜118的叠层顺序与晶体管100A不同。

[0696] 样品B包括晶体管,该晶体管的沟道长度L是4 μ m,沟道宽度W是1000 μ m。

[0697] [样品B的制造方法]

首先,使用溅射装置在玻璃衬底上形成厚度为100nm的钨膜。接着,利用光刻法对该导电膜进行加工,来形成被用作第一栅电极的导电膜104。

[0698] 接着,在衬底及导电膜104上层叠四层绝缘膜,来形成被用作第一栅极绝缘膜的绝缘膜106。为了形成绝缘膜106,使用等离子体增强化学气相沉积(PECVD)装置在真空中连续地形成上述膜。为了形成绝缘膜106,从下层依次层叠厚度为50nm的氮化硅膜、厚度为300nm

的氮化硅膜、厚度为50nm的氮化硅膜、厚度为15nm的氧氮化硅膜。

[0699] 接着,在绝缘膜106上依次形成两层的金属氧化物膜(第一金属氧化物膜、第二金属氧化物膜)。接着,通过将金属氧化物膜的叠层加工为岛状,来形成金属氧化物膜108。

[0700] 第一金属氧化物膜使用厚度为20nm的In-Ga-Zn膜形成,第二金属氧化物膜使用厚度为25nm的In-Ga-Zn膜形成。

[0701] 第一金属氧化物膜在如下条件下形成:衬底温度为130℃,将流量为180sccm的氩气体和流量为20sccm的氧气体引入溅射装置的处理室内,压力为0.6Pa,对包含铟、镓和锌的金属氧化物靶材(In:Ga:Zn=4:2:4.1[原子个数比])施加2.5kW的交流电力。形成第一金属氧化物膜时的氧流量比为10%。

[0702] 第二金属氧化物膜的成膜条件除了溅射气体的流量以外与第一金属氧化物膜的成膜条件相同。具体而言,停止对处理室引入氩气体,将流量为200sccm的氧气体引入溅射装置的处理室内。形成第二金属氧化物膜时的氧流量比为100%。

[0703] 接着,以如下方式进行加热温度为350℃的加热处理:在氮气氛下进行1小时的加热处理,然后在包含氮和氧的混合气体气氛下进行1小时的加热处理。

[0704] 接着,在绝缘膜106及金属氧化物膜108上形成导电膜,对该导电膜进行加工,由此形成导电膜112a、112b。作为该导电膜,使用溅射装置依次形成厚度为50nm的钨膜、厚度为400nm的铝膜和厚度为100nm的钛膜。接着,通过光刻法对该导电膜进行蚀刻,由此形成导电膜112a、112b。

[0705] 接着,使用磷酸对露出的金属氧化物膜108的表面(背沟道一侧)进行洗涤。

[0706] 接着,在绝缘膜106、金属氧化物膜108及导电膜112a、112b上形成绝缘膜114,在绝缘膜114上形成绝缘膜116。绝缘膜114及绝缘膜116使用等离子体增强化学气相沉积(PECVD)装置在真空中连续地形成。绝缘膜114使用厚度为30nm的氧氮化硅膜形成,绝缘膜116使用厚度为400nm的氧氮化硅膜形成。

[0707] 接着,以350℃的加热温度在氮气氛下进行1小时的加热处理。

[0708] 接着,在绝缘膜116上形成导电膜。作为导电膜,使用溅射装置形成厚度为6nm的ITSO膜。

[0709] 接着,通过等离子体处理法将氧经由导电膜添加到绝缘膜116。在等离子体处理中,在包含氧气体的气氛下进行等离子体放电。

[0710] 接着,去除导电膜。

[0711] 接着,在绝缘膜116上形成绝缘膜118。作为绝缘膜118,使用等离子体增强化学气相沉积(PECVD)装置形成厚度为100nm的氮化硅膜。

[0712] 接着,在绝缘膜的所希望的区域中形成开口。该开口利用干蚀刻法形成。

[0713] 接着,以填充开口的方式形成导电膜,将该导电膜加工为岛状,由此形成被用作第二栅电极的导电膜120a。作为导电膜120a,使用溅射装置形成厚度为100nm的ITSO膜。

[0714] 接着,在绝缘膜118及导电膜120a上形成绝缘膜。作为绝缘膜,使用厚度为1.5μm的丙烯酸树脂类感光性树脂。

[0715] 通过上述步骤制造样品B。

[0716] [可靠性评价]

接着,对样品B的晶体管进行可靠性评价。在可靠性评价中,通过对晶体管反复施

加脉冲电压来驱动晶体管,并且测定通态电流的变化率。

[0717] 在测试中,在室温(25℃)下,在对源电极施加-8V的恒电位的状态下,对第一栅电极、第二栅电极及漏电极施加高电平电压为20V且低电平电压为-8V的脉冲电压。其周期为58.4μsec,施加20V的电压的期间为20%(每1周期为11.68μsec),施加-8V的电压的期间为80%(换言之,占空比为20%)。源极电流(I_s)的上限为10mA。

[0718] 在施加脉冲电压一定期间之后,对晶体管的通态电流进行测定。在通态电流的测定中,将栅极电压(V_g)及背栅极电压(V_{bg})设定为15V,将源极电压(V_s)设定为0V(comm),将漏极电压(V_d)设定为5V,将测定中的采样期间设定为7.5毫秒(占空比为7.5%)。

[0719] 图56A和图56B示出测定结果。图56A以半对数图表示出测定结果,图56B以双对数图表示出测定结果。在图56A和图56B中,横轴示出测定时间,纵轴示出可靠性评价中的通态电流的变化率。从图56B的结果可估计通态电流因劣化而下降到70%需要364小时左右。上述结果示出包含本发明的一个实施方式的金属氧化物的晶体管具有高可靠性。

[实施例6]

[0720] 在本实施例中,制造本发明的一个实施方式的晶体管,并进行该晶体管的可靠性评价。

[0721] [晶体管的制造]

首先,制造相当于上述晶体管100A的晶体管。在本实施例中,制造以下样品C。

[0722] 样品C包括晶体管,该晶体管的沟道长度L是3μm,沟道宽度W是50μm。

[0723] [样品C的制造方法]

首先,使用溅射装置在玻璃衬底上形成厚度为100nm的钨膜。接着,利用光刻法对该导电膜进行加工,来形成被用作第一栅电极的导电膜104。

[0724] 接着,在衬底及导电膜104上层叠四层绝缘膜,来形成被用作第一栅极绝缘膜的绝缘膜106。为了形成绝缘膜106,使用等离子体增强化学气相沉积(PECVD)装置在真空中连续地形成上述膜。为了形成绝缘膜106,从下层依次层叠厚度为50nm的氮化硅膜、厚度为300nm的氮化硅膜、厚度为50nm的氮化硅膜、厚度为15nm的氧氮化硅膜。

[0725] 接着,在绝缘膜106上依次形成两层的金属氧化物膜(第一金属氧化物膜、第二金属氧化物膜)。接着,通过将金属氧化物膜的叠层加工为岛状,来形成金属氧化物膜108。

[0726] 第一金属氧化物膜使用厚度为10nm的In-Ga-Zn膜形成,第二金属氧化物膜使用厚度为25nm的In-Ga-Zn膜形成。

[0727] 第一金属氧化物膜在如下条件下形成:衬底温度为130℃,将流量为180sccm的氩气体和流量为20sccm的氧气体引入溅射装置的处理室内,压力为0.6Pa,对包含铟、镓和锌的金属氧化物靶材(In:Ga:Zn=4:2:4.1[原子个数比])施加2.5kW的交流电力。形成第一金属氧化物膜时的氧流量比为10%。

[0728] 第二金属氧化物膜的成膜条件除了溅射气体的流量以外与第一金属氧化物膜的成膜条件相同。具体而言,停止对处理室引入氩气体,将流量为200sccm的氧气体引入溅射装置的处理室内。形成第二金属氧化物膜时的氧流量比为100%。

[0729] 接着,以如下方式进行加热温度为350℃的加热处理:在氮气氛下进行1小时的加热处理,然后在包含氮和氧的混合气体气氛下进行1小时的加热处理。

[0730] 接着,在绝缘膜106及金属氧化物膜108上形成导电膜,对该导电膜进行加工,由此

形成导电膜112a、112b。作为该导电膜,使用溅射装置依次形成厚度为50nm的钨膜、厚度为400nm的铝膜和厚度为100nm的钛膜。接着,通过光刻法对该导电膜进行蚀刻,由此形成导电膜112a、112b。

[0731] 接着,使用磷酸对露出的金属氧化物膜108的表面(背沟道一侧)进行洗涤。

[0732] 接着,在绝缘膜106、金属氧化物膜108及导电膜112a、112b上形成绝缘膜114,在绝缘膜114上形成绝缘膜116。绝缘膜114及绝缘膜116使用等离子体增强化学气相沉积(PECVD)装置在真空中连续地形成。绝缘膜114使用厚度为30nm的氧氮化硅膜形成,绝缘膜116使用厚度为300nm的氧氮化硅膜形成。

[0733] 在形成绝缘膜116之后,连续地在真空中通过等离子体处理法对绝缘膜116添加氧。在等离子体处理中,在包含氧气体的气氛下进行等离子体放电。

[0734] 接着,以350℃的加热温度在氮气氛下进行1小时的加热处理。

[0735] 接着,形成两层的金属氧化物膜,将其加工为岛状,由此形成被用作第二栅电极的导电膜120a。

[0736] 第一金属氧化物膜使用厚度为10nm的In-Ga-Zn膜形成,第二金属氧化物膜使用厚度为90nm的In-Ga-Zn膜形成。

[0737] 第一金属氧化物膜在如下条件下形成:衬底温度为170℃,将流量为200sccm的氧气体引入溅射装置的处理室内,压力为0.6Pa,对包含铟、镓和锌的金属氧化物靶材(In:Ga:Zn=4:2:4.1[原子个数比])施加2.5kW的交流电力。形成第一金属氧化物膜时的氧流量比为100%。

[0738] 第二金属氧化物膜的成膜条件除了溅射气体的流量以外与上述第一金属氧化物膜的成膜条件相同。具体而言,将流量为180sccm的氩气体及流量为20sccm的氧气体引入溅射装置的处理室内。形成第二金属氧化物膜时的氧流量比为10%。

[0739] 接着,在导电膜120a上形成绝缘膜118。作为绝缘膜118,使用等离子体增强化学气相沉积(PECVD)装置形成厚度为100nm的氮化硅膜。

[0740] 接着,在绝缘膜118上形成绝缘膜。作为绝缘膜,使用厚度为1.5μm的丙烯酸树脂类感光性树脂。

[0741] 通过上述步骤制造样品C。

[0742] [晶体管的 I_d - V_g 特性]

接着,测定所制造的样品C中的晶体管的 I_d - V_g 特性。在晶体管的 I_d - V_g 特性的测定中, V_g 及 V_{bg} 从-15V每隔0.25V变化到+20V。另外,将 V_s 设定为0V(comm),将 V_d 设定为0.1V或20V。

[0743] 图57示出样品C的 I_d - V_g 特性的结果。在图57中,第一纵轴表示 I_d (A),第二纵轴表示场效应迁移率(μ_{FE} (cm^2/Vs)),横轴表示 V_g (V)。注意,该场效应迁移率是在 V_d 为20V时测定的值。

[0744] 如图57所示,所制造的晶体管具有高场效应迁移率及优良的开关特性。

[实施例7]

[0745] 在晶体管的制造工序中,金属氧化物膜(氧化物半导体膜)在各种工序中受到损伤。具体而言,在源电极及漏电极的成膜工序、源电极及漏电极的蚀刻工序(尤其是干蚀刻工序)及钝化膜的成膜工序等中,金属氧化物膜有时受到损伤。

[0746] 在本实施例中,通过对在金属氧化物膜上形成钝化膜或者源电极及漏电极的样品进行ESR分析,来评价成膜所带来的损伤。

[0747] 本实施例的ESR分析着眼于g值为1.9附近的信号而进行。该ESR信号可认为是起因于金属氧化物膜中的进入氧缺陷(V_o)中的施主的氢的传导电子自旋共振所带来的。

[0748] 图58A和图58B示出通过本实施例的样品的ESR分析得到的定量自旋密度。在本实施例中,作为金属氧化物使用nc-IGZO和CAAC-IGZO。图58A示出在金属氧化物膜上形成钝化膜(由SiON膜形成)的样品的结果。图58B示出在金属氧化物膜上形成源电极及漏电极(由W膜形成)的样品的结果。

[0749] 图58A和图58B的结果示出与nc-IGZO相比,CAAC-IGZO的起因于进入氧缺陷中的氢的ESR信号小。这意味着,可知CAAC-IGZO尤其是在晶体管的制造工序中不容易受到损伤,并且CAAC-IGZO的电阻不容易降低。

符号说明

[0750] 100A:晶体管、100C:晶体管、100D:晶体管、100E:晶体管、102:衬底、104:导电膜、106:绝缘膜、108:金属氧化物膜、108_1:金属氧化物膜、108_1_0:金属氧化物膜、108_2:金属氧化物膜、108_2_0:金属氧化物膜、112a:导电膜、112a_1:导电膜、112a_2:导电膜、112a_3:导电膜、112b:导电膜、112b_1:导电膜、112b_2:导电膜、112b_3:导电膜、114:绝缘膜、116:绝缘膜、117:开口、118:绝缘膜、119:绝缘膜、120:导电膜、120a:导电膜、120a_1:导电膜、142a:开口、191:靶材、192:等离子体、193:靶材、194:等离子体、200A:晶体管、200B:晶体管、204:导电膜、205:电容布线、208:金属氧化物膜、208_1:金属氧化物膜、208_2:金属氧化物膜、209:金属氧化物膜、209_1:金属氧化物膜、209_2:金属氧化物膜、210:导电膜、210_1:导电膜、210_2:导电膜、211:开口、212a:导电膜、212b:导电膜、213:导电膜、220a:导电膜、220a_1:导电膜、242a:开口、242b:开口、250:电容器、250a:电容器、331:测定结果群、332:测定结果群、341:测定结果群、342:测定结果群、501:像素电路、502:像素部、504:驱动电路部、504a:栅极驱动器、504b:源极驱动器、506:保护电路、507:端子部、550:晶体管、552:晶体管、554:晶体管、560:电容器、562:电容器、570:液晶元件、572:发光元件、601:像素部、601_1:区域、601_2:区域、601_3:区域、601_4:区域、602:负载、603:源极驱动器、605:栅极驱动器、607:端子部、609:布线、611:布线、613:布线、621:像素部、621_1:区域、621_2:区域、621_3:区域、621_4:区域、623:像素、700:显示装置、701:衬底、702:像素部、704:源极驱动电路部、705:衬底、706:栅极驱动电路部、708:FPC端子部、710:信号线、711:布线部、712:密封剂、716:FPC、730:绝缘膜、732:密封膜、734:绝缘膜、735:绝缘膜、736:着色膜、738:遮光膜、750:晶体管、752:晶体管、760:连接电极、770:绝缘膜、772:导电膜、773:绝缘膜、774:导电膜、775:液晶元件、776:液晶层、778:结构体、780:各向异性导电膜、782:发光元件、786:EL层、788:导电膜、791:触摸面板、792:绝缘膜、793:电极、794:电极、795:绝缘膜、796:电极、797:绝缘膜、800:显示装置、810:显示单元、815:控制器IC、820:触摸传感器单元、840:主体、843:光传感器、844:开闭传感器、845:光、850:接口、851:帧存储器、852:译码器、853:传感器控制器、854:控制器、855:时钟生成电路、860:图像处理部、861:伽马校正电路、862:调光电路、863:调色电路、864:校正电路、870:存储器、873:时序控制器、875:寄存器、875A:扫描器链寄存器部、875B:寄存器部、884:触摸传感器控制器、890:区域、902:控制部、903:单元阵列、904:读出放大器电路、905:驱动器、906:主放大器、907:输入输出电

路、908:外围电路、909:存储单元、930:寄存器、931:寄存器、947:保持电路、948:选择器、949:触发器电路、950:反相器、955:反相器、957:模拟开关、958:模拟开关、961:反相器、963:反相器、964:时钟反相器、965:模拟开关、966:缓冲器、1500:广播系统、1500A:广播系统、1501:电子设备系统、1501A:电子设备系统、1510:摄像机、1511:发送器、1512:接收器、1513:显示装置、1520:图像传感器、1521:图像处理器、1522:编码器、1522A:编码器、1522B:编码器、1523:调制器、1530:图像生成装置、1540:Raw数据、1541:视频数据、1541A:视频数据、1541B:视频数据、1542:编过码的数据、1542A:编过码的数据、1542B:编过码的数据、1543:广播信号、1560:TV、1561:广播电台、1562:人造卫星、1563:电波塔、1564:天线、1565:天线、1566A:电波、1566B:电波、1567A:电波、1567B:电波、1571:接收器、1572:无线器件、1573:无线器件、1574:接收器、1575:连接器部、7000:显示模块、7001:上盖、7002:下盖、7006:显示面板、7009:框架、7010:印刷电路板、7011:电池、7015:发光部、7016:受光部、7017a:导光部、7017b:导光部、7018:光、8000:摄像机、8001:外壳、8002:显示部、8003:操作按钮、8004:快门按钮、8006:镜头、8100:取景器、8101:外壳、8102:显示部、8103:按钮、8200:头戴显示器、8201:安装部、8202:透镜、8203:主体、8204:显示部、8205:电缆、8206:电池、8300:头戴显示器、8301:外壳、8302:显示部、8304:固定工具、8305:透镜、9000:外壳、9001:显示部、9003:扬声器、9005:操作键、9006:连接端子、9007:传感器、9008:麦克风。

本申请基于2016年9月12日由日本专利局受理的日本专利申请第2016-178106号、2016年9月20日由日本专利局受理的日本专利申请第2016-183322号、2016年11月30日由日本专利局受理的日本专利申请第2016-233577号以及2017年5月19日由日本专利局受理的日本专利申请第2017-099483号,其全部内容通过引用纳入本文。

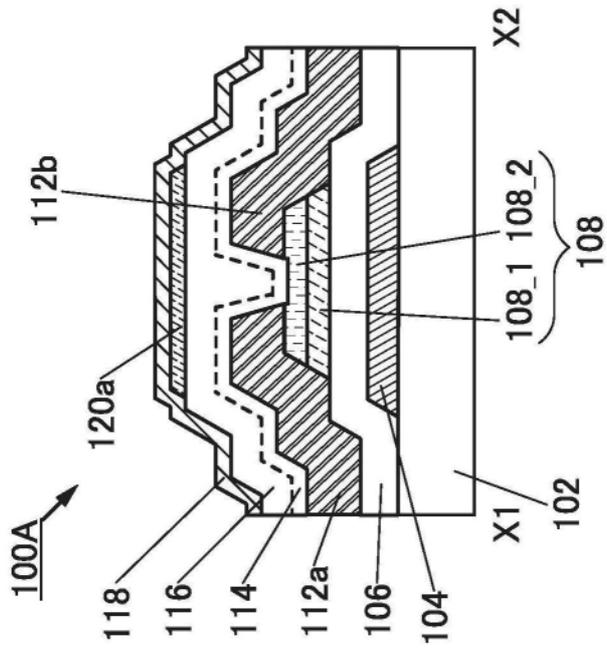


图1A-1

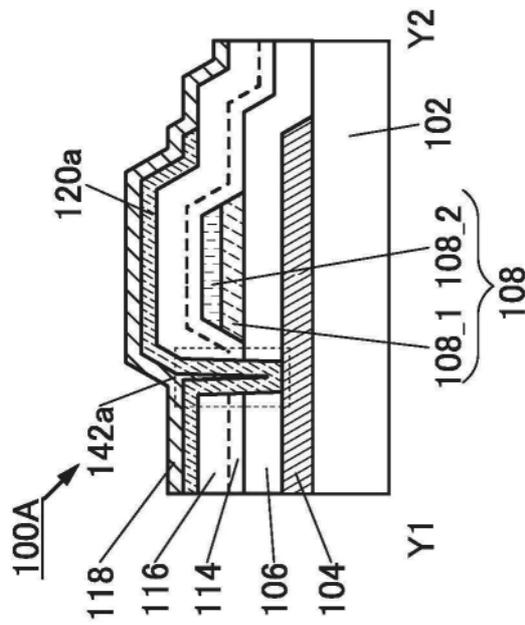


图1A-2

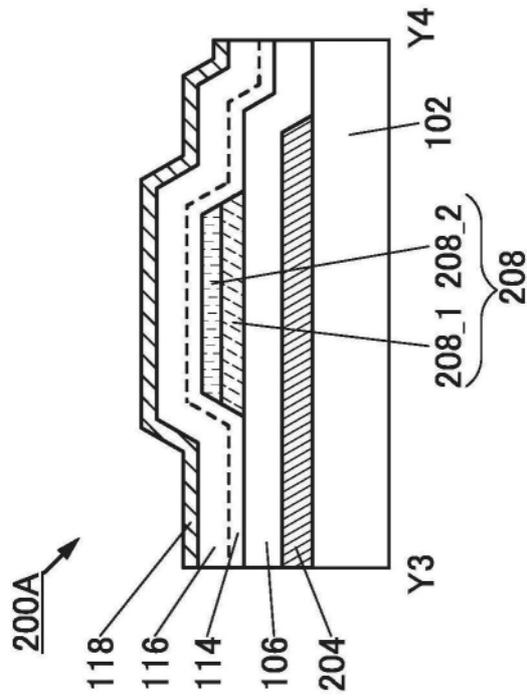


图1B-2

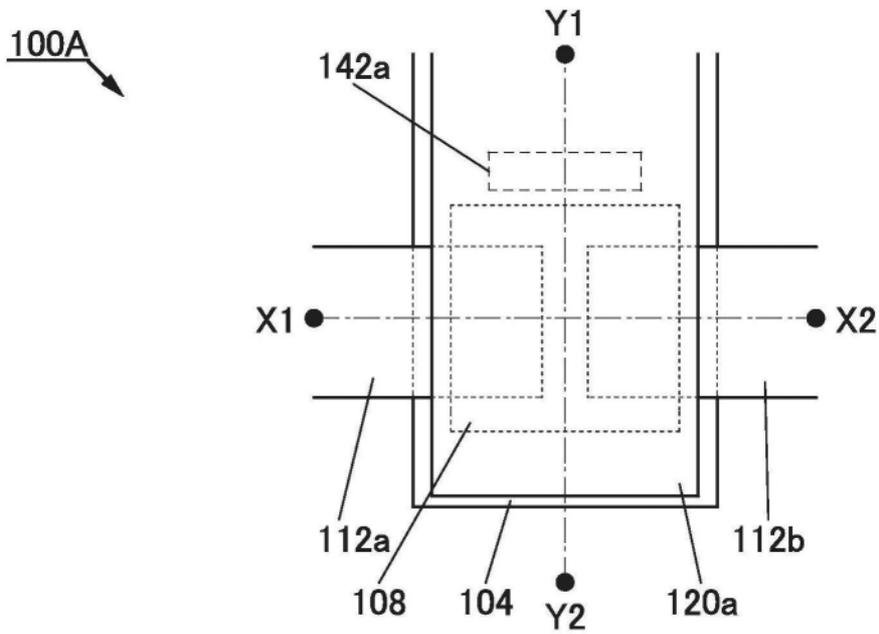


图2A

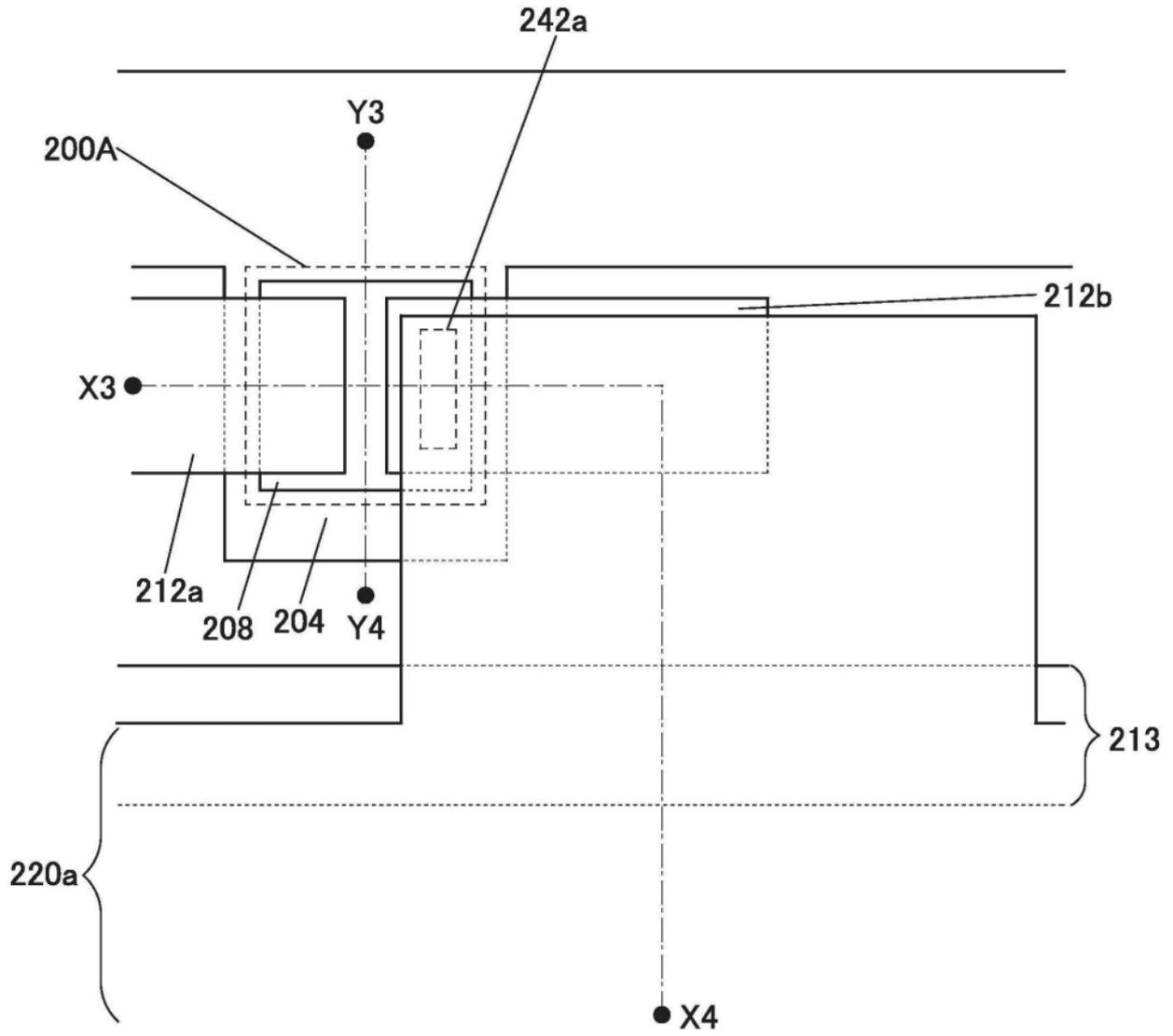


图2B

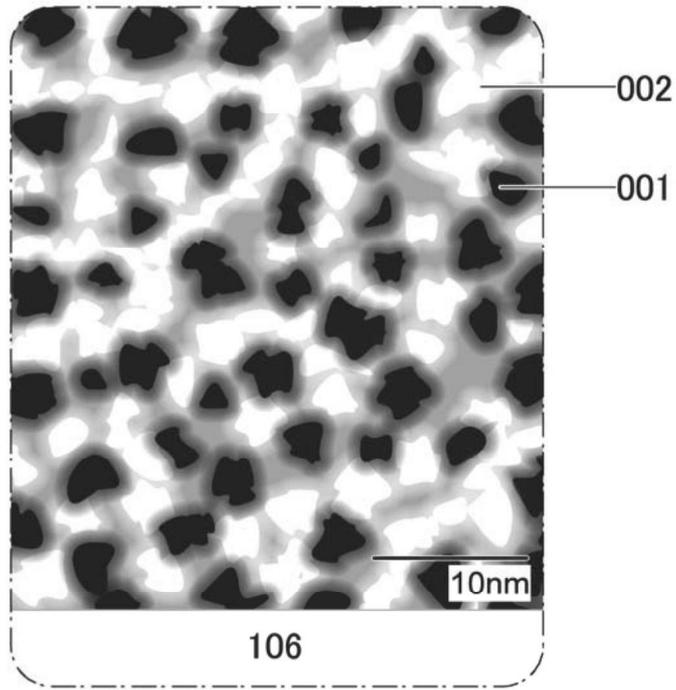


图3

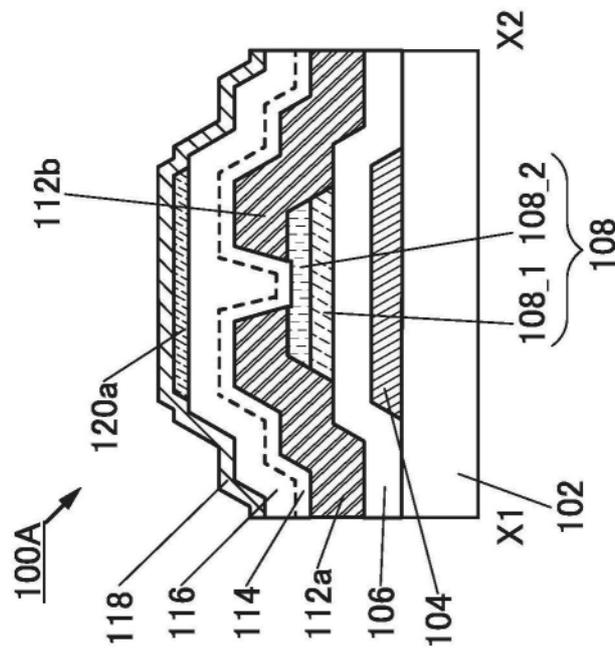


图4A-1

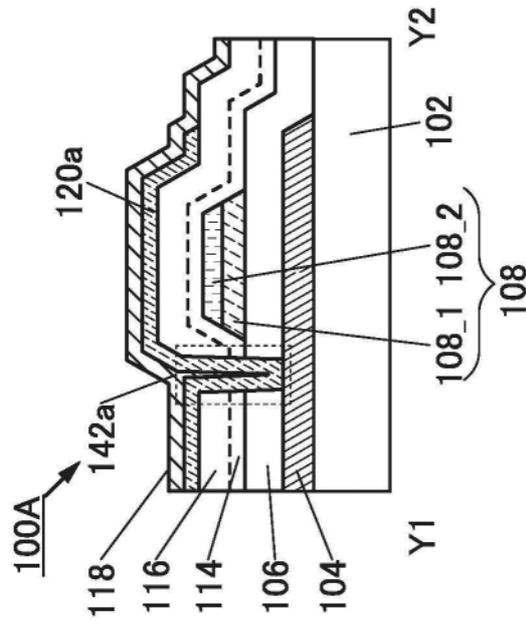


图4A-2

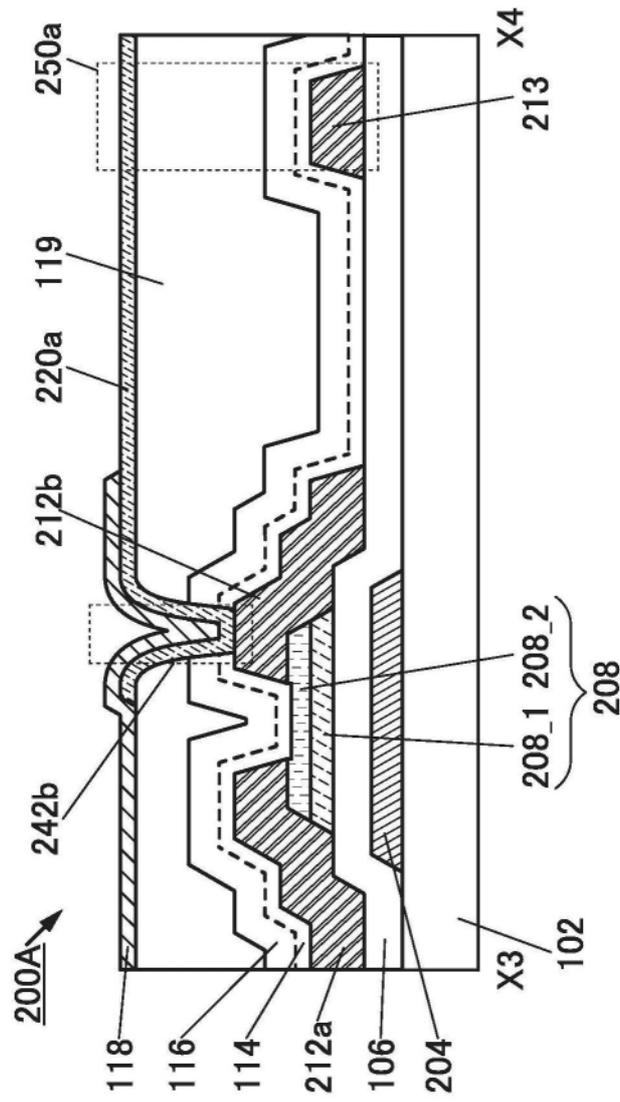


图4B-1

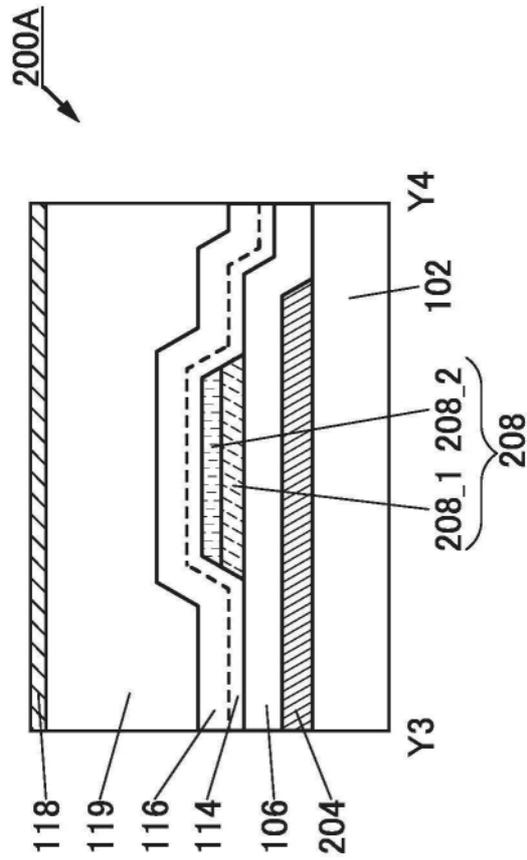


图4B-2

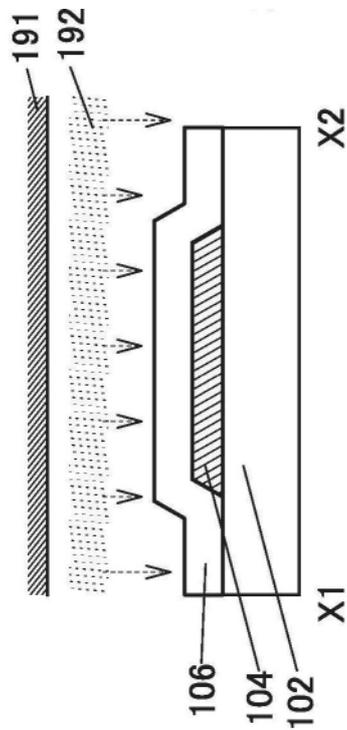


图5A-1

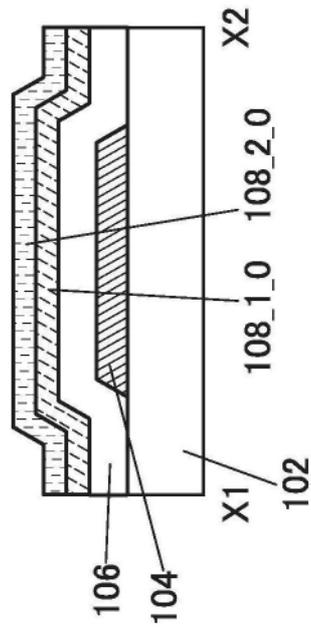


图5A-2

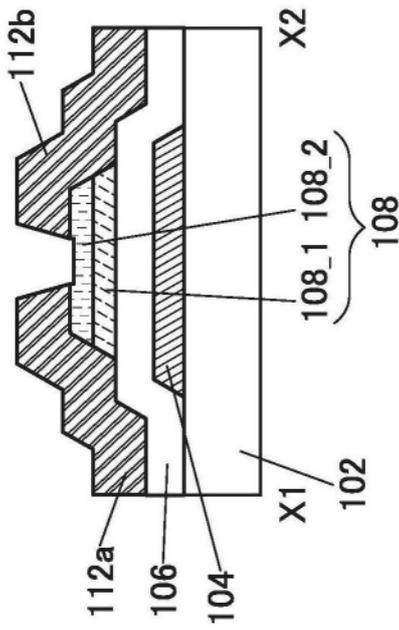


图5A-3

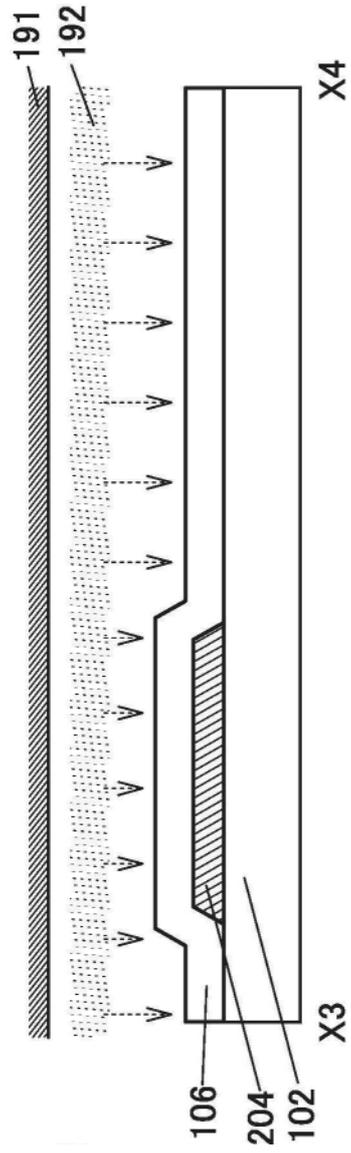


图5B-1

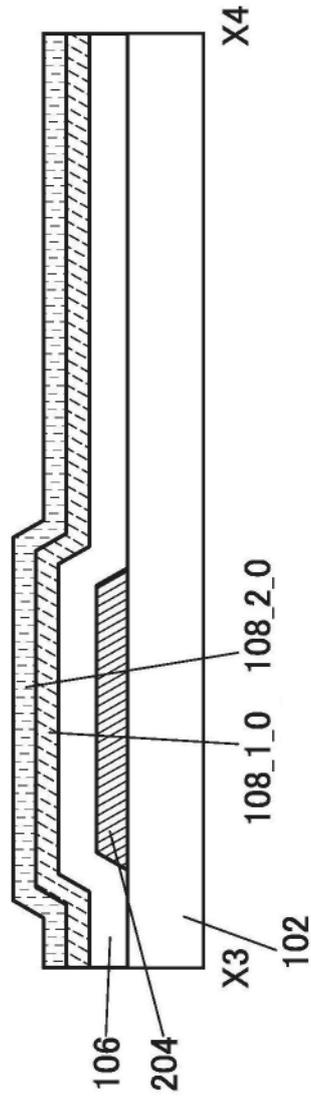


图5B-2

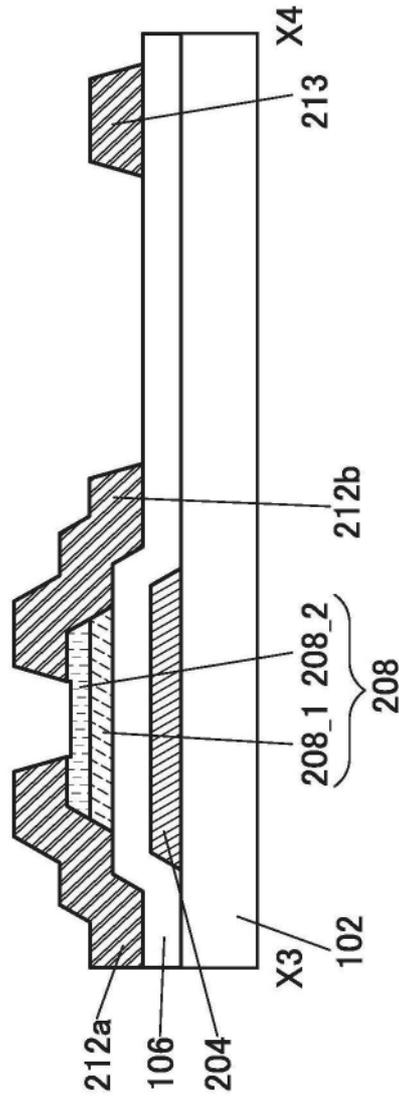


图5B-3

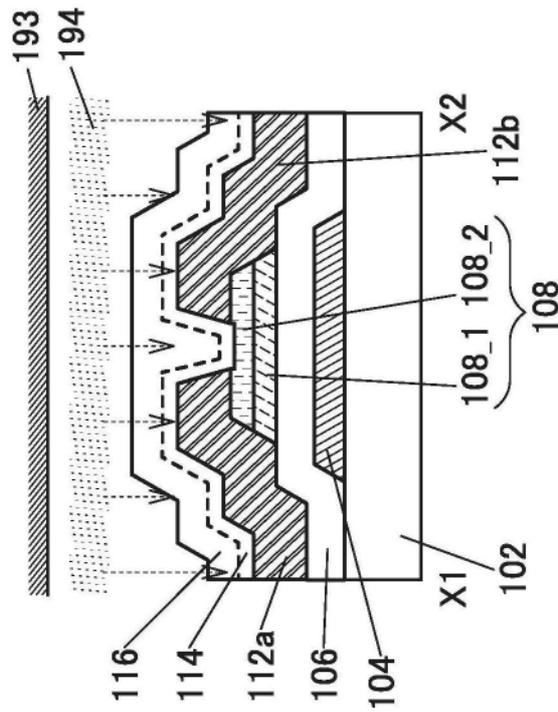


图6A-1

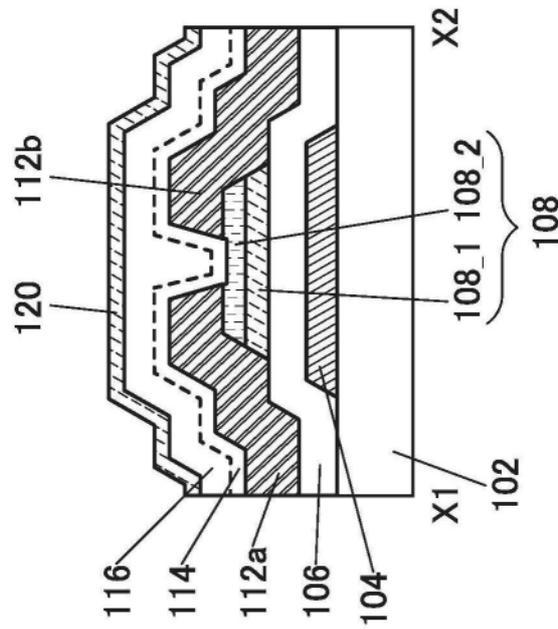


图6A-2

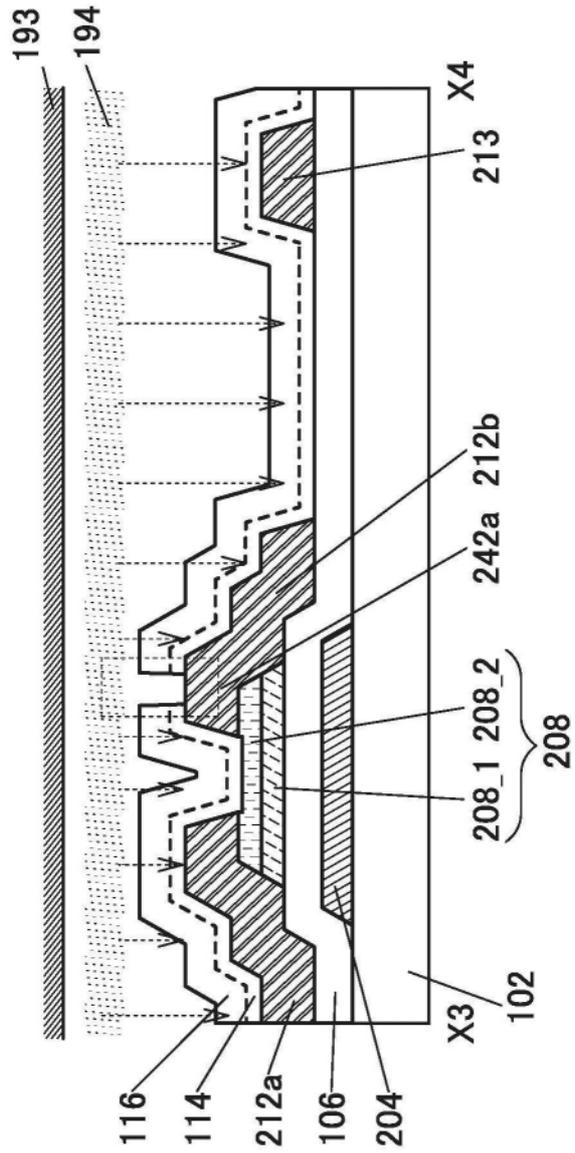


图6B-1

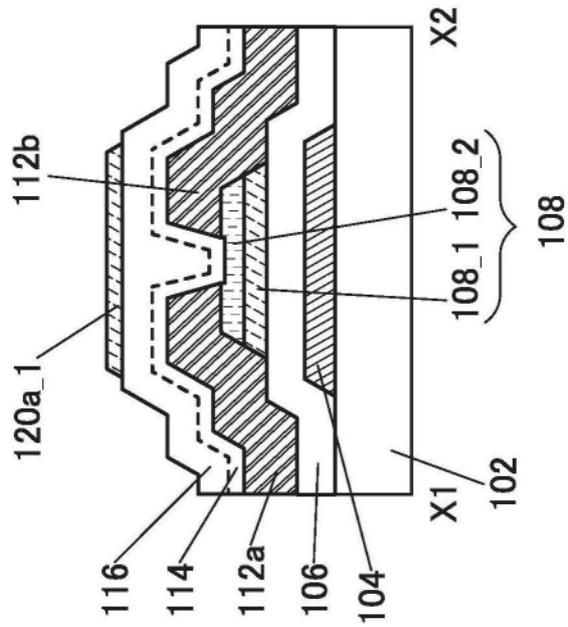


图7A-1

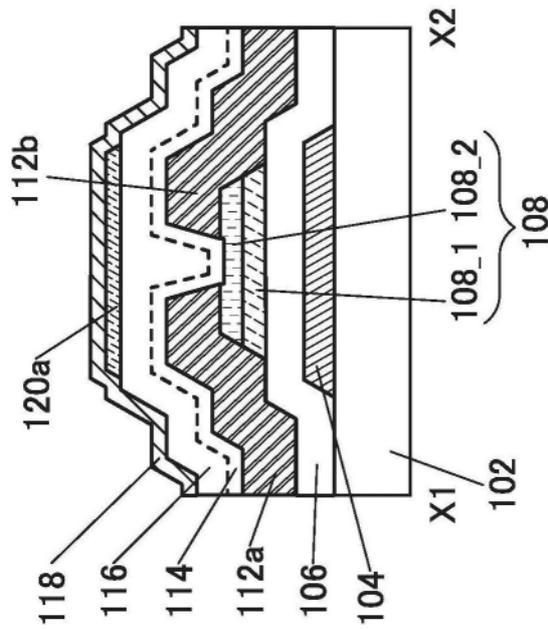


图7A-2

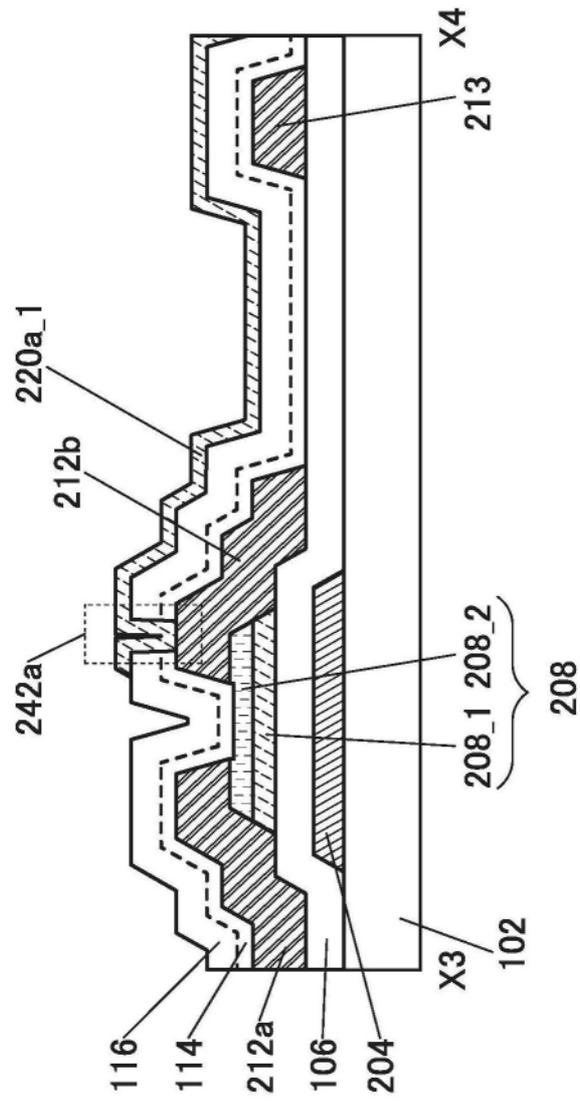


图7B-1

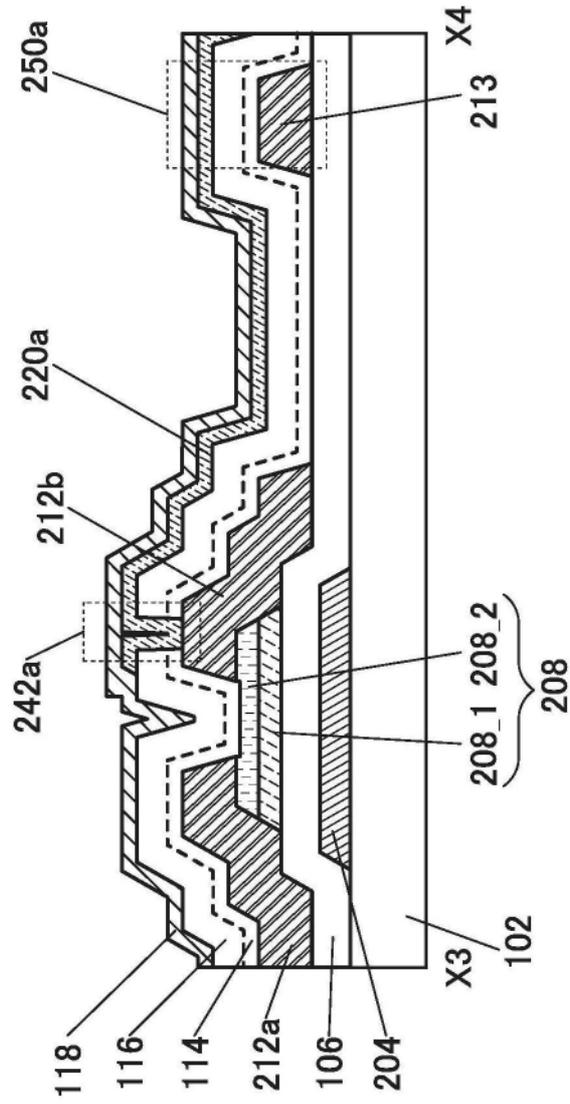


图7B-2

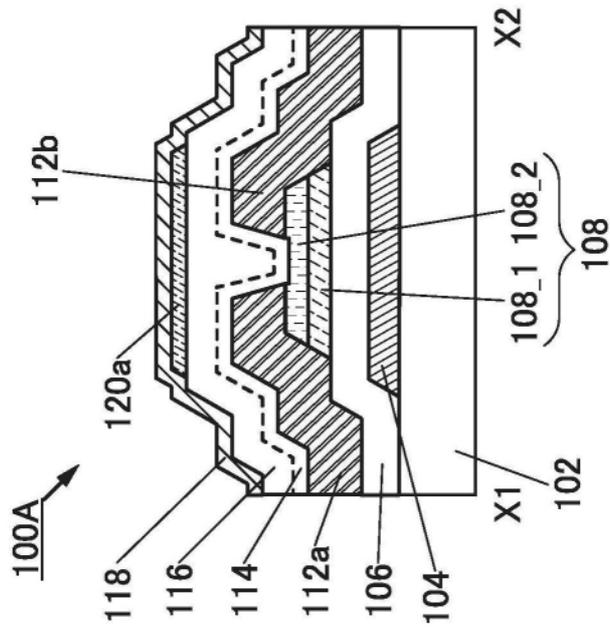


图8A-1

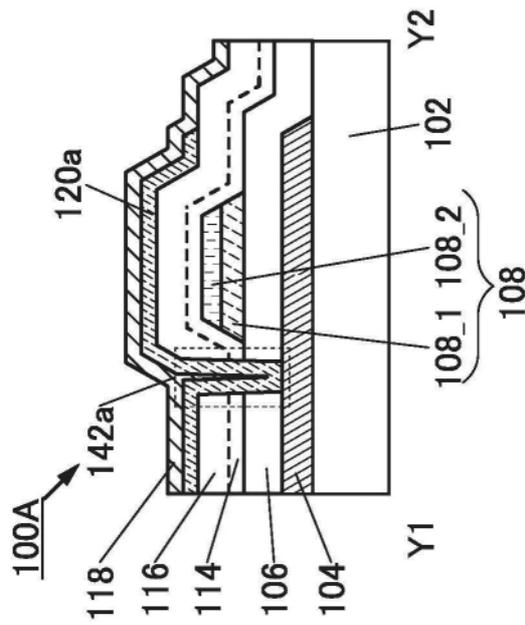


图8A-2

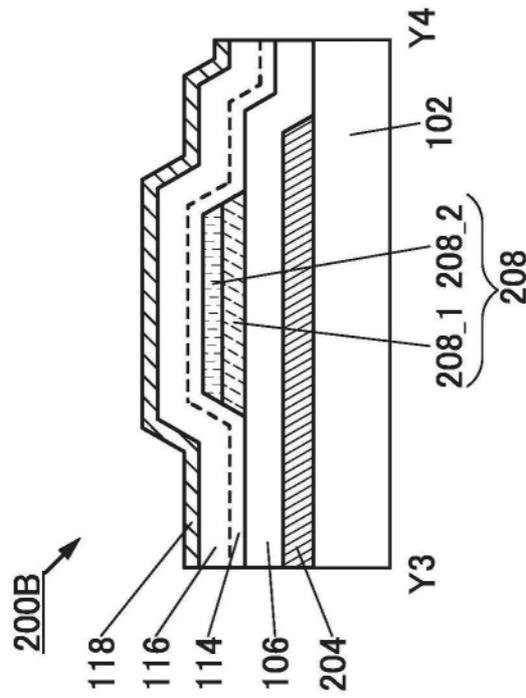


图8B-2

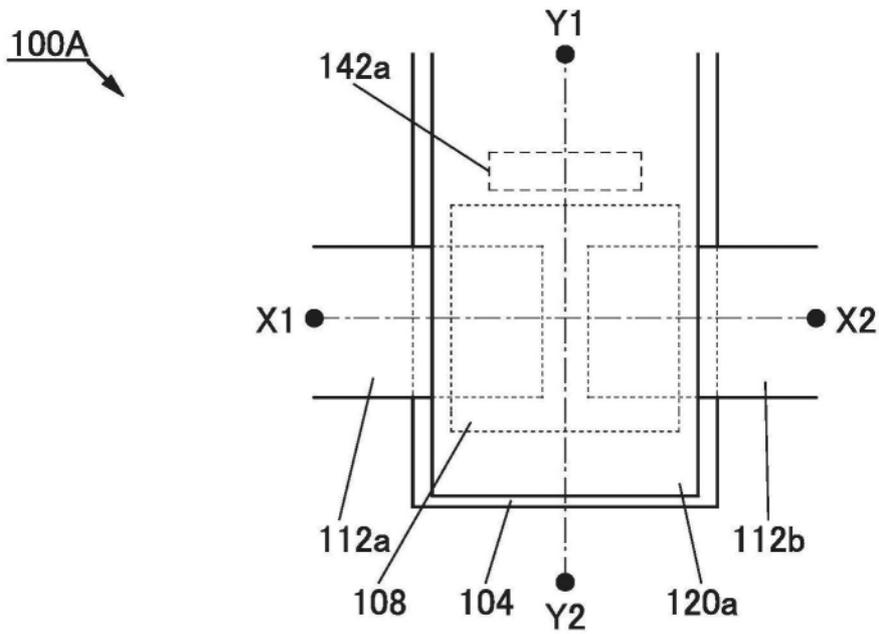


图9A

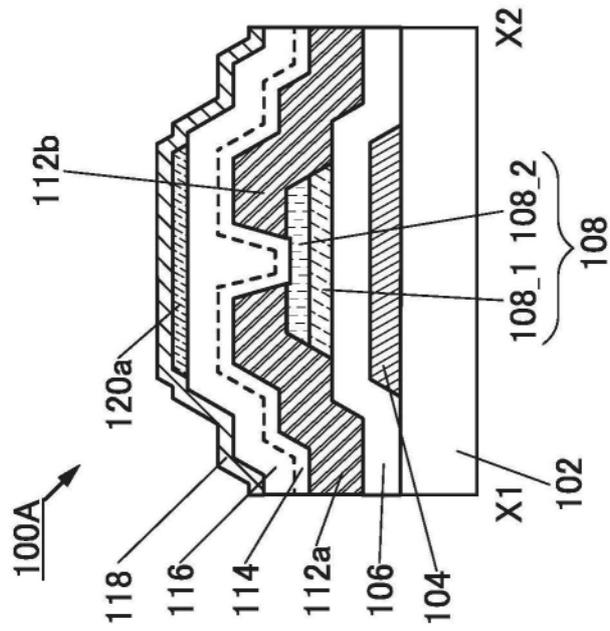


图10A-1

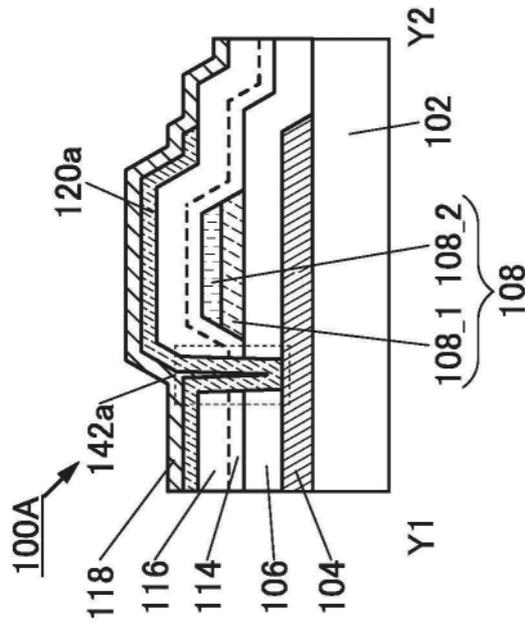


图10A-2

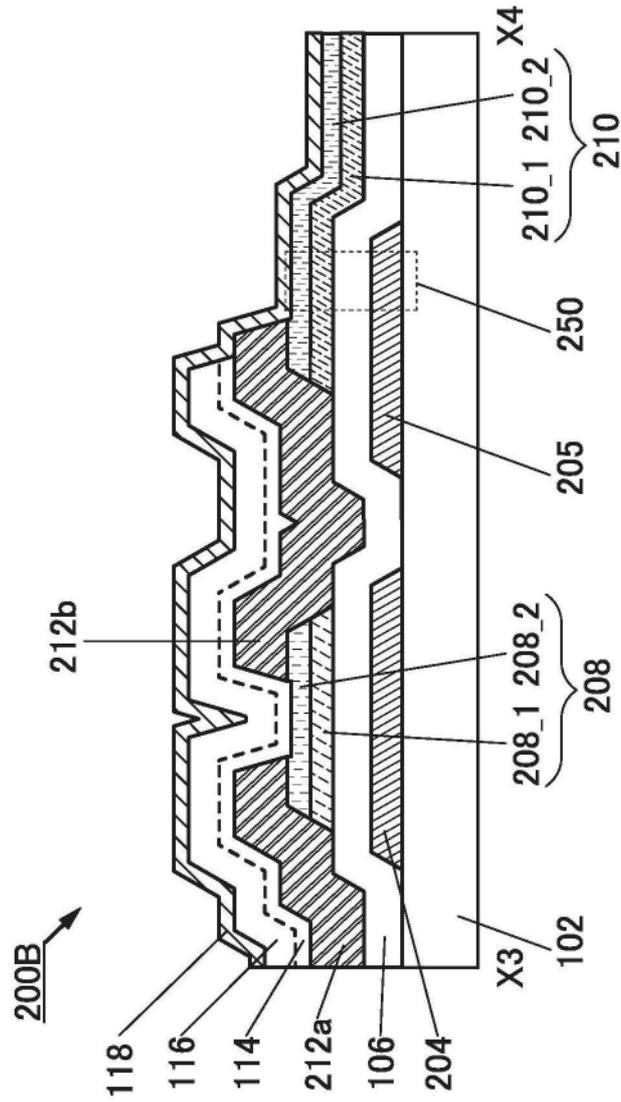


图10B-1

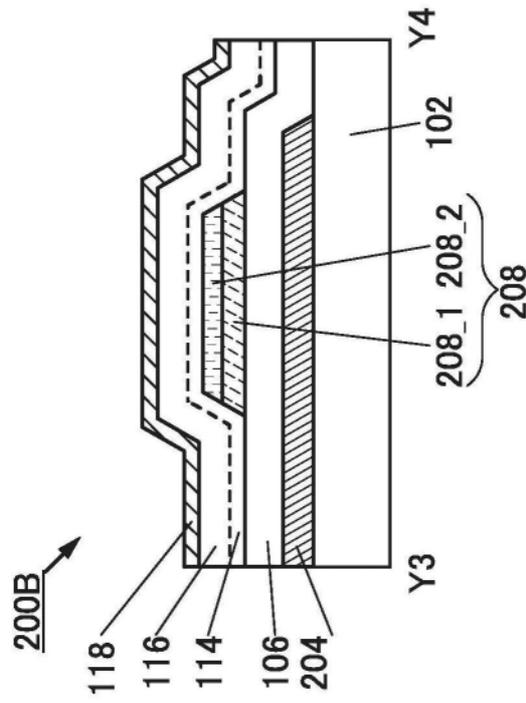


图10B-2

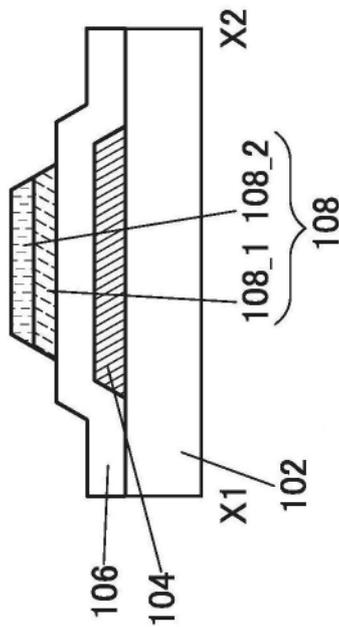


图11A-1

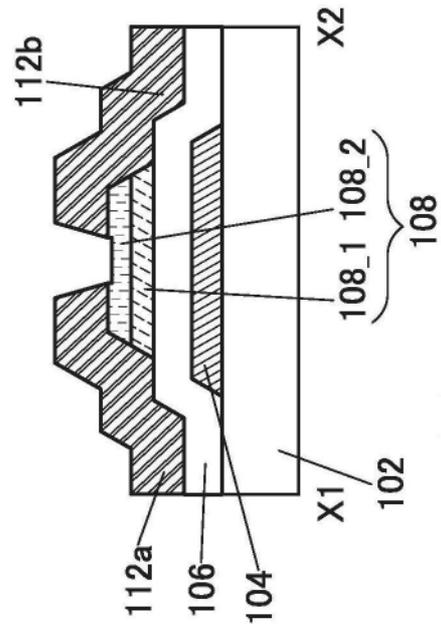


图11A-2

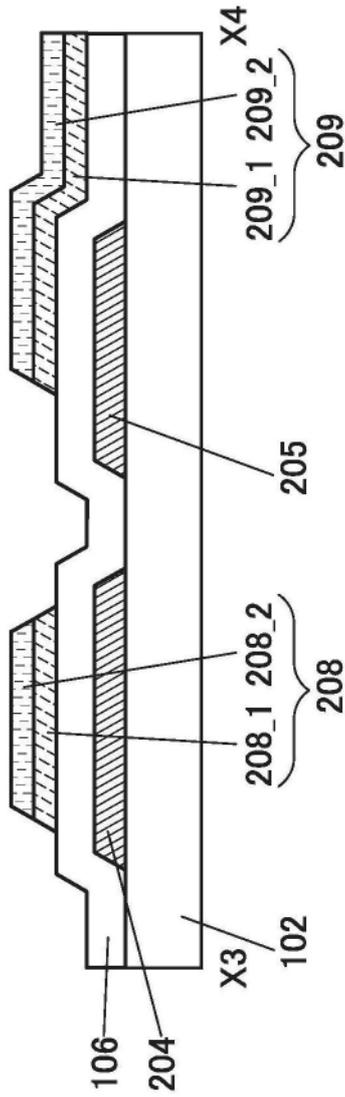


图11B-1

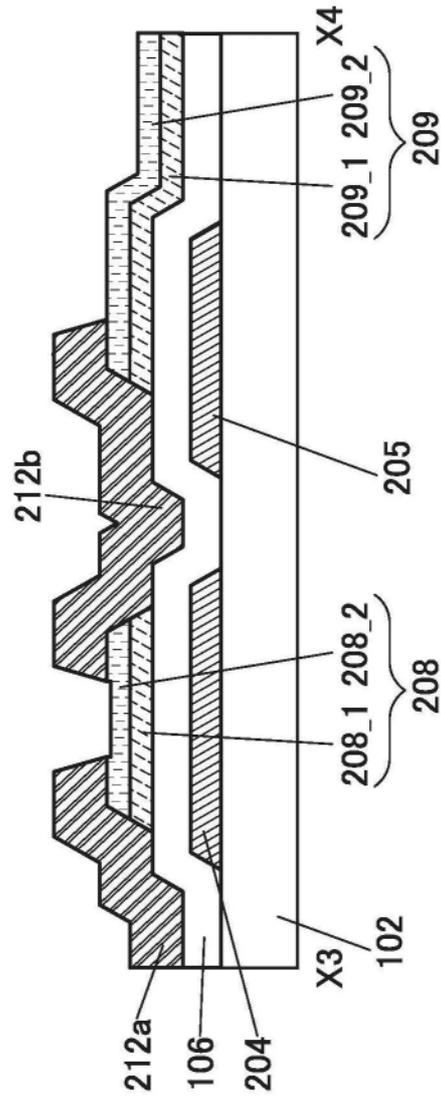


图11B-2

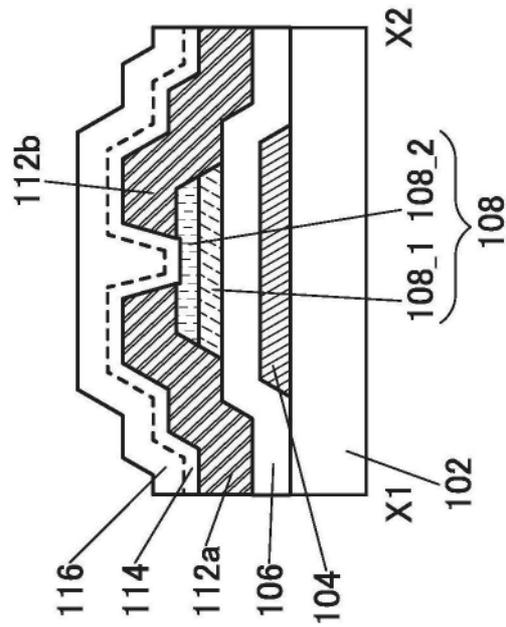


图12A-1

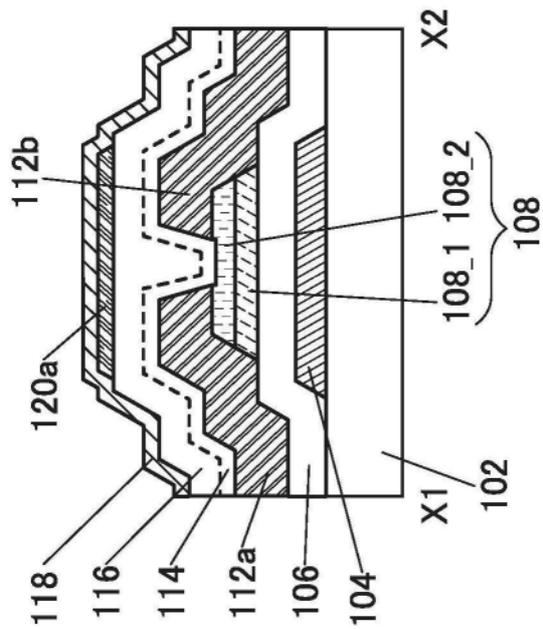


图12A-2

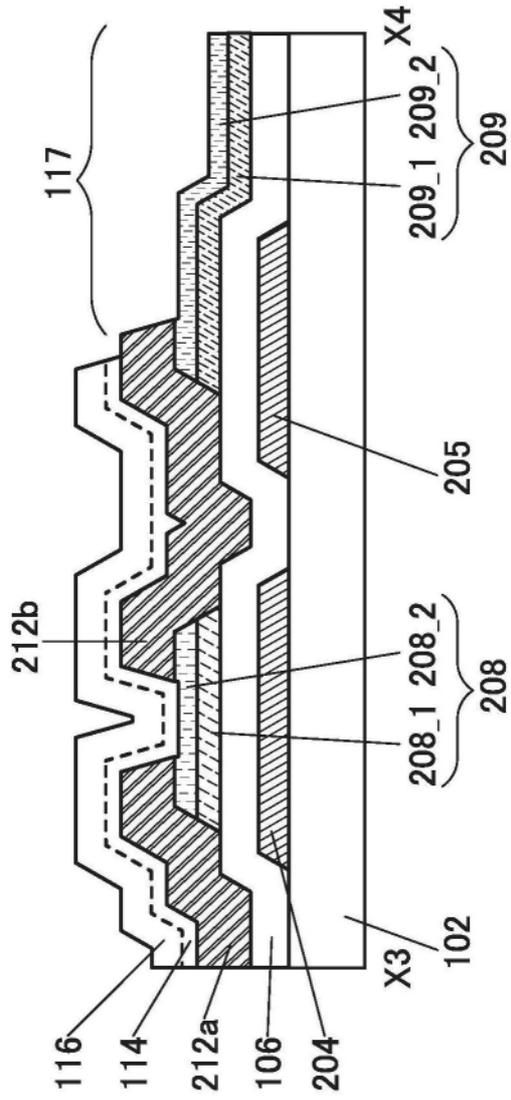


图12B-1

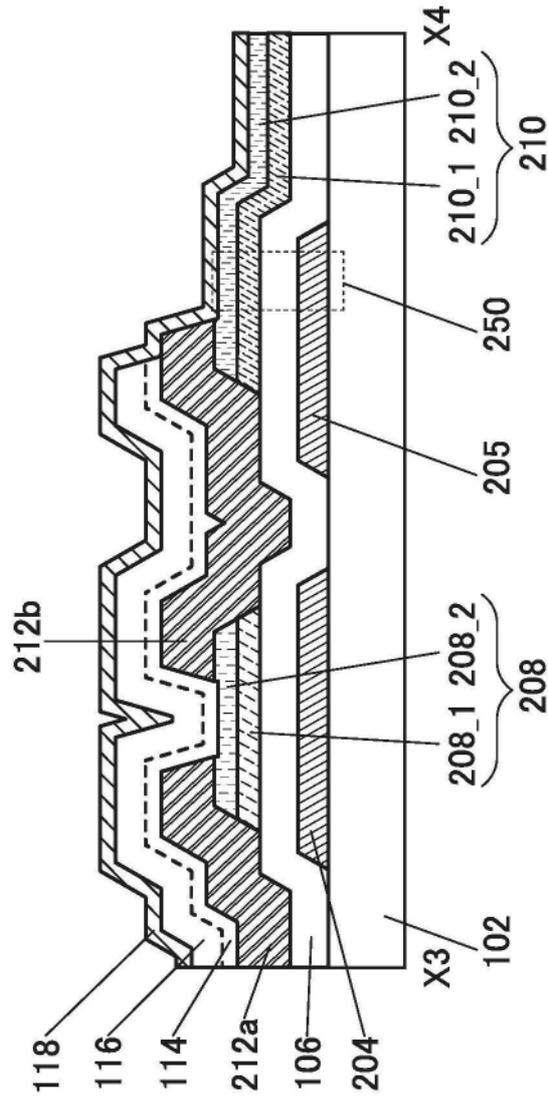


图12B-2

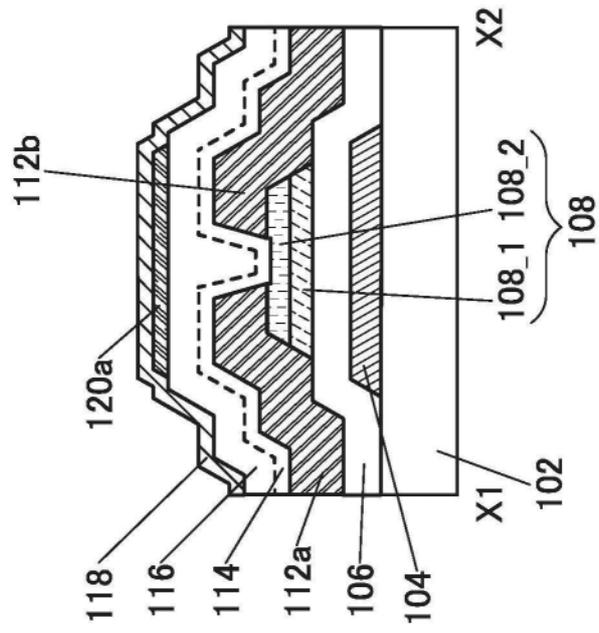


图13A-1

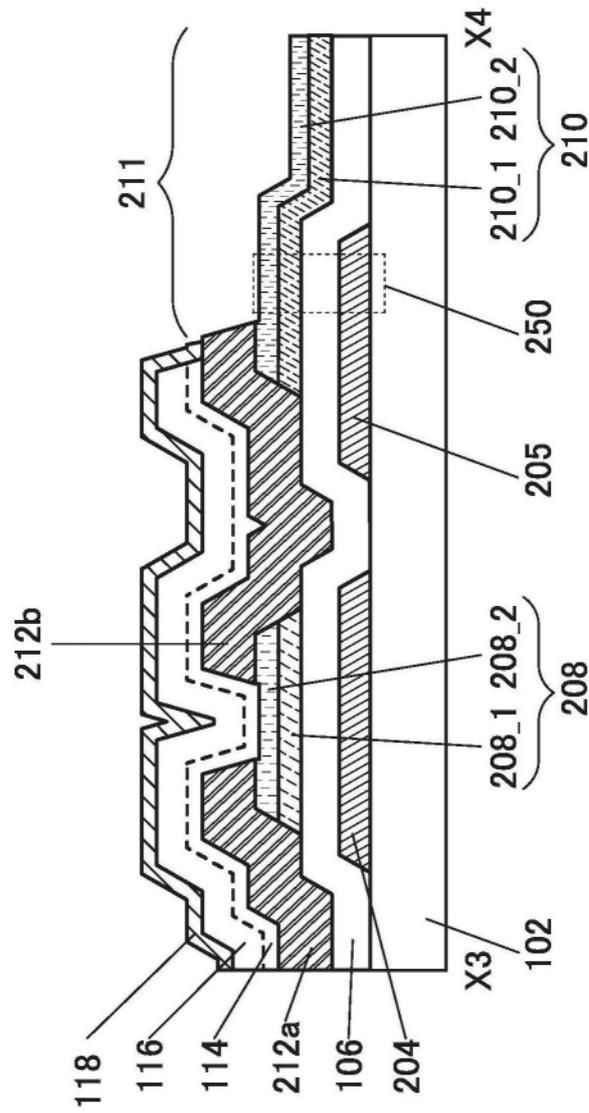


图13B-1

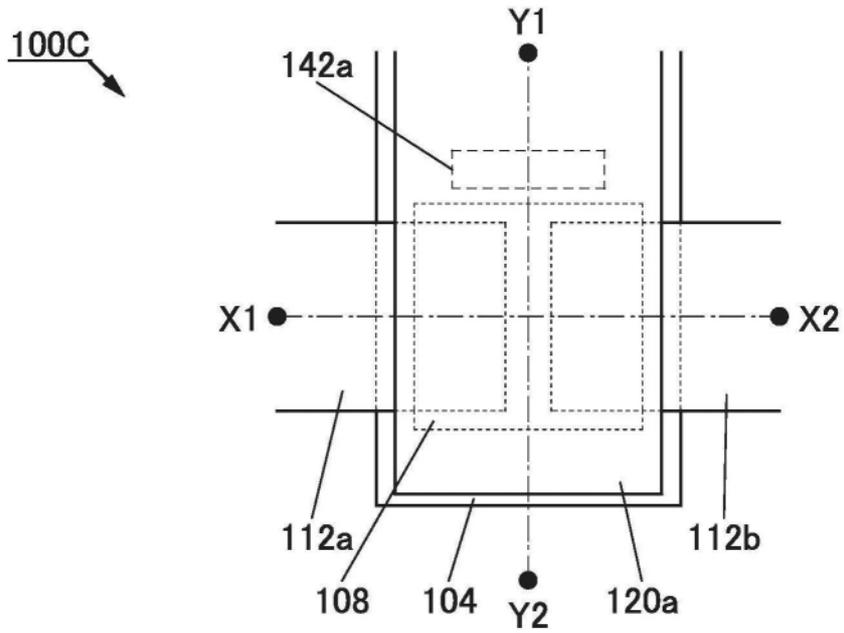


图14A

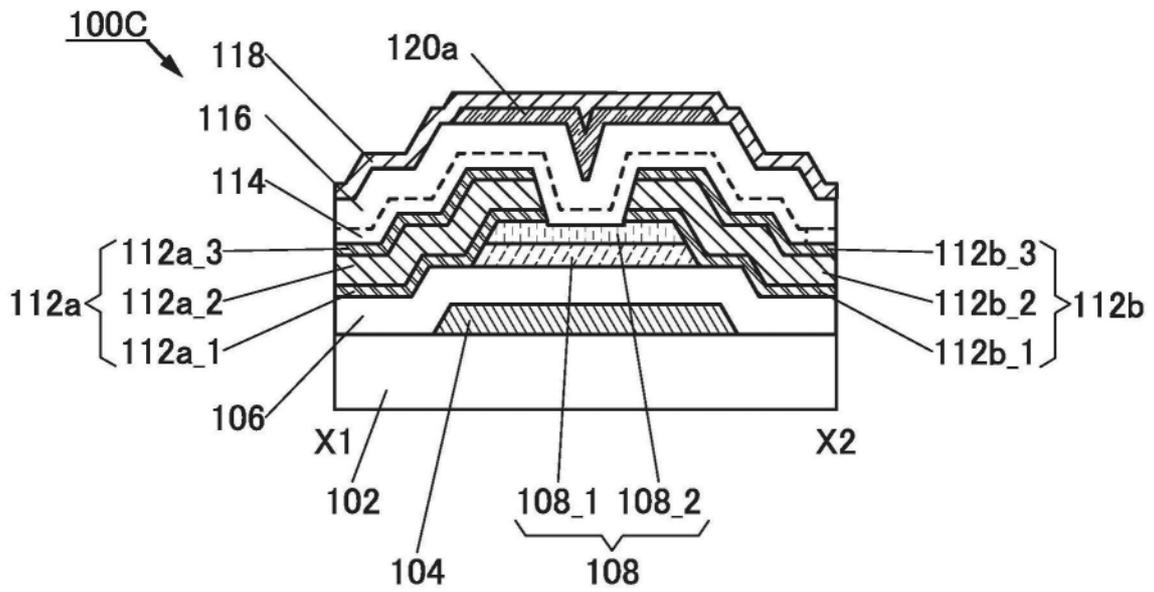


图14B

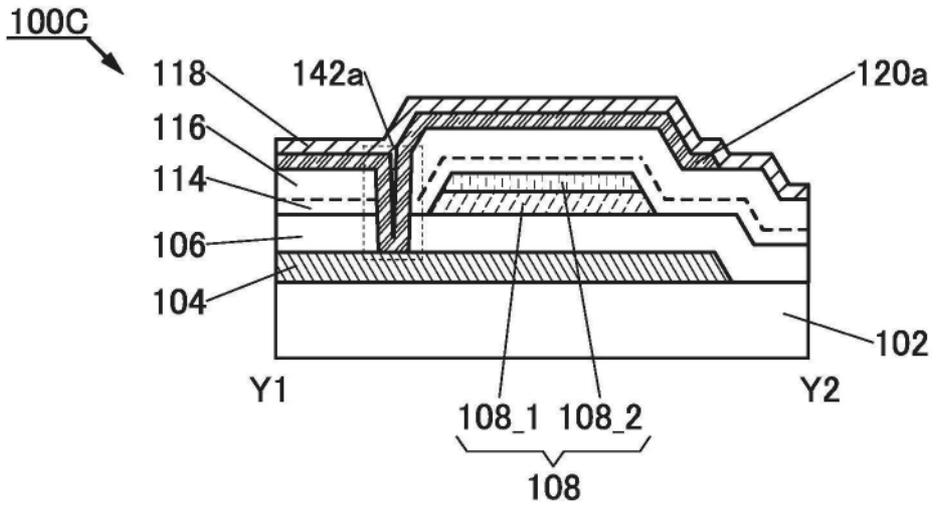


图14C

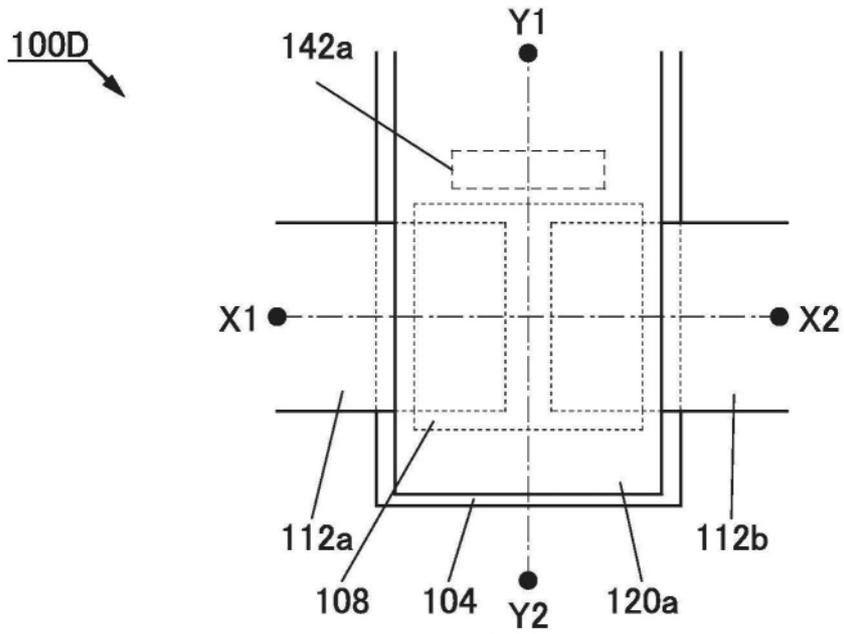


图15A

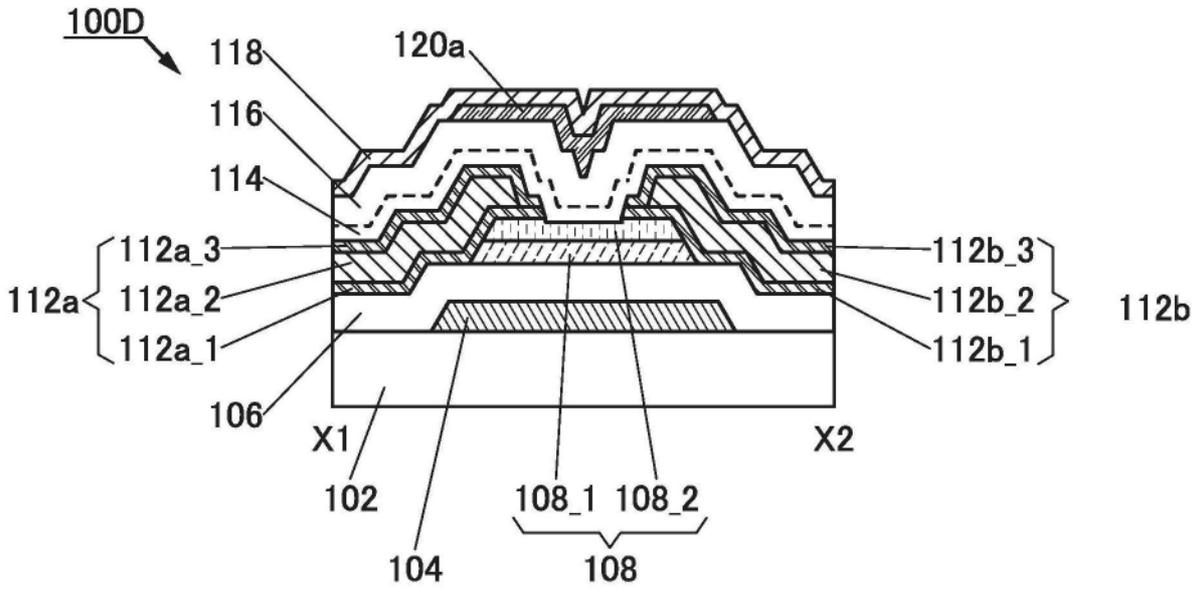


图15B

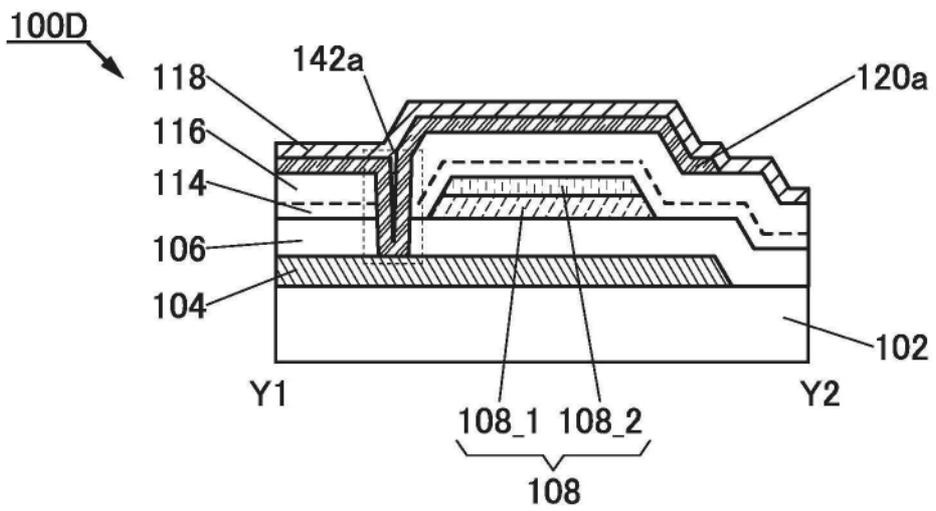


图15C

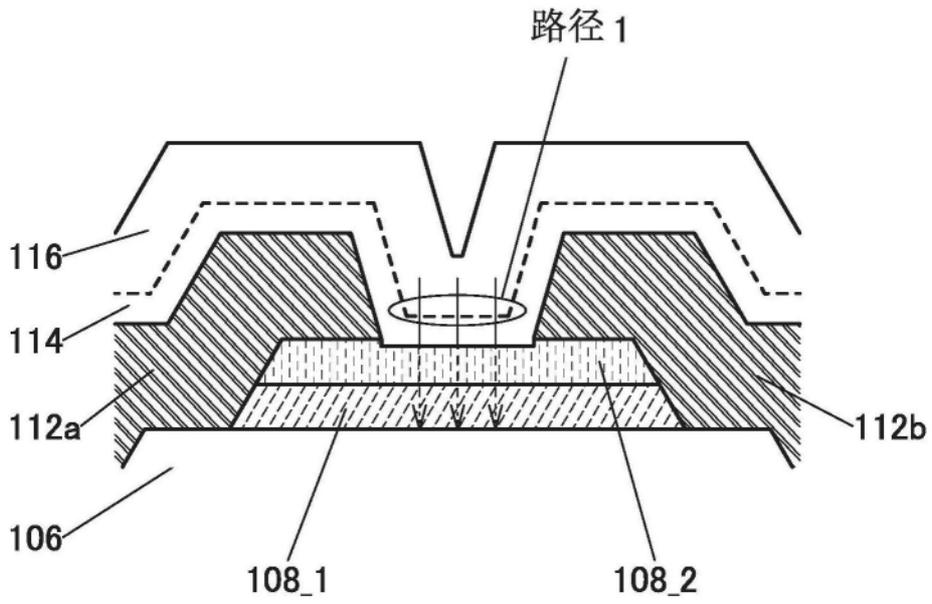


图16A

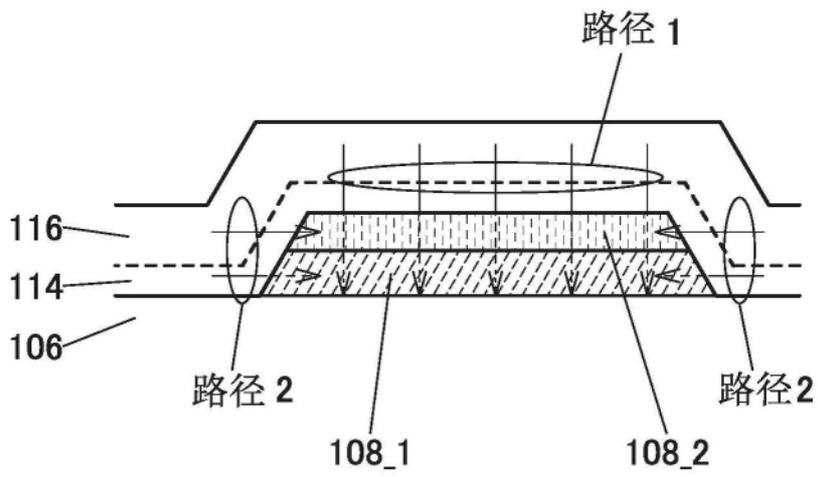


图16B

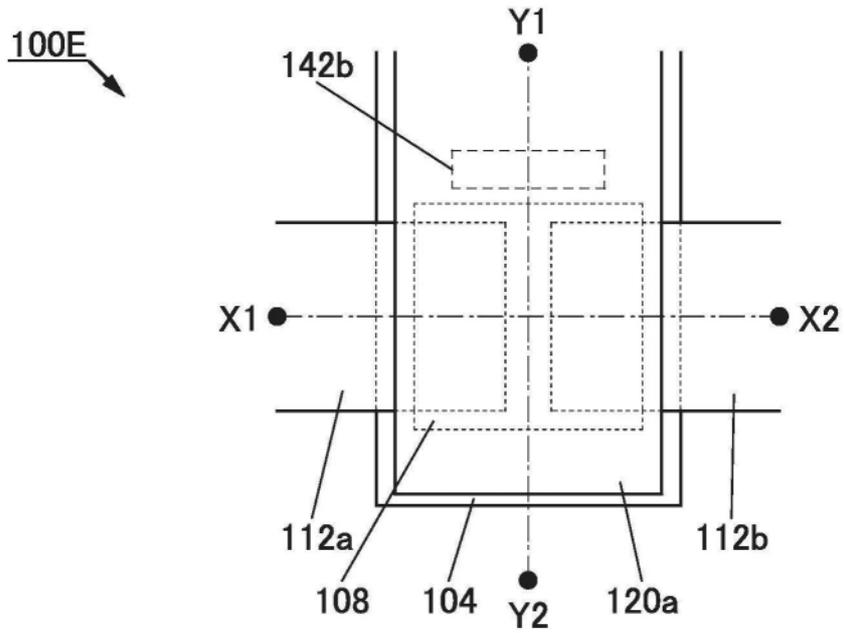


图17A

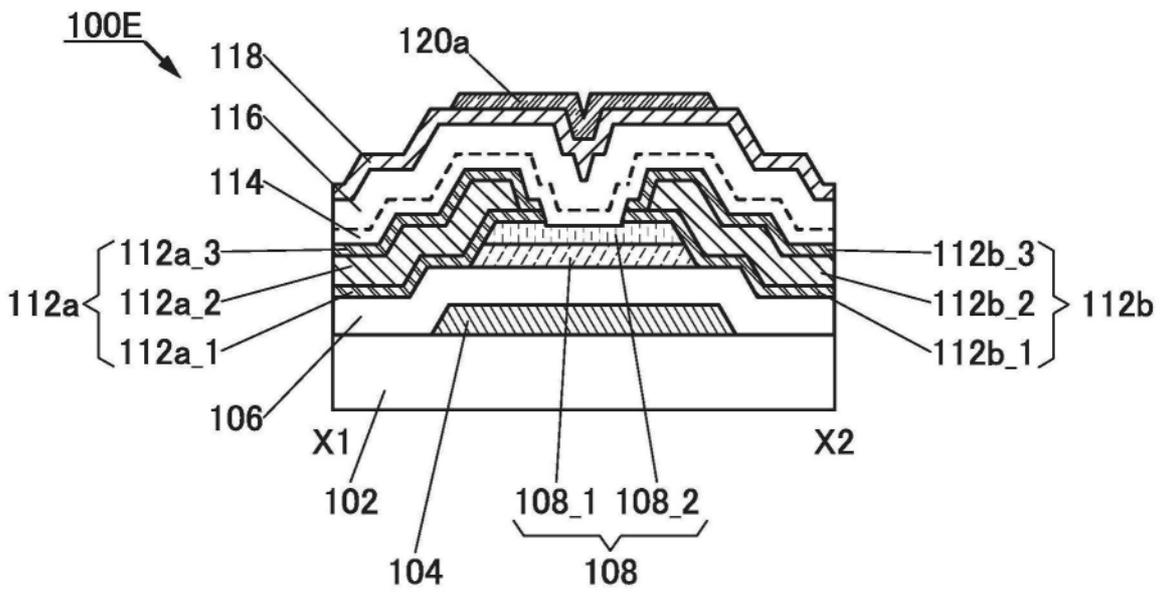


图17B

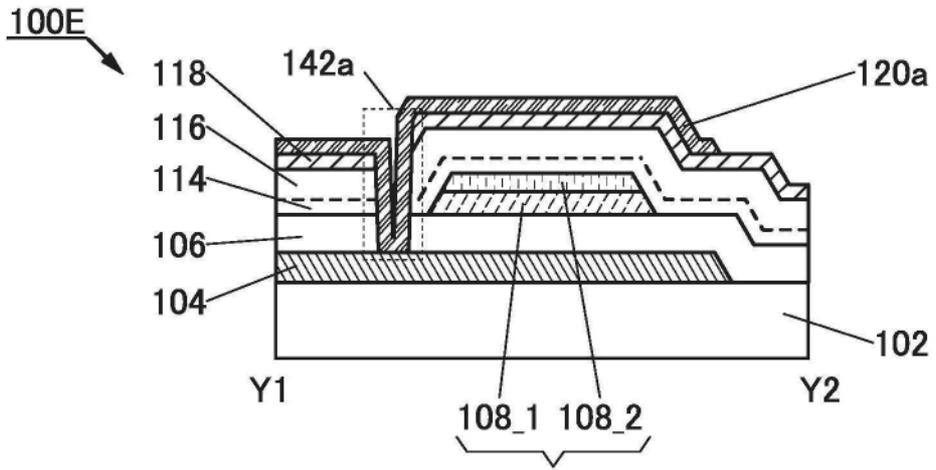


图17C

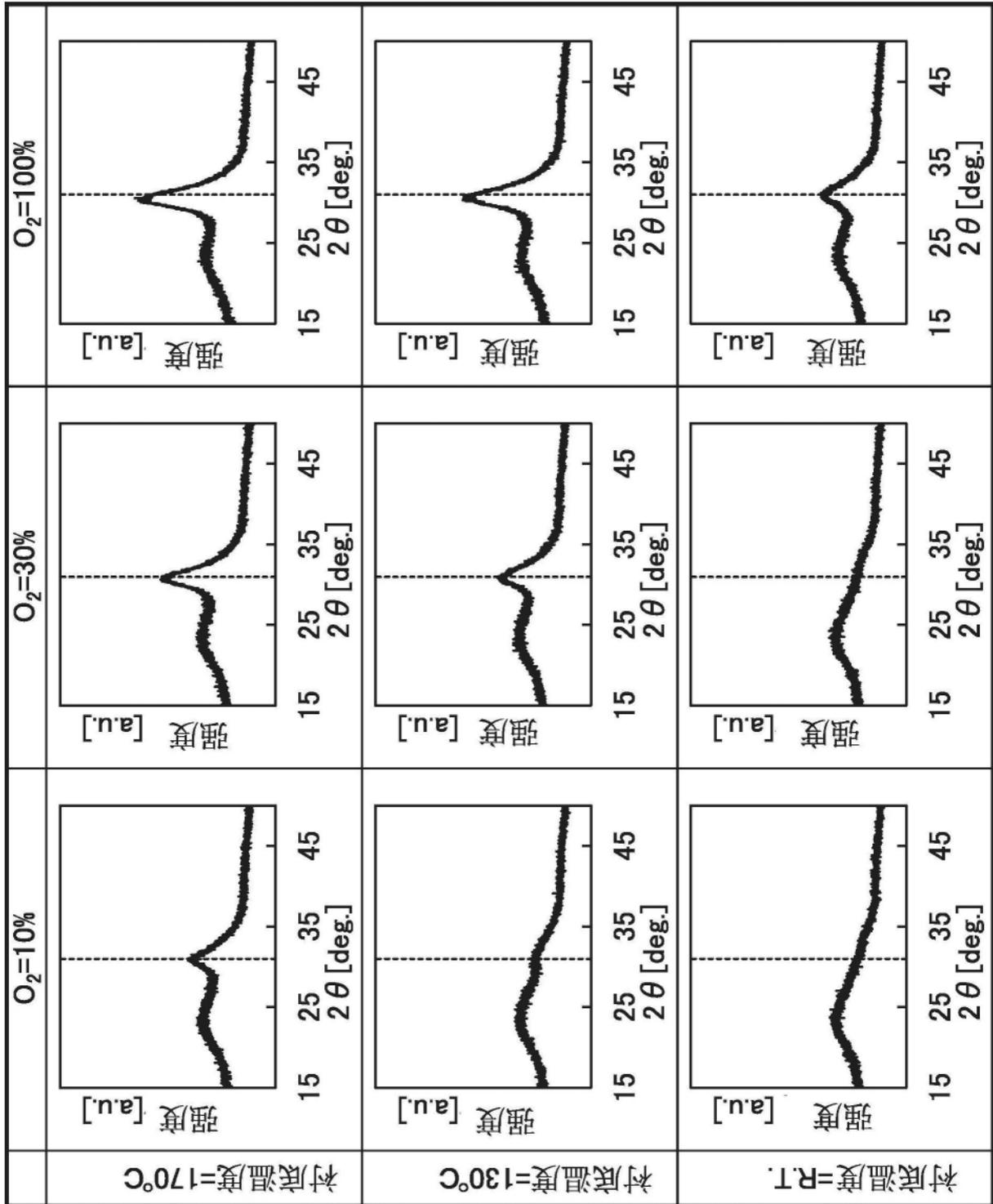


图18

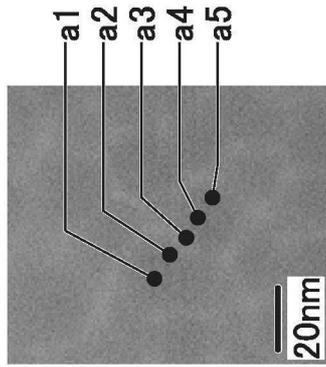


图19A

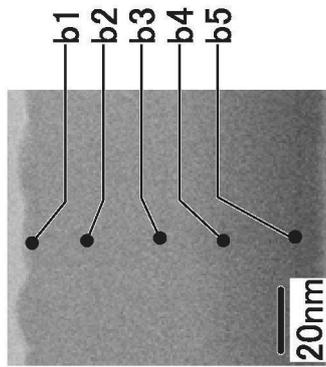


图19B

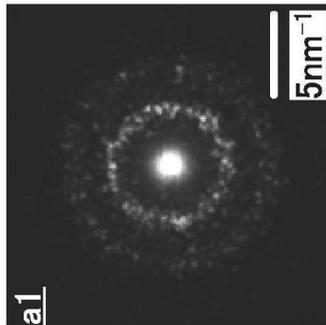


图19C

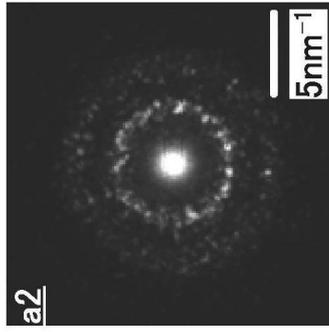


图19D

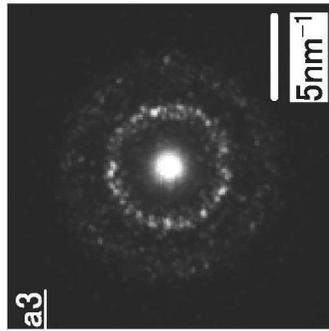


图19E

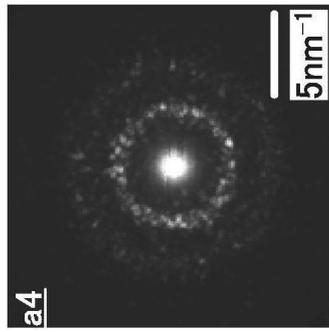


图19F

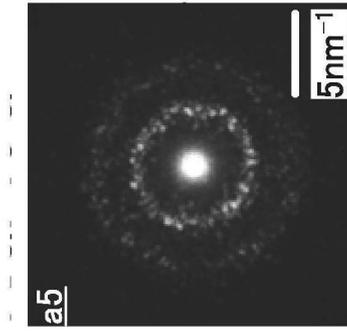


图19G

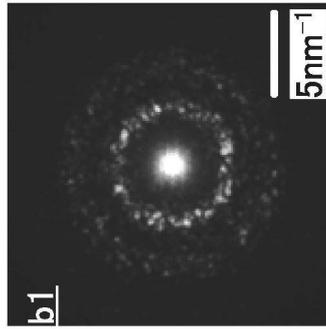


图19H

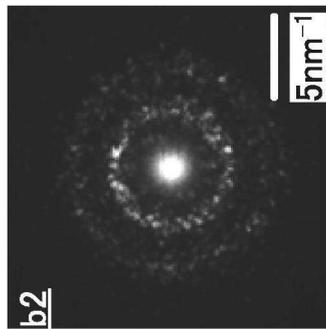


图19I

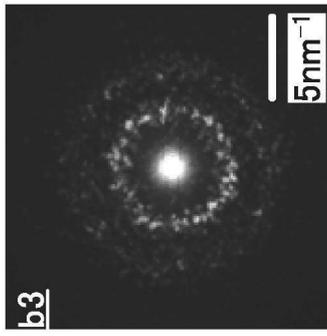


图19J

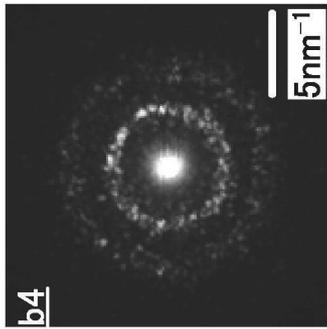


图19K

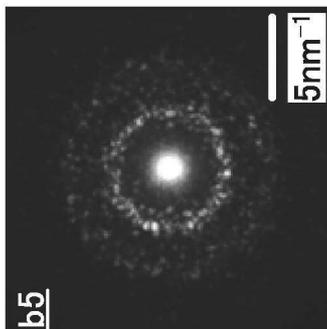


图19L

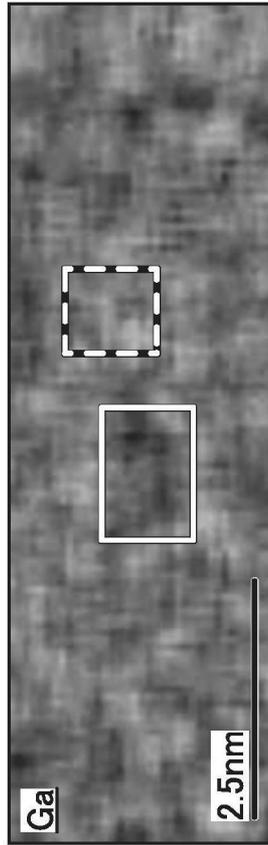


图20A

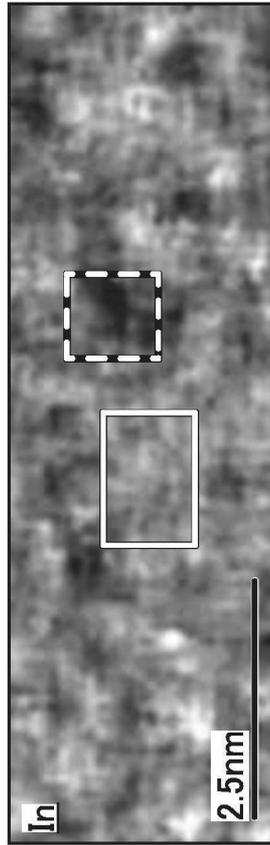


图20B

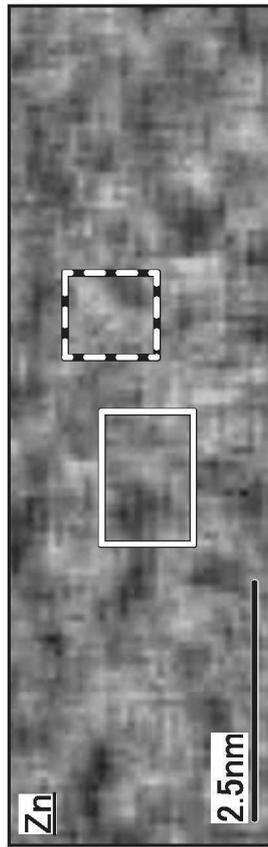


图20C

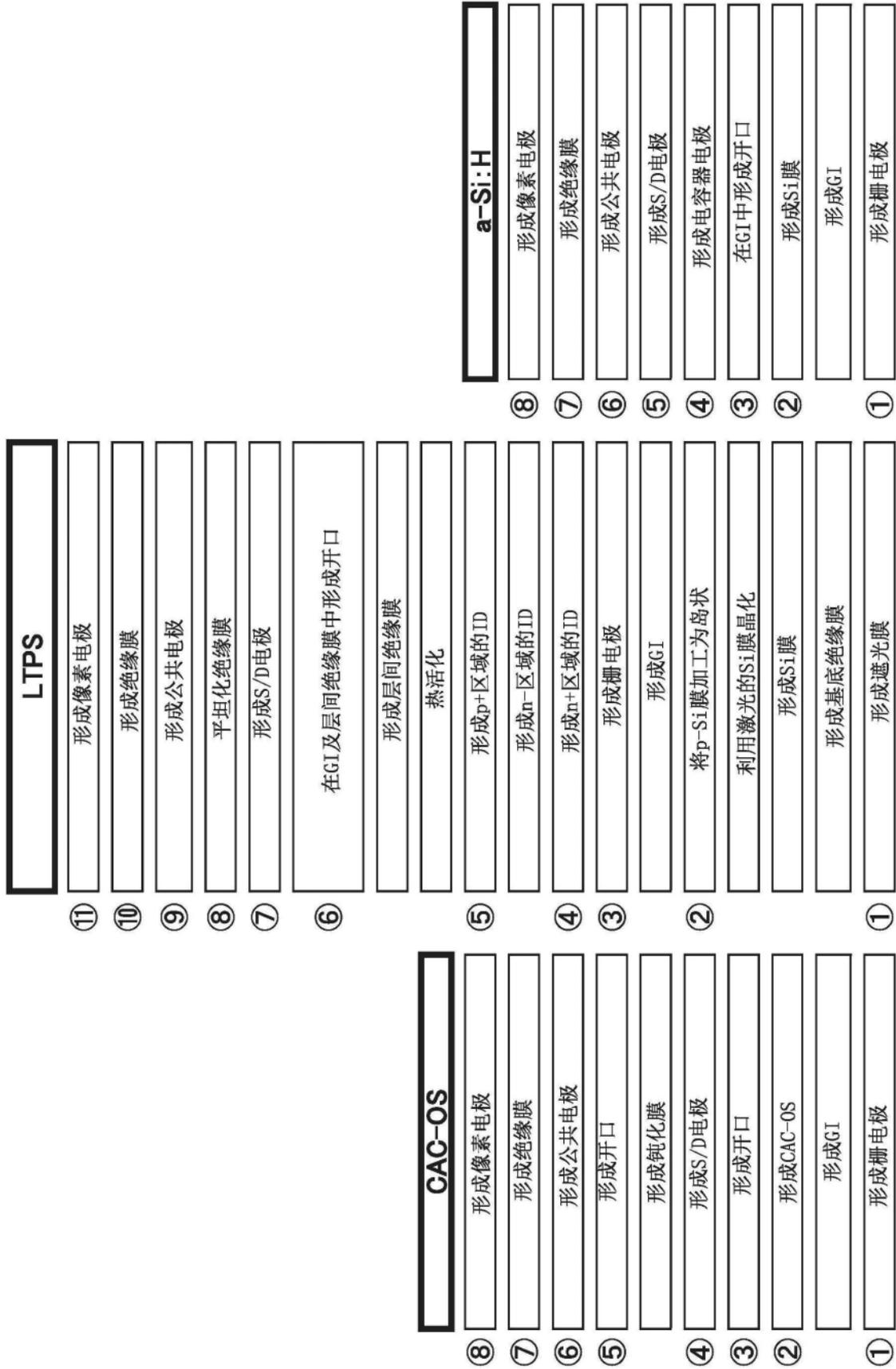


图21

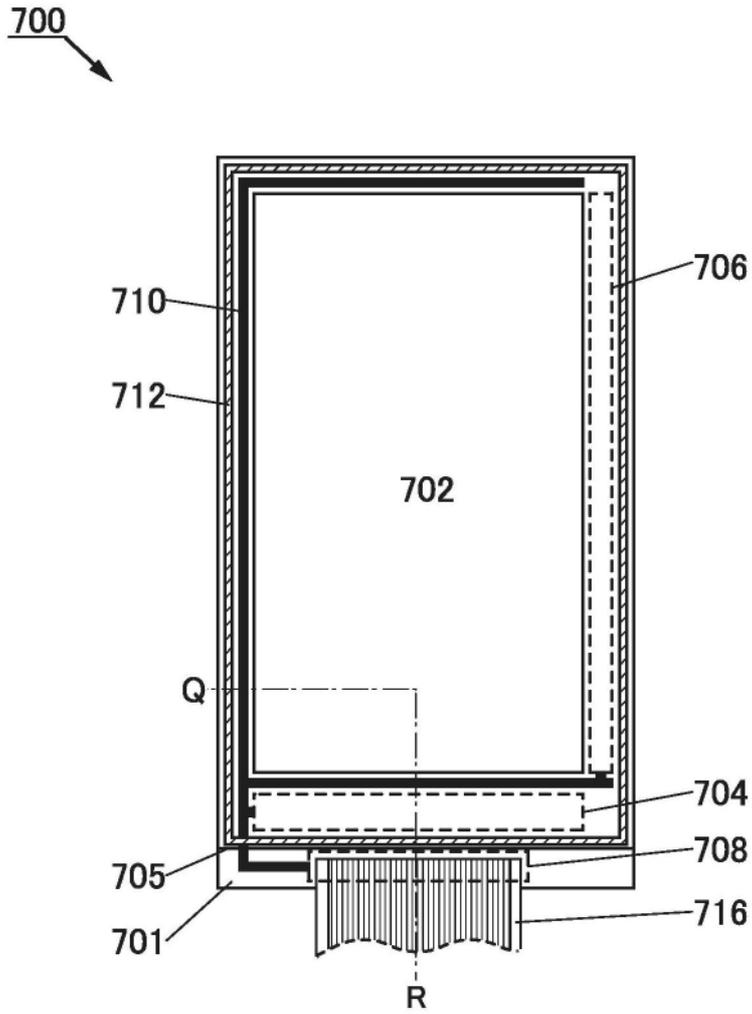


图22

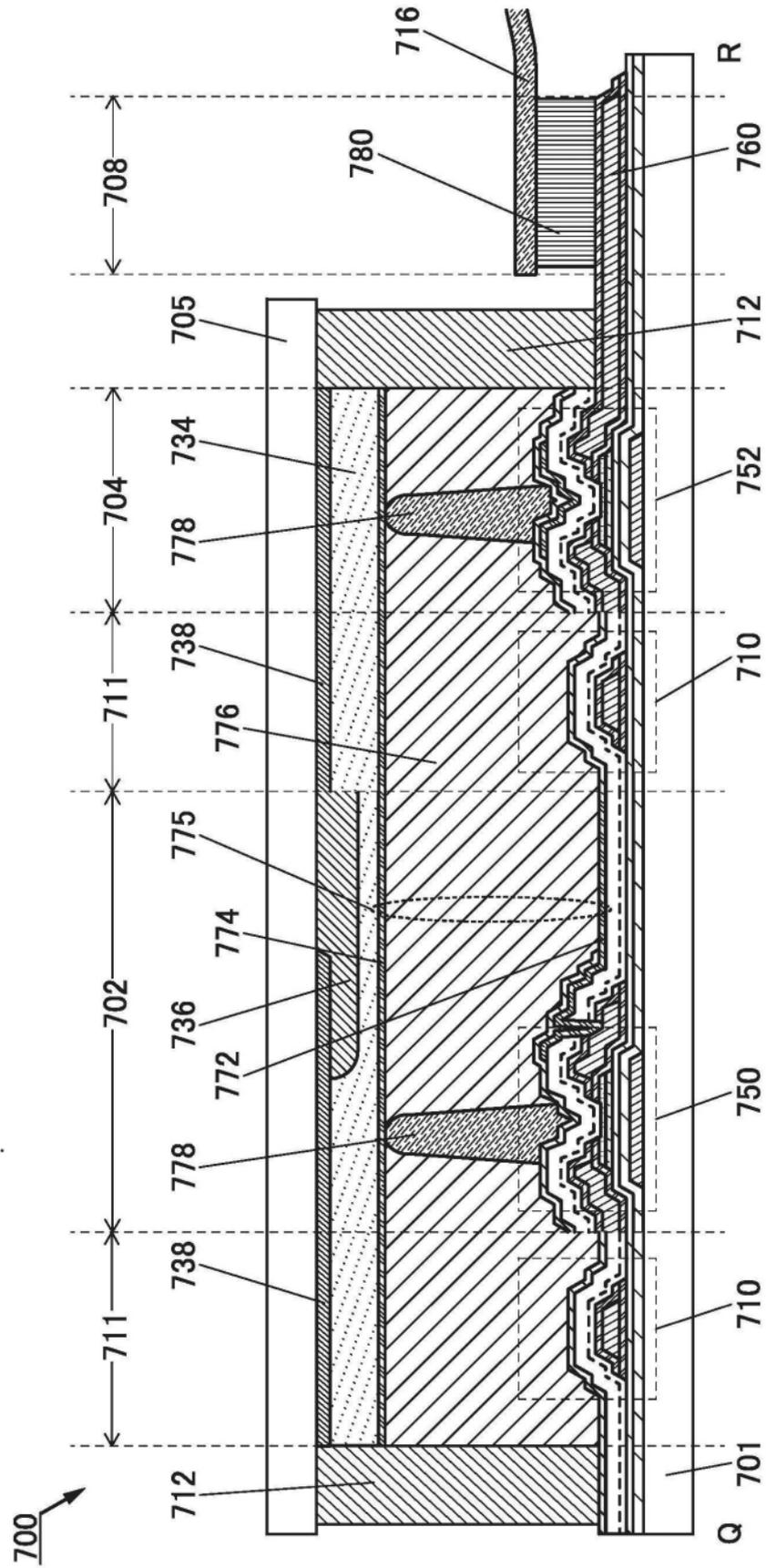


图23

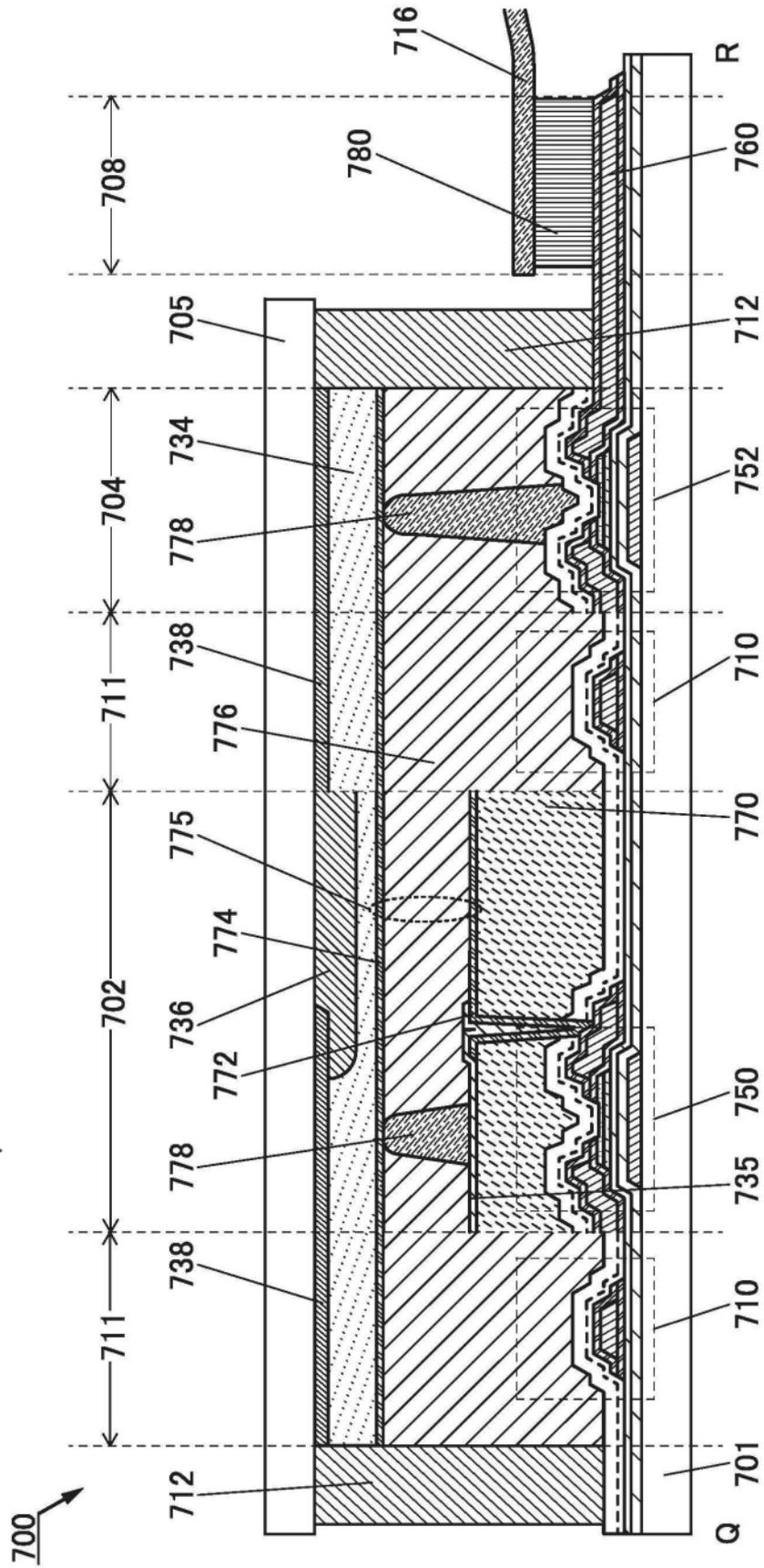


图24

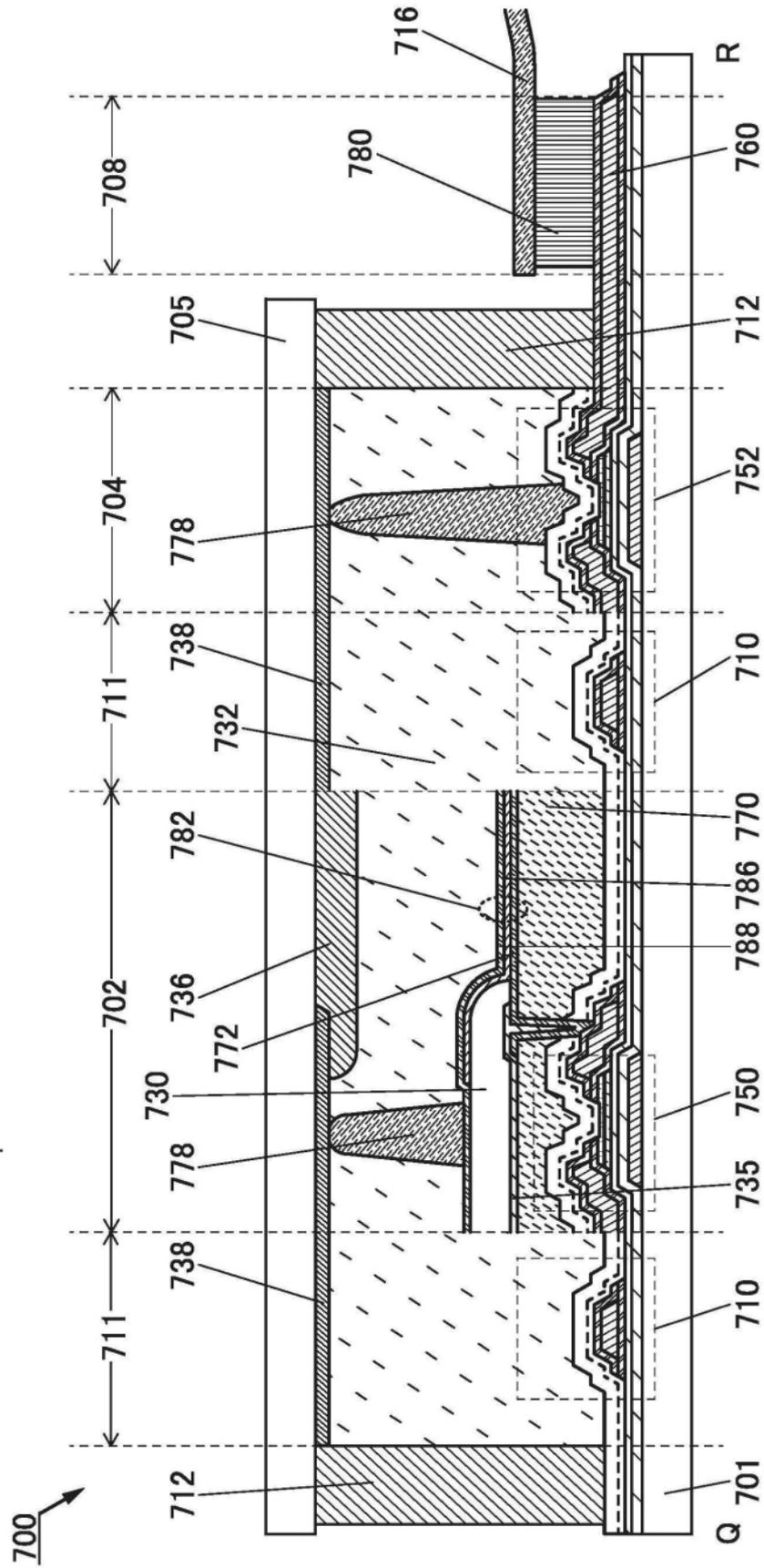


图26

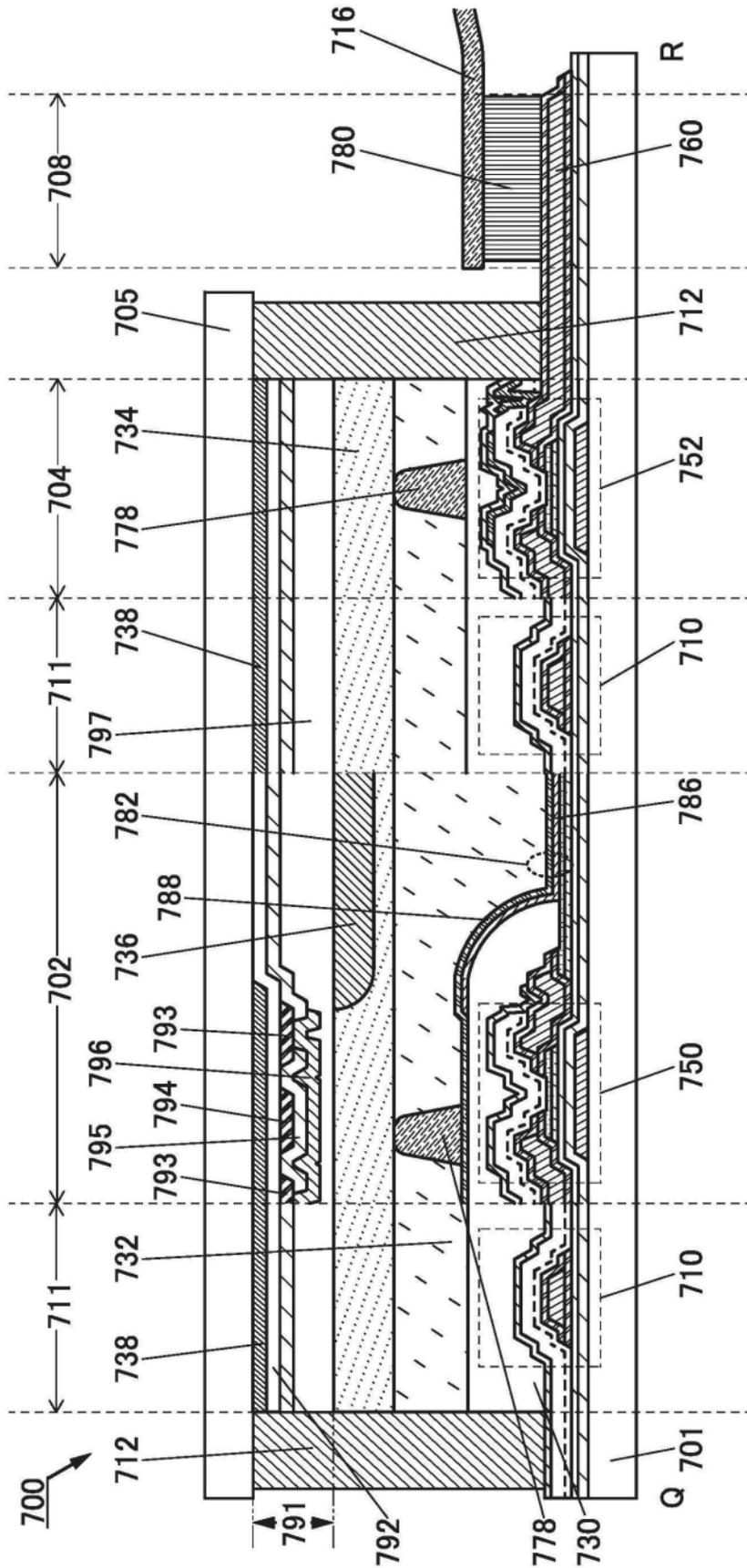


图28

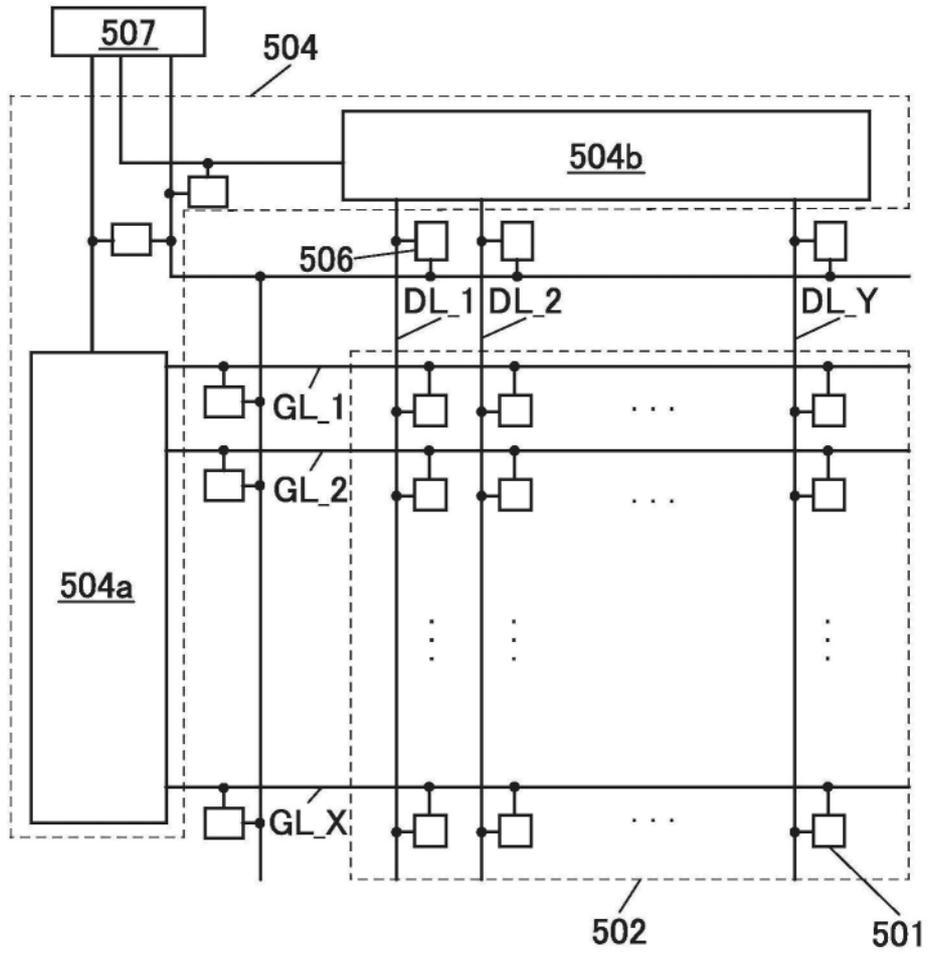


图29A

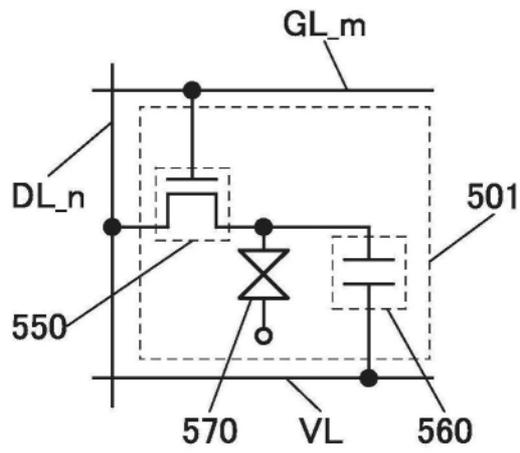


图29B

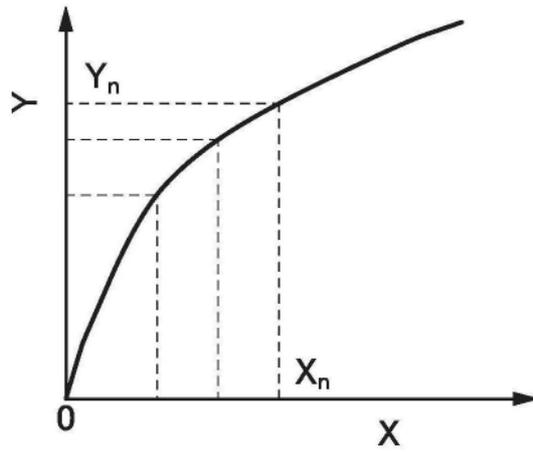


图31A

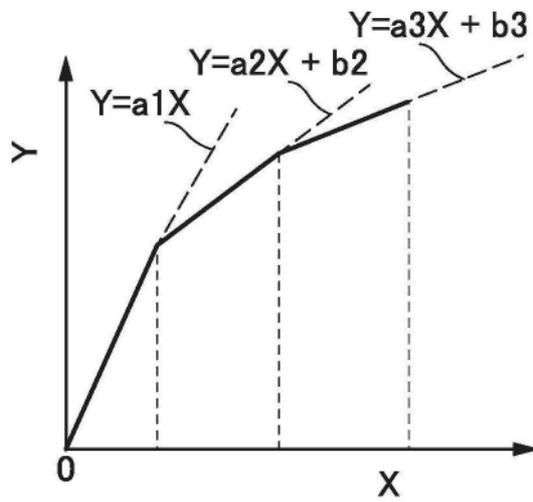


图31B

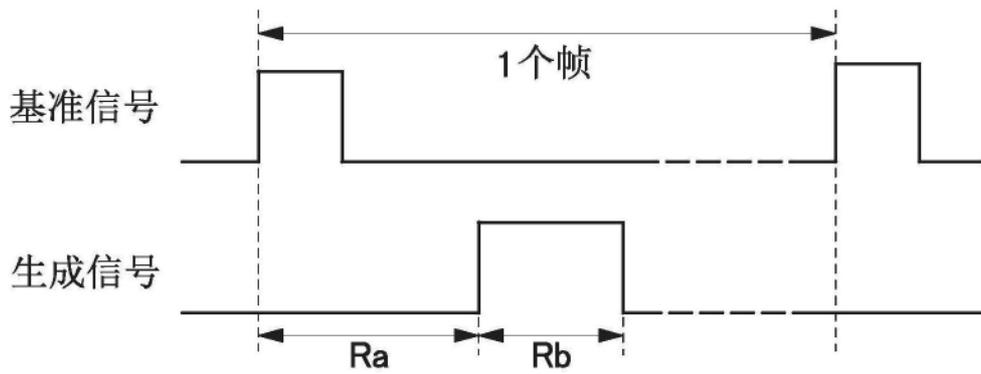


图31C

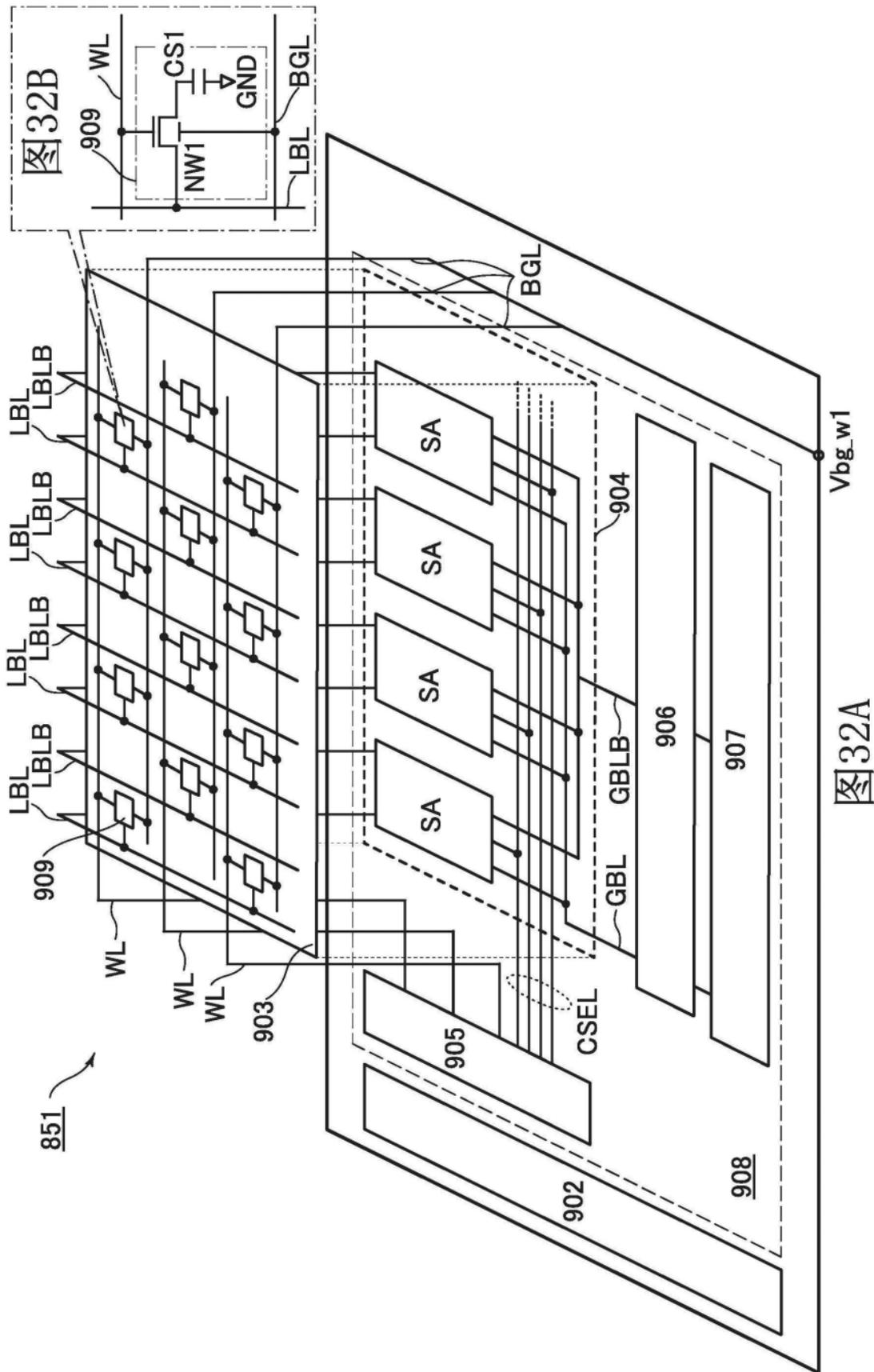


图32A

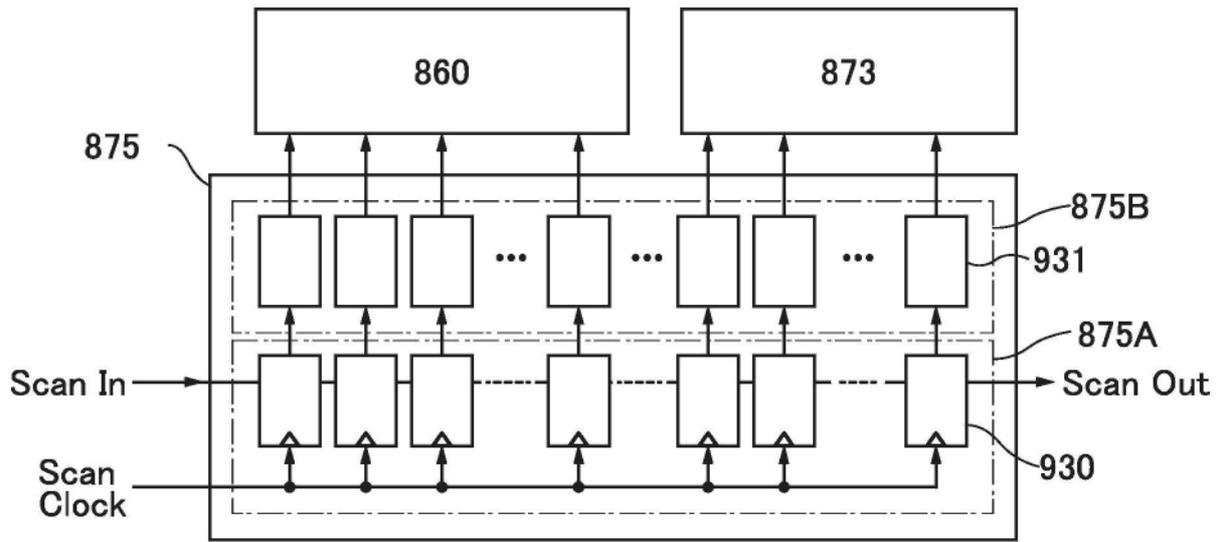


图33

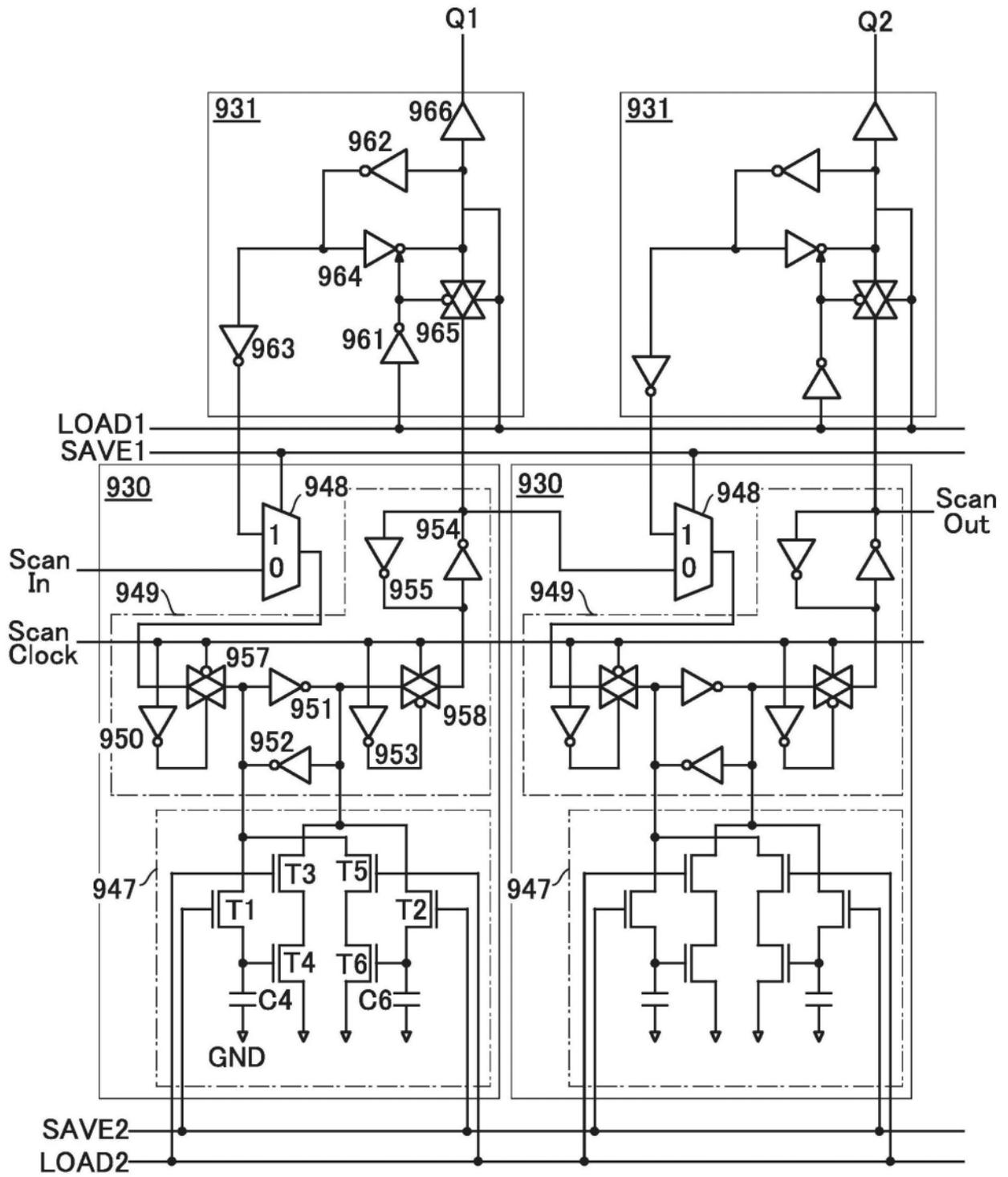


图34

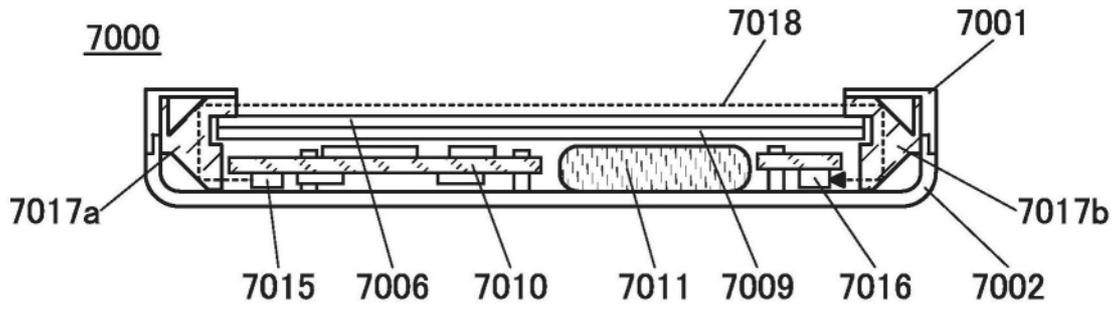


图35

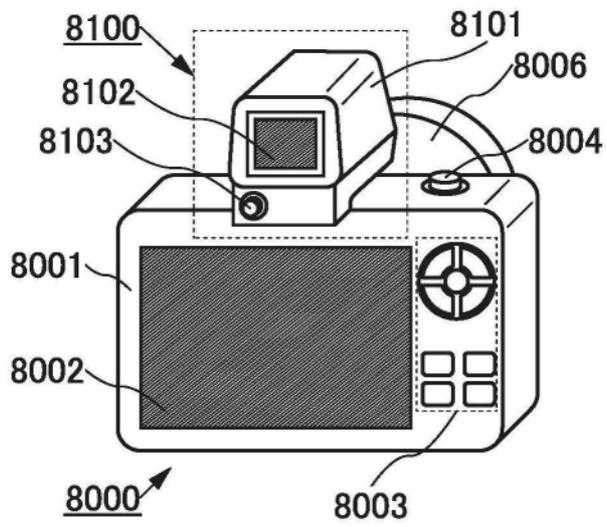


图36A

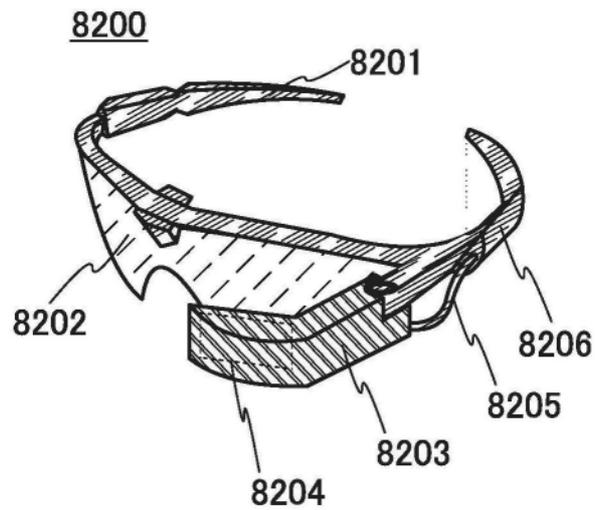


图36B

8300

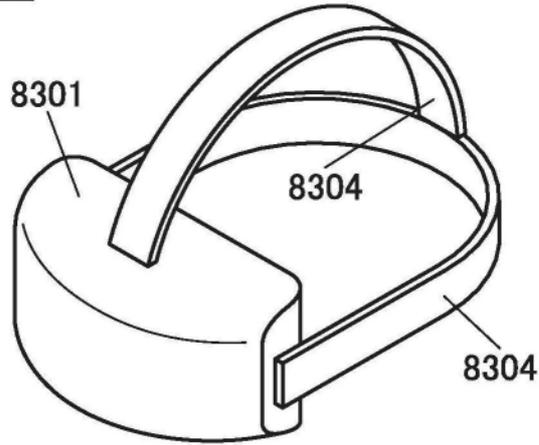


图36C

8300

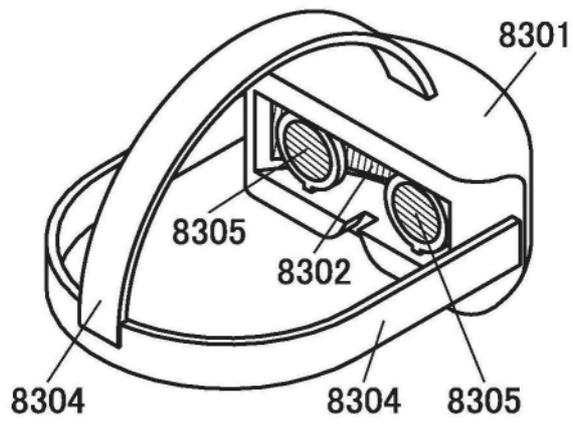


图36D

8300

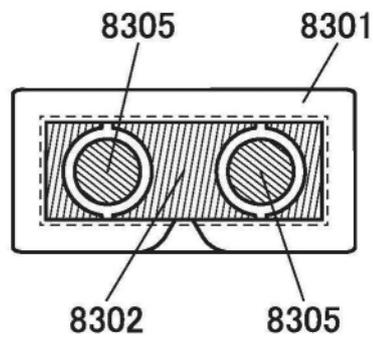


图36E

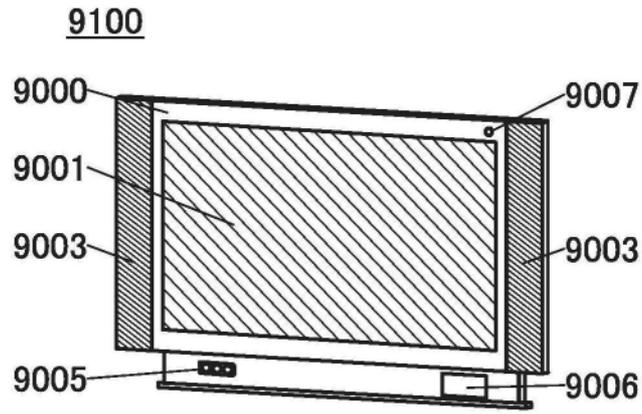


图37A

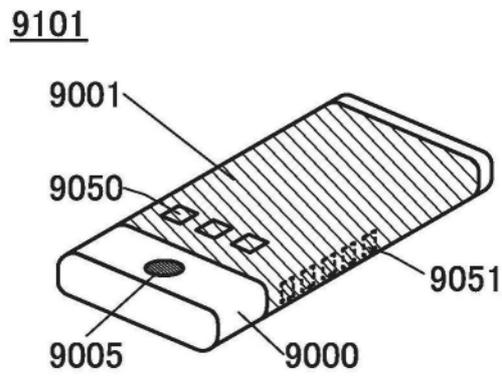


图37B

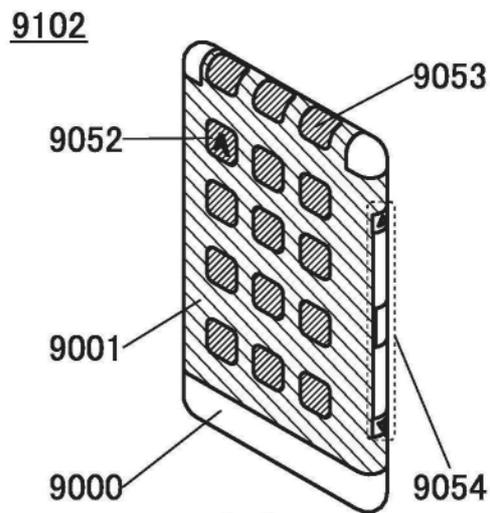


图37C

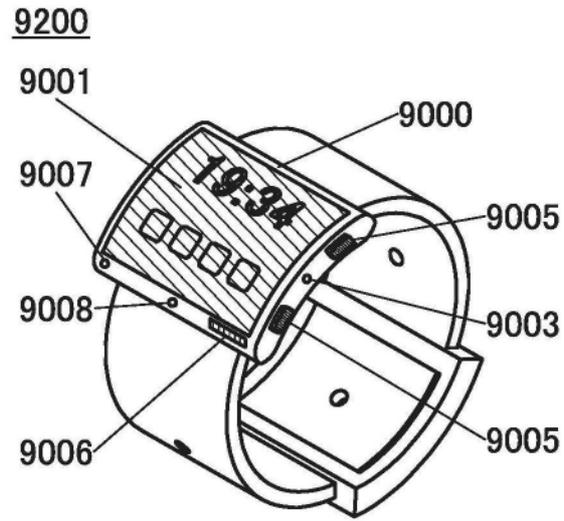


图37D

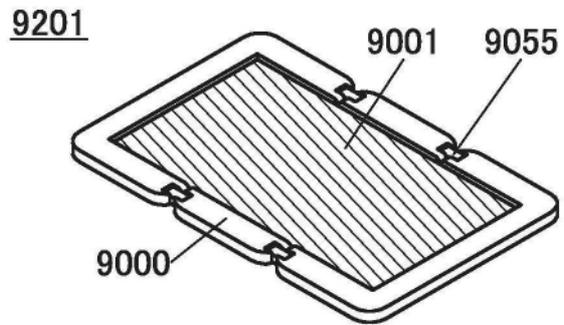


图37E

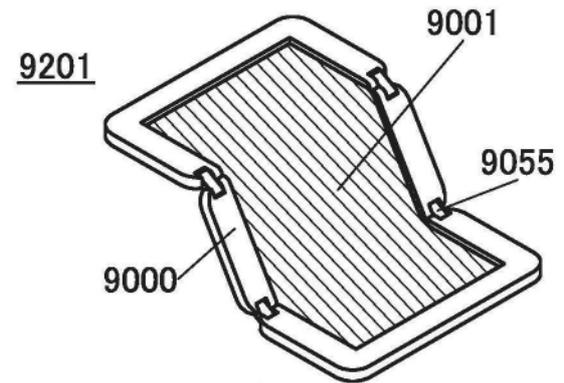


图37F

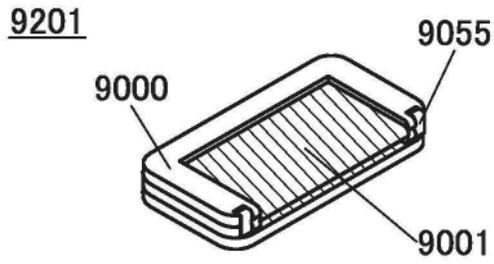


图37G

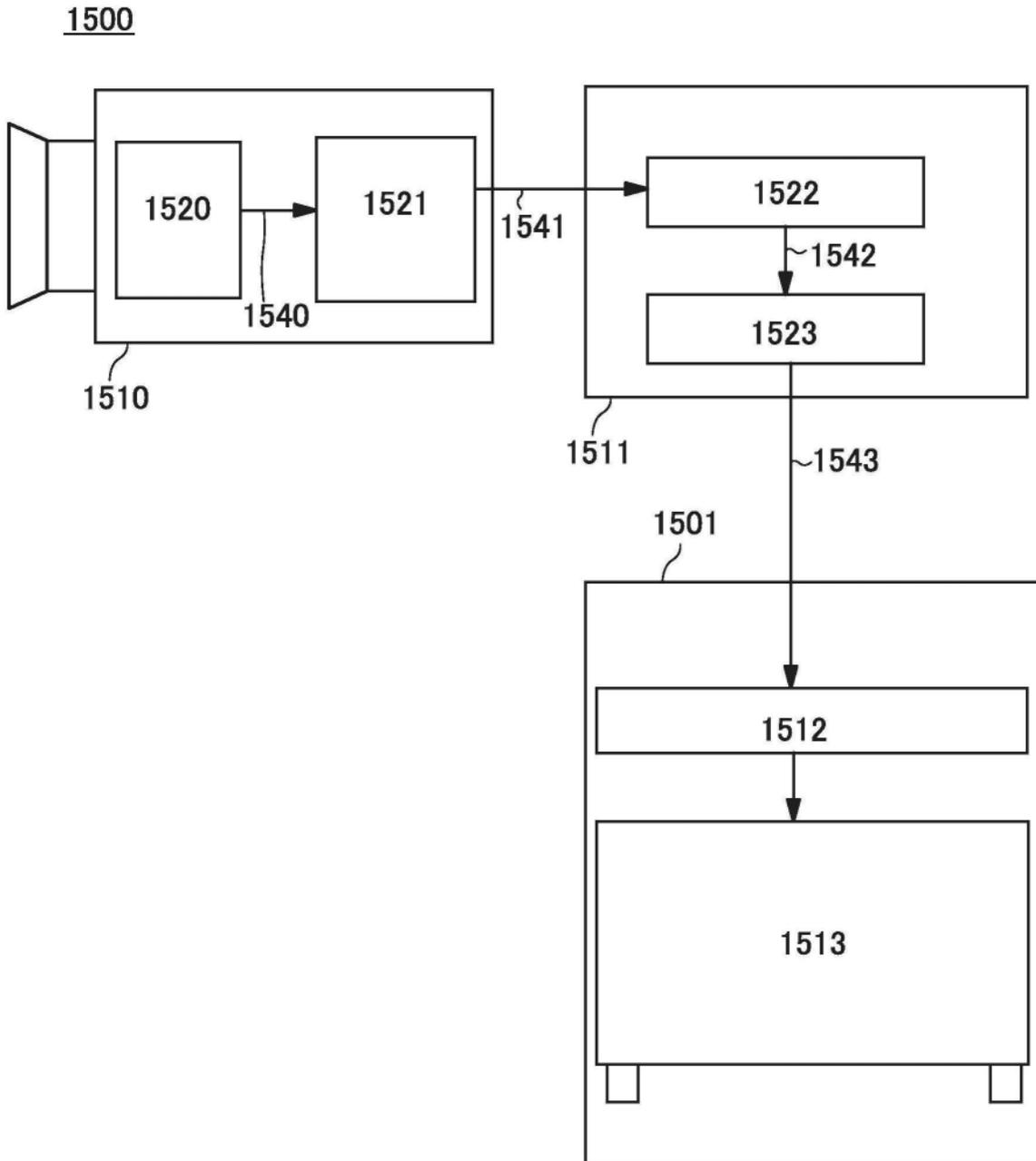


图38

1500A

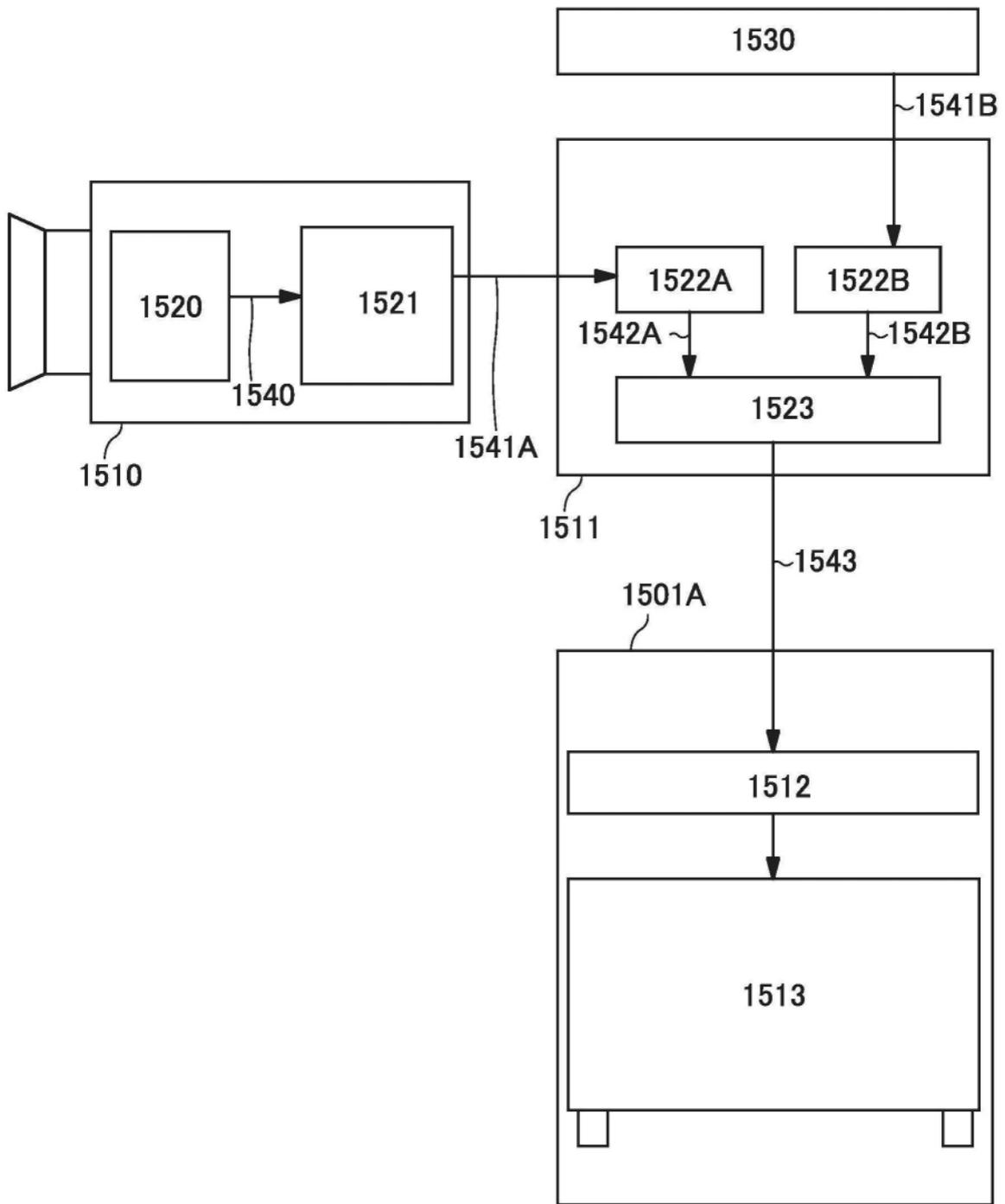


图39

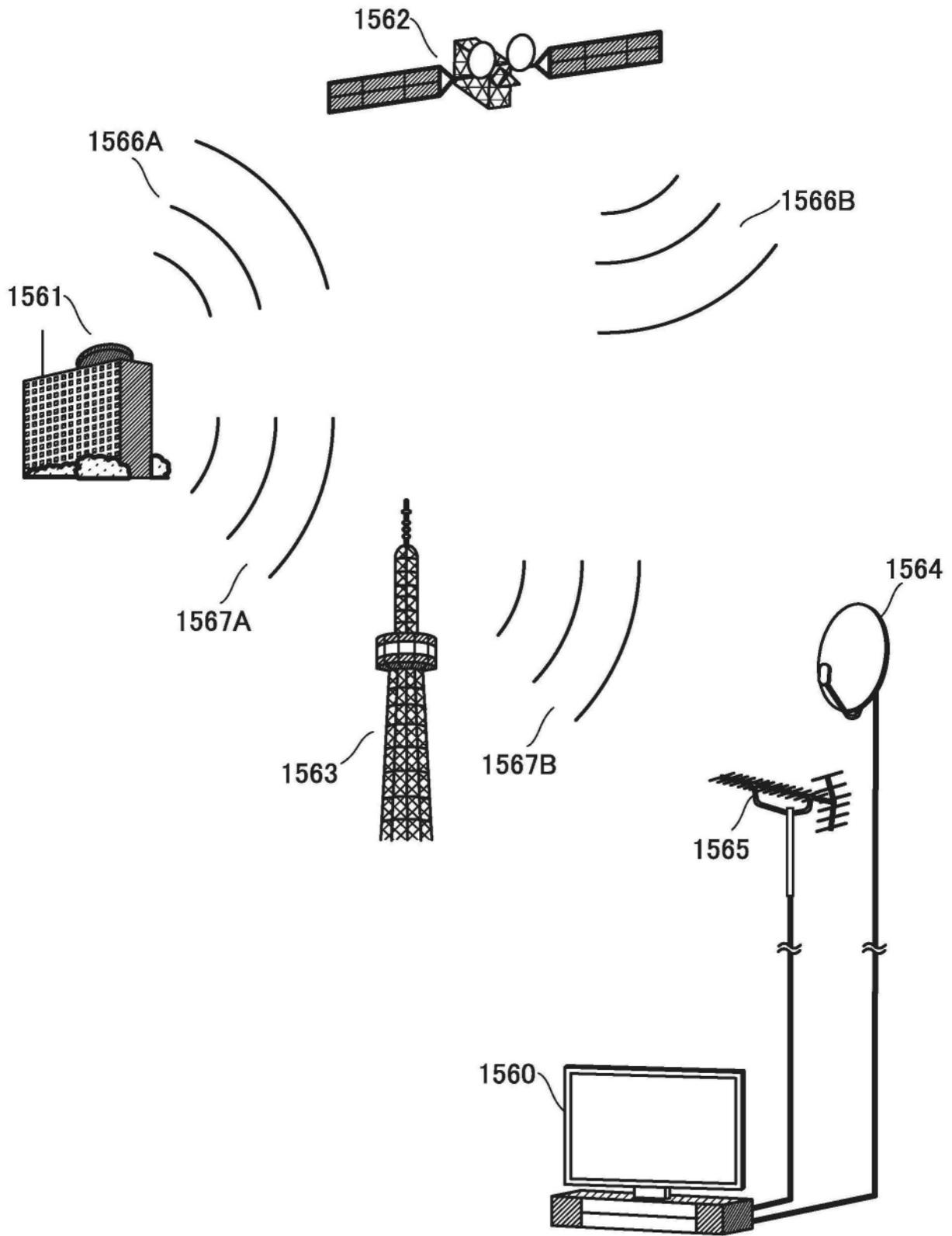


图40

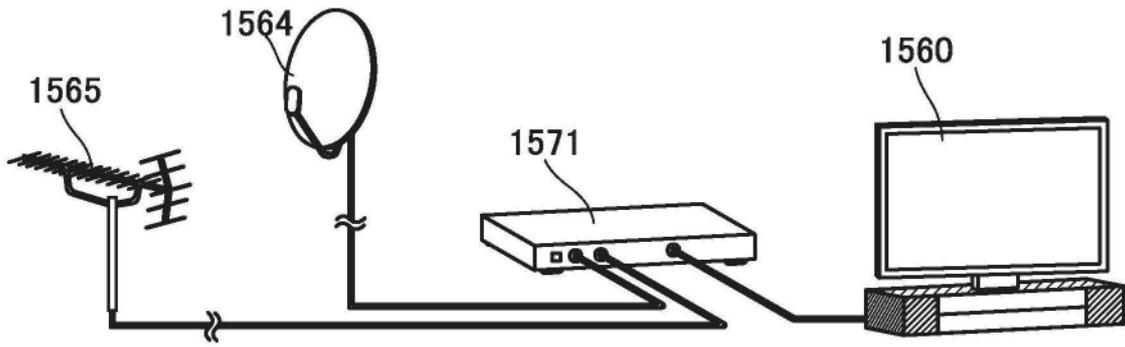


图41A

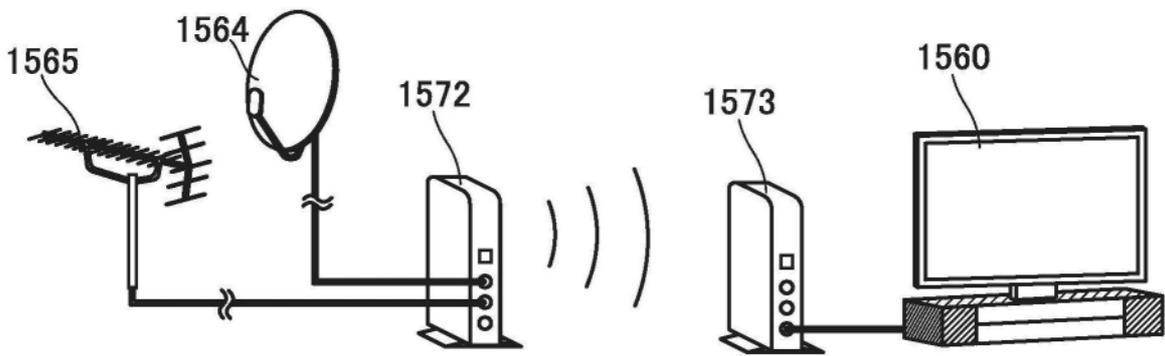


图41B

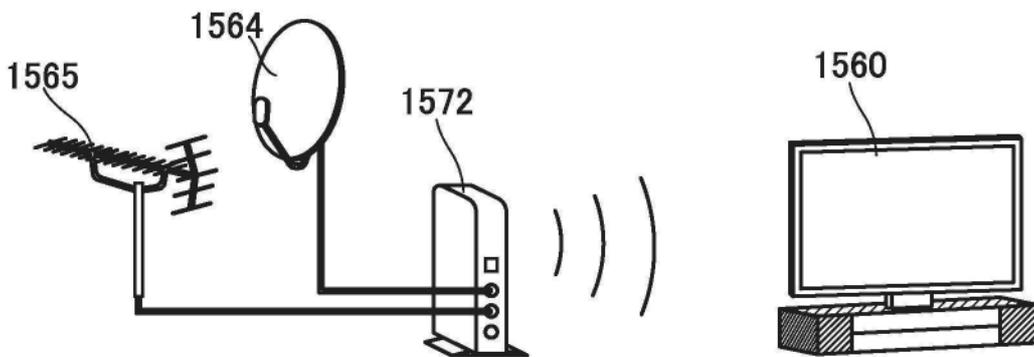


图41C

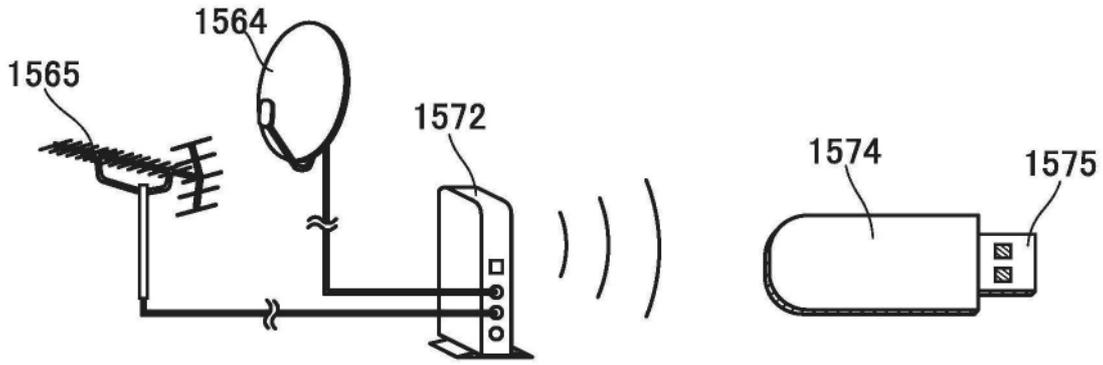


图41D

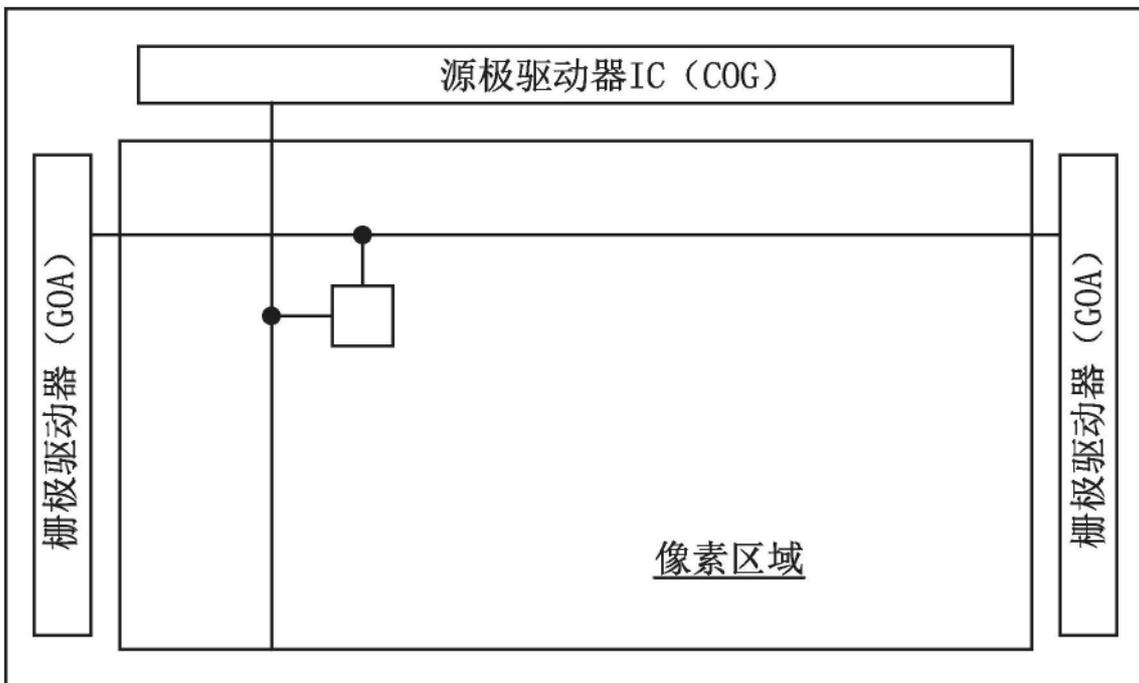


图42A

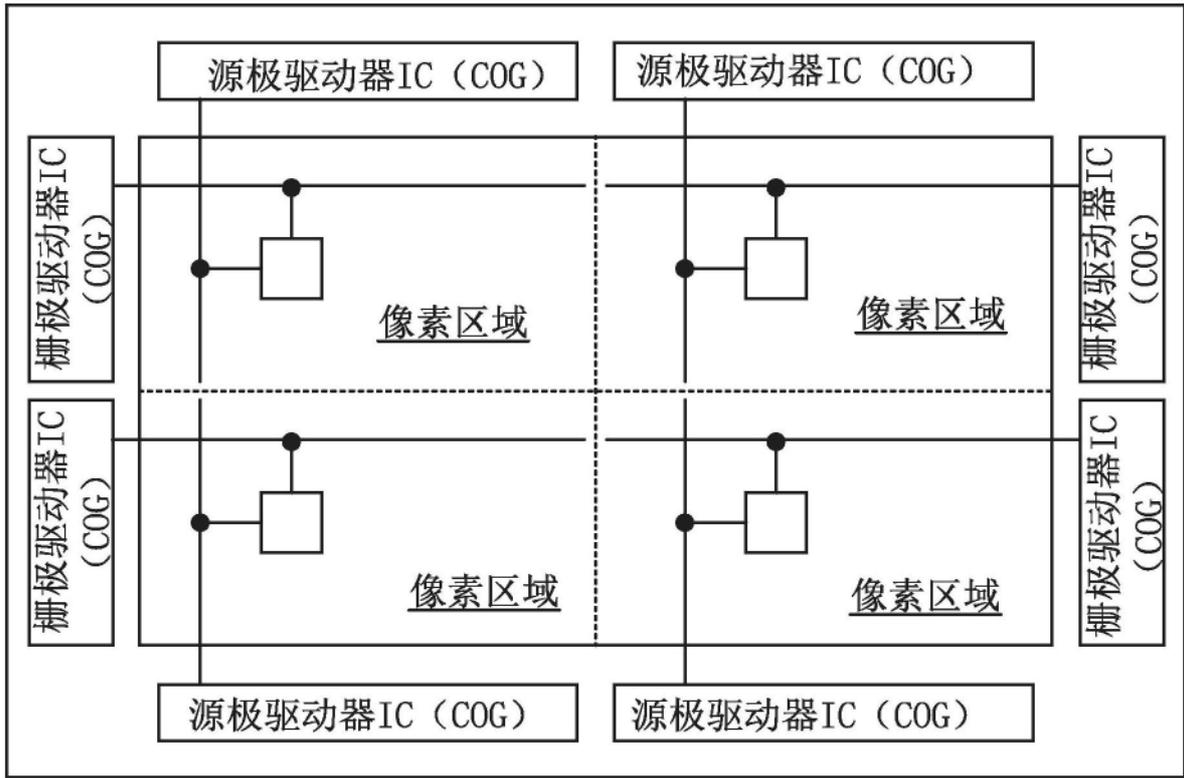


图42B

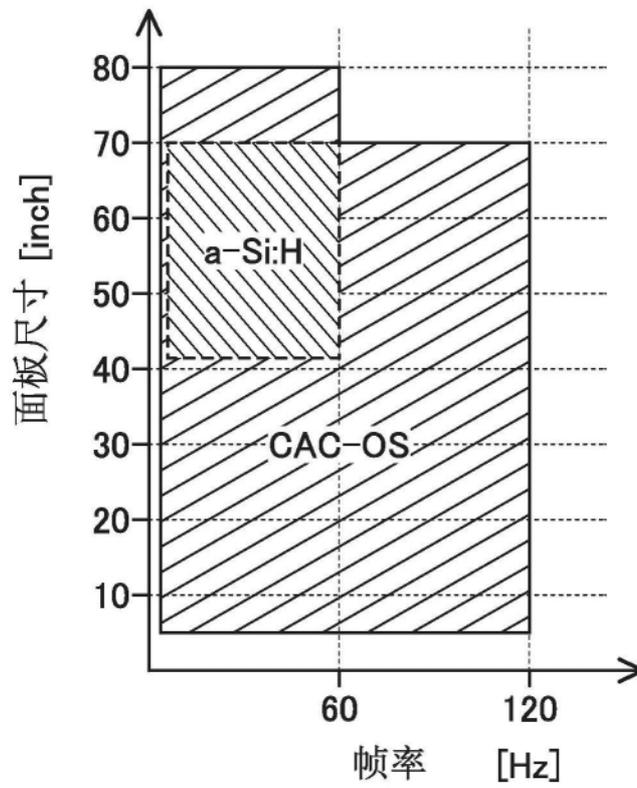


图43

样品 A1

$L/W = 3/50 \mu m$

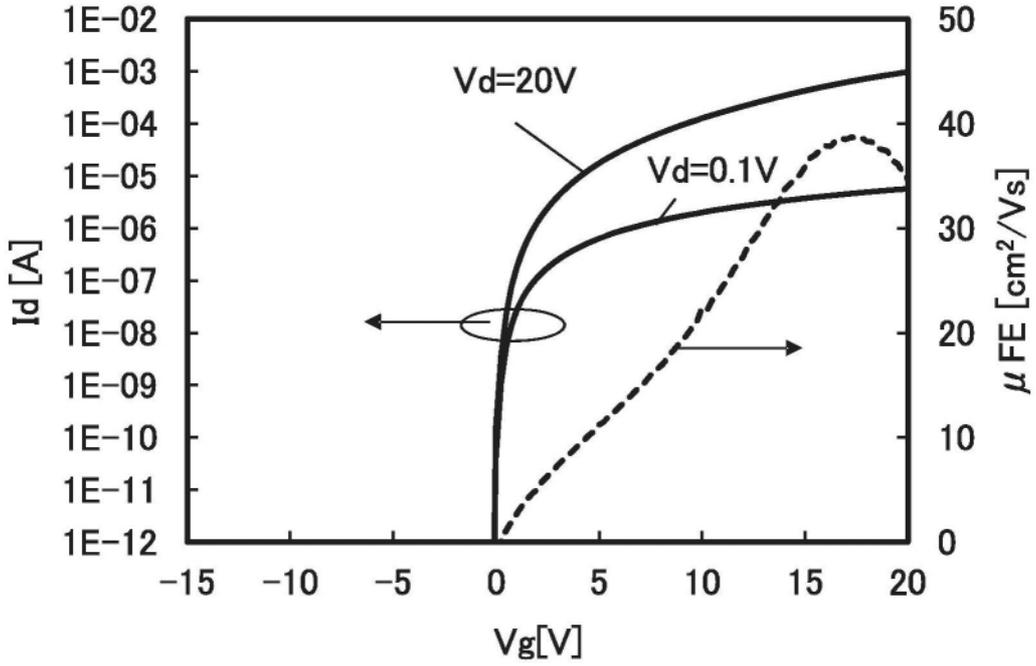


图44A

样品 A2

$L/W = 3/50 \mu m$

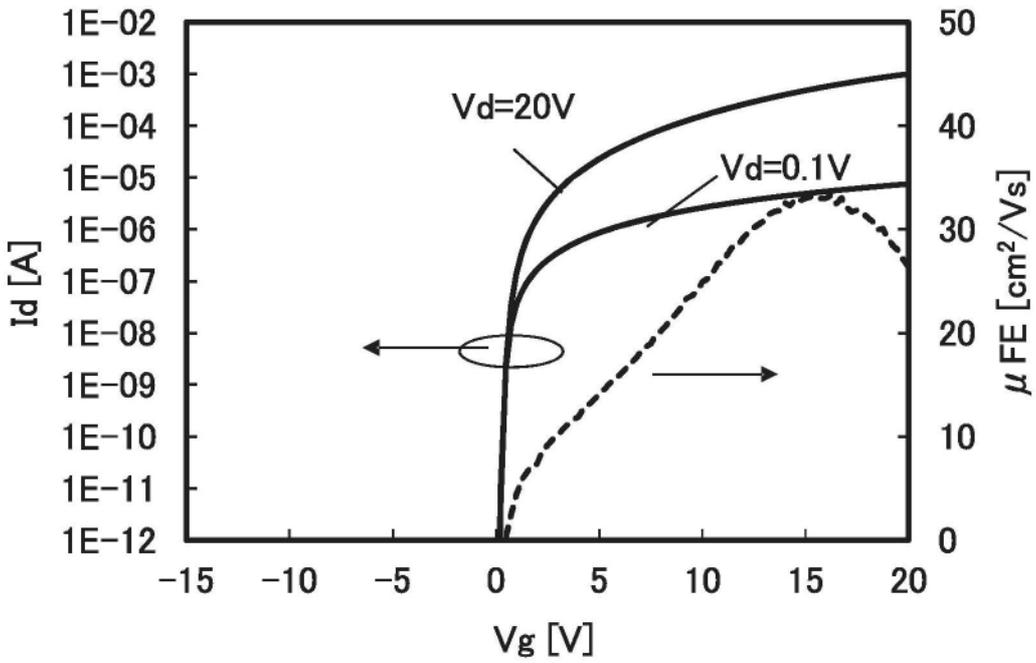


图44B

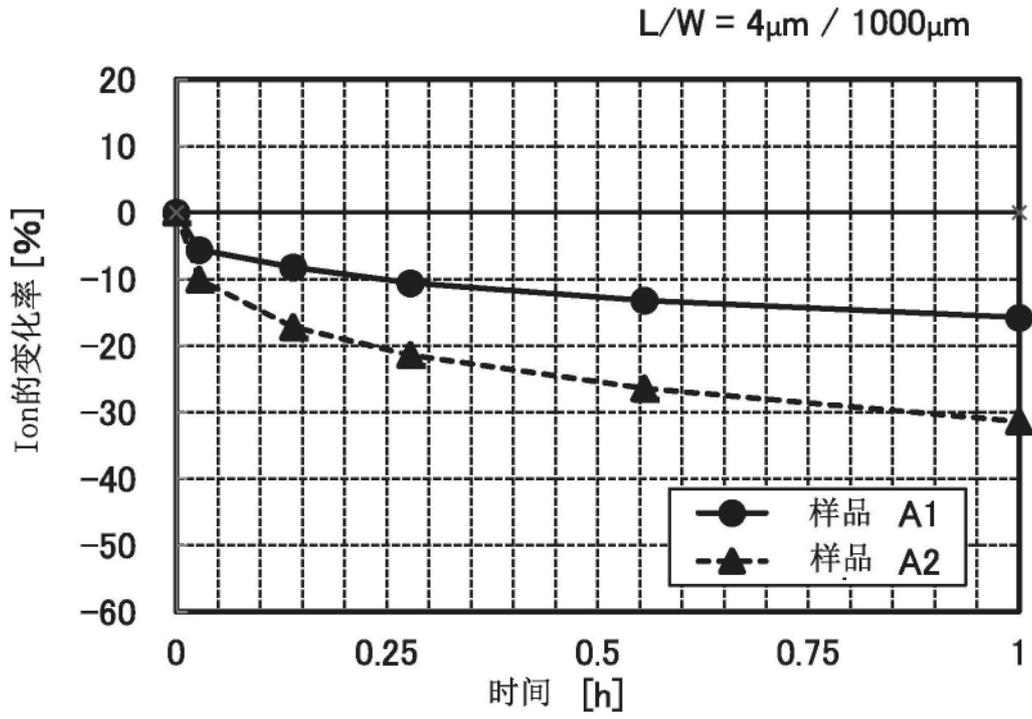


图45A

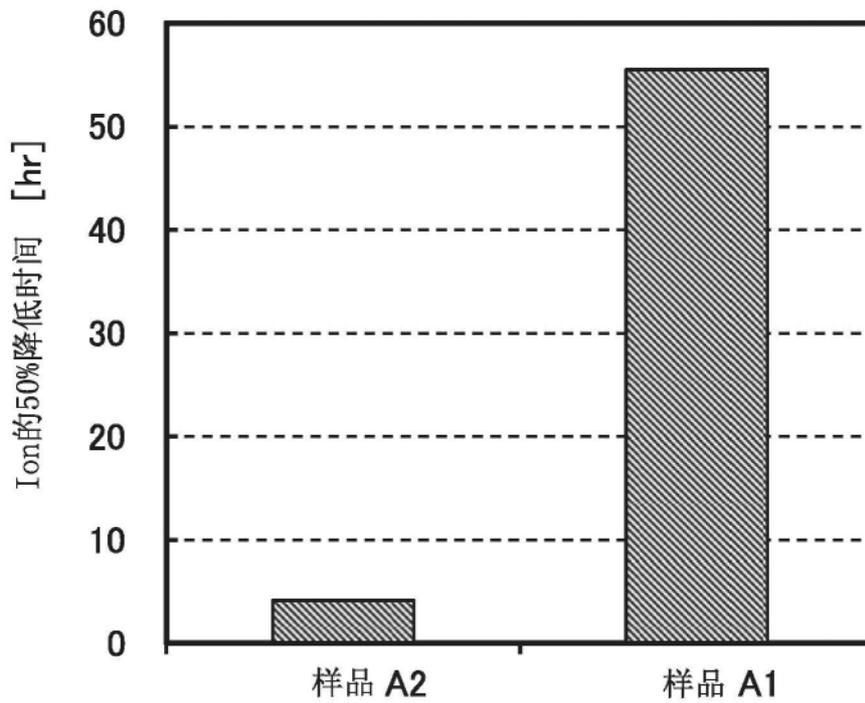


图45B

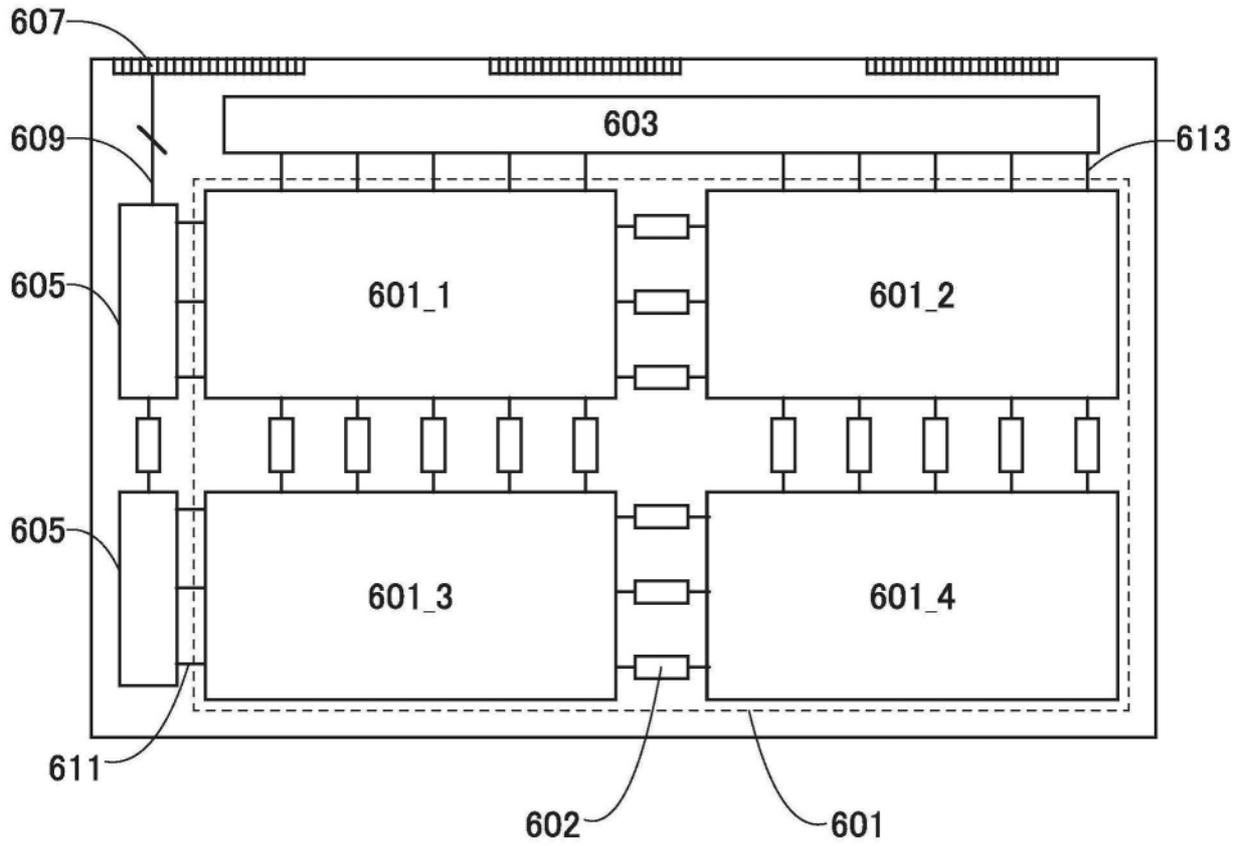


图46A

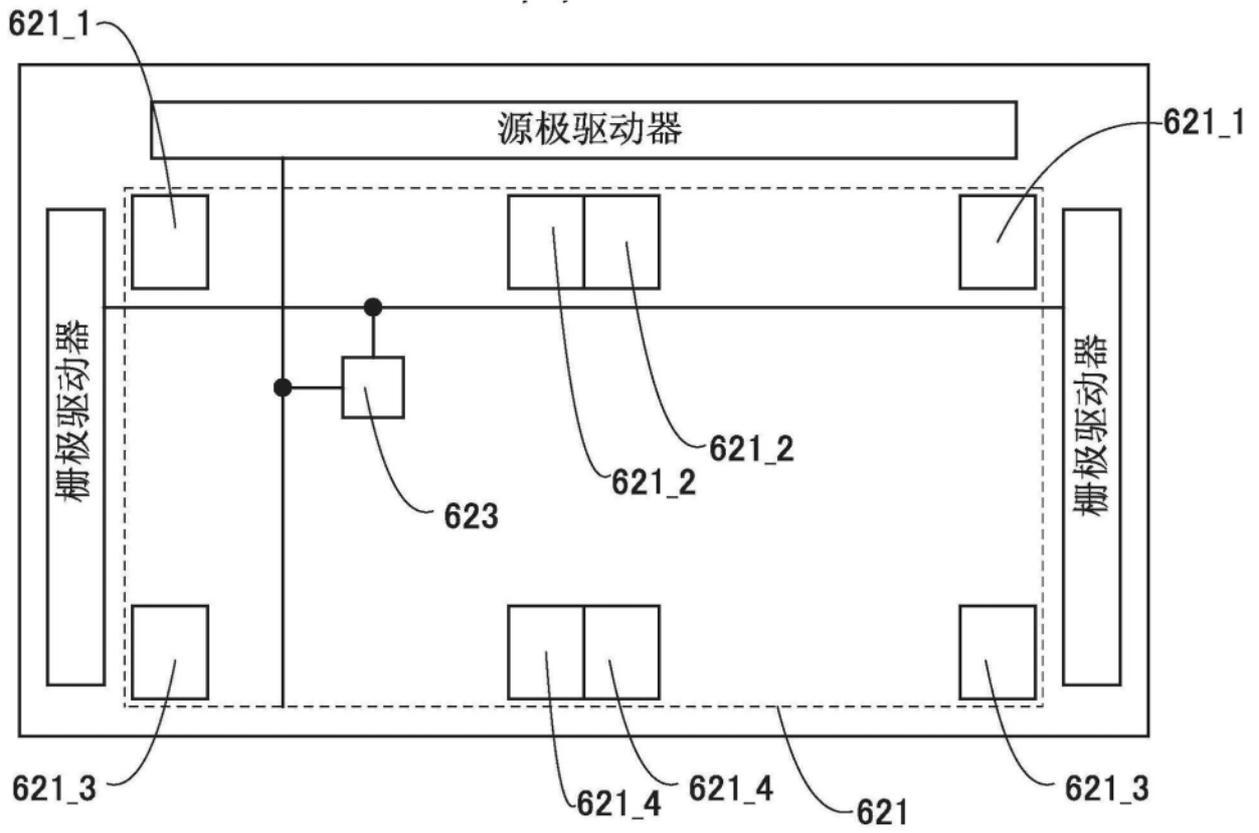


图46B

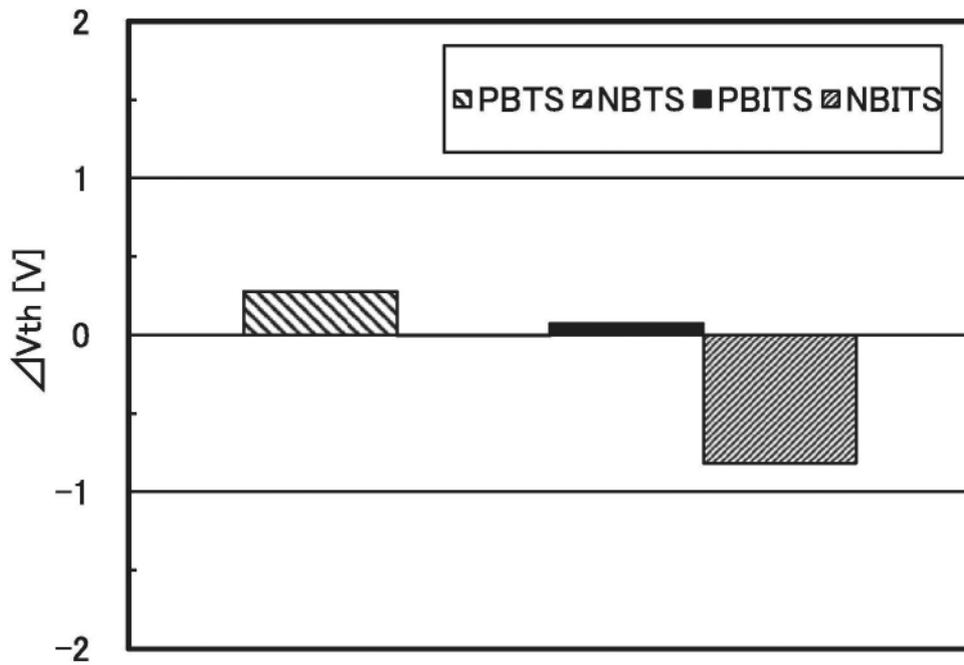


图47

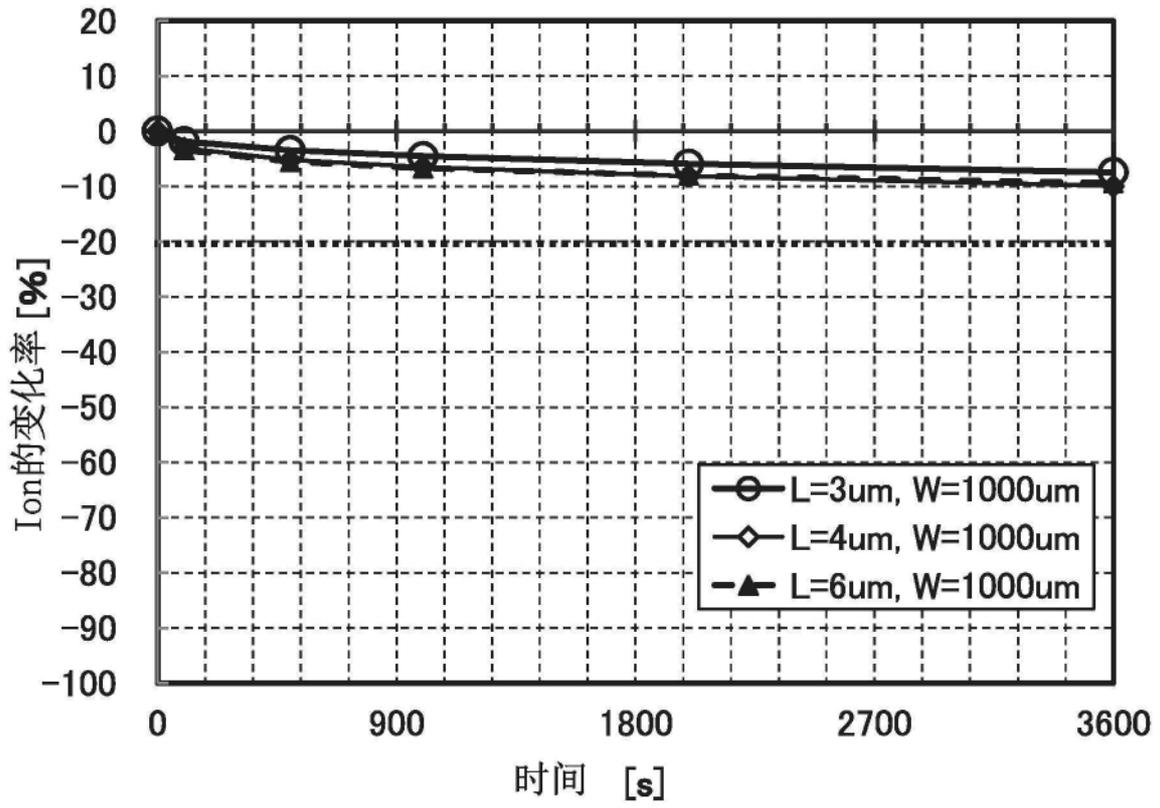


图48A

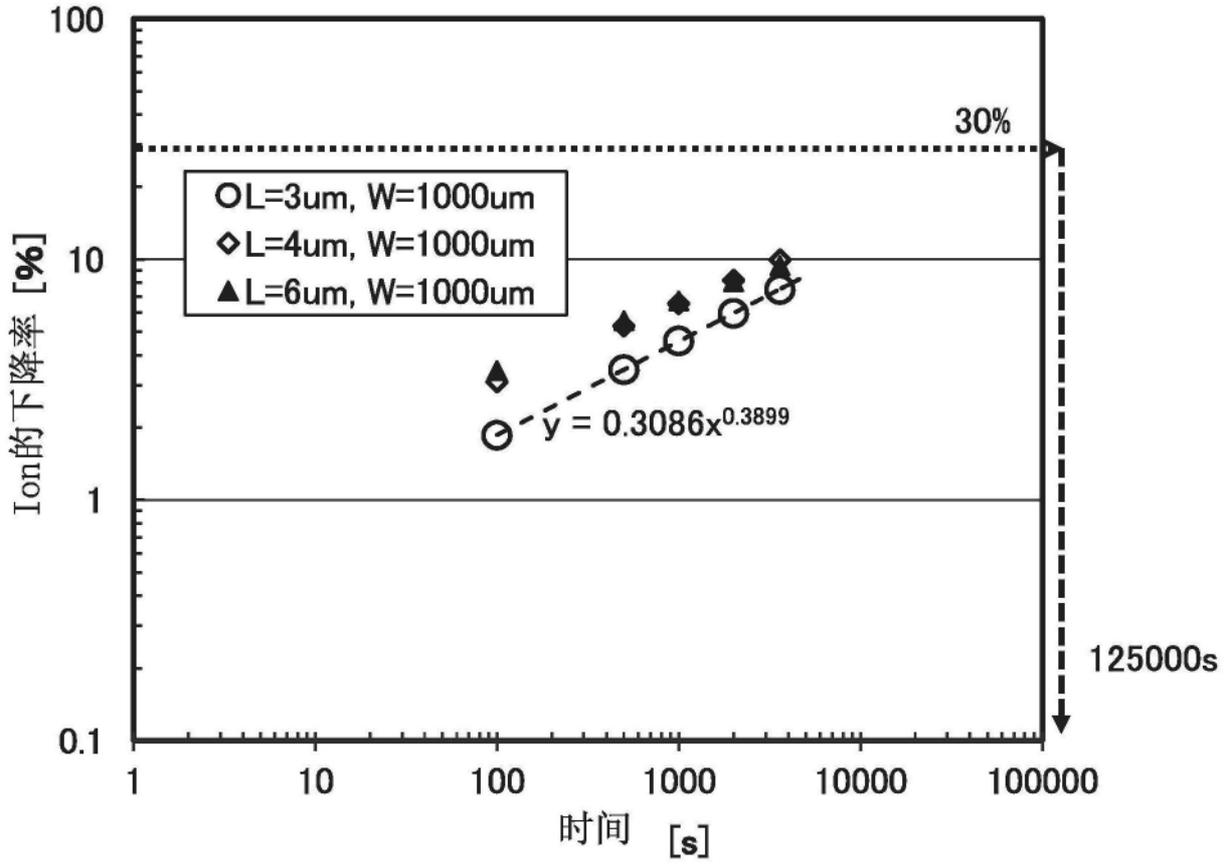


图48B

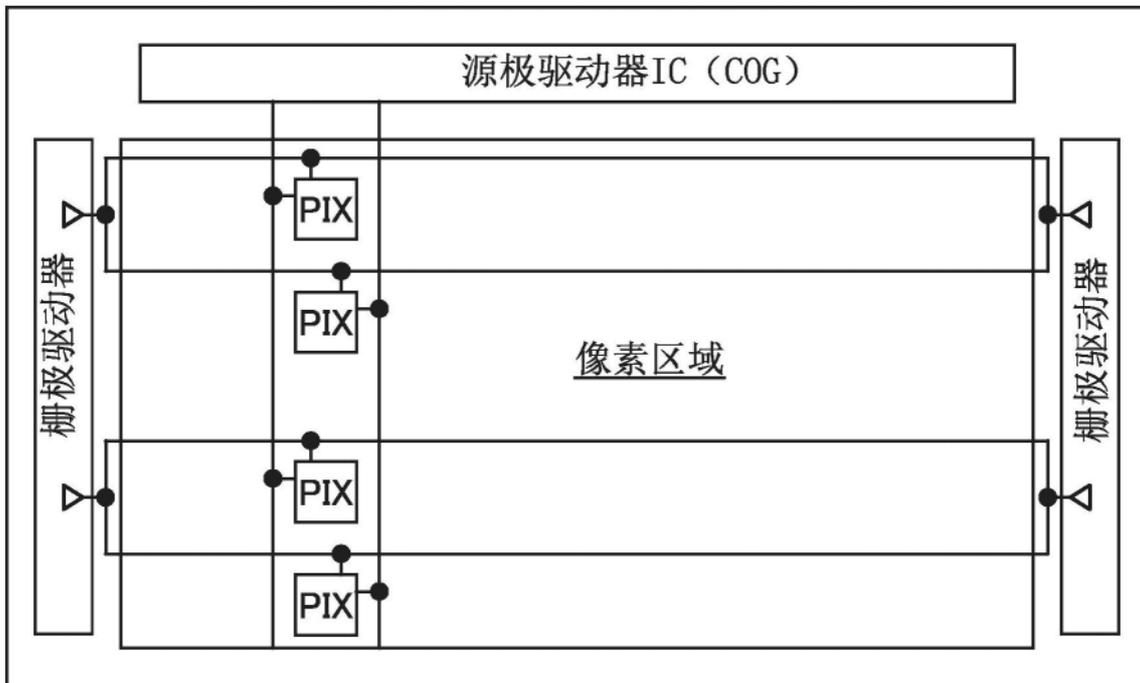


图49

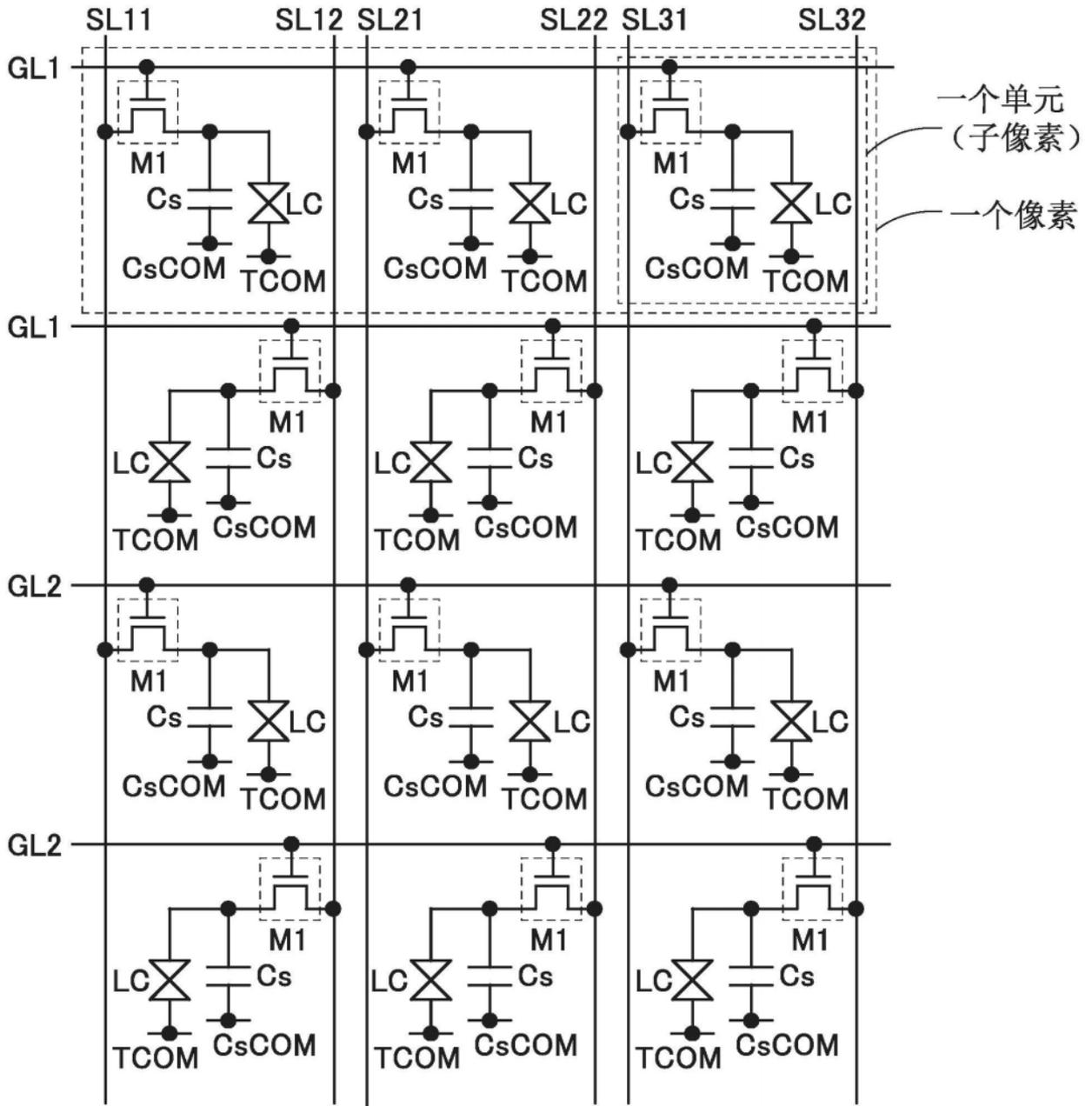


图50

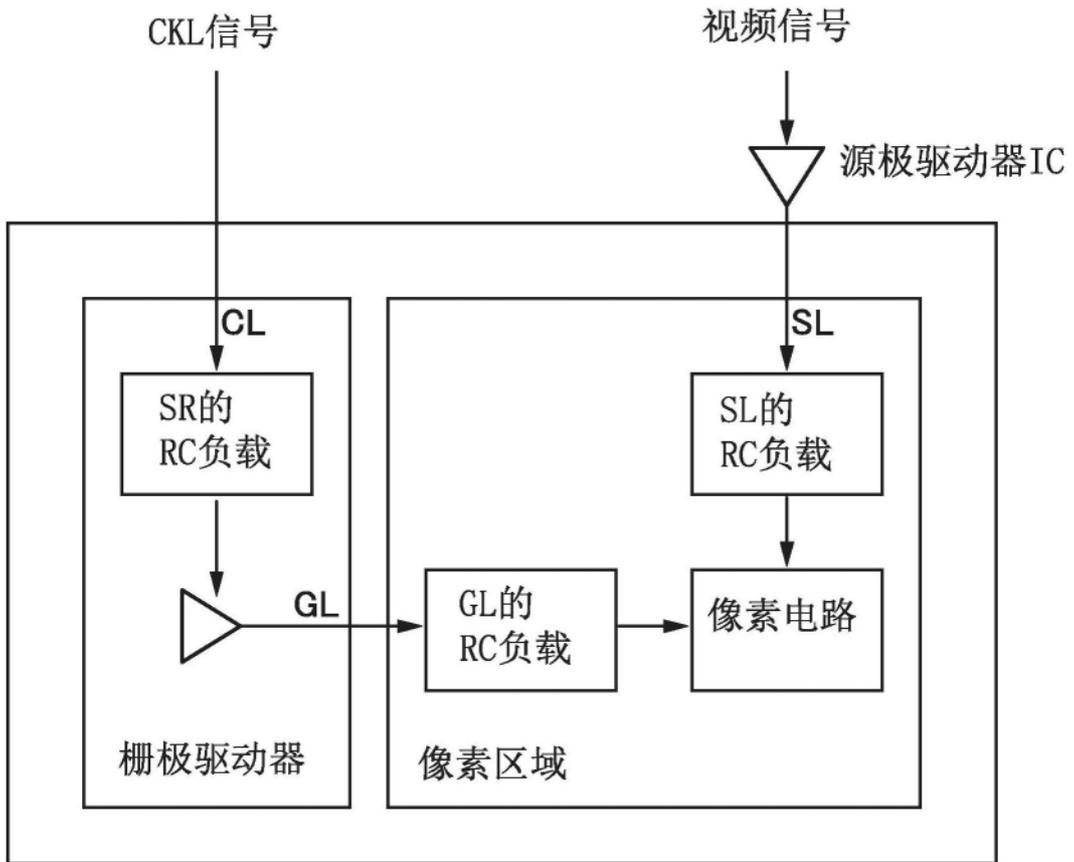


图51

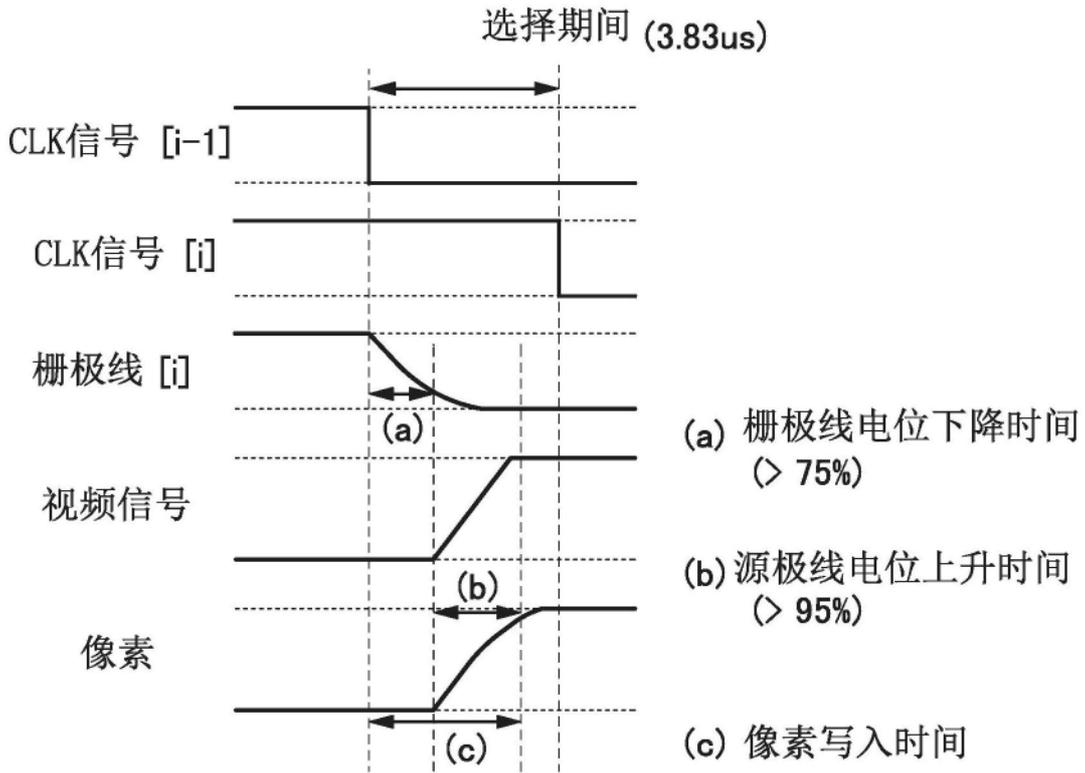


图52

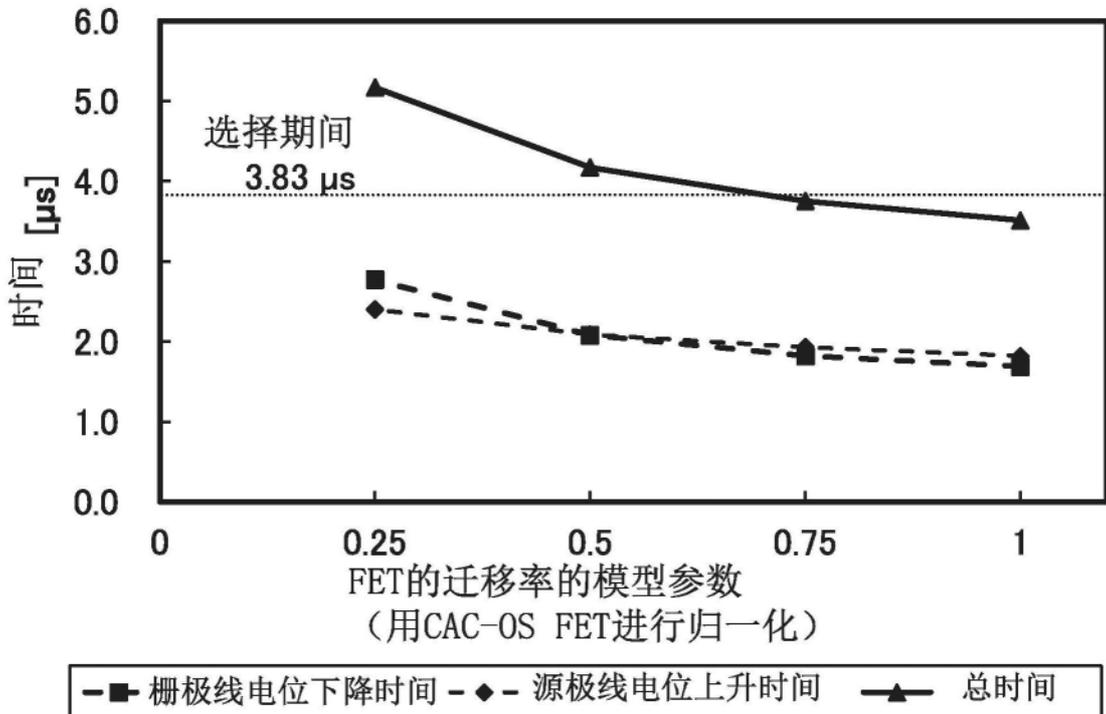


图53

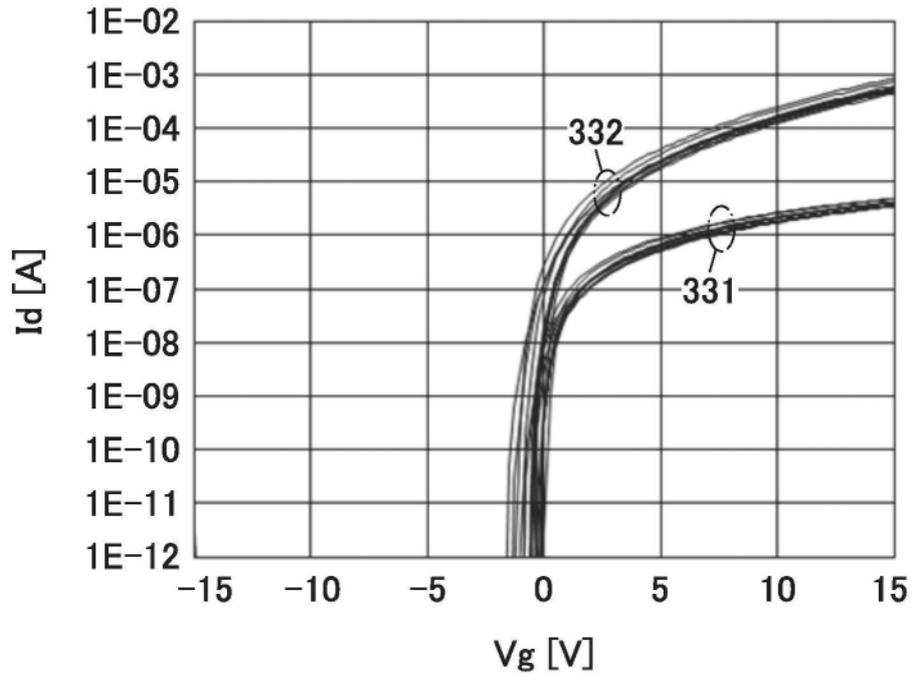


图54A

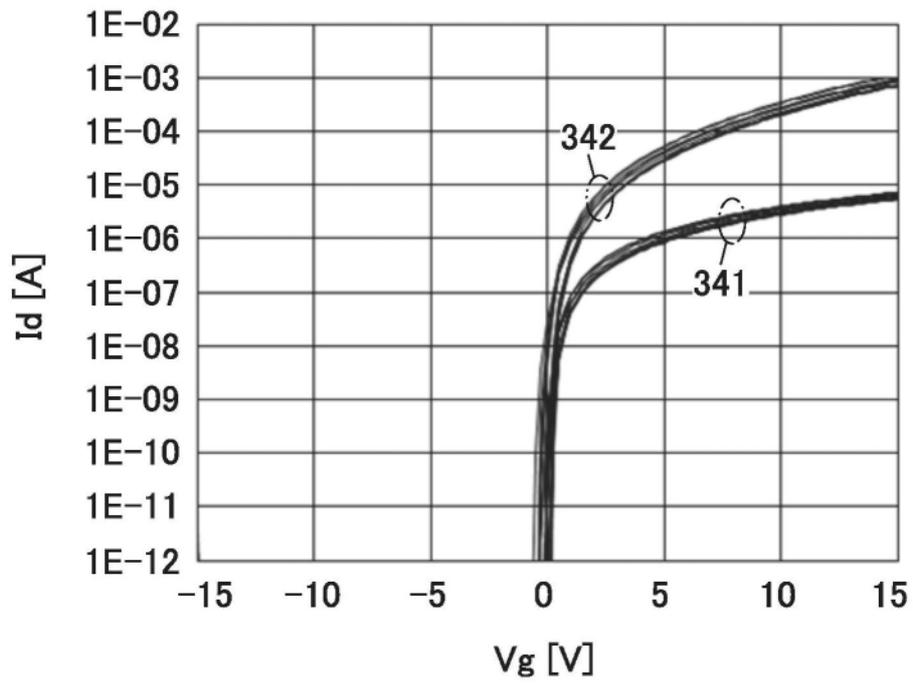


图54B

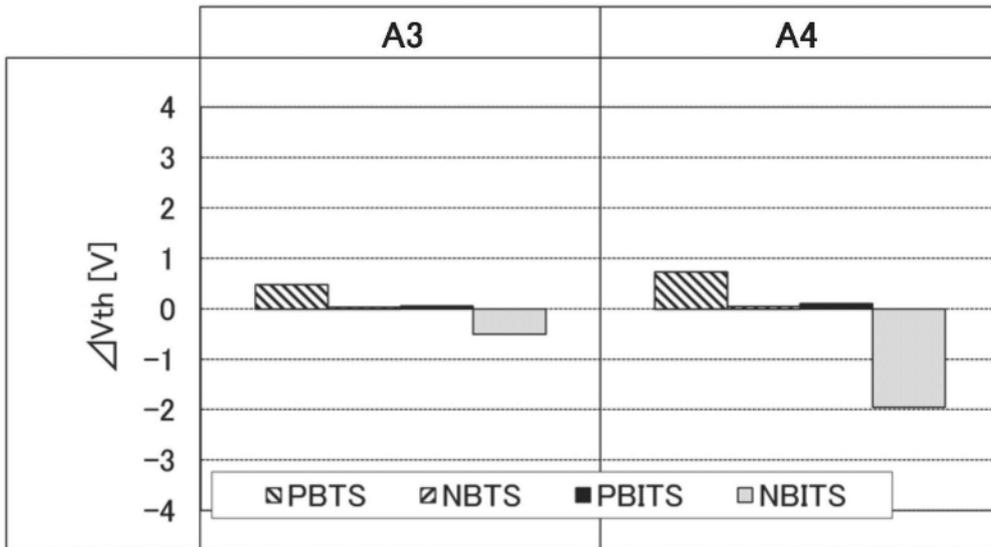


图55

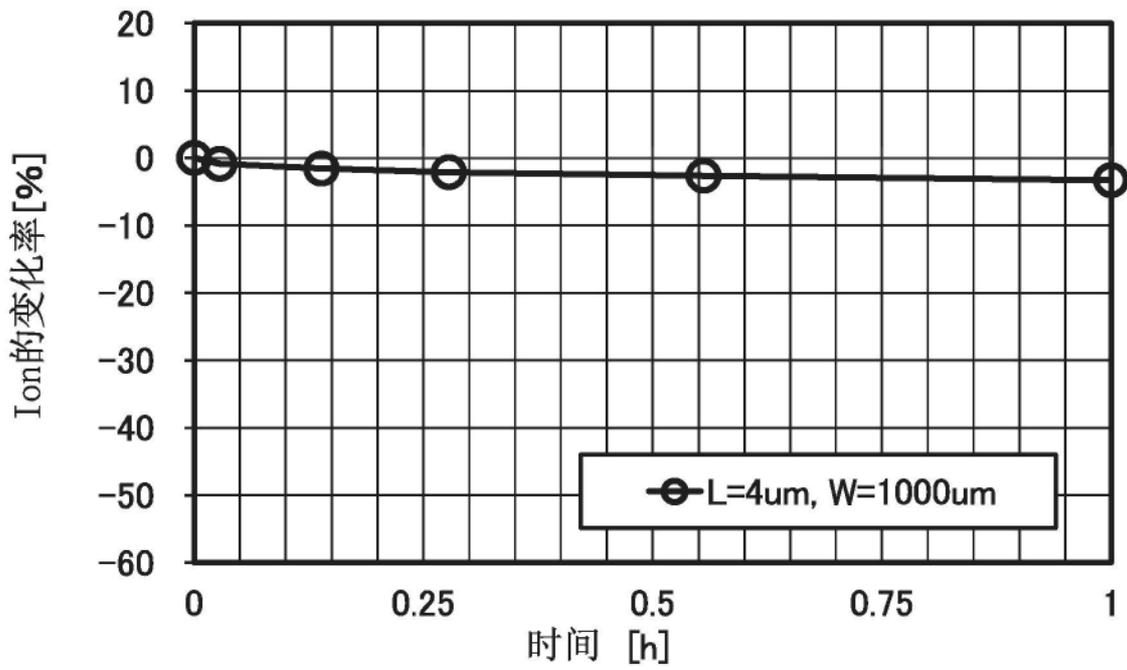


图56A

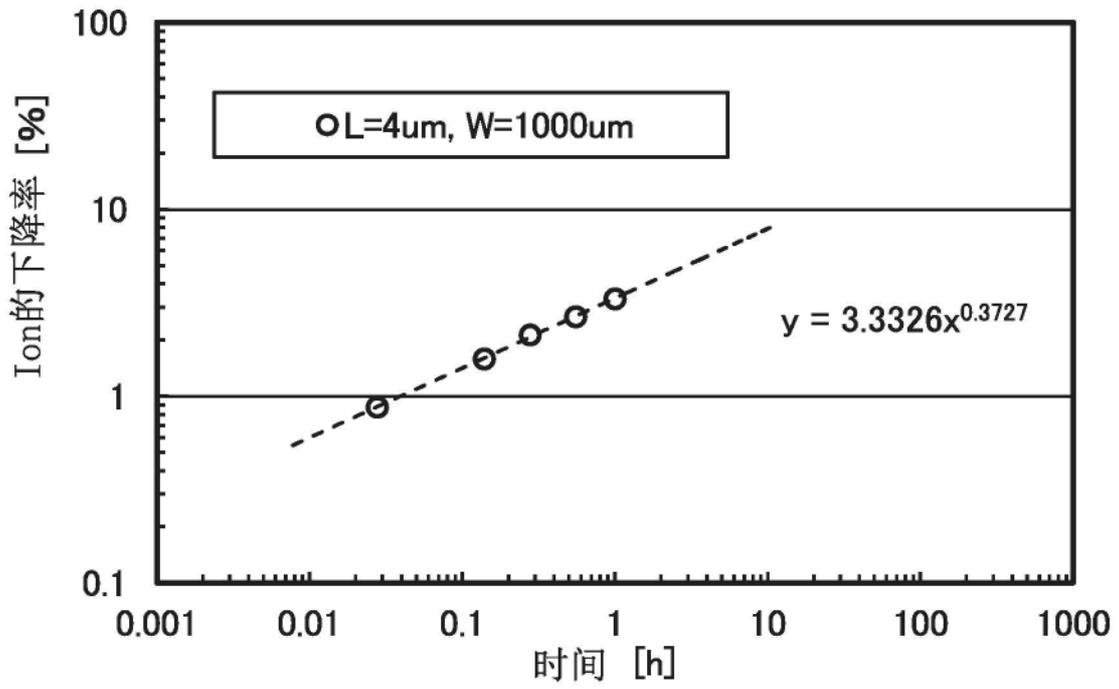


图56B

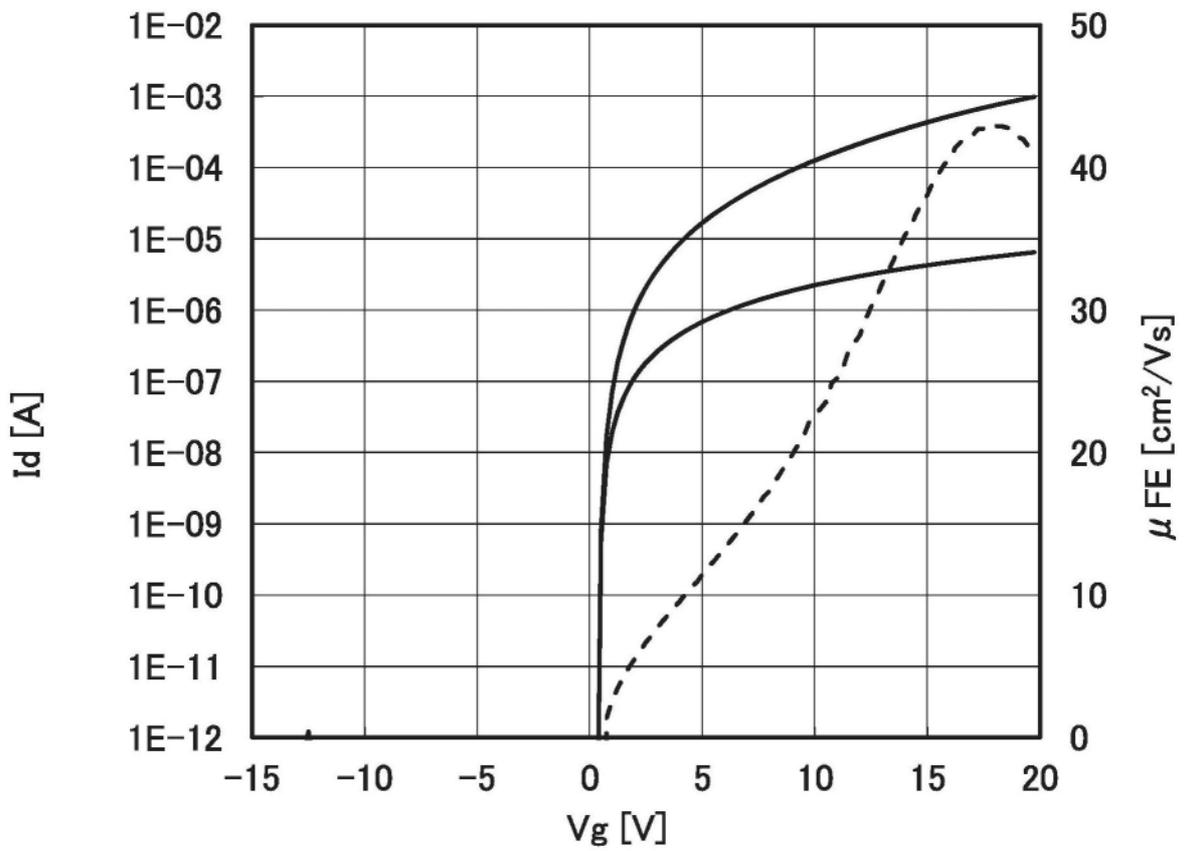


图57

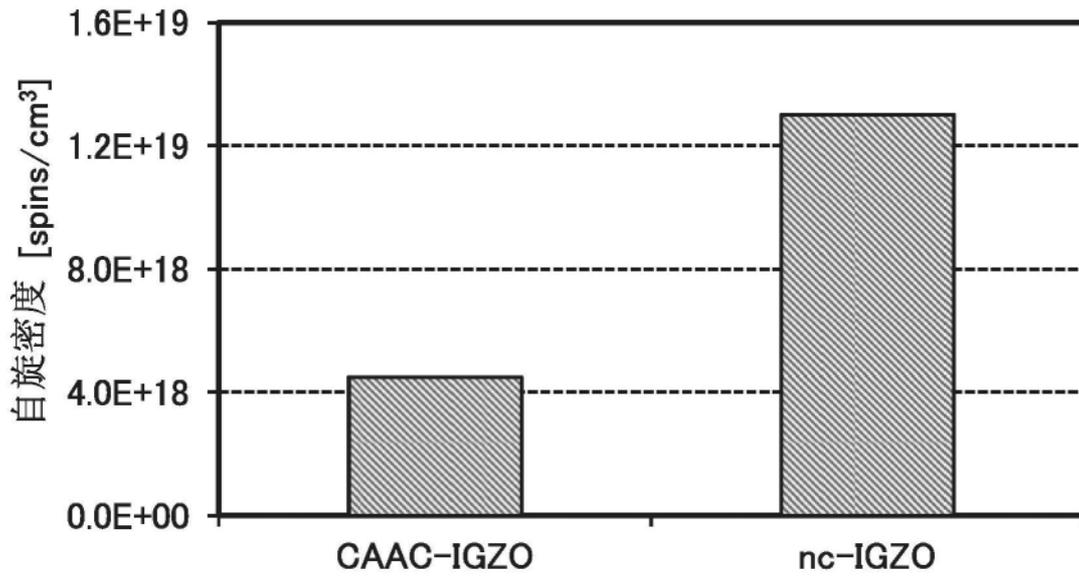


图58A

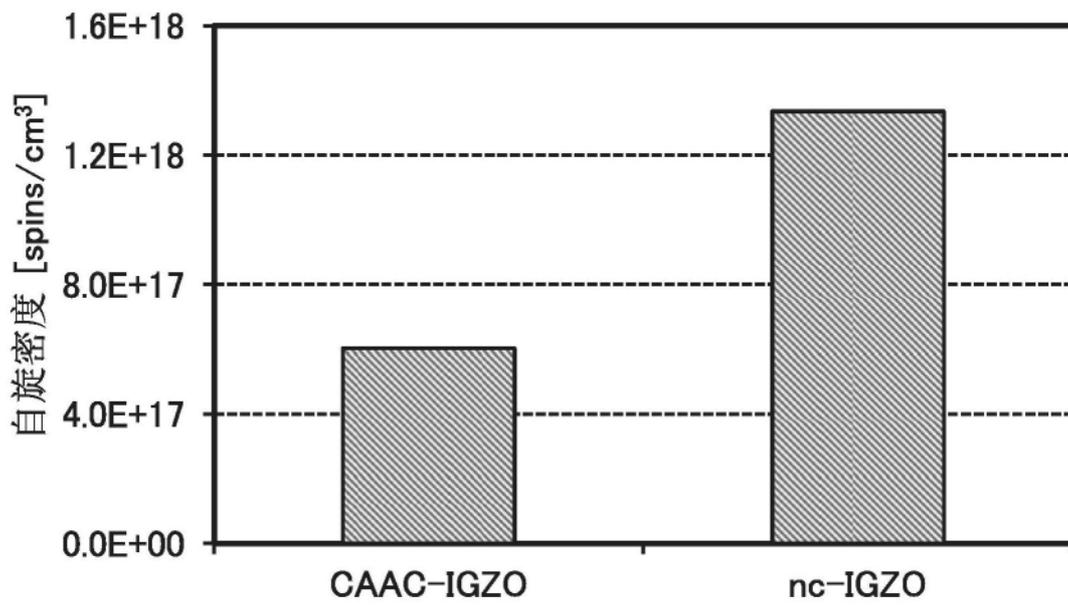


图58B