



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2015년10월12일
(11) 등록번호 10-1559537
(24) 등록일자 2015년10월05일

- (51) 국제특허분류(Int. Cl.)
H01L 21/336 (2006.01) H01L 21/8238 (2006.01)
H01L 29/78 (2006.01)
- (21) 출원번호 10-2010-7021524
- (22) 출원일자(국제) 2009년02월27일
심사청구일자 2014년02월11일
- (85) 번역문제출일자 2010년09월27일
- (65) 공개번호 10-2010-0138973
- (43) 공개일자 2010년12월31일
- (86) 국제출원번호 PCT/US2009/001283
- (87) 국제공개번호 WO 2009/108366
국제공개일자 2009년09월03일
- (30) 우선권주장
102008011813.3 2008년02월29일 독일(DE)
12/204,395 2008년09월04일 미국(US)
- (56) 선행기술조사문헌
US20060148181 A1
US20080050863 A1
US20070132038 A1
US20030146458 A1

- (73) 특허권자
글로벌파운드리즈 인크.
케이만 아일랜드 케이와이1-1104 그랜드 케이만
어그랜드 하우스 피.오.박스 309 메이플즈 코포레
이트 서비스즈 리미티드
- (72) 발명자
베이어 스펜
독일 01219 드레스덴 줄리어스 오토 스트라쎬 15
스테판 톨프
독일 01139 드레스덴 코에츠선브로더 스트라쎬 14
(뒷면에 계속)
- (74) 대리인
박장원

전체 청구항 수 : 총 16 항

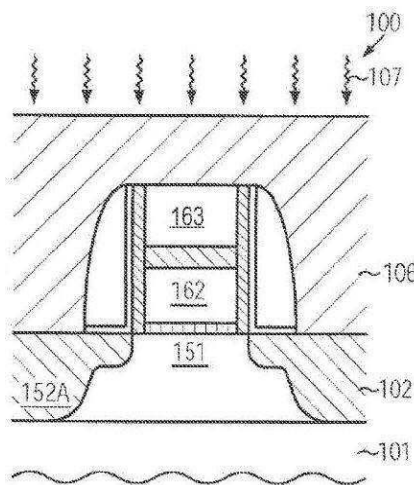
심사관 : 김한수

(54) 발명의 명칭 **높이가 감소된 금속 게이트 스택을 포함하는 반도체 디바이스를 제조하는 방법**

(57) 요약

금속 게이트 스택(160) 내에 CMP 정지층을 제공함으로써, 깊은 트레인 및 소스 영역(152)을 정의한 후에 상기 CMP 정지층의 높이가 효과적으로 감소될 수 있고, 따라서 고도로 스트레스된 유전체 물질을 형성하기 위한 향상된 공정 조건들이 제공된다. 결과적으로, 실질적으로 유전체 물질(161)이 게이트 전도성을 저하시킴이 없이, 유전체 물질(161)이 채널 영역에 더 가까이 배치될 수 있다.

대표도 - 도1f



(72) 발명자

트렌츠슈 마틴

독일 01237 드레스덴 내더스트라쎄 6

프레스 페트릭

독일 01219 드레스덴 줄리어스 오토 스트라쎄 15

명세서

청구범위

청구항 1

반도체층(102) 위에 트랜지스터의 게이트 전극 구조(160)를 형성하는 단계와, 상기 게이트 전극 구조(160)는 높은-k(high-k) 유전체층(161)과, 상기 높은-k 유전체층(161) 위에 형성된 금속-함유 물질(metal-containing material)(162)과, 상기 금속-함유 물질 위에 형성된 마스크 물질(163)을 포함하며;

상기 게이트 전극 구조(160)를 주입 마스크로서 사용하여 상기 반도체층(102) 내에 드레인 및 소스 영역(152)을 형성하는 단계와;

상기 게이트 전극 구조(160)의 높이를 감소시키기 위해 상기 게이트 전극 구조(160)의 상기 마스크 물질(163)의 적어도 일부를 제거하는 단계와; 그리고

상기 드레인 및 소스 영역(152) 및 감소된 높이의 상기 게이트 전극 구조(160R) 위에 스트레인-유발 유전체층(strain-inducing dielectric layer)(130)을 형성하는 단계를 포함하며, 상기 스트레인-유발 유전체층(130)은 상기 트랜지스터의 채널 영역 내에 스트레인(strain)을 발생시키는 것을 특징으로 하는 높이가 감소된 금속 게이트 스택을 포함하는 반도체 디바이스를 제조하는 방법.

청구항 2

제1 항에 있어서,

상기 게이트 전극 구조(160)를 형성하는 단계는 제1 물질 조성을 갖는 상기 마스크 물질(163)의 제1 층을 형성하는 것과, 상기 제1 층 위에 제2 층을 형성하는 것을 포함하며, 여기서 상기 제2 층은 상기 제1 물질 조성과는 다른 제2 물질을 갖는 것을 특징으로 하는 방법.

청구항 3

제2 항에 있어서,

상기 마스크 물질(163)의 적어도 일부를 제거하는 단계는 제거 공정에 의해 상기 제2층을 제거하는 것과 상기 제거 공정을 제어하기 위해 상기 제1층을 사용하는 것을 포함하는 것을 특징으로 하는 방법.

청구항 4

제3 항에 있어서,

상기 제거 공정은 화학 기계적 평탄화 공정을 포함하는 것을 특징으로 하는 방법.

청구항 5

제1 항에 있어서,

상기 마스크 물질(163)의 적어도 일부를 제거하는 단계는 상기 게이트 전극 구조(160)를 충전 물질 내에 매립시키도록 충전 물질을 형성하는 것과, 상기 마스크 물질(163)의 적어도 일부와 함께 상기 충전 물질의 일부를 제거하는 것을 포함하는 것을 특징으로 하는 방법.

청구항 6

제5 항에 있어서,

상기 충전 물질의 나머지 부분(remaining portion)이 존재할 때 상기 트랜지스터를 어닐링하는 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 7

제1 항에 있어서,

상기 마스크 물질(163)의 적어도 일부를 제거하는 단계 전에, 적어도 상기 드레인 및 소스 영역들(152) 내에 금속 실리사이드(157)를 형성하는 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 8

제1 항에 있어서,

적어도 상기 드레인 및 소스 영역(152) 내에 금속 실리사이드(157)를 형성하는 단계를 더 포함하며, 여기서 상기 마스크 물질(163)은 제1 층 및 제2 층을 포함하고, 상기 금속 실리사이드(157)는 상기 마스크 물질(163)의 제2 층을 제거한 후에 형성되며, 상기 금속 실리사이드(157)가 형성될 때 상기 마스크 물질(163)의 제1 층은 유지되는 것을 특징으로 하는 방법.

청구항 9

반도체층(202) 위에 제1 트랜지스터(250A)의 제1 게이트 전극 구조를 형성하는 단계와, 상기 제1 게이트 구조는 높은-k 유전체 물질(261), 제1 금속-함유 물질(262A) 및 마스크 물질을 포함하며;

제2 트랜지스터(250B)의 제2 게이트 전극 구조를 형성하는 단계와, 상기 제2 게이트 전극 구조는 높은-k 유전체 물질(261), 제2 금속-함유 물질(262B) 및 상기 마스크 물질을 포함하며;

도판트 종들을 주입하고 상기 제1 및 제2 게이트 전극 구조들을 주입 마스크로서 사용하여 상기 반도체층(202) 내에 상기 제1 및 제2 트랜지스터의 드레인 및 소스 영역(252)을 정의하는 단계와;

상기 드레인 및 소스 영역(252)을 정의한 후, 상기 제1 및 제2 게이트 전극 구조의 높이를 감소시키는 단계와; 그리고

감소된 높이의 상기 제1 게이트 전극 구조 위에 제1 스트레인-유발 층(230)을 형성하고 감소된 높이의 상기 제2 게이트 전극 구조 위에 제2 스트레인-유발 층(240)을 형성하는 단계를 포함하며, 상기 제1 및 제2 스트레인-유발 층은 서로 다른 타입의 스트레인을 생성하는 것을 특징으로 하는 높이가 감소된 금속 게이트 스택을 포함하는 반도체 디바이스를 제조하는 방법.

청구항 10

제9 항에 있어서,

상기 제1 게이트 전극 구조와 상기 제2 게이트 전극 구조를 형성하는 단계는 상기 제1 및 제2 금속-함유 물질 위에 제거 제어 층(removal control layer)을 형성하는 것과, 상기 제거 제어 층 위에 상기 마스크 물질을 형성하는 것을 포함하는 것을 특징으로 하는 방법.

청구항 11

제10 항에 있어서,

상기 제1 및 제2 게이트 전극 구조의 높이를 감소시키는 단계는 상기 마스크 물질을 제거하기 위해 제거 공정을 수행하는 것과, 상기 제거 공정을 제어하기 위해 상기 제거 제어 층을 사용하는 것을 포함하는 것을 특징으로 하는 방법.

청구항 12

제11 항에 있어서,

상기 제거 공정은 화학 기계적 평탄화 공정을 포함하는 것을 특징으로 하는 방법.

청구항 13

제11 항에 있어서,

상기 제거 공정은 식각 공정을 포함하는 것을 특징으로 하는 방법.

청구항 14

제11 항에 있어서,

적어도 상기 제1 게이트 전극 구조와 상기 제2 게이트 전극 구조 사이에 충전 물질을 형성하는 단계와, 상기 제1 공정 중에 상기 충전 물질의 일부를 제거하는 단계를 더 포함하는 것을 특징으로 하는 방법.

청구항 15

제10 항에 있어서,

상기 제1 및 제2 스트레인-유발 층(230, 240)을 형성하는 단계는 상기 제1 및 제2 게이트 전극 구조 위에 상기 제1 스트레인-유발 층을 형성하는 것과, 상기 제1 게이트 전극 층을 식각 정지층으로서 사용하여 상기 제2 게이트 전극 구조 위에서 상기 제1 스트레인-유발 층을 제거하는 것을 포함하는 것을 특징으로 하는 방법.

청구항 16

제14 항에 있어서,

상기 제1 트랜지스터(250A)의 드레인 및 소스 영역(252)을 형성하는 단계 전에 상기 제2 트랜지스터(250B)의 드레인 및 소스 영역(252)을 어닐링하는 단계와, 상기 충전 물질의 적어도 일부가 존재할 때 상기 제1 트랜지스터(250A)의 드레인 및 소스 영역(252)을 어닐링하는 단계를 더 포함하는 것을 특징으로 하는 방법.

발명의 설명

기술분야

[0001]

일반적으로, 본 발명은, 고도로 스케일된 트랜지스터 소자들을 포함하는 복잡한 집적 회로의 제조에 관한 것이며, 여기서 상기 트랜지스터 소자들은 실리콘 이산화물 및 실리콘 질화물과 같은 종래의 게이트 유전체들에 비하여 유전율(permittivity)이 증가된 높은-k 게이트 유전체를 포함하는 증가된 커패시턴스의 게이트 구조들을 포함한다.

배경 기술

[0002]

CPU, 저장 디바이스, ASIC(application specific integrated circuits) 등과 같은 진보된 집적 회로의 제조는 특정한 회로 레이아웃에 따라 주어진 칩 영역 위에 다수의 회로소자들을 형성하는 것을 필요로 하며, 여기서, 전계 효과 트랜지스터는 집적 회로의 성능을 실질적으로 결정하는 한가지 중요한 타입의 회로 소자를 의미한다. 일반적으로, 다수의 공정 기술들이 현재 실시되고 있으며, 전계 효과 트랜지스터들을 포함하는 많은 복잡한 회로 타입들에 대하여 MOS 기술이 현재 가장 유망한 기술 중 하나인데, 이는 구동 속도 및/또는 전력 소비 및/또는 비용 효율적인 측면에서 우수한 특성을 갖기 때문이다. 예를 들어, MOS 기술을 사용하는 복잡한 집적 회로의 제조 중에, 예를 들어, N-채널 트랜지스터들 및/또는 P-채널 트랜지스터들과 같은 수백만개의 트랜지스터들이 결정질 반도체층을 포함하는 기판 위에 형성된다. 전계 효과 트랜지스터는, N-채널 트랜지스터인지 또는 P-채널 트랜지스터인지에 상관없이, 일명 PN 접합을 포함하는바, 상기 PN 접합은, 강하게 도핑된(highly doped) 영역들(드레인 및 소스 영역들로 지칭됨)과 상기 강하게 도핑된 영역들에 인접하게 배치된, 채널 영역과 같은 약하게 도핑되거나 도핑되지 않은 영역과의 인터페이스(interface)에 의해 형성된다. 전계 효과 트랜지스터에서, 채널 영역의 전도성, 즉 전도성 채널의 전류 구동 능력은, 채널영역에 인접하게 형성되어 있으며 얇은 절연층에 의해 상기 채널영역으로부터 분리되어 있는 게이트 전극에 의해 제어된다. 적절한 제어 전압을 게이트 전극에 인가하여 전도성 채널이 형성되면, 채널영역의 전도성은 도판트(dopant) 농도와 전하 캐리어의 이동도에 따라 달라지며, 또한 트랜지스터 폭 방향으로 채널영역이 소정만큼 확장된 부분에 대해서는, 채널 길이라고도 지칭되는 소스 영역과 드레인 영역 사이의 거리에 따라 달라진다. 그러므로, 제어 전압을 게이트 전극에 인가하자마자 절연층 하부에 전도성 채널을 빠르게 형성하는 능력과 함께, 채널 영역의 전도성은 MOS 트랜지스터의 성능을 실질적으로 결정한다. 그러므로, 게이트 전극의 전도성에 따라 달라지는 채널을 형성하는 속도 및 채널 저항이 실질적으로 트랜지스터 특성들을 결정함에 따라, 채널 길이의 감소 및 이와 관련된 채널 저항의 감소와 게이트 저항의 증가는 집적회로의 동작 속도를 증가시키기 위한 주요한 설계 기준이 되어왔다.

[0003]

실리콘의 실질적으로 제한적이지 않은 사용성, 실리콘 및 관련 물질들 및 공정들의 잘 이해되는 특성들, 그리고 지난 50년 동안 축적된 경험으로 인하여, 현재, 대부분의 집적 회로는 실리콘을 기반으로 제조된다. 그러므로, 실리콘은 대량 생산되는 차세대 회로에서 계속해서 선택되는 물질이 될 것이다. 반도체 디바이스를 제조하는데 있어서 실리콘이 매우 중요한 한가지 이유는, 서로 다른 영역들에 대해 신뢰성있는 전기적 절연을 가능하게 해주는 실리콘/실리콘 이산화물 인터페이스의 우수한 특성때문이다. 실리콘/실리콘 이산화물 인터페이스는 고온

환경에 적합하며, 그러므로, 예를 들어, 도판트들을 활성화시키고 인터페이스의 전자적인 특성을 희생없이 결정 손상(crystal damage)을 치유하기 위한 어닐링 단계들 동안, 필요에 따라 후속적인 고온 공정을 수행할 수 있게 해준다.

[0004]

상기와 같은 이유로, 전계 효과 트랜지스터들 내에서 실리콘 채널 영역으로부터 게이트 전극(종종 폴리실리콘 또는 다른 금속-함유 물질로 구성됨)을 분리하는 게이트 절연층으로서 실리콘 이산화물이 유용하게 사용된다. 전계 효과 트랜지스터들의 디바이스 성능이 꾸준히 개선되면서, 스위칭 스피드 및 구동 전류 용량을 향상시키기 위해 채널 영역의 길이가 계속해서 감소되어왔다. 트랜지스터의 성능은, 채널 영역의 표면을 주어진 공급 전압에서 요구되는 구동 전류를 제공하기에 충분히 높은 전하 밀도로 인버팅하는 게이트 전극에 제공된 전압에 의해 제어되기 때문에, 게이트 전극, 채널 영역 그리고 그 둘 사이에 배치된 실리콘 이산화물에 의해 형성된 커패시터에 의해 제공되는 어느 정도의 용량성 커플링은 유지되어야 한다. 채널 길이를 감소시키는 것은 트랜지스터 동작 중에 소위 단 채널 현상(short channel behavior)을 방지하기 위해 증가된 용량성 커플링을 필요로 하는 것으로 알려져 있다. 단 채널 현상은 누설 전류를 증가시키며 쓰레시홀드 전압의 채널 길이에 대한 의존성을 야기한다. 상대적으로 낮은 공급 전압 및 그에 따른 감소된 쓰레시홀드 전압을 사용하는 과도하게 스케일된(aggressively scaled) 트랜지스터 디바이스들은, 누설 전류의 지수적인 증가를 겪을 수 있으며, 또한 채널 영역에 대한 게이트 전극의 개선된 용량성 커플링을 필요로 한다. 따라서, 게이트와 채널 영역 사이에 필요한 커패시턴스를 제공하기 위해 실리콘 이산화물층의 두께가 대응하여 감소되어야 한다. 예를 들어, 대략 0.08 μm 의 채널 길이는 실리콘 이산화물로 만들어진 게이트 유전체가 대략 1.2nm만큼 얇을 것을 요구할 수 있다. 일반적으로, 매우 짧은 채널을 가진 고속 트랜지스터 소자들은 고속 애플리케이션들에서 유용하게 사용될 수 있지만, 반면 더 긴 채널을 가진 트랜지스터 소자들은 저장 트랜지스터 소자와 같은 덜 민감한(less critical) 애플리케이션들에서 사용될 수 있으며, 매우 얇은(ultra-thin) 실리콘 이산화물 게이트 절연층을 통과하는 전하 캐리어들의 직접적인 터널링에 의해 야기되는 상대적으로 높은 누설 전류는 1-2nm 범위의 산화물 두께를 위한 값들에 도달할 수 있는바, 이는 성능 지향 회로(performance driven circuits)를 위한 요구조건들에 부합하지 않을 수 있다.

[0005]

그러므로, 특히 얇은 실리콘 이산화물 게이트 층에 대해, 게이트 절연 층 물질로서의 실리콘 이산화물을 대체하는 것이 고려된다. 가능한 대안적인 물질들은 현저하게 높은 유전율을 보이는 물질들을 포함하며, 따라서, 대응하여 형성되는 게이트 절연층의 물리적으로 두꺼운 두께는, 극도로 얇은 실리콘 이산화물층에 의해 얻어지는 용량성 커플링을 제공한다. 보통, 실리콘 이산화물과 지정된 용량성 커플링을 달성하기 위해 요구되는 두께는 CET(capacitance equivalent thickness)라고 지칭된다. 따라서, 언뜻 보기에는, 실리콘 이산화물을 단순히 높은-k 물질로 교체하는 것이 1nm 이하의 범위의 두께에 상응하는 커패시턴스를 얻기 위한 간단한 방법이다.

[0006]

실리콘 이산화물을 k가 대략 25인 탄탈륨 산화물(Ta_2O_5), k가 대략 150인 스트론튬 티타늄 산화물(SrTiO_3), 하프늄 산화물(HfO_2), HfSiO, 지르코늄 산화물(ZrO_2) 등과 같은 높은 유전율 물질로 대체하는 것이 제안되어 왔다.

[0007]

추가적으로, 트랜지스터 성능은, 게이트 전극에 대해 일반적으로 사용되는 폴리실리콘 물질을 대체하는 적절한 전도성 물질을 제공함으로써 향상될 수 있으며, 이는 폴리실리콘이 게이트 유전체의 인터페이스 부근에서 전하 캐리어 공핍을 겪게되어, 채널 영역과 게이트 전극 사이의 유효 커패시턴스를 감소시킬 수 있기 때문이다. 따라서, 추가적으로 누설 전류를 수용가능한 레벨로 유지하면서도 높은-k 유전체 물질이 실리콘 이산화물층과 동일한 두께를 바탕으로한 향상된 커패시턴스를 제공하는 게이트 스택이 제시되어 왔다. 다른 한편으로, 티타늄 질화물 등과 같은 비-폴리실리콘 물질은 높은 유전체 물질에 연결되도록 형성될 수 있으며, 그럼으로써 실질적으로 공핍 영역이 생기는 것을 방지해줄 수 있다. 일반적으로 높은 구동 전류를 얻기위해서는 낮은 트랜지스터 쓰레시홀드 전압(전도성 채널이 채널 영역을 형성하는 전압을 나타냄)이 요구되므로, 대개, 각각의 채널의 제어가능성은 적어도 PN 정션 부근에서 뚜렷한 측면 도판트 프로파일 및 도판트 경사(dopant gradient)를 요구한다. 그러므로, 각각의 확장부 및 깊은 드레인 소스 영역들의 형성 후 결과적인 PN 정션 도판트 경사를 보강(reinforce)하도록, 나머지 채널 및 반도체 영역의 전도성 타입에 대응하는 전도성 타입의 도판트 층들을 주입하기 위하여, 이온 주입을 함으로써 소위 할로 영역이 형성된다. 이러한 식으로, 트랜지스터의 쓰레시홀드 전압은 채널의 제어 가능성을 상당히 결정하며, 여기서 감소된 게이트 길이에 대해 쓰레시홀드 전압의 현저한 변화가 관측될 수 있다. 그러므로, 적절한 할로 주입 영역을 제공함으로써, 채널의 제어가능성이 개선될 수 있으며, 이에 의해 쓰레시홀드 전압의 변화(쓰레시홀드 롤 오프(threshold roll off)라고도 지칭됨)를 감소시킬 수 있고, 또한 게이트 길이의 변화에 따른 트랜지스터 성능의 현저한 변화를 감소시켜 준다. 트랜지스터의 쓰레시홀드 전압은 금속-함유 게이트 물질의 일 함수(work function)에 의해 상당부분 결정되므로, 고려중인 트랜지스

터의 전도성 타입과 관련된 유효 일함수의 적절한 조정이 보장되어야 한다.

[0008] 채널 영역에 대한 게이트 전극의 용량성 커플링을 증가시키는 것과 게이트 저항의 전체적인 감소를 증가시키는 것에 부가하여, 실리콘 기반 전계 효과 트랜지스터의 성능을 더 향상시키기 위한 추가적인 기법들이 개발되어 왔다. 한가지 유망한 기법은, 실리콘 결정의 래티스 구조를 변경하는 것인바, 이는 트랜지스터의 채널 영역 내에 적절하게 스트레인을 생성하는 것에 의해 그 내부의 전하 캐리어 이동도(즉, 전자 이동도 또는 정공 이동도)가 증가될 수 있고, 그럼으로써 또한 결과적으로 구동 전류 용량이 증가되기 때문이다. 예를 들어, 실리콘 물질의 표준 결정학적 구성(즉, <100> 결정 축을 따라 배향된 채널 길이 방향을 가진 (100) 표면 배향)에 대해, 트랜지스터 길이 방향에 따른 인장성 스트레인은 결과적으로 전자 이동도를 증가시킬 수 있으며, 트랜지스터 길이 방향에 따른 압축성 스트레인은 결과적으로 정공 이동도를 증가시킬 수 있다. 결과적으로, 개별적으로 트랜지스터 성능을 향상시키기 위해 요구되는 스트레인 타입을 국부적으로 제공하기 위한 복수의 공정 기법들이 개발되어 왔다.

[0009] 한가지 효과적인 기법이 종종 사용되는바, 상기 기법은 기본 트랜지스터 구조의 완성 후 채널 영역에 인접하게 고도로 스트레스된 유전체 물질을 배치하는 것을 포함한다. 예를 들어, 층간 유전체 물질의 부분(예를 들어, 층간 유전체 물질 내에 콘택 개구부들을 패터닝하기 위한 식각 정지층)이 트랜지스터 구조에 인접하게 위치될 수 있으며, 그러므로 상기 부분은 내부에 요구되는 스트레인 타입을 생성하기 위해 채널 영역 내로 전이되는 기계적 스트레스에 대한 소스로서 작용할 수 있다. 유전체 물질의 내부 스트레스 레벨의 크기 및 종류는 증착 파라미터들에 의해 제어될 수 있으며, 예를 들어, 실리콘 질화물은 높은 내부 압축성 및 인장성 스트레스를 가지고 플라즈마-인핸스드 증착(plasma-enhanced deposition) 기법들을 바탕으로 효과적으로 증착될 수 있다. 개별 트랜지스터 소자들 위에 스트레스된 유전체 물질을 제공하는 것은 현저한 성능 향상을 제공하지만, 스트레인-유발 메커니즘(strain-inducing mechanism)의 전체적인 효율성은 채널 영역에 인접하게 위치된 유전체 물질의 양 및 그것의 내부 스트레스 레벨에 의해 결정된다. 그러나, 내부 스트레스 레벨의 크기 및 증착되는 물질의 양은 고려되는 증착 기법의 증착 특성에 따라 상당히 달라질 수 있으며, 여기서, 특히 복잡한 디바이스 기하구조에 대해, 제한적인 증착 관련 제약조건들이 부과될 수 있고, 그럼으로써, 스트레인-유발 메커니즘의 효율성을 제한할 수 있다. 예를 들어, 고도로 스케일된 트랜지스터 소자들에서 얻어지는 뚜렷한 표면 토포그래피(pronounced surface topography)는, 이웃 회로 소자들 사이의 감소된 거리 및 게이트 전극 구조들의 높이에 의해 결정될 수 있으며, 이는 드레인과 소스 영역들을 정의하는 동안 이온-블로킹 효과에 의해 실질적으로 결정될 수 있다. 결과적으로, 예를 들어, 게이트 저항을 감소시키는 것, 용량성-커플링을 증가시키는 것, 채널 영역 내의 전하 캐리어이동도를 향상시키는 것에 의한 효과적인 공정 기법들이 트랜지스터 성능을 향상시키기 위하여 사용될 수 있지만, 종래의 공정 기법들은, 하나 이상의 다른 메커니즘들과 관련한 성능의 저하를 야기함이 없이는 이러한 하나 이상의 메커니즘들의 효과를 현저하게 향상시킬 수는 없다는 것이 밝혀졌다.

[0010] 본 개시는 위에서 기술한 하나 이상의 문제점들의 현상을 방지하거나 적어도 감소시킬 수 있는 다양한 방법 및 디바이스에 관한 것이다.

발명의 내용

과제의 해결 수단

[0011] 하기에서는 본 발명의 몇가지 양상들에 대한 기본적인 이해를 제공하기 위하여 본 발명의 간략화된 개요가 제시된다. 이 개요는 본 발명의 전체적인 개괄은 아니다. 이 개요는 본 발명의 키 또는 결정적인 요소들을 나타내거나 본 발명의 범주를 결정짓기 위하여 의도된 것이 아니다. 본 개요의 유일한 목적은 나중에 논의될 보다 상세한 설명의 도입부로서 간략한 형태로 몇가지 개념들을 제시하는 것이다.

[0012] 일반적으로, 본 명세서에 개시된 내용은, 스트레스된 유전체 물질을 증착하기 전에 게이트 높이를 적절하게 감소시킴으로써, 드레인 및 소스 영역을 형성하는 공정에 부정적인 영향을 주거나 게이트 전도성 감소를 과도하게 야기함이 없이, 향상된 스트레인-유발 메커니즘을 사용하여 복잡한 게이트 전극이 사용되는 반도체 디바이스를 제작하는 방법 및 상기 반도체 디바이스에 관한 것이다. 이러한 목적으로, 일부 예시적인 양상들에서, 깊은 드레인 및 소스 영역의 형성 중에 요구되는 이온-블로킹 특성에 따르기 위해 높은-k 유전체 물질을 가진 금속 게이트 스택이 마스크 물질과 함께 제공될 수 있다. 여기서, 마스크 물질의 적어도 일부는 스트레스된 유전체 물질을 제공하기 전 임의의 적절한 제조 단계에서 제거될 수 있으며, 따라서, 상기 스트레스된 유전체 물질을 스트레스된 채널 영역에 보다 가까이 위치시키면서도, 상기 유전체 물질이 덜 뚜렷한 표면 토포그래피(less pronounced surface topography)를 바탕으로 제공될 수 있다.

[0013] 본 명세서에 개시된 일 예시적인 방법은, 반도체층 위에 트랜지스터의 게이트 전극을 형성하는 단계를 포함하며, 여기서 상기 게이트 전극은 높은-k 유전체층과, 상기 높은-k 유전체층 위에 형성된 금속-함유 물질과, 그리고 상기 금속-함유 물질 위에 형성된 마스크 물질을 포함한다. 상기 방법은, 상기 게이트 전극을 주입 마스크로서 사용함으로써 상기 반도체층 내에 드레인 및 소스 영역을 형성하는 단계 및 상기 게이트 전극의 높이를 감소시키기 위해 상기 게이트 전극의 마스크 물질의 적어도 일부를 제어하는 단계를 더 포함한다. 추가적으로, 상기 방법은, 상기 드레인 및 소스 영역과 감소된 높이의 게이트 전극 위에 스트레인-유발 유전체층 (strain-inducing dielectric layer)을 형성하는 단계를 포함하며, 여기서 상기 스트레인-유발 유전체층은 상기 트랜지스터의 채널 영역 내에 스트레인을 발생시킨다.

[0014] 본 명세서에 개시된 추가의 예시적인 방법은, 반도체층 위에 제1 트랜지스터의 제1 게이트 전극을 형성하는 단계를 포함하며, 여기서, 상기 제1 게이트 전극은 높은-k 유전체 물질 및 제1 금속-함유 물질을 포함한다. 추가적으로, 상기 방법은, 제2 트랜지스터의 제2 게이트 전극을 형성하는 단계를 포함하며, 여기서 상기 제2 게이트 전극은 높은-k 유전체 물질 및 제2 금속-함유 물질을 포함한다. 또한, 도판트 층들을 주입하고 상기 제1 및 제2 게이트 전극들을 주입 마스크로서 사용함으로써 상기 반도체층 내에 상기 제1 및 제2 트랜지스터의 드레인 및 소스 영역이 정의된다. 또한, 상기 방법은 상기 드레인 및 소스 영역을 정의한 후 상기 제1 및 제2 게이트 전극의 높이를 감소시키는 단계 및 감소된 높이의 제1 게이트 전극 위에 제1 스트레인 유발 층을 그리고 감소된 높이의 제2 게이트 전극 위에 제2 스트레인-유발 층을 형성하는 단계를 포함하며, 여기서 상기 제1 및 제2 스트레인 유발 층은 서로 다른 타입의 스트레인을 발생시킨다.

[0015] 본 명세서에 개시된 일 예시적인 반도체 디바이스는, 게이트 전극을 포함하는 제1 트랜지스터를 포함하며, 상기 제1 트랜지스터는 높은-k 게이트 유전체 물질 및 상기 높은-k 유전체 물질 위에 형성된 금속-함유 전극 물질을 포함한다. 상기 트랜지스터는 또한, 반도체 층 내에 형성된 드레인 및 소스 영역들을 더 포함하며, 여기서, 스트레인-유발 유전체 물질이 상기 금속-함유 전극 물질 위에 형성된다.

도면의 간단한 설명

[0016] 본 개시는 첨부된 도면들과 함께 하기의 설명을 참조로 이해될 수 있으며, 여기서 유사한 참조 부호들은 유사한 요소들을 나타낸다.

도 1a-1e는 다양한 제조 단계들 동안의 트랜지스터의 단면도를 개략적으로 도시하며, 여기서 예시적인 실시예들에 따라, 유전체 물질의 스트레인 효과를 향상시키기 위해 드레인 및 소스 영역의 형성 후 높은-k 유전체 물질을 포함하는 금속 게이트의 높이가 감소될 수 있다.

도 1f는 중간 제조 단계 동안의 트랜지스터의 단면도를 개략적으로 도시하며, 여기서 추가의 예시적인 실시예들에 따라, 채널 영역 내에 향상된 스트레인을 제공하기 위해 충전 물질이 추가적으로 사용될 수 있다.

도 1g-1h는 다양한 제조 단계들 동안의 트랜지스터를 개략적으로 도시하며, 여기서 추가의 예시적인 실시예들에 따라, 금속 실리사이드 영역들이 게이트 전극의 서로 다른 높이 상태들에 제공된다.

도 2a-2g는 추가의 예시적인 실시예들에 따라, 스트레스-유발 층들과 함께 감소된 높이의 높은-k 유전체 물질을 가지는 금속 게이트들을 형성하는 다양한 제조 단계들 동안 서로 다른 전도성 타입을 가진 트랜지스터들을 포함하는 반도체 디바이스의 단면도를 개략적으로 도시한다.

비록 본 명세서에 개시된 내용에 대한 다양한 수정 및 대안적인 형태가 가능하지만, 이것의 구체적인 실시예들이 도면에 예시로서 도시되었으며 본 명세서에서 상세히 설명된다. 그러나, 구체적인 실시예들에 대한 본 명세서의 기술은 본 발명을 개시된 특정 형태로 제한하려 의도된 것은 아니며, 그 반대로, 첨부된 청구항들에 의해 정의되는 것과 같은 본 발명의 범주 및 정신 내에 들어오는 모든 수정, 등가, 그리고 대안들을 포괄하도록 의도되었다.

발명을 실시하기 위한 구체적인 내용

[0017] 본 발명의 다양한 실시예들이 하기에서 설명된다. 명료성을 위하여, 실제 실시예들의 모든 피쳐들이 본 명세서에서 설명되지는 않는다. 물론, 임의의 그러한 실제 실시예의 개발에서, 실시예들 마다 다른 시스템 또는 비즈니스 관련 제약들에 대한 호환성과 같은 개발자의 구체적인 목표를 달성하기 위해서는, 다수의 구현별 특정 (implementation-specific) 결정들이 이루어져야 하는 것을 알아야 한다. 또한, 그러한 개발 노력은 복잡하고 시간 소모적일 것이나, 그럼에도 불구하고 본 개시의 이점을 갖는 당업자들에게는 일상적인 일일 것이다.

- [0018] 본 명세서의 내용이 이제 첨부 도면을 참조하여 설명될 것이다. 다양한 구조들, 시스템 및 디바이스들이 단지 예시의 목적으로, 그리고 당업자들에게 잘 알려진 세부사항들로 본 개시를 모호하게 하기 않기 위하여 도면에 개략적으로 표현된다. 그러나, 본 개시의 예시적인 실시예들을 설명하고 묘사하기 위하여 첨부 도면들이 포함된다. 본 명세서에서 사용된 단어 및 표현들은 그 단어 및 표현들이 당업자에 의해 이해되는 것과 같은 의미를 가지도록 이해되고 해석되어야 한다. 본 명세서에서의 용어 또는 구의 일관된 사용에 의해, 용어 또는 구의 특정 정의, 즉, 당업자에 의해 이해되는 것과 같은 보통의 관습적인 의미들과 다른 정의가 의도되는 않는다. 용어 또는 구가 특정 의미, 즉, 당업자에 의해 이해되는 것과 다른 의미를 가지는 한, 그러한 특정한 정의는, 직접적이고 명확하게 그 용어 또는 구의 특정 정의를 제공하는 정의적인 방식으로 본 명세서에서 명백히 설명될 것이다.
- [0019] 본 발명은, 드레인 및 소스 영역을 정의하기 위해 주입 공정 중에 요구되는 이온-블로킹 효과를 제공하면서도, 높은-k 유전체 물질 및 금속-함유 전도성 물질을 포함하는 복잡한 게이트 전극 구조가 높이가 감소된 상태로 형성되는 디바이스 및 그 제조 방법에 관한 것이다. 이러한 목적으로, 본 명세서에 개시된 예시적인 실시예들에서는, 초기에, 금속 게이트 스택이 폴리실리콘과 같은 적절한 마스크 물질을 바탕으로 형성될 수 있는바, 상기 마스크 물질은 드레인 및 소스 주입 공정 후 임의의 적절한 제조 단계에서 제거될 수 있으며, 일부 예시적인 실시예들에서, 제거 공정을 제어하기 위한 물질이, 예를 들어, CMP(chemical mechanical planarization) 정지층 또는 식각 정지층의 형태로 제공되어, 금속-함유 전극 물질의 무결성에 실질적으로 영향을 미치지 않고, 향상된 전체 공정 균일성을 제공해준다. 일부 양상들에서, 마스크 물질의 효과적인 제거는 추가적으로 충전 물질(fill material)을 제공함으로써 달성될 수 있으며, 상기 충전 물질은 대개 마스크 물질과 함께 높이가 감소되어, 물질 제거 공정 중에 요구되는 높은 수준의 기계적 무결성을 제공해준다. 이 경우에, 제어층은 제거 공정의 엔드포인트를 적절히 결정할 수 있게 해주며, 또한 나머지 충전 물질의 제거, 금속 실리사이드 영역등의 형성과 같은 후속적인 제조 단계들에서 유익하게 사용될 수 있다. 결과적으로, 감소된 게이트 높이(상기 감소된 게이트 높이는 금속-함유 전극 물질의 높은 전도성으로 인하여 전체 게이트 저항에 실질적으로 부정적인 영향을 주지 않음)를 바탕으로, 결과적인 표면 토포그래피는, 물질을 트랜지스터 소자의 채널 영역에 보다 가깝게 배치되게 하는 한편, 현저하게 완화된 증착 제약조건을 바탕으로 고도로 스트레스트된 유전체 물질을 증착할 수 있게 해준다.
- [0020] 또한, 본 명세서에 개시된 일부 예시적인 양상들에서, 충전 물질이 존재할 때, 충전 물질 또는 적어도 상기 충전 물질들의 일부가 N-채널 트랜지스터들과 같은 특정 트랜지스터들을 적절하게 어닐링함으로써 채널 영역 내에 추가적인 스트레인을 유발하는데 유익하게 사용될 수 있으며, 이는 결과적으로 드레인 및 소스 영역의 스트레인이 된 재성장(strained re-growth)을 야기할 수 있으며, 트랜지스터 성능을 더 향상시킬 수 있다. 결과적으로, 감소된 게이트 높이는, 게이트 전극의 직렬 저항(series resistance)에 실질적으로 부정적인 영향을 주지 않으면서, 게이트 전극의 프링징 커패시턴스(fringing capacitance)를 감소시키는 것과 함께, 스트레인-유발 메커니즘의 전체적인 효율성 및 증착 조건들을 향상시킬 수 있다. 더욱이, 전체 프로세스 흐름을 적절하게 조정함으로써, 공정 복잡도를 추가함이 없이 추가적인 스트레스 기억 기법이 적용될 수 있다.
- [0021] 도 1a는 위에 반도체 층(102)(예를 들어, 실리콘 층, 실리콘 함유 층 등)이 형성된 기판(101)을 포함하는 반도체 디바이스(100)의 단면도를 개략적으로 도시하며, 상기 반도체 층(102)은 그 내부 또는 위에 트랜지스터를 형성할 수 있도록 되어 있다. 예를 들어, 앞에서 설명한 바와 같이, 복잡한 집적 회로들이 실리콘을 바탕으로 제조될 수 있는바, 이는 실리콘의 잘 알려진 특성 및 우수한 사용가능성 때문이다. 그러나, 전체 공정 및 디바이스 요구조건들에 따라 실리콘-함유 반도체 층에 게르마늄, 카본, 주석, 다양한 수준의 도판트 종들 및 다른 불순물들이 포함될 수 있음이 이해되어야 한다. 일부 예시적인 실시예들에서, 반도체 층(102)이 매립 절연층(도시되지 않음) 위에 형성되어 SOI(Semiconductor(or silicon)-on-insulator) 구조를 정의할 수 있으며, 다른 경우에는 반도체 층(102)이 기판(101)의 실질적으로 결정질 물질의 상부를 나타낼 수 있다. 다른 경우에는, SOI 구조 및 "벌크" 구조(즉, 반도체층(102)의 두께가 그 내부에 형성된 임의의 회로소자들의 깊이보다 현저하게 큰 구조)가 디바이스(100)의 서로 다른 디바이스 영역들에 공통적으로 제공될 수 있다.
- [0022] 또한, 반도체 층(102)은 활성 영역(102A)을 포함하는바, 상기 활성 영역(102A)은 그 내부 및 위에 드레인 및 소스 영역들 및 채널 영역을 구비한 각각의 트랜지스터 소자들을 형성하기 위하여 적절히 도핑된 반도체 영역으로서 이해될 것이다. 도 1a에 도시된 제조 단계에서, 디바이스(100)은 게이트 전극 구조(160)를 포함하는 트랜지스터를 포함하며, 상기 게이트 전극 구조는 게이트 전극(160)을 채널 영역(151)로부터 전기적으로 분리시키는 게이트 절연층(161)을 포함한다. 게이트 절연층(161)은 높은-k 유전체 물질을 포함할 수 있으며, 상기 높은-k 유전체 물질은 10 이상의 비투전율(relative permittivity)을 가지는 물질로서 이해될 것이다. 예를 들어, 게이트 절연층(161)은 하프늄계(hafnium-based) 또는 지르코늄계(zirconium-based) 유전체 물질과 같은 위에서 기

술된 하나 이상의 물질들을 포함할 수 있으며, 그럼으로써 종래에 사용된 실리콘 이산화물 게이트 유전체와 비교하여 유사한 층 두께에서, 게이트 전극(160)과 채널 영역(151) 사이의 커패시턴스를 현저하게 증가시킨다. 예를 들어, 게이트 절연층(161)은 고도로 복잡한 애플리케이션들에서 대략 15-25Å의 두께로 제공될 수 있다.

[0023]

게이트 전극(160)은 또한 금속-함유 물질(162)을 더 포함할 수 있으며, 여기서 적어도 상기 물질의 일부(예를 들어, 게이트 절연층(161)과 접촉하는 영역(162a))는, 채널 영역(151) 내의 도핑된 실리콘 물질의 밴드 갭과 관련하여 페르미 레벨(Fermi level)이 적절하게 위치되게끔 조정된 제1 일 함수(work function)를 가진다. 따라서, 트랜지스터(150)가 N-채널 트랜지스터를 나타낸다면 제1 영역(162a)은 상부 밴드 갭 경계(upper band gap edge) 근처에 페르미 레벨을 가질 것이며, 이러한 페르미 레벨은, 예를 들어, 제1 영역(162a)을, 제2 영역(162b) 내에 포함될 수 있고 P-채널 트랜지스터에 대한 적절한 일 함수를 제공하는데 적합한 금속 함유 형태로 제공함으로써 달성될 수 있다. 그러나, 다른 경우에, 금속-함유 물질(162)은, 그것의 일 함수가 요구되는 페르미 레벨을 제공한다면, 실질적으로 연속적인 금속 성분을 나타낼 수 있음이 이해되어야 한다. 물질(162) 또는 적어도 그 일부(162a)의 일 함수를 적절하게 선택함으로써, 트랜지스터(150)의 쓰레시홀드 전압이 낮은 레벨로 유지될 수 있으며, 그럼으로써 앞에서 설명된 바와 같이, 예를 들어 할로 주입을 바탕으로 채널 제어를 향상시키기 위한 전위(potential)를 제공할 수 있다.

[0024]

게이트 전극(160)은 또한 마스크 물질(163)을 더 포함할 수 있으며, 일부 예시적인 실시예들에서, 상기 마스크 물질(163)은 폴리실리콘 물질 형태로 제공될 수 있으며, 그럼으로써 금속 게이트들을 형성하기 위한 종래의 제조 기법들과의 고도의 호환성을 제공해준다. 다른 예시적인 실시예들에서, 마스크 물질(163)은, 전체 공정 기법에 따라, 실리콘 이산화물, 실리콘 질화물, 실리콘 산화 질화물, 실리콘 카바이드, 카본 물질 등의 형태의 유전체 물질과 같은 임의의 다른 적절한 물질의 형태로 제공될 수 있다. 일 예시적인 실시예에서, 마스크 물질(163)은, 마스크 물질(163)의 일부(163B)가 실제 전극 물질(162)로부터 분리될 수 있게끔 위치된 물질층(163A)을 포함할 수 있으며, 여기서 물질 층(163A)(제어 제어층이라고도 지칭될 수 있음)은 나중의 제조 단계에서 부분(163B)에 대한 제거 공정을 제어할 수 있게 하기 위하여 부분(163B)과 비교하여 다른 물질 특성을 가질 수 있다. 예를 들어, 물질층(163A)은 실리콘 이산화물, 실리콘 질화물등으로 구성될 수 있는 반면, 부분(163B)은 폴리실리콘으로 구성될 수 있다. 결과적으로, 예를 들어, 화학 기계적 평탄화 또는 연마(CMP) 및/또는 식각 공정들에 의해 부분(163B)을 제거할 때, 층(163A)은, 실질적으로 전극 물질(162)의 무결성을 희생함이 없이, 부분(163B)의 제거 중에 전체 균일성을 향상시키기 위한 정지 성능 및 적어도 엔드포인트 검출 성능을 제공할 수 있다. 일반적으로, 예를 들어, 부분(163B) 및 163A)의 형태인 마스크 물질(163)은, 활성 영역(102A) 내의 드레인 및 소스 영역들의 형성 중에 채널 영역(151)의 과도한 도핑을 실질적으로 방지하기 위하여, 충분한 게이트 높이를 제공할 수 있다. 또한, 도시된 제조 단계에서, 게이트 전극(160)은 또한 적절하게 설계된 오프셋 스페이서들(164)을 더 포함할 수 있으며, 상기 스페이서들(164)은 예를 들어, 주입 공정(103)을 바탕으로 정의될 수 있는 드레인 및 소스 확장 영역들(152E)의 오프셋을 조정하기 위하여 적절한 너비를 가진 실리콘 이산화물의 형태로 제공될 수 있다.

[0025]

도 1 에 도시된 것과 같은 반도체 디바이스(100)는 다음의 공정들에 따라 형성될 수 있다. 초기에, 트렌치 분리 구조(도시되지 않음)가 리쓰그래피 공정, 식각 및 증착 공정을 포함하는 잘 확립된 기법들을 바탕으로 형성될 수 있다. 그후, 예를 들어, 채널 도핑 등과 관련한 활성 영역(102A)을 정의하기 위해 적절한 주입 공정들이 수행될 수 있다. 다음으로, 높은-k 유전체 물질이 적절한 증착 기법들을 바탕으로 형성될 수 있는바, 여기서 복잡한 디바이스들에 대해 층 두께는 위에서 정의된 범위 내로 유지되어야 한다. 그후, 예를 들어, 화학 기상 증착(CVD), 물리 기상 증착(PVD) 등을 바탕으로 금속-함유 물질(162)이 증착될 수 있다. 예를 들어, 제1 단계에서, 앞에서 설명한 바와 같이, 부분(162a)의 물질이 증착되어 바람직한 전기적 특성을 제공하기 위한 임의의 적절한 방식으로 처리될 수 있다. 다른 디바이스 영역들에서 다른 특성들이 요구될 수 있으므로, 예를 들어, 부분(162b) 등과 같은 추가의 물질들이 증착될 수 있으며, 여기서, 또한 실질적으로 평탄한 표면 토포그래피가 생성되어 디바이스(100)의 추가적인 공정이 개선될 수 있다. 그후, 마스크 물질(163)이 증착될 수 있으며, 일 예시적인 실시예에서, 부분(163B)과 비교하여 다른 물질 특성을 가지도록 물질층(163A)이 제공될 수 있다. 예를 들어, 실리콘 질화물, 실리콘 이산화물, 실리콘 산화 질화물 또는 충분한 CMP 정지 또는 식각 정지 성능을 제공하는 임의의 다른 적절한 물질들이 증착될 수 있으며, 그 후 폴리실리콘과 같은 물질(163B)가 증착되어, 종래의 공정 기법들과의 고도의 호환성을 제공해 준다. 다른 실시예들에서, 실리콘 이산화물, 실리콘 질화물 등과 같은 임의의 다른 물질이 부분(163B)에 대해 사용될 수 있고, 반면 물질(163A)은 요구되는 정지 또는 제어 특성을 제공하기 위하여 물질 조성에 있어서 상기 물질들과는 다르다. 결과적으로, 결과적인 게이트 층 스택은 나중의 제조 단계에서 깊은 드레인 및 소스 영역들을 형성하기에 적합한 것으로 고려되는 높이를 가질 수 있다.

- [0026] 그후, 복잡한 리쏘그래피 기법들을 사용하여, 게이트 층 스택이 패터닝될 수 있으며, 여기서 예를 들어, 마스크 물질(163), 또는 부분(163B)와 같은 상기 마스크 물질(163)의 일부는, 폴리실리콘으로 구성될 때, 하드 마스크 물질로서 사용될 수 있으며, 예를 들어, 부분(163B)을 패터닝하기 위한 잘 확립된 실리콘 식각 기법들에 의해 레지스트 마스크를 바탕으로 패터닝될 수 있으며, 여기서 물질 층(163A)이 효율적인 식각 정지층으로서 작용할 수 있다. 그 후, 층(163A) 및 금속-함유 물질(162)을 식각하기 위하여 식각 화학물이 적절하게 선택될 수 있다. 마지막으로, 게이트 절연층(161)을 얻기 위하여 높은-k 유전체 물질이 패터닝될 수 있다. 그후, 증착 및 이방성 식각 기법 및 후속하는 주입 공정(103)에 의해, 오프셋 스페이스 소자(164)가 형성될 수 있다. 앞에서 설명된 것과 같이, 예를 들어, 할로 영역을 정의하기 위해 추가적인 주입 공정들이 수행될 수 있음이 이해되어야 한다.
- [0027] 도 1b는 추가의 진보된 제조 단계에서의 반도체 디바이스(100)를 개략적으로 도시한다. 도시된 바와 같이, 트랜지스터는 오프셋 스페이스(164) 위에 형성된 스페이스 구조를 포함할 수 있으며, 여기서 적절한 식각 정지 물질(154A)과 함께 스페이스들(154B)과 같은 하나 이상의 개별 스페이스 소자들이 제공될 수 있다. 스페이스 구조(154)는 주입 마스크로서 작용함으로써, 나머지 게이트 전극(160)과 함께, 드레인 및 소스 영역들(152)의 측면 프로파일을 정의할 수 있고, 여기서 스페이스 구조(154)의 높이는 채널 영역(151) 내에 도판트 층들이 과도하게 포함되는 것을 실질적으로 방지하기 충분한 높이이다. 최종적으로 드레인 및 소스 영역들(152)에 대해 원하는 측면 및 수직 프로파일을 얻기 위하여, 공정(104)과 같은 중간 주입 공정들이 가능해지도록, 스페이스 구조(154)는 다양한 제조 단계들에서 임의의 다른 적절한 구성을 가질 수 있음이 이해되어야 한다.
- [0028] 도 1c는 게이트 전극(160)의 높이를 감소시키도록 된 제거 공정(105) 동안의 반도체 디바이스(100)를 개략적으로 도시한다. 도시된 실시예에서, 제거 공정(105) 동안 게이트 전극(160)의 기계적 무결성을 향상시키기 위하여, 게이트 전극(160)을 적어도 측방향으로 에워싸도록 충전 물질(106)이 제공된다. 일부 예시적인 실시예들에서, 임의의 적절한 물질이 제공될 수 있으며, 그럼으로써 마스크 물질(163)의 적어도 일부에 대한 제거가 제어될 수 있다. 예를 들어, 실리콘 이산화물, 실리콘 질화물 등은 잘 확립된 레시피를 사용하여 CMP 기법들을 바탕으로 효과적으로 제거될 수 있으며, 여기서, 평탄화 단계 후, 고도의 공정 균일성을 지닌 상태로 게이트 전극(160) 부분이 또한 제거될 수 있다. 다른 예시적인 실시예들에서, 제거 공정(105)은 또한 예를 들어, 표면 토포그래피를 평탄화하고 게이트 전극(160) 위의 충전 물질(106)의 적어도 일부를 제거하기 위한 식각 공정을 포함할 수 있다.
- [0029] 충전 물질(106)은 CVD, 스펀-온 기법들 등과 같은 임의의 적절한 증착 기법을 바탕으로 형성될 수 있다. 예를 들어, 폴리머 물질의 기계적 특성이 제거 공정(105)에 적합한 것으로 고려된다면, 충전 물질(106)의 제공 후 덜 뚜렷한(less pronounced) 표면 토포그래피를 얻기 위해 효과적인 스펀-온 기법들이 사용될 수 있으며, 그후 상기 표면 토포그래피는 CMP에 의해 매우 효율적인 방식으로 평탄화될 수 있고, 그럼으로써 또한 마스크 물질(163)의 일부를 제거할 수 있다. 앞서서 설명된 바와 같이, 일부 예시적인 실시예들에서, 물질층(163A)은, 예를 들어, 층(163A)의 노출부에 대한 제거 속도를 적절하게 느리게함으로써 제거 공정(105) 동안 적절한 정지 특성 또는 제어 특성을 제공해 주는바, 이는 기관 전체에 대한 고도의 균일성을 제공해 준다. 예를 들어, 실리콘 이산화물에 대해 실리콘, 실리콘 질화물, 또는 실리콘 이산화물에 대해 실리콘 등에 대한 선택적 CMP 기법들이 사용가능하다.
- [0030] 도 1d는 마스크 물질(163)의 적어도 일부가 제거되는 제거 공정(105) 후의 반도체 디바이스(100)를 개략적으로 도시한다. 결과적으로, 게이트 전극(160)의 높이는 이제 현저히 감소하였으며, 게이트 전극(160R)로 표시된다. 마찬가지로, 도시된 제조 단계에서, (106R)로 표시된 충전 물질(106)의 나머지 부분이 게이트 전극(160R)을 측방향으로 에워쌀 수 있다. 또한, 도 1d에 도시된 실시예에서, 제거 공정(105)의 전체 공정 특성 및 층(163A)의 정지 또는 제어 성능에 따라 정지 또는 제어 물질층(163A)이 감소된 두께를 가지고 여전히 존재할 수 있다. 예를 들어, 층(163A)가 충분한 두께로 제공되어, 그것의 노출 후 필요한 과도 식각(over etch) 또는 연마 시간이, 아래에 놓인 금속-함유 물질(162)의 노출을 야기하지 않을 수 있는바, 이는 층(163A)의 감소된 제거 속도로 인한 것이다. 결과적으로, 공정(105) 중에, 물질(162)에 대한 추가적인 공정 무결성이 유지될 수 있다. 따라서, 일부 예시적인 실시예들에서, 적절한 선택적 식각 공정을 바탕으로 나머지 물질(106R)이 제거될 수 있으며, 여기서 층(163A)은 아래에 놓인 금속-함유 물질(162)에 대해 요구되는 무결성을 제공해줄 수 있다. 그후, 예를 들어, 아래에 놓인 물질에 과도하게 영향을 줌이 없이 적절하게 선택된 화학 식각 레시피에 의해 층(163A)이 제거될 수 있다. 다른 예시적인 실시예들에서, 후에 도 1g-1h를 참조로 보다 자세히 설명될 바와 같이, 물질(106R)의 제거 후, 금속 실리사이드가 형성될 수 있는바, 여기서 물질층(163A)은 또한 게이트 전극 물질(162)에 대한 무결성을 유지하는 것으로 인해 개선된 공정 효율성을 제공할 수 있다. 일부 예시적인 실시예들에서, 충전 물질(106)이 스페이스 구조(154)와 비교하여 다른 식각 특성을 가질 때, 나머지 물질(106R)이 스페이스 구조(154)의

잔여물에 대해 선택적으로 제거될 수 있다. 다른 예시적인 실시예에서, 스페이서 소자(154B)는 충전 물질(106)과 실질적으로 동일한 물질로 구성되거나 적어도 유사한 식각 특성을 가질 수 있고, 그럼으로써 잔류 물질(106R)과 스페이스 소자(154B)의 동시적인 제거를 가능하게 해준다.

[0031] 도 1e는 추가의 진보된 제조 단계에서의 반도체 디바이스를 개략적으로 도시한다. 도시된 바와 같이, 스트레인-유발 층(130)이 트랜지스터(150) 위 및 따라서 감소된 게이트 전극(160R) 위에 또한 형성될 수 있는바, 여기서 요구되는 스트레인 타입이 채널 영역(151)에서 얻어지도록 층(130)의 내부 스트레스 레벨이 선택된다. 앞에서 논의된 바와 같이, 층(130)의 증착 중에, 현저히 감소된 표면 토폰그래피는 덜 제한적인 증착 조건들을 가능하게 하며, 그럼으로써 가능하게는 층(130)을 증가된 두께로 제공할 수 있게 해주고, 따라서 또한 채널 영역(151)에서 얻어진 스트레인의 양을 증가시켜준다. 또한, 감소된 게이트 높이로 인하여, 게이트 전극(160R) 위에 배치된 층(130)의 스트레스된 물질은, 상당한 양의 폴리실리콘 물질이 여전히 존재하는 종래의 반도체 디바이스에 비해, 채널 영역(151)에 보다 가까이 위치될 수 있다. 도 1e에 도시된 예시적인 실시예에서, 예를 들어, 앞에서 논의된 바와 같이, 잔류 물질(106R)을 제거하기 위한 공통 식각 공정 중에 스페이서 소자(154B)가 제거되었으며, 그럼으로써 채널 영역(151)에 대해 감소된 측방향 거리로 고도로 스트레스된 물질 층(130)을 배치한다. 또한, 도시된 바와 같이, 게이트 전극(160R)을 통해 더 향상된 스트레인 전달 메커니즘이 요구될 때, 물질 층(163A)이 층(130)의 증착 전에 제거될 수 있다. 다른 경우에, 스트레인-유발 층(130)을 형성하기 위한 공정 시퀀스 동안 무결성을 유지하기 위하여, 층(163A)이 유지되어, 식각 정지층으로서 사용될 수 있다.

[0032] 그후, 도 2a-2f를 참조로 추후에 설명될 바와 같이, 추가의 층간 유전체 물질을 증착하고 이것을 패터닝하여 각각의 트랜지스터 영역들에 콘택을 확립하는 추가의 공정이 계속될 수 있다.

[0033] 도 1f는 추가의 예시적인 실시예들에 따른 반도체 디바이스(100)를 개략적으로 도시한다. 앞에서 설명된 바와 같이, 예를 들어, 단단한 물질층(rigid material layer)이 존재할 때 드레인 및 소스 영역들(152) 내의 실질적으로 비정질인 영역들을 재결정화함으로써 결과적으로 드레인 및 소스 영역(152) 내의 재결정화된 물질이 스트레인 상태가 되게 하여, N-채널 트랜지스터에 대해, 효율적인 스트레인-유발 메커니즘이 달성될 수 있다. 이러한 목적으로, 152A로 표시된 것과 같이 드레인 및 소스 영역(152)을 실질적으로 비정질 상태로 유지하기 위하여, 충전 물질(106)을 제공하기 전 임의의 적절한 단계에 적절하게 설계된 비정질 주입 공정이 행해질 수 있으며, 임의의 추가적인 열 처리는 방지될 것이다. 따라서, 요구되는 스트레인 상태를 얻기 위하여, 재결정화로 인해 부분(152A)의 볼륨이 줄어드는 것을 방지하기 위해, 충전 물질(106)이 적절한 물질 특성을 가지고 제공될 수 있다. 예를 들어, 충전 물질(106)은 실리콘 질화물의 형태로 제공될 수 있다.

[0034] 어닐링 공정(107) 동안, 드레인 및 소스 영역(152)의 스트레인 상태가 달성될 수 있으며, 위에서 설명된 바와 같이, 충전 물질(106)이 나중의 제조 단계에서 제거된다 하더라도, 이러한 스트레인 상태는 결과적으로 채널 영역(151)에 각각의 스트레인을 야기할 수 있다. 다른 예시적인 실시예들에서, 예를 들어, 도 1d에 도시된 바와 같이, 어닐링 공정(107)이 나중의 제조 단계에서 행해질 수 있으며, 따라서, 드레인 및 소스 영역(152)에 대해 요구되는 스트레인 상태를 얻기 위하여 잔류 물질(106R)이 단단한 물질로서 작용할 수 있음이 있음이 이해되어야 한다. 결과적으로, 층(130)에 의해 얻어진 채널 영역(151)의 전체 스트레인은 또한 전체 공정 흐름 내에, 가능하게는 각각의 비정질 주입과 함께, 어닐링 공정(107)을 적절하게 배치함으로써 더 증가될 수 있는바, 따라서 스트레스 기억 기법(stress memorization technique)이 트랜지스터(150)에 적용되면, 충전 물질(106)이 또한 단단한 물질(rigid material)로서 작용할 수 있으며, 그럼으로써 임의의 추가적인 공정 복잡도를 방지해준다.

[0035] 도 1g 내지 1h를 참조로, 전체적인 공정 기법에 따라, 다양한 제조 단계들에서 실리사이드이션 공정(silicidation process)이 행해지는 추가의 예시적인 실시예들이 설명될 것이다.

[0036] 도 1g는 충전 물질(106) 증착 전의 디바이스(100)를 개략적으로 도시하며, 여기서, 추가적으로, 필요하다면 드레인 및 소스 영역 내에 금속 실리사이드 영역들(157)이 형성될 수 있으며, 한편, 마스크 물질이 폴리실리콘 물질을 포함할 때, 금속 실리사이드 영역(157)은 또한 게이트 전극(160)의 마스크 물질(163) 내에 제공될 수 있다. 따라서, 금속 실리사이드가 드레인 및 소스 영역들(152) 내에 형성되면, 종래 공정 기법들과의 고도의 호환성이 달성될 수 있으며, 여기서 추가적으로, 금속 실리사이드 영역들(157)의 형성 중에 임의의 추가적인 공정들이 수행되고 나중의 제조 단계가 결과적으로 추가적인 금속 확산을 야기한다면, 물질층(163A)은 금속-함유 물질(162)의 무결성을 제공해 줄 수 있다. 결과적으로, 잘 확립된 공정 기법들이 적용될 수 있지만, 그럼에도 불구하고 게이트 전극(160) 내 금속에 대한 향상된 무결성이 달성될 수 있다.

[0037] 도 1h는 추가의 예시적인 실시예들에 따른 디바이스(100)를 개략적으로 도시하는바, 여기서, 도 1d에 도시된 것과 같은 제조 단계에서 시작하여, 예를 들어, 외부 스페이서 소자(154B)와 함께 잔류 물질(106R)이 제거되었으

며, 한편 물질층(163A)은 감소된 게이트 전극(160R)의 상부에 여전히 존재할 수 있다. 따라서, 후속적인 실리사 이테이션 공정 동안, 물질(162)의 무결성이 유지되며, 금속 실리사이드 영역들(157)은 드레인 및 소스 영역 (152) 내에서 자기-정렬 방식으로 형성된다. 이후, 층(163A)은 공정 기법에 따라 제거되거나 제거되지 않을 수 있다.

[0038] 도 2a-2g를 참조로, 서로 다른 전도성 타입의 트랜지스터들에 대해 감소된 높이의 금속 게이트가 제공되며, 서로 다른 내부 스트레스를 지닌 스트레인-유발 층들이 또한 형성되고, 과도한 채널 도핑을 실질적으로 방지하기 위하여 초기 게이트 높이가 적절하게 선택될 수 있는 추가의 예시적인 실시예들이 이제 설명될 것이다.

[0039] 도 2a는 기판(201)을 포함하는 반도체 디바이스(200)를 개략적으로 도시하는바, 상기 기판(201) 위에는 반도체 층(202)이 형성되어 있다. 또한, 분리 구조(208)가 층(202) 내에 제공될 수 있으며, 그럼으로써 제1 활성 영역 (202A)과 제2 활성 영역(202B)를 정의한다. 또한, 상기 활성 영역들(202A, 202B) 위에는 높은-k 유전체 물질을 포함하는 게이트 유전체(261)가 형성될 수 있으며, 제1 활성 영역(202A) 위에 형성된 전극 물질(262A)와 같은 하나 이상의 금속-함유 전극 물질들이 그 위에 형성되며, 제2 전극 물질(262B)은 물질(262A) 및 제2 활성 영역 (202B) 위에 형성될 수 있다. 지금까지 설명된 구성요소들과 관련하여, 디바이스(100)을 참조로 앞에서 설명된 것과 동일한 기준이 적용될 수 있다. 도시된 예시적인 실시예에서, 활성 영역들(202A, 202B)이 서로 다른 전도 성 타입의 트랜지스터 소자들을 수용하도록 되어있을 수 있다. 따라서, 앞에서 설명한 바와 같이, 전극 물질 (262A)은 예를 들어, N-채널 트랜지스터를 나타내는 활성 영역(202A)에 대해 적절한 일함수를 가지도록 제공될 수 있으며, 물질(262B)은 P-채널 트랜지스터일 수 있는 영역(202B)에 대해 적절한 일함수를 가질 수 있다. 그러나, 전극 물질(262A, 262B)의 구성은 단지 예시적인 것이며, 우수한 표면 토포그래피 등을 달성하기 위하여, 예 를 들어, 각각의 활성 영역들 위에 물질(262A, 262B)를 선택적으로 제공함으로써 그리고/또는 물질(262A, 262B) 위에 공통의 "평탄화" 전극 물질을 제공함으로써 임의의 다른 구성이 선택될 수 있다. 예를 들어, 도시된 실시 예에서, 물질(262B)는 또한 평탄화 물질로서 작용할 수 있으며, 상기 물질은 실질적으로 평탄한 표면 토포그래 피를 얻기 위하여, 후속적인 공정 단계에서, 예를 들어, CMP에 의해 평탄화 될 수 있고, 여기서 영역(202B) 위 에는 단지 물질(262B)가 제공될 수 있는 반면, 물질(262A, 262B)는 영역(202A) 위에 존재할 수 있다.

[0040] 도 2b는 추가의 진보된 제조 단계에서 디바이스(200)를 개략적으로 도시하며, 여기서 정지 또는 제어 물질 층 (263A)은 마스크 물질(263)의 일부로서 제공될 수 있고, 상기 마스크 물질(263)은 물질층(263A)과 비교하여 다 른 물질 조성을 가지는 적어도 하나의 추가 부분(263B)를 추가로 포함할 수 있다. 예를 들어, 나중의 제조 단계 에서 물질(263)의 부분을 제거하는 공정과 관련하여 각각의 제어 또는 정지 성능이 달성되는한, 부분(263A, 263B)에 대해 임의의 적절한 물질이 사용될 수 있다. 물질(263)은 물질(163)을 참조로 앞에서 설명되었던 것과 같은 공정 기법을 바탕으로 형성될 수 있다.

[0041] 도 2c는 추가의 진보된 제조 단계에서의 반도체 디바이스(200)를 개략적으로 도시한다. 도시된 바와 같이, 제1 트랜지스터(250A)(예를 들어, N-채널 트랜지스터)와 제2 트랜지스터(250B)(예를 들어, P-채널 트랜지스터)는 게 이트 전극들(260)을 포함하도록 제공될 수 있으며, 상기 게이트 전극들(260)은 게이트 전극(160)에 대해 앞에서 설명된 것과 유사한 구조를 가질 수 있다. 또한, 스페이서 구조(254)가 게이트 전극들(260)의 측면 위에 형성될 수 있으며, 드레인 및 소스 영역들(252)이 각각의 활성 영역들(202A, 202B) 내에 형성될 수 있다.

[0042] 트랜지스터들(250A, 250B)을 포함하는 반도체 디바이스(200)는 앞에서 설명된 것과 유사한 공정 기법들을 바탕 으로 형성될 수 있다. 즉, 앞에서 논의된 기법들에 따라 게이트 전극들(260)이 패터닝될 수 있으며, 후속적으로, 드레인 및 소스 영역들(252)을 정의하기 위하여 중간 주입 공정들을 사용하여 스페이서 구조(254) 가 형성된다. 일 예시적인 실시예에서, 도시된 바와 같이, 트랜지스터(250B)(P-채널 트랜지스터를 나타냄)는 드 레인 및 소스 영역(252)이 실질적으로 결정 상태(crystalline state)에 있는 상태일 수 있다. 이러한 목적으로, 주입으로 유발된 손상(implantation induced damage)을 재결정화하기 위하여, 후속적인 어닐링 공정을 사용하여 트랜지스터(250A)에 깊은 드레인 및 소스 영역들을 형성하기 전에, 트랜지스터(250B)의 드레인 및 소스 영역 (252)이 형성되었다. 반면, 트랜지스터(250A)에 대해 비정질화 주입(amorphization implantation)이 행해졌으 며, 그럼으로써 실제 도판트 중의 포함 전 또는 후에 드레인 및 소스 영역들(252) 내에 실질적으로 비정질화된 부분들(252A)을 달성하게 된다. 결과적으로, 추가의 제조 공정 동안에, 충전 물질을 사용하여, 실질적으로 비정 질화된 부분들(252A)이 스트레인된 상태로 재결정화될 수 있으며, 상기 충전 물질은 또한 게이트 전극(260)의 높이를 줄이는 데에도 사용될 수 있다.

[0043] 이러한 목적으로, 트랜지스터(250B) 내의 도판트 프로파일에 실질적으로 과도하게 영향을 미치지 않은채, 트랜 지스터들(250A, 250B)을 에워싸기 위해 실리콘 질화물과 같은 적절한 충전 물질이 증착될 수 있으며 부분(252

A)을 재결정화하기 위해 어닐링 공정이 수행될 수 있다. 트랜지스터(250B)의 드레인 및 소스 영역들(252)은 실질적으로 이미 결정질 상태일 수 있으며, 이 경우에 현저한 스트레인 생성은 방지될 수 있다. 다른 한편으로, 앞에서 설명된 바와 같이, 현저한 스트레인이 트랜지스터(250A) 내에서 발생할 수 있다. 적절한 어닐링 기법들은 유효 어닐링 시간이 적당하게 짧은 레이저-기반 또는 플래시-기반의 어닐링 공정을 포함하며, 그럼으로써 도판트 확산을 낮은 레벨로 유지할 수 있다.

[0044] 다른 예시적인 실시예들에서, 충전 물질을 증착한 후, 물질 층(263A)을 유효 정지 물질로서 사용하면서, 충전 물질의 일부를 제거함과 동시에 게이트 높이를 감소시키기 위해, 앞에서 설명된 것과 같은 제거 공정이 행해질 수 있다.

[0045] 도 2d는 위에서 기술된 공정 시퀀스 후의 반도체 디바이스(200)를 개략적으로 도시한다. 따라서, 충전 물질(206R)이 게이트 전극 구조(260)에 측방향으로 인접하게 제공될 수 있으며, 상기 게이트 전극 구조(260)는 260R로 표시된 것과 같은 감소된 높이를 가질 수 있다. 또한, 트랜지스터(250A) 내에 요구되는 스트레인 상태의 드레인 및 소스 영역(252)을 달성하기 위하여, 실질적으로 비정질의 부분들(252A)을 재결정화하기 위해 어닐링 공정(207)이 행해질 수 있다.

[0046] 다른 예시적인 실시예들에서, 트랜지스터(250A) 내에 추가의 스트레인이 요구되지 않는다면, 충전 물질(206R)의 제거 후 충전 물질(206R)의 형성 전에 임의의 적절한 제조 상태에서 어닐링 공정(207)이 행해질 수 있다. 그후, 디바이스(100)를 참조로 설명된 바와 같이, 추가의 공정이 계속될 수 있다. 예를 들어, 앞에서 설명된 바와 같이, 스페이서 구조(254) 부분의 제거와 함께 충전 물질(206R)이 제거될 수 있다.

[0047] 도 2e는 위에 기술된 공정 시퀀스 후의 디바이스(200)를 개략적으로 도시하며, 여기서 물질 층(263A), 또는 그것의 일부가 아래에 놓인 금속-함유 물질들(262A, 262B)에 대한 무결성을 제공해줄 수 있다. 또한, 트랜지스터들의 성능을 개별적으로 향상시키도록 트랜지스터들(250A, 250B) 각각에 대해 고도로 스트레스트된 유전체 물질을 제공하기 위하여, 필요하다면, 디바이스(200)에 실리사이드 영역들을 형성하기 위한 공정(209)이 행해질 수 있다.

[0048] 도 2f는 추가의 진보된 제조 단계에서 디바이스(200)를 개략적으로 도시하는바, 상기 단계에서는, 드레인 및 소스 영역들(252) 내에 금속 실리사이드 영역들(257)이 형성될 수 있는 한편, 층(263A)이 실리사이드의 생성 및 물질 요소들의 금속-함유 물질들(262A, 262B)과의 상호작용을 실질적으로 방지해 준다. 또한, 스트레인-유발 층(230)이 트랜지스터(250A) 위에 형성될 수 있으며, 따라서, 요구되는 스트레인 타입이 제공되고, 여기서 감소된 높이의 게이트 전극들이 향상된 증착 조건 및 우수한 스트레인 유발 메커니즘을 제공해 줄 수 있다. 마찬가지로, 트랜지스터(250B)의 성능을 향상시키기 위하여 다른 타입의 스트레인을 생성하도록 스트레인-유발 층(240)이 트랜지스터(250B) 위에 형성될 수 있다. 예를 들어, 각각의 트랜지스터들(250A, 250B) 위에 층(230, 240)을 배치하기 위해 잘 확립된 패터닝 기법들이 사용될 수 있으며, 이는 층들(230, 240) 중 하나를 증착하는 것과 리소그래피 및 식각 공정 기법들에 의해 그 중 원치않은 부분을 제거하는 것을 포함한다. 따라서, 스트레스트-유발 물질의 원치않는 부분을 제거하는 동안, 층(263A)이 아래에 놓인 전극 물질의 향상된 무결성을 제공해 줄 수 있다. 그후, 층들(230, 240) 중 상부의 층(upper layer)이 증착될 수 있으며, 그 중 불필요한 부분이 리소그래피 또는 식각 공정 기법들에 의해 제거될 수 있다. 층들(230, 240)을 형성하기 위한 전체 공정 시퀀스를 개선하기 위하여 적절한 식각 정지 또는 식각 제어 물질들이 추가적으로 제공될 수 있음이 이해되어야 한다.

[0049] 도 2g는 추가의 진보된 제조 단계에서 반도체 디바이스(200)를 개략적으로 도시하며, 여기서 예를 들어, 층간 유전체 물질(245)이 예를 들어, 실리콘 이산화물 등의 형태로 스트레인-유발 층들(230, 240) 위에 제공된다. 또한, 드레인 및 소스 영역들(252)들과 같은 컨택 영역들 또는 트랜지스터들(250A, 250B)의 게이트 전극들(260R)을 연결하기 위하여, 물질(245) 및 층들(230, 240)을 통해 컨택 소자들(246)이 제공되어 물질(245) 및 층들(230, 240)을 통하여 확장될 수 있다. 컨택 소자들(246)은 가능하게는 적절한 장벽 물질과 함께, 텅스텐, 구리, 알루미늄, 니켈 등과 같은 임의의 적절한 전도성 물질을 포함할 수 있다.

[0050] 도 2g에 도시된 반도체 디바이스(200)는 잘 확립된 공정 기법들을 바탕으로 형성될 수 있으며, 여기서, 추가적으로, 컨택 개구들을 형성하기 위한 다양한 높이 레벨이, 현저하게 큰 게이트 높이가 사용될 수 있는 종래의 기법들에서처럼 두드러지지 않을 수 있으므로, 감소된 높이의 게이트 전극들(260)이 개선된 공정 균일성을 제공해 줄 수 있다. 따라서, 물질(245)의 증착 후, 물질(245)을 패터닝하기 위하여, 잘 확립된 리소그래피 기법들이 사용될 수 있으며, 여기서 층들(230, 240)은 식각 정지 물질들로 사용될 수 있다. 그후, 이 층들이 적절한 공정에 의해 오픈될 수 있으며, 여기서 층(263)이 또한 식각 공정의 최종 단계에서 오픈될 수 있다.

[0051]

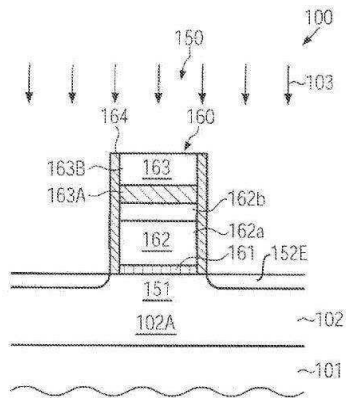
결과적으로, 본 개시는, 스트레인 유발 유전체층과 함께 복잡한 금속 게이트 구조를 제공함으로써 트랜지스터 성능을 개선시키기 위한 기법들을 제공해주며, 여기서, 채널 도핑의 증가를 야기함이 없이 스트레인-유발 메커니즘을 개선시키기 위해 깊은 드레인 및 소스 영역들을 정의한 후 게이트 높이가 효과적으로 감소될 수 있다. 이러한 목적으로, 일부 예시적인 실시예들에서, 나중의 제조 단계에서 게이트 높이를 감소시키기 위해 제거 공정 중에 개선된 공정 균일성을 제공하기 위하여, 초기 게이트 스택이 정지층 또는 제어 층을 포함할 수 있다. 일부 예시적인 양상들에서, 충전 물질이 사용될 수 있다는바, 상기 충전 물질이 예를 들어, N-채널 트랜지스터들의 스트레인을 더 향상시키기 위해 재결정 공정 중 효과적인 캡 층으로서 작용할 수 있다.

[0052]

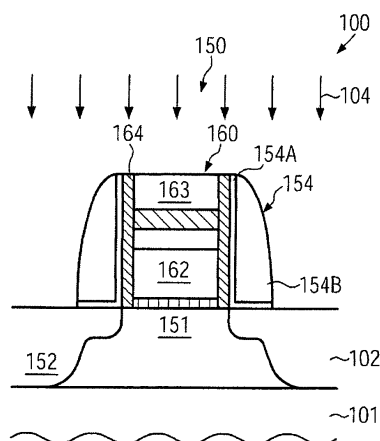
앞서 개시된 특정한 실시예들은 단지 예시적인 것으로, 본 발명은 본 명세서에 개시된 내용의 이점을 갖는 해당 기술분야의 당업자들에게는 자명한, 상이하지만 등가적인 방식으로 변경 및 실행될 수 있다. 예를 들면, 앞서 설명된 공정 단계들은 다른 순서로 실행될 수도 있다. 또한, 하기의 특허청구범위에 기술된 바를 제외하면, 여기에 도시한 구성 혹은 디자인의 세부사항에 대해 그 어떤 제한도 의도되지 않는다. 따라서, 상기 설명된 특정 실시예들은 변경 혹은 수정될 수 있으며, 그러한 모든 변형예들은 본 발명의 본 발명의 범위 및 기술적 사상 내에 있다고 고려된다. 따라서, 본 명세서에서 보호받고자 하는 사항은 하기의 특허청구범위에 서술된 바와 같다.

도면

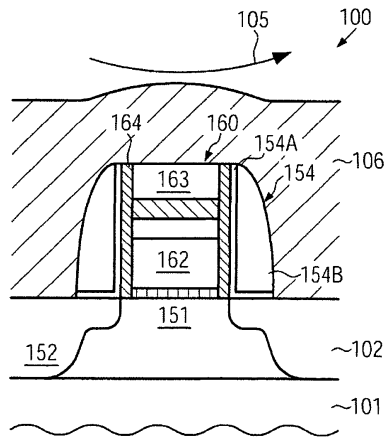
도면1a



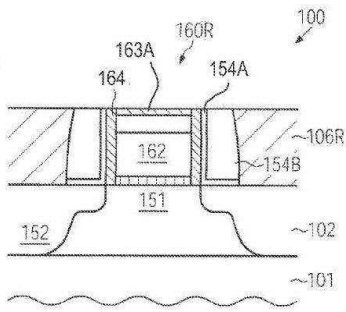
도면1b



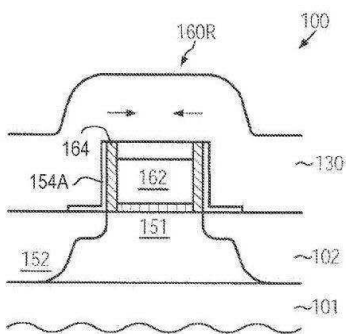
도면1c



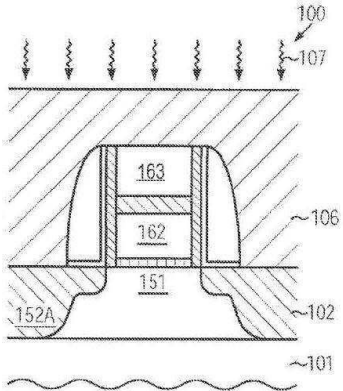
도면1d



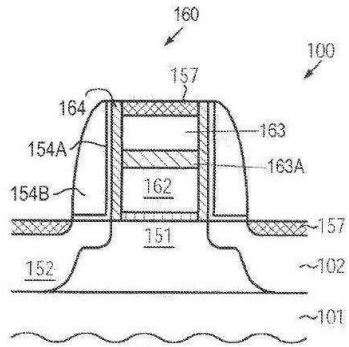
도면1e



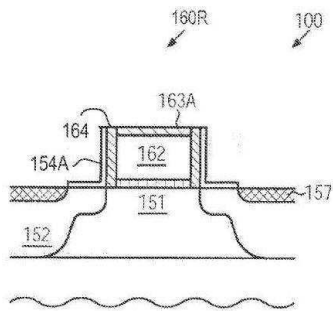
도면1f



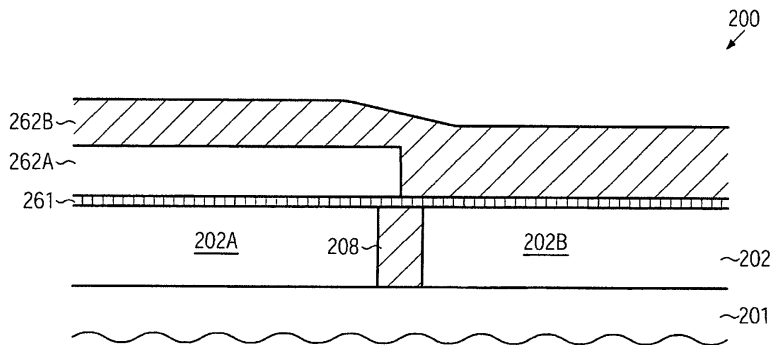
도면1g



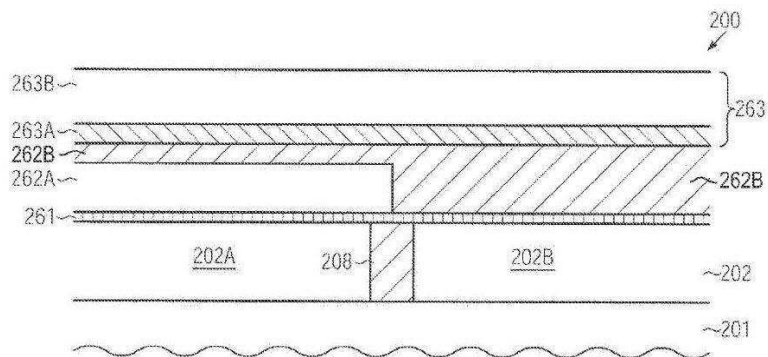
도면1h



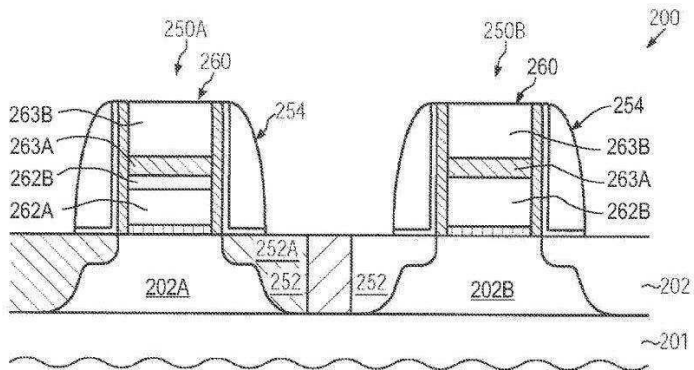
도면2a



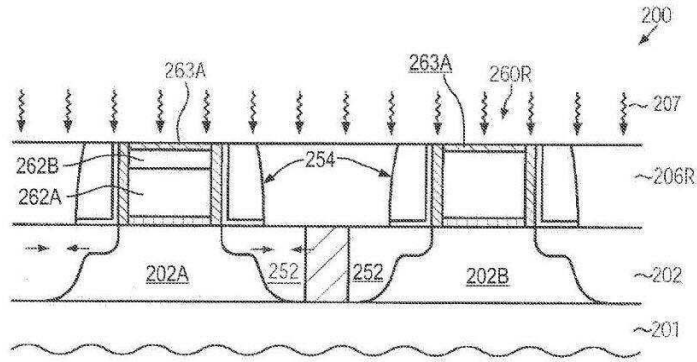
도면2b



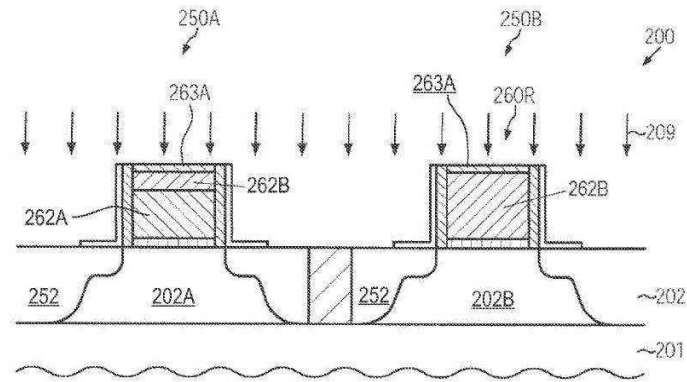
도면2c



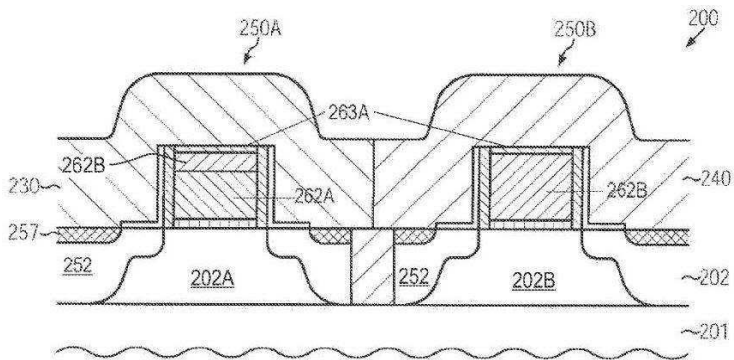
도면2d



도면2e



도면2f



도면2g

