

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H04L 29/06 (2006.01)

G06F 13/12 (2006.01)



[12] 发明专利说明书

专利号 ZL 00815700.6

[45] 授权公告日 2009 年 3 月 25 日

[11] 授权公告号 CN 100473066C

[22] 申请日 2000.8.30 [21] 申请号 00815700.6

[30] 优先权

[32] 1999.9.21 [33] US [31] 09/401,005

[86] 国际申请 PCT/US2000/040775 2000.8.30

[87] 国际公布 WO2001/022690 英 2001.3.29

[85] 进入国家阶段日期 2002.5.15

[73] 专利权人 (美国)捷迅公司

地址 美国加利福尼亚州

[72] 发明人 迈克尔·R·康利 埃里克·亨德森

[56] 参考文献

US5265094A 1993.11.23

EP0647082A2 1995.4.5

US5103446A 1992.4.7

审查员 徐 刚

[74] 专利代理机构 北京康信知识产权代理有限公司

代理人 余 刚

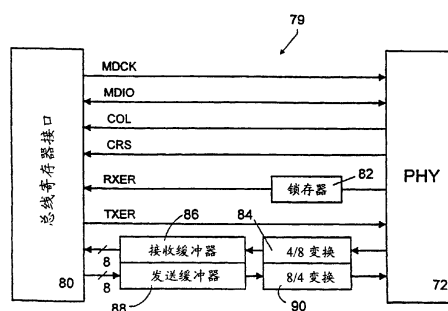
权利要求书 5 页 说明书 16 页 附图 7 页

[54] 发明名称

简化的硬件网络适配器和通信方法

[57] 摘要

本发明提供了一种将客户计算机连接到一个计算机网络上的网络接口适配器，包括经一个物理接口(PHY)连接到网络物理链路上的一个简化的硬件媒体访问控制器(MAC)。MAC 功能的重要部分被实施为主客户计算机的处理器内的软件。优选的 MAC 实施的硬件部分提供在 PHY 与客户计算机之间缓冲通信的存储器。本发明的 MAC 的优选硬件方面还包括一个寄存器接口，用于在 MAC 的硬件部分与在客户计算机内实施的 MAC 的软件部分之间的寄存器驱动通信。通过在主计算机的软件中实施大部分 MAC 功能，该优选的 MAC 提供了低成本、低功耗以及通常是更灵活的网络接口适配器。



1. 一种计算机通信系统, 包括:

一个连接至少一个发送数据线路的发送缓冲器, 所述的发送缓冲器适合于接收来自主计算机的数据, 并且在经过发送数据线路向数据网络的物理链路发送数据之前暂时存储所述的数据;

一个连接至少一个接收数据线路的接收缓冲器, 所述的接收缓冲器适合于经接收数据线路接收来自数据网络的物理链路的数据, 并且在向计算机提供所述的数据之前暂时存储所述的数据; 以及

一个通信寄存器的阵列, 所述的阵列包括连接接收缓冲器的一个数据寄存器, 其中, 从所述的数据寄存器的重复读取导致从所述的接收缓冲器中读取数据;

所述的阵列还包括一个状态寄存器, 用于存储识别数据网络的物理链路上数据碰撞的数据, 所述的状态寄存器可从所述的主计算机读数据, 所述的状态寄存器还包括至少一个表示读和写操作的至少一个操作的中断状态的位。

2. 根据权利要求 1 所述的系统, 还包括一个连接在阵列与到数据网络的连线之间的锁存器, 所述的锁存器存储识别接收一个数据帧中的一个差错的差错信号, 所述的锁存器保持所述的差错信号一个足以完整地接收所述的数据帧的时间段。

3. 根据权利要求 1 所述的系统, 其中, 对数据寄存器的重复写入将数据存储所述的发送缓冲器内。

4. 根据权利要求1所述的系统,其中,所述的发送缓冲器经PHY电路连接所述的数据网络。
5. 根据权利要求4所述的系统,其中,所述的阵列还包括一个媒体独立接口寄存器,存储至少一个用于控制所述的PHY电路的操作的信号,其中,在读写接入数据网络期间,诸多信号从所述的媒体独立接口寄存器传送,以控制所述的PHY。
6. 根据权利要求1所述的系统,进一步包括媒体访问控制器,用于执行包括读取所述状态寄存器的媒体访问控制功能。
7. 一种包括一个媒体访问控制器的计算机通信系统,所述的媒体访问控制器包括一个连接以接收来自数据网络的数据并且在向主计算机提供数据之前暂时存储所述的数据的接收缓冲器,
发送缓冲器,被连接以从所述主计算机接收数据,并在所述数据被传送给所述数据网络之前临时储存所述数据,
所述的媒体访问控制器还包括通信寄存器,所述的通信寄存器包括连接所述的接收缓冲器的一个数据寄存器,其中,从所述的数据寄存器重复读取导致从接收缓冲器读数据,以及
所述的通信寄存器还包括存储至少一个中断位的状态寄存器,所述的中断位被设置为:指示存在从所述的数据网络接收并前往主计算机的数据,并且指示存在待读取数据的所述的中断位可由主计算机读取。
8. 根据权利要求7所述的系统,其中,所述的接收缓冲器经PHY电路连接所述的数据网络。

9. 根据权利要求 8 所述的系统, 其中, 所述的通信寄存器包括一个媒体独立接口寄存器, 存储至少一个控制所述的 PHY 电路的操作的信号, 其中, 当从所述的数据网络读取数据时, 诸多来自主计算机的信号从所述的媒体独立接口寄存器传送, 以控制所述的 PHY。
10. 根据权利要求 7 所述的系统, 其中, 所述的通信寄存器包括一个字节计数寄存器, 用于存储一个指示在所述的接收缓冲器中存储的字节数的值, 当从接收缓冲器读取数据时递减所述的字节计数寄存器。
11. 根据权利要求 10 所述的系统, 其中, 驻留在所述的主计算机上的软件执行一序列步骤, 包括检验所述的字节计数寄存器中存储的一个值, 以及如果所述的字节计数寄存器存储了非零值, 则从所述的数据寄存器读取数据。
12. 根据权利要求 8 所述的系统, 其中, 进一步包括至少一个字节宽度的数据总线, 用于将所述中断位读出到所述主计算机。
13. 根据权利要求 7 所述的系统, 还包括补充软件媒体访问控制器, 与所述媒体访问控制器协作, 以执行媒体访问控制。
14. 根据权利要求 8 所述的系统, 其中, 所述的状态寄存器还包括多个可由所述的 PHY 电路置位的识别所述的数据网络的差错的位。
15. 根据权利要求 14 所述的系统, 其中, 所述的多个位包括一个载波检测位。
16. 根据权利要求 15 所述的系统, 其中, 所述的载波检测位能够由所述的主计算机的 MAC 程序直接读取。

17. 一种包括一个媒体访问控制器的计算机通信系统,所述的媒体访问控制器包括多个通信寄存器,所述的通信寄存器包括:

一个连接所述的接收缓冲器的数据寄存器,其中,从所述的数据寄存器重复读取导致读取从所述的数据网络接收的数据,

一个包括至少一个中断位的状态寄存器,所述的中断位被设置成:指示从所述的数据网络接收并前往所述的主计算机的数据的存在,所述的中断位可由所述的主计算机读取,

一个媒体独立接口寄存器,存储至少一个用于控制与所述的媒体访问控制器连接的 PHY 电路操作的信号,其中,来自所述的主计算机的信号是从所述的媒体独立接口寄存器传递的,以便当数据从所述的数据网络读出时,控制 PHY 电路,以及

一个字节计数寄存器,存储一个指示在所述的媒体访问控制器中存储的用于传递到所述的主计算机的字节数的值,当从所述的媒体寄存器读取数据时递减所述的字节计数寄存器。

18. 根据权利要求 17 所述的系统,其中,所述状态寄存器还包括多个识别所述数据网络的错误的位。
19. 根据权利要求 18 所述的系统,其中,所述多个位包括一个载波检测位。
20. 根据权利要求 19 所述的系统,其中,所述载波检测位能够由所述主计算机的 MAC 程序直接读取。

21. 一种网络接口适配器，用于将客户计算机与计算机网络耦合，所述网络接口适配器包括：

一个简化的硬件媒体访问控制器，其通过一个物理接口与所述计算机网络相耦合，所述媒体访问控制器具有一个用于缓冲所述物理接口和所述客户计算机之间通信的存储器，所述媒体访问控制器进一步具有一个总线寄存器接口，用于处理所述网络接口适配器和所述客户计算机之间的通信。

22. 根据权利要求 21 所述的适配器，其中，所述简化的硬件媒体访问控制器去除由所述适配器支持的整个硬件媒体访问控制器的功能性的显著部分。

23. 根据权利要求 21 所述的适配器，其中，用于缓冲的所述存储器包括用于发送缓冲的存储器以及用于接收缓冲的存储器。

24. 一种方法，包括：

通过一个发送缓冲器接收来自主计算机的数据，并且在经过发送数据线路向数据网络的物理链路发送所述数据之前暂时存储所述数据；

通过一个接收缓冲器接收所述数据，并且在向计算机提供所述数据之前暂时存储所述数据；

由于一个与所述接收缓冲器相耦合的数据寄存器的重复读取导致从所述接收缓冲器中读取所述数据；以及

使用一个状态寄存器，存储识别所述数据网络的物理链路上的数据碰撞的数据。

25. 根据权利要求 27 所述的方法，其中，所述状态寄存器包括至少一个表示读和写操作的至少一个操作的中断状态的位。

26. 根据权利要求 27 所述的方法，其中，所述数据寄存器和所述状态寄存器被包括在一个通信寄存器的阵列内。

简化的硬件网络适配器和通信方法

发明背景

1. 发明领域

本发明涉及计算机与网络之间的适配器、接口和连接。作为一个具体的示例，本发明是按照计算机与网络间的一种适配器和一种通信方法描述的，其中，所述计算机网络根据一个工业标准协议，比如 IEEE 802.3 或者其扩展运行。

2. 相关技术的描述

本发明总体涉及一种用于将一个计算机（在这里被称作客户计算机）连接到一个网络的适配器。本发明将结合一个为目前使用最普通的网络配置（通常称作一个 EthernetTM 网络）所设计的特定实施来描述和解释本发明。这种类型的网络通常包括执行 IEEE 802.3 标准，或者执行关于该标准的变化、修改或改进的那些网络。为了便于说明，所有这些网络都被称作 IEEE 802.3 网络，尽管该称谓不够精确。这里所涉及的网络提供了一个理解本发明的框架，如用于这些网络开发的适配器或接口控制器。

一个局域网的诸多客户计算机经常通过一个公共物理链路，如同轴电缆、未屏蔽双绞线或屏蔽双绞线连接在一起。客户计算机将信息按帧单位发送到物理链路上，所述的帧具有多个协议规定的数据结构的一种结构，和具有最小帧长和最大帧长范围内的数据量。最简格式的 IEEE 802.3 协议仅允许一个客户计算机在任何独特

的物理链路上发送一次信息。如果两个客户计算机同时向物理链路提供数据，或者在十分接近的时间提供数据，致使在两个消息信号之间产生干扰，则使该数据恶化并且必须丢弃该恶化的数据。这种事件被称作碰撞，并且必须由客户计算机检测。IEEE 802.3 网络使用载波检测多路接入 / 碰撞检测 (CSMA/CD) 管理对物理链路的接入。在客户计算机向物理链路发送一个消息之前，客户计算机检测载波信号是否出现在物理链路上。如果载波信号出现在物理链路上，则在发送消息之前，客户计算机等待发送，直至该载波信号不存在以及物理链路变得可用。

一旦客户计算机确定物理链路是可用的，该客户计算机就向物理链路发送消息，使其在网络上传送。该客户计算机监视物理链路，以检测在物理链路上发送消息的同时可能发生的任何碰撞。在后续消息进行时段期间（在该期间发送计算机等待该消息到达其目的地），发送计算机持续监视发送之后的碰撞。在传送持续至少一个对应于最小帧长的时段之前，客户计算机应当检测碰撞，客户计算机应当连续发送一个信号，有时将这种情形称作一个阻塞序列。客户计算机随后暂停一个预定的随机时间量，并且试图获得对物理链路的接入以便再次发送数据。试图接入物理链路的每个客户计算机执行一个相似的补偿算法，不同的是，随机地分配等待时间，使单个客户计算机获得对物理链路的接入，而其它的等候计算机依次接入网络。

信息通常被组织成在 Ethernet™ 或者其它类型的 CSMA/CD 网络上传送的多个帧。图 1 示出了用于 Ethernet™ 帧的数据的帧结构，图 2 示出了根据标准的 IEEE 802.3 定义的一个帧的结构。这两种类型的网络使用了一个由 1 和 0 的交替模式组成的前同步，以通知接收站一个帧到达。Ethernet 前同步（图 1）还包括一个附加字节，它是在 IEEE 802.3 网络中定义的帧字节字段的起始字节的等同物。帧

字节的起始字节（图 2 中 SOF）用两个连续的“1”位结束，并且用来使与物理链路连接的站的帧同步接收。

这些网络的信息的组帧都包括了消息的目的地地址和源地址。目的地地址可以是一个单个目标计算机（单点传送）、一组计算机（多点传送）或网络上的所有计算机（广播）。源地址是特定传送计算机。Ethernet™ 帧包括一个识别接收消息的一个上层应用的协议的类型字段。该字段不出现在用于 IEEE 802.3 网络的帧上，并且由指定消息中的数据的字节数的一个长度字段替代。两个帧结构提供了一个在可能的长度范围内的任意长度的数据字段，其后是帧检验序列（FCS），它是一个四字节的循环冗余检验值。该 FCS 由发送计算机产生，并且由检验损坏帧的接收装置重新计算。

在 CSMA/CD 网络上传送数据帧的客户计算机使用一个网络接口控制器执行载波检测、碰撞检测以及数据传送和接收控制等其它方面的工作。数据传送控制包括生成帧格式和计算 FCS 字节。数据接收控制包括帧的检测、检查目的地地址以确定该消息是否用于该计算机、以及执行 CRC 或其它帧检验处理以确定帧是否有效。可以执行有关帧的其它方式的分析，或者当数据帧中或接收操作中存在误差时必须执行其它方式的分析。例如，如果在传送期间检测到一个差错，则必须重新发送信息。所有的这些处理是众所周知的，并且在普通适配器或控制器中执行，该适配器或控制器将客户计算机链接到局域 CSMA / CD 网络。

网络接口控制器被实施为一个集成电路，例如被实施为一个专用集成电路（ASIC）。图 3 示意性地图示了美国专利第 5,872,920 号描述的一个 ASIC 中以太网控制器的一个配置的示例。网络控制器 ASIC 10 连接主计算机系统的总线 20，并且连接属于网络物理链路 30 的一部分的双绞线或同轴电缆。信息由收发信机 40 经物理接口发送和接收，或者经一个辅助单元接口 42 发送和接收。经物理

链路 30 发送的信息由编码器 44 编码, 解码器 46 解码从物理链路接收的信息。通常, Manchester 编码和解码用于 IEEE 802.3 网络。

控制器 50 可以是一个微控制器或其它类型的处理器。通常提供控制器 50 作为 ASIC 10 中的核心, 它使用合适的发送控制 52 和接收控制 54 程序或状态机器控制发送和接收操作。这些程序处理发送和接收来自 CSMA/CD 网络的数据所需的各种数据控制操作, 包括例如处理物理媒介上的碰撞的差错条件, 以及必要时重新发送恶化的数据。期望实施可应用的标准, 比如 IEEE 802.3 的主要功能被实施在控制器 50 中。控制器 50 的输入和输出数据由发送 FIFO 56 和接收 FIFO 58 缓冲。主机接口 60 管理主计算机的通信, 包括向主计算机的总线 20 供应数据。通过改写或更新 EEPROM 62 中存储的数据集或程序来完成数据供应, 以更新主机接口 60。这些电路的细节和实施的功能已经在美国专利第 5,872,920 号中描述, 这里作为参考引用。

应当理解的是, 尽管图 3 的网络接口被实施为一个单个 ASIC, 但其它配置也是公用的。例如, 由于用于一个特定网络的物理实施 (包括驱动磁盘、数模转换电路和模数转换电路) 可以有很多种, 因此经常需要提供编码器、解码器、收发信机以及专用芯片中物理链路的接口的其它方面。这个结构可以被实施为一个独特的 PHY 芯片, 允许有较高的灵活性等级, 它通常比更多集成的单芯片网络接口控制器方案更经济有效。在提供独特 PHY 芯片的实施中, 通常是在第二芯片上提供网络控制器的其它方式, 一个媒体访问控制器 (MAC) 芯片。图 3 中所示的网络控制器的 MAC 包括具有其程序的控制器或处理器 50、缓冲存储器, 以及在大多数情况下包括主机接口 60。

已经做出相当多的努力增加集成电路网络接口控制器内设置的功能, 比如增加图 3 所示的 ASIC 10 内设置的功能。例如, 附加

功能和灵活性已经做到网络接口控制器芯片中，以适应网络通信标准的改进或修改。目前已经对基础 IEEE 802.3 技术的较高速度变换给予了特别关注。

附图简要描述

通过结合下列说明及其附图，以更好地理解本发明的上述和其它方面。

图 1 表示以太网的一个帧结构；

图 2 表示根据 IEEE 802.3 标准的网络的一个帧结构；

图 3 表示一个网络接口控制芯片，在该芯片上提供一个高级功能；

图 4 表示本发明的一个方面的结构概况；

图 5 表示本发明的网络控制器的一个特定优选实施；

图 6 表示将一个客户计算机链接到一个网络的图 5 所示的网络接口控制器；

图 7 表示一个优选的寄存器组内诸多寄存器的地址和功能，该优选的寄存器组被设置在图 5 所示的控制器中；

图 8 表示图 7 所示的寄存器组的以太网数据寄存器的结构和功能；

图 9 表示图 7 所示的寄存器组的字节计数寄存器的结构和功能；

图 10 表示用于写操作的图 7 所示的寄存器组的命令/状态寄存器的结构和功能;

图 11 表示用于读操作的图 7 所示的寄存器组的命令/状态寄存器的结构和功能;

图 12 表示图 7 所示的寄存器组的 MII (媒体独立接口) 寄存器的结构和功能。

优选实施例的概述

本发明的优选实施例提供了一种简化的控制器, 该控制器更适合于一个低成本、网络可兼容的计算机。通过提供一个相对简单的接口结构, 和在主计算机的处理器内实施更多的网络接口控制功能, 本发明的该优选实施例提供了网络接口的低成本、高灵活性的技术方案。

本发明的一个方面是提供了一种计算机通信系统, 它具有一个至少连接一个发送数据线路的发送缓冲器。该发送缓冲器接收来自主计算机的数据, 并且在经过发送数据线路向数据网络的物理链路发送数据之前暂时存储数据。一个接收缓冲器连接至少一个接收数据线路, 该接收缓冲器适合于经接收数据线路接收来自数据网络的物理链路的数据, 并且在向计算机提供数据之前暂时存储数据。此外, 还提供了一个通信寄存器的阵列。该阵列包括连接接收缓冲器的数据寄存器, 其中从数据寄存器重复的读取导致数据从接收缓冲器中读取。该阵列还包括一个状态寄存器, 用于存储识别网络的物理链路上数据碰撞的数据, 其中状态寄存器可从主计算机中读取数据。该状态寄存器还包括至少一个位, 用于表示读和写操作的至少一个操作的中断状态。

本发明的另一个方面是提供一种包括一个媒体访问控制器的计算机通信系统，该媒体访问控制器包括一个连接在媒体访问控制器上，用来接收来自数据网络并且在向主计算机提供数据之前暂时存储数据的接收缓冲器。媒体访问控制器具有通信寄存器，该寄存器包括连接所述接收缓冲器的一个数据寄存器，其中从数据寄存器重复读数据导致从接收缓冲器读数据。通信寄存器提供存储至少一个中断位的状态寄存器。该中断位被设置为：指示从数据网络接收并前往主计算机的数据的存在，并且指示待读取数据存在的该中断位可由主计算机读取。

本发明的另一个方面是提供一种包括一个媒体访问控制器的计算机通信系统，该媒体访问控制器包括多个通信寄存器。通信寄存器优选包括连接接收缓冲器的一个数据寄存器，其中从数据寄存器中重复读取数据导致读取从数据网络接收的数据。一个状态寄存器存储至少一个中断位，该中断位被设置成：指示从数据网络接收并前往主计算机的数据的存在，并且该中断位可由主计算机读取。一个媒体独立接口寄存器存储至少一个控制连接到媒体访问控制器的 PHY 电路的操作信号，其中来自主计算机的信号是从媒体独立接口寄存器传递的，以便当数据从数据网络读出时控制 PHY 电路。字节计数寄存器存储一个表示在媒体访问控制器中存储的向主计算机传送的字节数的值，其中当从媒体访问控制器读取数据时该字节计数寄存器被递减（计数值）。

优选实施例的详细说明

计算机与网络间的通信通常是经过网络接口控制器（NIC）或适配器实施的。本发明的优选实施例提供了网络接口控制器的一种简化的硬件实施。本发明的适配器的优选方面的实施可以向计算机提供比传统的控制器成本低功耗小的网络接口连接。本发明的一些

方面能够以更容易修改的方式实施适配器，以便适应于技术的改变或者提供用于特殊的或特定的应用的解决方案。

本发明的特别优选的实施例向一个简化的硬件 MAC 提供了被实施为主客户计算机内的软件的 MAC 功能的一个有效部分。更优选的是，在客户计算机内实施的 MAC 功能被实施为客户计算机的一个处理器内的软件，更优选的是，该 MAC 功能被实施在个人计算机结构类型的主处理器内。优选的 MAC 实施的硬件部分提供了用于缓冲 PHY 与客户计算机之间通信的存储器。本发明的 MAC 的优选硬件方面还包括一个寄存器接口，用于 MAC 的硬件部分与客户计算机内实施的 MAC 的软件部分之间的寄存器驱动的通信。通过以主计算机内软件实施大多数 MAC 功能，优选的 MAC 提供了低成本、低功耗以及通常较大的灵活性。

本发明的一些方面可以在一个客户计算机或其它计算机与一个诸如根据定义的 IEEE 802.3 协议的任何方面操作的局域网络的网络之间提供一个接口。本发明的其它相关方面提供了一种传输信息的方法，或者提供了一种经过 IEEE 802.3 网络在一个计算机与一个或多个其它计算机之间传送信息的方法。术语 IEEE 802.3 在这里被广义地包含 CSMA/CD 网络，包括目前计划变更的包含千兆位 EthernetTM 的网络以及今后可能发展的其它变更的网络。本发明的这些方面被认为在与使用其他类型的协议的其它类型的网络进行连接和通信时具有优点。这里所提供的本发明的许多示例和解释是按照与 IEEE 802.3 网络通信进行说明的，这是因为这些网络是公知的（人们所通晓的）以及 IEEE 802.3 和 EthernetTM 网络目前很重要。然而，用于说明本发明的特定应用不应该限制本发明的范围。

同样，本发明的图示说明是在目前可用的并且使用的 IEEE 802.3 协议的体系内作出的。IEEE 802.3 的更先进的实施以及 IEEE

802.3 的后继者将被开发并且带来市场前景。本发明的许多方面在应用于这种网络时，预计将具有诸多优点。

图 4 从概要结构的视角图示说明了客户计算机 70 的诸多方面，包括向/从一个网络传送信息。数据网络包括一个物理链路，比如向客户计算机和从客户计算机载送实际数据信号的线对或者同轴电缆。客户计算机 70 经图 4 所示的 PHY 72 表示的网络模型的物理层连接到该物理链路。PHY 可以包括磁电路，用于将信号放置（耦合）到物理链路上以及从物理链路得到信号。PHY 72 还包括适当的支持电路，比如模数变换器、数模变换器和锁相环检测电路，用于根据接收的或导出（得到）的时钟信号从物理链路恢复信号。通常，PHY 72 还包括如图 3 所示的编码和解码电路。

PHY 72 一般适合于特定的网络协议或定义。但是，同样地，以一种众所周知并且可被理解的方式，PHY 72 的诸多方面在图 4 所示结构的不同应用之间可以变化很大。在不同的网络环境中采用多种方式，不论是作为一个独特的芯片还是作为设置在 ASIC 内的核心，PHY 72 是商业可行的。

图 4 所示的下一个更高级的网络模型是媒体访问控制或 MAC 74。MAC 74 可以包括一个功能范围，但是它通常服务于初始分析和格式化由 PHY 72 供应的数据位流的目的，使数据处于可由网络模式的上层立即使用的形式。MAC 74 连接存储从网络接收数据的客户计算机 70 的操作系统 76。MAC 74 通常响应于经操作系统 76 通信的客户计算机的应用程序 78，以生成用于信息传送或请求的消息。

MAC 功能可以包括通信的多个不同的方面。例如，PHY 72 可以以 4 位并行格式提供来自网络的数据。MAC 优选将 4 位并行数据重新格式化成为适合于客户计算机的字节或字，例如，8-位字节或 32-位字。可以包含在 MAC 中的通信的其它方面是地址识别、帧识

别、帧分析以及碰撞或其它形式的网络差错的检测和管理。如背景技术中的讨论和图 3 所示，MAC 74 的传统的实施包括单个集成电路的各种功能。MAC 的这种传统的实施提供了能够运行状态机器或执行这些功能的程序的一个处理器或其它形式的逻辑。

本发明的优选实施提供了至少从电路的观点看是简化的 MAC。在大多数实施中，本发明的实施例将包括一个简化的硬件 MAC 以及一个补充软件 MAC，它们优选在一个主处理器内，其组合将提供更多的功能，如果于图 3 所示的 MAC 所执行的功能不是更多的话。当然，根据本发明的一个实施例的 MAC 的实施可以提供较少的 MAC 功能，并且仍然实现本发明的诸多方面。与图 3 的 MAC 相对照，本发明的优选方面的 MAC 在客户计算机 70 的一个处理器中提供了最少一组电路并且实施了 MAC 功能的最多方面。在该实施中，本发明的一个 MAC 可以包括缓冲存储器和一个通信寄存器，该通信寄存器设有作为软件实施的 MAC 功能的其它方面，该软件由个人计算机或相似类型的客户计算机的微处理器运行。

图 5 说明了本发明的网络接口适配器 79 的优选硬件方面。如图所示，该适配器包括一个适合于目标网络物理链路的 PHY 72 和一个简化的硬件 MAC。简化的硬件 MAC 包括用于缓冲数据的存储器，缓冲向 PHY 72 传送或从 PHY 72 接收的数据；优选的是，PHY 72 包括一个锁存器，用于存储也许仅仅出现在接收数据帧所需的总时间段的一个接收误差信号。所示的特定优选的 MAC 的剩余硬件方面是一组寄存器，用于处理指令、状态和误差信息的通信，并且促进适配器与客户计算机之间的数据传递。因而，所示的总线寄存器接口 80 优选包括完整的但相对最小的一组通信和数据寄存器，以便大部分通信功能在客户计算机内执行，并且优选在客户计算机的处理器中执行。

继续参见图 5，顶部的两条线是与 PHY 72 内的媒体独立接口（MII）通信的信号线。信号线 MDCK 提供从接口 80 到 PHY 72 的数据时钟信号，并且用来读取和写入到 PHY 72 的 MII 的数据。MDIO 是用于总线寄存器接口 80 与 PHY 72 之间 MII 通信的串行数据线。MDIO 线路上供应的指令和其它信息的类型根据媒体独立接口的技术要求而定，这些技术要求是已知协议和工业标准。

图 5 所示的下两条线传送从 PHY 72 到总线寄存器接口 80 的网络条件。线路 COL 是一个在数据从 PHY 72 传送到物理链路期间在该物理链路上检测到碰撞时所传送的信号的线路。线路 CRS 载送一个在接收一个消息的时候识别物理链路上存在载波信号（载波检测）的信号。COL 和 CRS 线路任一个上的信号被存储在接口 80 的命令/状态寄存器中，以便主客户计算机可以检测差错条件并执行适当的差错处理功能。

图 5 所示的下一条线路代表由 PHY 72 提供的到总线寄存器接口的信息，指示从物理链路接收的数据的有效性。线路 RXER 载送表现数据接收期间一个差错的信号。经线路 RXER 供应的信号可以是一个相对短暂的信号，至少与传送一个数据帧的时间量相比是一个短暂的信号。因此，优选沿着该线路设置一个锁存器 82，以便在该锁存器内保持由 PHY 72 生成的一个差错信号，以确保在完成了数据帧的传送之后可利用总线寄存器接口 80 中的存储。线路 TXER 执行一个向物理链路传送数据的类似功能。当发现一个差错已经出现在向 PHY 72 传送数据并且位于物理线路之外时，接口 80 使一个信号供应到线路 TXER 上。例如，线路 TXER 可以用来指示一个下溢差错发生在 MAC 的发送缓冲器 88 上。

在所示的实施例中，总线寄存器接口 80 以 8-位字节的单位存储数据。向和从 PHY 72 的供应的数据被安排为四个并行位。所以，需要将来自 PHY 的 4 位数据重新格式化成适当配置的寄存器

84 中的 8 位数据。寄存器 **84** 被显示为一个 4-8 位并行移位寄存器。寄存器 **84** 的输出被供应到一个接收缓冲器 **86**，缓冲从物理线路接收的数据，然后经总线寄存器接口 **80** 读出数据进入客户计算机。来自客户计算机的数据以 8-位字节供应给发送缓冲器 **88**，经缓冲之后供应给寄存器 **90**，寄存器 **90** 将 8-位数据格式化成 4-位数据项，并将该数据项供应给 PHY **72**。

接收缓冲器 **86** 和发送缓冲器 **88** 优选是字长适当的 FIFO（先进先出存储器），以适应客户计算机的等待时间。由于图 5 所示的适配器的业务只是由客户计算机的优选微处理器执行的任务之一，因此会出现处理器不准备处理向物理链路发送的数据和从物理链路接收的数据的时候。因此，接收和发送 FIFO 需要具有足够的大小以适应典型的运行时间延迟。实际上，一般认为一个合适的缓冲器大小近似于一个信息包的大小或者相当于约 2 千字节。可以根据系统的设计选择适当的缓冲器大小。由于将要接收或者将发送数据的速率取决于适配器所服务的特定网络，因此缓冲器的大小在不同应用中变化非常明显。

图 6 图示说明了经一组双绞线对 **104** 将一个客户计算机 **100** 连接到一个网络 **102** 的适配器 **79** 的安装。所示的适配器 **79** 优选具有图 5 所示的结构，具体地说，设有包括图 5 所示的缓冲存储器和总线寄存器接口 **80** 的简化的硬件 MAC **106**。简化的硬件 MAC **106** 优选经总线 **110** 连接客户计算机 **100** 的主处理器 **108**。总线 **110** 优选是 32 位或更多位的总线，该总线以足够的速度操作，以便按照使等待时间最小化的预期速度传送（移动）进出 MAC **106** 的数据。通过将 MAC **106** 连接到一个适当的总线，比如 PCI 总线，或者在一个特定的优选实施例中，适于将 PCMCIA 卡连接到诸如笔记本或其它便携式计算机上的 PC 总线、卡总线或其它总线，可以容易地实现适当的总线速度。这些总线的典型实施对于允许像处理器 **108** 上运行的软件那样实施 MAC 功能的重要部分，是足够快的。适配

器 79 的优选实施的精简尺寸和降低功耗对于本发明的便携式计算机实施是特别需要的。

当向网络 102 的物理链路发送信息和从该物理链路接收信息时,至少客户计算机的操作系统 114 的部分和 MAC 的软件方面 116 的部分应当在存储器 112 中获得。所示的存储器 112 可以部分位于处理器 108 中,部分位于 DRAM 的阵列中或者其它,包括例如在光盘驱动器上的较少的不稳定的存储器或者在快速或其它固态存储器中。在其它实施例中,所示的存储器 112 可以完全在处理器 108 的内部或外部。与特定存储器实施无关,MAC 116 的软件方面优选通过对 MAC 106 内的通信寄存器 80 寻址,经过处理器 108 内的操作系统 114 与 MAC 的硬件方面进行通信。

通过使用一个优选的寄存器地址安排对总线寄存器接口 80 内的通信寄存器寻址。在图 7 部分图示的实施例中,一个 3-位地址信号被用来对包含总共八个寄存器的一个最小寄存器实施寻址。如图所示,按四个最低地址设置四个数据寄存器,接下来两个寄存器和地址优选专用于字节计数寄存器,该字节计数寄存器存储可从接收 FIFO 86 读取得到的字节数。图 8 详细地说明了数据寄存器。来自数据寄存器的重复读取导致数据从接收 FIFO 86 中读出,并且对数字寄存器的重复写入将发送给网络 102 的数据充满发送 FIFO 88。图 9 详细地表示了字节计数寄存器。这些字节计数寄存器用于读取操作,以指示是否剩余以及剩余了多少将要从网络 102 接收的数据。当数据被写入接收缓冲器时,字节计数寄存器存储的值递增,当数据从接收缓冲器 86 读出时,字节计数寄存器中存储的值递减。

应当注意的是,从网络接收的数据可以包括错误数据或者可以包括适当的帧数据。因而,通常不希望依赖传送的数据自身来指示是否剩余将要从网络接收的附加数据。

图 10 和图 11 分别示出了用于读 / 写操作的命令 / 状态寄存器，这两个寄存器具有相同的地址，但对于读和写操作的规定不同。位 0 被规定为，在写操作期间启动从适配器到客户计算机的操作系统的中断。命令 / 状态寄存器的位 7 由客户计算机设置，以复位适配器。该位借助适配器的复位自动清零。

当 MAC 软件 116 正在读适配器时，命令 / 状态寄存器 (图 11) 将位 0 用作一个中断未决的位，以通知主客户计算机一个将要读出的中断未决。MAC 软件 116 读命令 / 状态寄存器，以确定该中断需要采取什么动作、是否存在要读取的数据 (BC) 或者是否存在要处理的一个错误 (COL, CRS)。一旦读取了该中断位，它就复位。剩余的位 1-3 提供载波检测、碰撞检测以及接收来自 PHY 的数据有效信号。当字节计数位 BC 不为零时，MAC 软件开始读数据寄存器，以读取来自接收缓冲器 86 的数据。当 COL 或 CRS 位有效时，MAC 软件 116 被访问，或者通过执行一个补偿算法 (COL)，或者通过放弃接收来处理差错条件，并且通过清洗错误数据的接收缓冲器来处理错误数据 (CRS)。

图 12 说明了 MII 寄存器中位的定义，它占据了优选总线寄存器接口 80 中的最后的位置。MAC 软件 116 使用 MII 或简化的媒体独立接口 (RMII)，以控制和监视 PHY 的操作。MII 信息的通信经 MII 寄存器的 MD 位、经 MDIO 线路 (图 5) 以及经 PHY 的 MDIO 引脚串行地进行。

MAC 软件 116 控制适配器 79 的大量操作。通常，MAC 软件可以被视作包括：一个处理中断和数据传送的底层段；一个上层段，用于执行更复杂的但较少直接的操作。MAC 软件 116 的下层程序驱动接收操作中断，并且处理该中断。当操作系统 114 接收到来自适配器 79 的中断时，操作系统调用 MAC 软件的下层程序。

下层程序读命令 / 状态寄存器，以清零中断未决的位。如果有数据出现，则下层程序开始一个首次检验字节计数寄存器（图 9）中字节计数的循环。如果字节计数为零，则下层程序退出该循环并且返回到备用装置，如果字节计数不为零，则从数据寄存器读取数据（图 8）。该循环连续进行，直至字节计数达到零，然后下层程序退出循环并返回到备用状态直至检测到另一个中断。

由下层程序读出的数据被存储到处理器的缓冲器中或者存储到 DRAM 中。根据帧定义和有关 IEEE 802.3 的其它处理或者组织网络和通信进行的其它协议，进一步的处理是必要的。例如，用于 IEEE 802.3 网络的数据帧的处理可以包括检测帧头的处理器 108，该处理器 108 检验帧长以确定该帧是否有一个有效帧长。该处理器使用 FCS 数据估算该帧，以估算该帧是否有效。例如，如果 FCS 数据是 CRC 数据，则使用定义检测多项式的协议对数据执行一个多项式除法，以确定数据是否有效。所有这些功能由 MAC 软件 116 的一个上层程序执行。该 MAC 软件还可以执行滤波，以检测信息包的地址是否与主客户计算机有关。

MAC 软件还根据网络协议跟踪网络统计。这些统计包括成功发送的帧数以及发送错误帧的频度。这些统计可以由网络管理软件采用，比如可以由与一个简单的网络管理协议相一致的软件采用。

对网络的写数据的操作仍然是 MAC 软件 116 与适配器 79 之间的一个协作。MAC 软件的上层程序将供应给网络的数据格式化成适当的帧，该上层程序计算 FCS 数据，比如一个适当的循环冗余检验 (CRC) 数据，并且将 FCS 添加到该帧上。数据帧被传送到 MAC 软件的下层程序，该程序将数据写入数据寄存器，进而写入适配器的发送 FIFO 88。发送期间，MAC 软件 116 的下层部分监视适配器，以保证数据从缓冲 FIFO 88 安全地传送到网络。例如，下层程序检验 FIFO 以查看 FIFO 是否被充满并且不能接收附加数据，或者查看

FIFO 是否已经完全空闲（一个下溢条件）。下层程序还监视命令/状态寄存器的 COL 位，以确定是否有一个碰撞。

MAC 软件 116 的上层执行 Ethernet™ 或 IEEE 802.3 网络的已知功能。这些功能按照惯例被实施为传统网络接口控制器的处理器内的软件或状态机器。因此，本领域的普通技术人员也能够将这些功能实施到微处理器中或者实施到主客户计算机的其它处理器中。因此将不进一步说明本发明的这些方面。

本发明的适配器的安装将通过把简化的硬件 MAC 安装到例如一个 PCMCIA 卡内进行，该 PCMCIA 卡也包括适合于目标网络的 PHY 电路。驱动软件以 MAC 软件能够被主计算机的操作系统访问的方式安装到主计算机上。

这里所讨论的设计的某些变更对于本领域的普通技术人员将是明显的。例如，可以容易地将图 5 所示的简化的硬件 MAC 实施为将要在一个 ASIC 中或者在 PHY 内实施的一个核心。有可能在一个芯片上将简化的硬件 MAC 实施为一个系统内的独特核心，而 MAC 的软件方面则实施在一个芯片的处理器系统内。本发明的优选方面提供了网络接口适配器的一个灵活的结构。因此，本发明人期望本发明的适配器将在各种尚待完成的网络协议方面发现应用。此外，总线寄存器接口可以包括诸多寄存器的不同组合，以实现本发明的简化的硬件 MAC。

本领域的普通技术人员将会明白，在不改变本发明的基本宗旨的情况下，可以对这里所述的特定实施例进行多种变化和修改。因此，本发明的范围不会被限制到这里所述的特定实施例上。更确定地说，本发明的范围由后面的权利要求确定。

字节中的字段长度

8	6	6	2	46-1500	4
前同步	目的地地址	源地址	类型	数据	帧检验序列

图 1

字节中的字段长度

7	1	6	6	2	46-1500	4
前同步	SOF	目的地地址	源地址	长度	标题和数据	帧检验序列

图 2

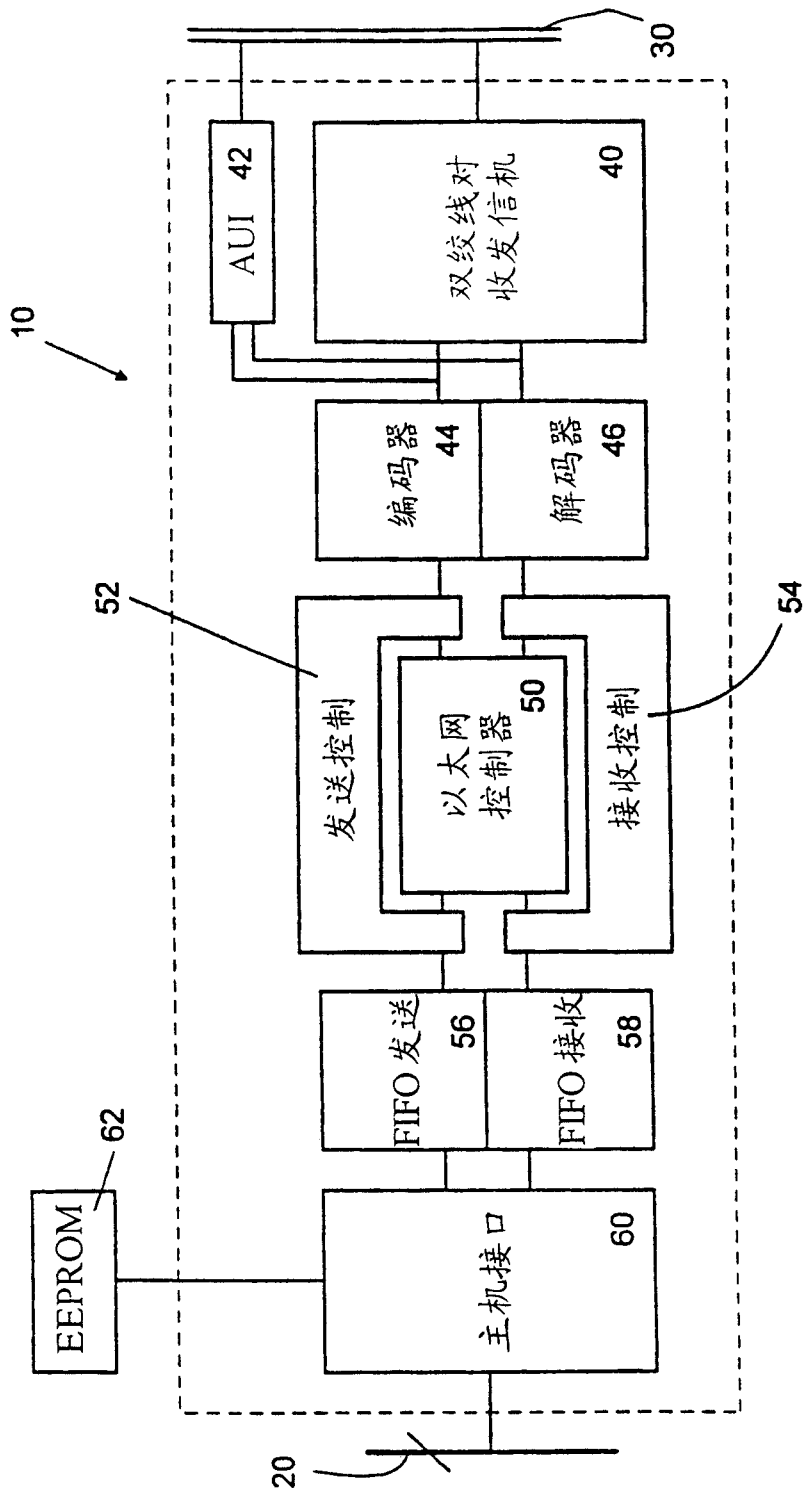


图 3

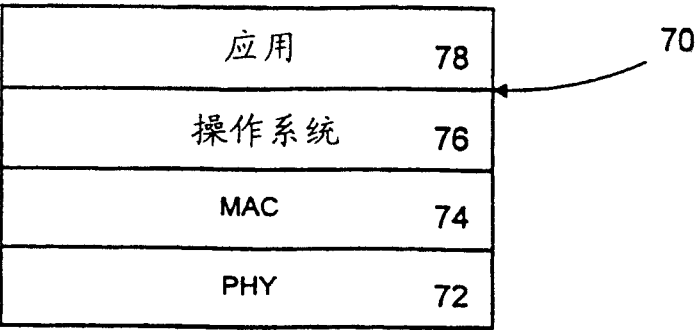


图 4

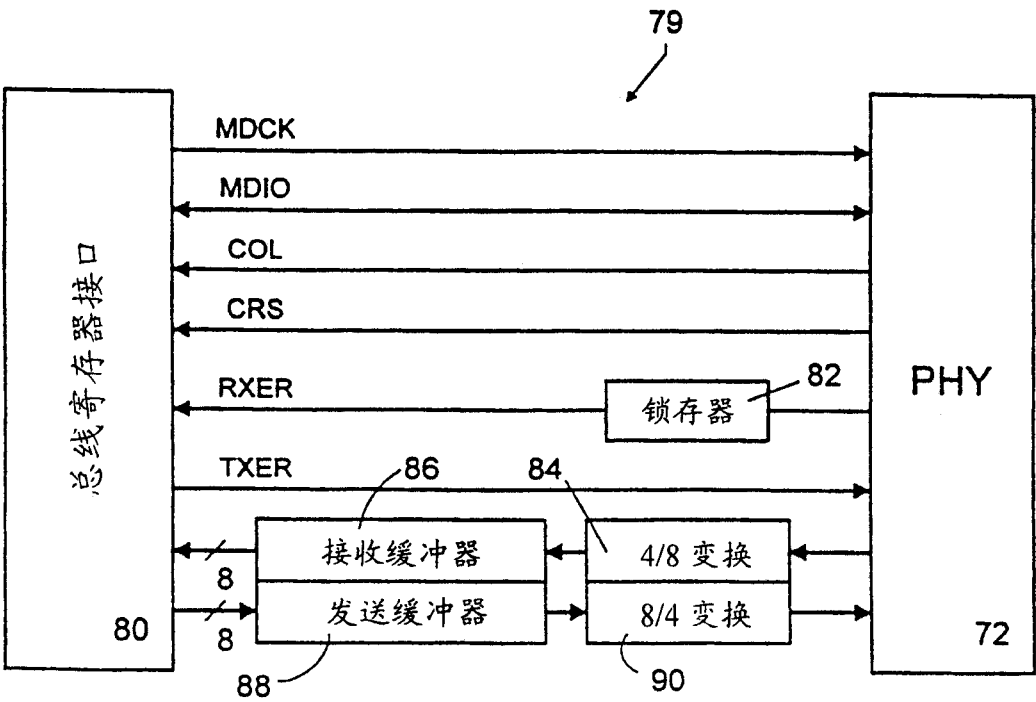


图 5

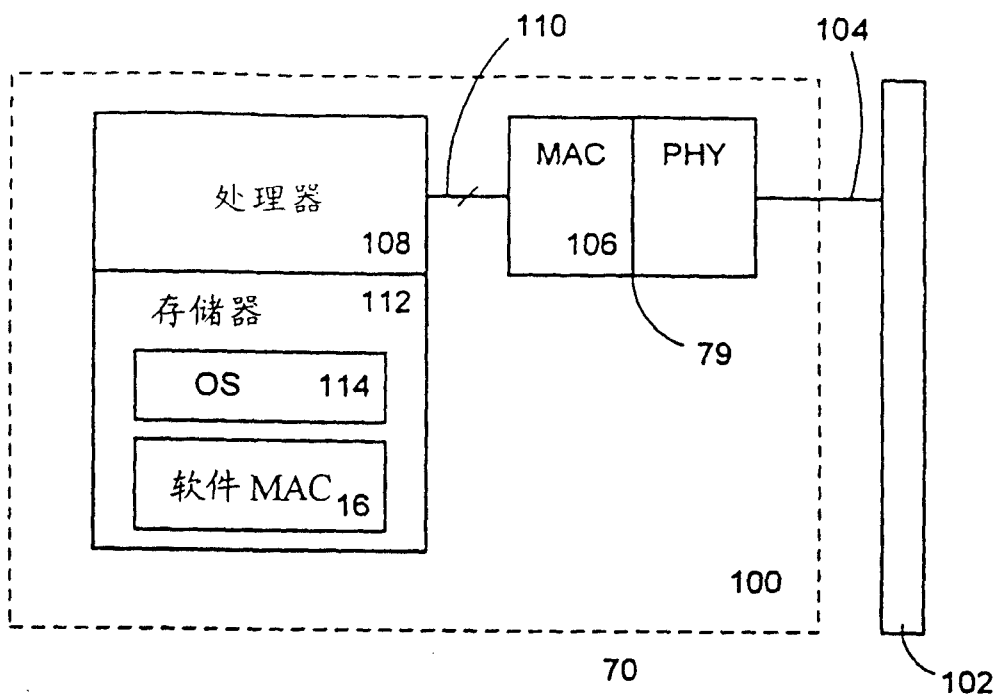


图 6

地址	缩略语	名称
0,1,2,3	ED	数据寄存器
4,5	BC	字节计数寄存器
6	CS	命令/状态寄存器
7	MII	MII 寄存器

图 7

数据寄存器					地址: 0,1,2,3			
位	7	6	5	4	3	2	1	0
定义	D7	D6	D5	D4	D3	D2	D1	D0

字段	类型	说明
D [31:0]	R/W	该数据寄存器是对接收和发送数据缓冲器的接口。从该寄存器的读取将在接收 FIFO 中检索下一个字节，并且对该寄存器的写入将把数据置入发送 FIFO 中。访问可以是字节、字或者双字，但是访问开始于地址 0。

图 8

字节计数寄存器					地址: 4,5			
位	7	6	5	4	3	2	1	0
定义	D7	D6	D5	D4	D3	D2	D1	D0
位	15	14	13	12	11	10	9	8
定义	D15	D14	D13	D12	D11	D10	D9	D8

字段	类型	说明
D[15:0]	R/O	这是一个反映接收 FIFO 中有多少数据是当前可用的 16 位值。当该寄存器读零时，没有更多数据可用。

图 9

命令/状态寄存器					地址: 6 (写)			
位	7	6	5	4	3	2	1	0
定义	RST							IE

字段	类型	说明
IE	W	设置该位允许中断适配器
RST	W	设置该位复位适配器。该位本身清零。

图 10

命令/状态寄存器					地址: 6 (读)			
位	7	6	5	4	3	2	1	0
定义					BC	COL	CRS	IP

字段	类型	说明
IP	R/O	中断未决的位 (对一个读取复位)
CRS	R/O	自 PHY 的实时载波检测
COL	R/O	自 PHY 的实时碰撞状态
BC	R/O	自 PHY 的有效实时数据

图 11

MII 寄存器					地址: 7			
位	7	6	5	4	3	2	1	0
定义						MW	MC	MD

字段	类型	说明
MD	R/W	该位用来读/写至/来自 PHY MII 的数据。读操作返回 PHY 上的 MDIO PIN 的当前值。在写操作期间, 设置 MW 位, 以驱动 MDIO PIN
MC	W	该位驱动 MDCK PIN 至 PHY, 用于读取 / 写入至/来自 PHY MII 的数据
MW	R/W	该位决定 MD 位是输入还是输出。设置该位将驱动 MDIO PIN 上的 MD 位的值至 PHY。当写入 PHY MII 时应当仅设置该位。

图 12