

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200610118023.8

[51] Int. Cl.

G01R 31/00 (2006.01)

G01R 31/28 (2006.01)

G01R 1/02 (2006.01)

[45] 授权公告日 2009 年 12 月 16 日

[11] 授权公告号 CN 100570382C

[22] 申请日 2006.11.7

[21] 申请号 200610118023.8

[73] 专利权人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江高科技园区张江路 18 号

[72] 发明人 于俊飞 龚 斌 陈 晨 赵 永

[56] 参考文献

CN1588104A 2005.3.2

CN1811478A 2006.8.2

CN1716559A 2006.1.4

US20060050457A1 2006.3.9

US20030122606A1 2003.7.3

审查员 张 岩

[74] 专利代理机构 北京市金杜律师事务所

代理人 李 勇

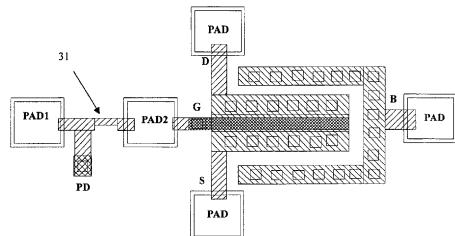
权利要求书 1 页 说明书 4 页 附图 3 页

[54] 发明名称

一种新型集成电路测试结构及其使用方法

[57] 摘要

本发明公布了一种集成电路测试结构以及基于该结构的一种使用方法，该结构包含 NMOS 晶体管、第一压焊块和第二压焊块两个压焊块、二极管以及保险丝，使用该结构时，在不需要在栅极施加负电压时，直接将需要施加在栅极的电压施加在第一压焊块上，在需要在栅极施加负电压时，先将保险丝熔断，再将负电压施加在第二压焊块上。



1. 一种集成电路测试结构，包含 NMOS 晶体管、第一压焊块和第二压焊块两个压焊块、二极管以及保险丝，其特征在于，上述 NMOS 晶体管的栅极连接到上述第二压焊块上，该第二压焊块通过保险丝与互连线与第一压焊块相连，上述的二极管一端接衬底，另一端接在第一压焊块与保险丝之间的互连线上。

2. 如权利要求 1 所述的集成电路测试结构，其特征在于上述的保险丝是通过减少位于第一压焊块与二极管之间的一段互连线的宽度而形成。

3. 如权利要求 1 或者权利要求 2 所述的集成电路测试结构，其特征在于上述的二极管是通过形成一个 N 型扩散区而与 P 型衬底形成 PN 结构成。

4. 一种如权利要求 3 所述的集成电路测试结构，其特征在于形成上述二极管 N 型扩散区的工艺条件与形成 NMOS 管的源极和漏极的工艺条件相同。

5. 一种使用如权利要求 1~2 中任意一项的所述集成电路测试结构的方法，其特征在于在不需要在栅极施加负电压时，直接将需要施加在栅极的电压施加在第一压焊块上，在需要在栅极施加负电压时，先将保险丝熔断，再将负电压施加在第二压焊块上。

6. 一种使用如权利要求 3 或者权利要求 4 中所述集成电路测试结构的方法，其特征在于在不需要在栅极施加负电压时，直接将需要施加在栅极的电压施加在第一压焊块上，在需要在栅极施加负电压时，先将保险丝熔断，再将负电压施加在第二压焊块上。

7. 一种如权利要求 5 或者权利要求 6 所述的方法，其特征在于熔断保险丝的方法是通过在第一压焊块与第二压焊块之间施加高压完成。

8. 一种如权利要求 7 所述的方法，其特征在于施加电压时，将第一压焊块连接到正电压上，并将第二压焊块接地。

9. 一种集成电路测试结构，包含 NMOS 晶体管、第一压焊块和第二压焊块两个压焊块、二极管以及保险丝，其特征在于保险丝在该测试结构中也起互连线作用，且两边连接该保险丝的导线的宽度比该保险丝的宽度大。

一种新型集成电路测试结构及其使用方法

技术领域

一种使用在集成电路电性测试中的测试结构，特别是一种可用于电荷泵测试中的测试结构。

背景技术

当前，CP 测试（电荷泵测试，charge pumping test）已经成为一个定量测量界面态（interface-states）和氧化层积聚（Oxide-trapped）电荷的横向分配和能量的有力工具。可以用来测量因界面态和氧化层积聚电荷带来的热载流子损失。并被广泛用来研究界面态电荷密度的横向分布和能量。

而 CP 测试的基本试验是建立在图 1 所示的基本模型上。晶体管的源区和漏区连接在一起并且施加了一个固定的和衬底相反的电压。当晶体管反相时，贴近表面区域开始形成深耗尽层，这时，电子从源漏区域进入沟道区。这些电子中的一部分会被界面态俘获。当再给晶体管的栅极偏置电压使表面层进入积聚层时，在所施加的反向偏压得作用下，可移动电荷又飘移回源区和漏区。但是被陷在界面态中那部分电荷会和大量的衬底电荷再次结合，并使衬底产生剩余的负电荷。

通过检测衬底的电荷就可以检测出界面态电荷的能量及电荷横向分布。

但是，目前的 HCL（热载流子注入，hot carrier injection）监测用的 NMOS 结构二极管直接和栅极连结，用来保护器件不受电浆导致损伤（PID，plasma induced damage）的影响。如图 2 中所示，在 PD 处的小区域内进行 N 型注入，使该 PD 处的 N 型区域与 P 衬底形成一个 PN 结，形成一个以衬底为 P 型的二极管，并用导线将 NMOS 晶体管的栅极连接到一个 PD 处。

但是，这种结构，当栅极上有大的负压时，PD 处的二极管导通，电流

从二极管流向衬底，所以不能够该种结构来进行需要在栅极加上负压的测试。

因而也就不能够用现有的这种 NMOS 结构的测试结构来进行 CP 测试，需要专门制作 CP 测试结构来进行。

发明内容

针对现有 HCL 监测用的测试结构不能用来进行 CP 测试的问题，本发明提出了一种可用来做 CP 测试的新型 HCL 测试结构及其使用方法。

本发明在现有的 HCL 监测用的 NMOS 晶体管结构上，将其中的 NMOS 晶体管的栅极连接到第二压焊块 PAD2 上，并通过一个保险丝与另一个压焊块第一压焊块 PAD1 相连。并将 HCL 监测 NMOS 管中的二极管 PD 的 N 型区连接到 PAD1 与保险丝之间的互连线，该二极管 PD 的 P 型区为衬底，故而与衬底相连。

这样，相对于原有的 HCL 监测用的 NMOS 晶体管结构，本发明提出的测试结构在结构上增加了一个在二极管 PD 与 NMOS 晶体管栅极之间增加了一个压焊块和一个保险丝。

这样，当不需要对栅极施加负压的时候，将新结构中的 PAD2 不接任何东西，将 PAD1 作为原来结构中的 PAD，这样本发明提出的结构在这种情况下就和原有的结构的作用一致。二极管通过互连线和 PAD2 和 NMOS 管的栅极相连，可以将工艺中电浆所产生的电子通过二极管导走，从而很好地保护 NMOS 晶体管免受电浆导致损伤的影响。

当需要在栅极上施加负压时，如 CP 测试的情况下，在 PAD1 与 PAD2 之间施加高压，熔断保险丝。之后，撤去高压，这样形成的测试结构中，NMOS 管的栅极只是与 PAD2 相连，没有含有二极管 PD。这样，就可以在栅极上施加高的负压，进行 CP 测试等需要在栅极上施加负压的测试。

使用本发明，只需要先在需要对栅极施加负压的晶体管监测结构的 PAD1 与 PAD2 间施加高电压，使电阻丝熔断。即可对这些晶体管进行需要在栅极施加负压的测试，而对其他的 NMOS 晶体管结构或者熔断保险丝前的晶体管结构中仍然含有二极管 PD，因而仍然能够有效地抑制电浆导致损伤。而且使用本发明方法简单，方便，只需要对需要熔断保险丝的晶体管的 PAD1 和 PAD2 之间施加高压，避免了专用 CP 测试图形的制造。

附图说明

图 1 是 CP 测试采用的基本 N 沟道晶体管模型；
图 2 是现有的 HCL 监测 MOS 结构；
图 3 是本发明提出的测试结构；
图 4 是在本发明的 PAD1 和 PAD2 上施加高压的示意图；
图 5 是在本发明在保险丝被熔断后的结构示意图；
其中，11 是脉冲产生器，12 是直流电流表，21 是二极管 PD，31 是保险丝。

具体实施方式

本实施例对现有的 HCL 监测用 NMOS 晶体管的结构做了改进。对比原有 HCL 的监测 NMOS 晶体管的结构，见图 2；新的测试结构在将其中的 NMOS 晶体管的栅极连接到一个压焊块即第二压焊块 PAD2 上，并通过一个保险丝 31 与另一个压焊块即第一压焊块 PAD1 相连，并在 PD 处形成一个 N 型扩散区从而与 P 型衬底形成一个二极管，将该二极管 PD 的 N 型区连接到 PAD1 与保险丝之间的互连线，见图 3。

这样，相对于原有的 HCL 监测用的 NMOS 晶体管结构，本发明提出的测试结构在结构上增加了一个在二极管 PD 与 NMOS 晶体管栅极之间增加了一个压焊块和一个保险丝。

需要说明的是，本实施例中的保护用的二极管 PD 的制作方法，即 PD 处 n 型注入区的保护方法与形成源、漏的注入条件相同。

本实施例中的保险丝通过减小 PAD2 与二极管 PD 间的一小段互连线的宽度形成。这样制成的保险丝在熔断的情况下本身也是互连线的一部分，可以起互连线作用，只是该段保险丝的宽度比两边连接该保险丝的互连线的宽度小。这样在施加高电压时，可以在保险丝处先熔断，起到保险丝的作用。

使用本实施例提出的测试图形，当不需要对栅极施加负压的时候，将新结构中的 PAD2 不接任何东西，将 PAD1 作为原来结构中的 PAD，这样本发明提出的结构在这种情况下就和原有的结构的作用一致。二极管通过互连线和 PAD2 和 MOS 管的栅极相连，可以将工艺中电浆所产生的电子通过二

极管导通，从而很好地保护 MOS 晶体管免受电浆导致损伤的影响。

当需要在栅极上施加负压时，如 CP 测试的情况下，在 PAD1 上施加高的正电压，并将 PAD2 接地，见图 4，这样由于 PAD1 上是正压，二极管 PD 与 PAD1 连接的是 N 型区域，这样二极管 PD 反向截止，PAD1 与 PAD2 之间的高压都施加在两者间的互连线上，由于保险丝的宽度很小，便在高压下熔断。之后，撤去高压，这样形成的测试结构中，NMOS 管的栅极只是与 PAD2 相连，没有含有二极管 PD，见图 5。这样，就可以在栅极上施加高的负压，进行 CP 测试等需要在栅极上施加负压的测试。

使用本实施例，只需要先在需要对栅极施加负压的晶体管监测结构的 PAD1 与 PAD2 间施加高电压，使电阻丝熔断。即可对这些晶体管进行需要在栅极施加负压的测试，而对其他的 NMOS 晶体管结构或者熔断保险丝前的晶体管结构中仍然含有二极管 PD，因而仍然能够有效地抑制电浆导致损伤。因而可以简单有效地对特定的 MOS 晶体管实施如 CP 测试一样地需要在栅极施加负电压的测试而不影响其他管子抗 PID 性能。

当然，本发明还可以有其他多种实施例，在不背离本发明精神及其实质的情况下，熟悉本领域的技术人员当可根据本发明作出各种相应的改变，但这些相应的改变都应属于本发明权利要求的保护范围。

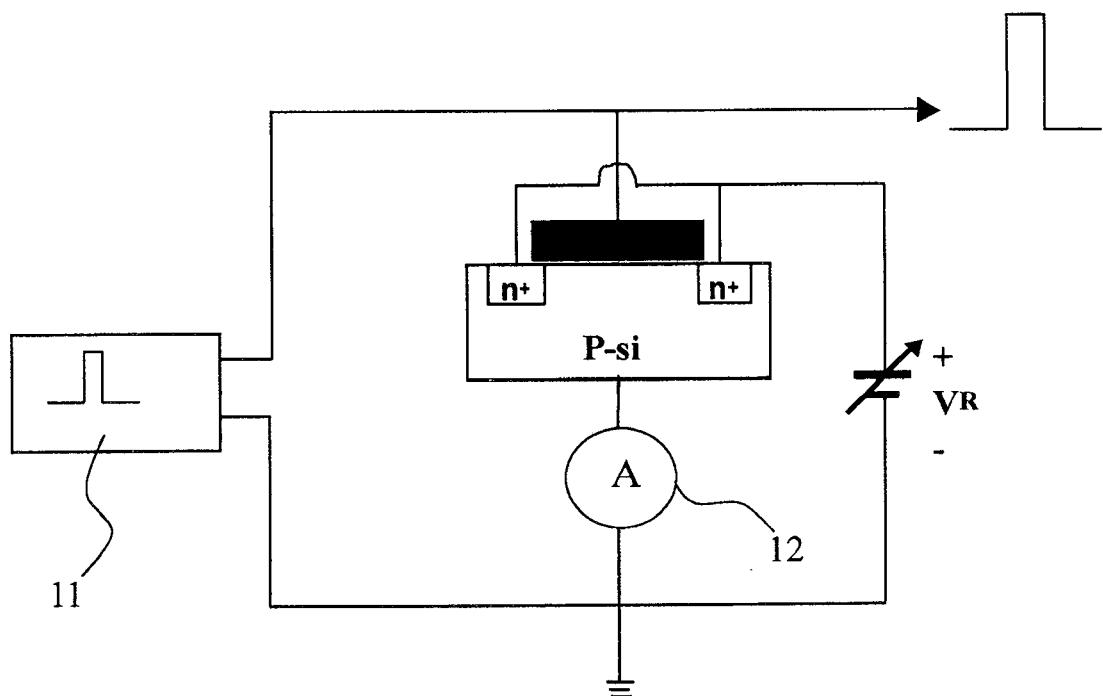


图 1

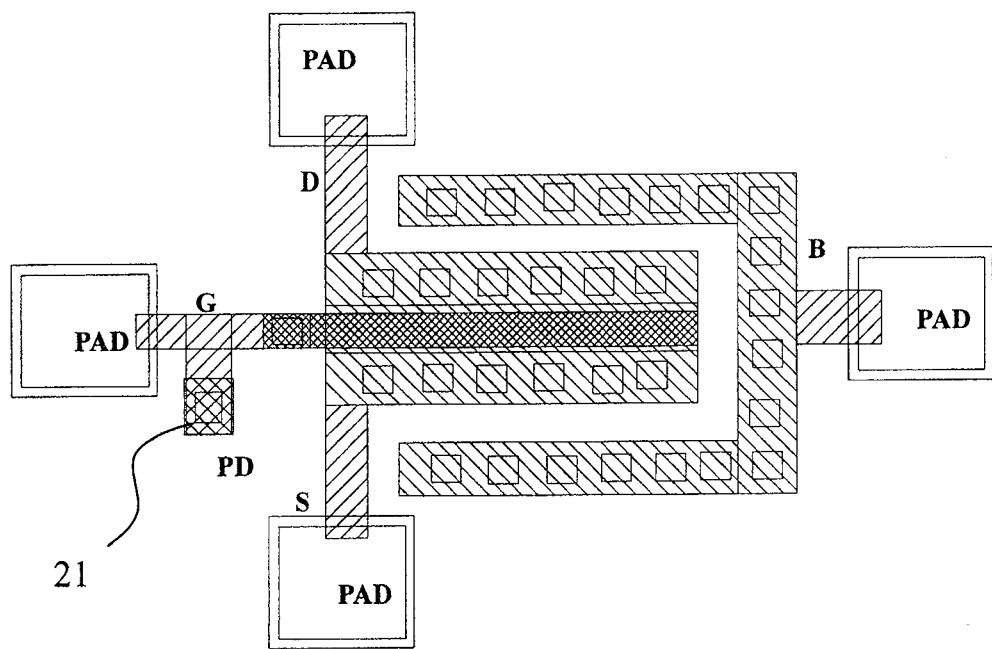


图 2

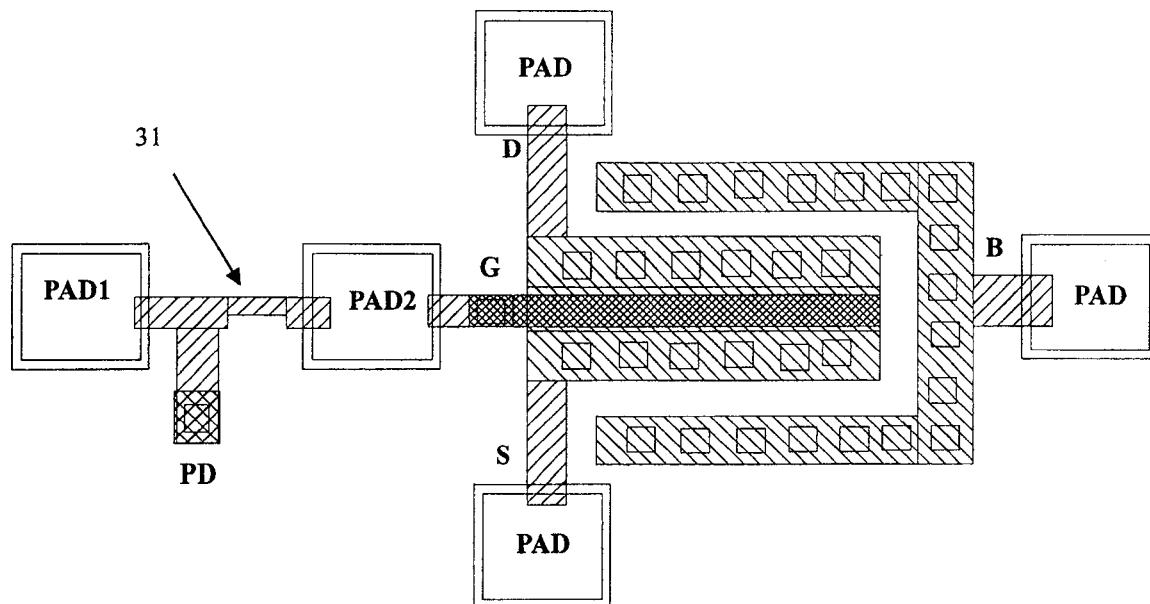


图 3

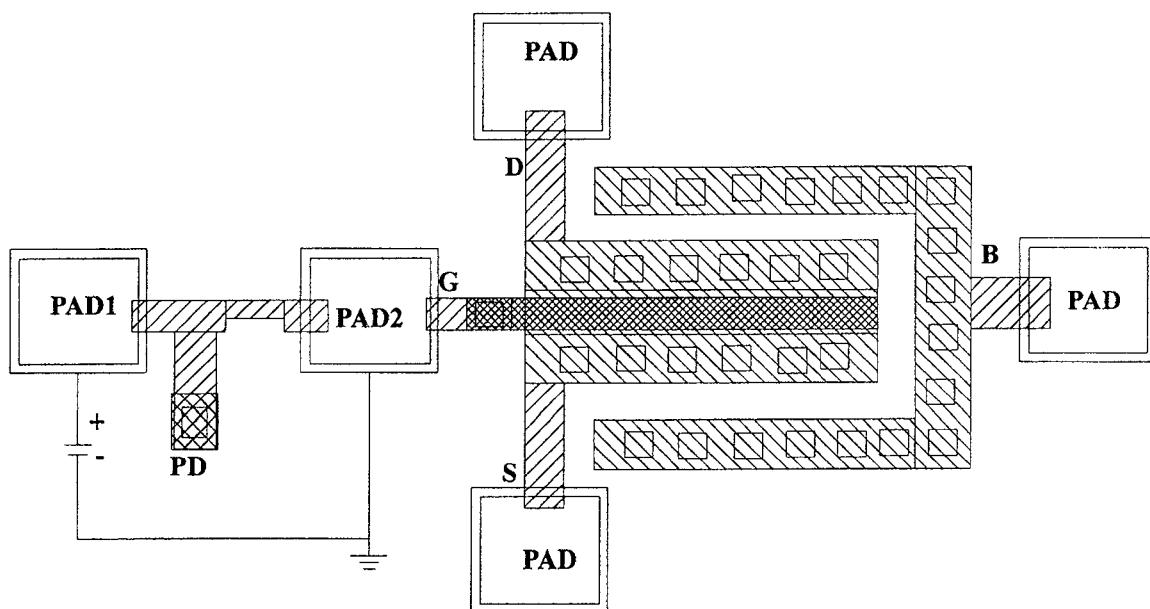


图 4

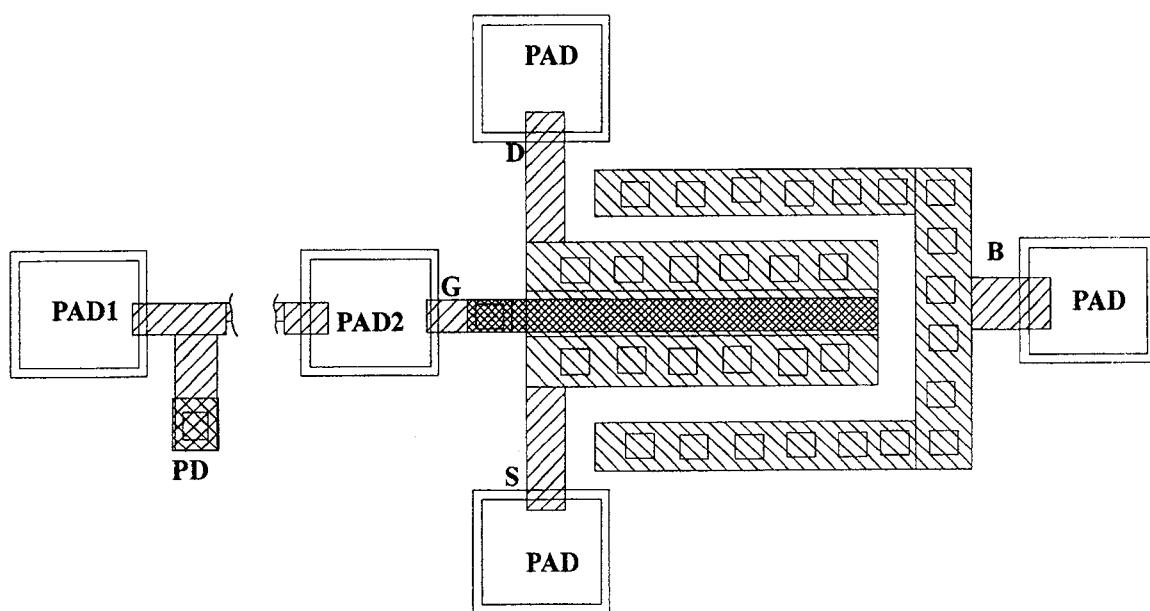


图 5