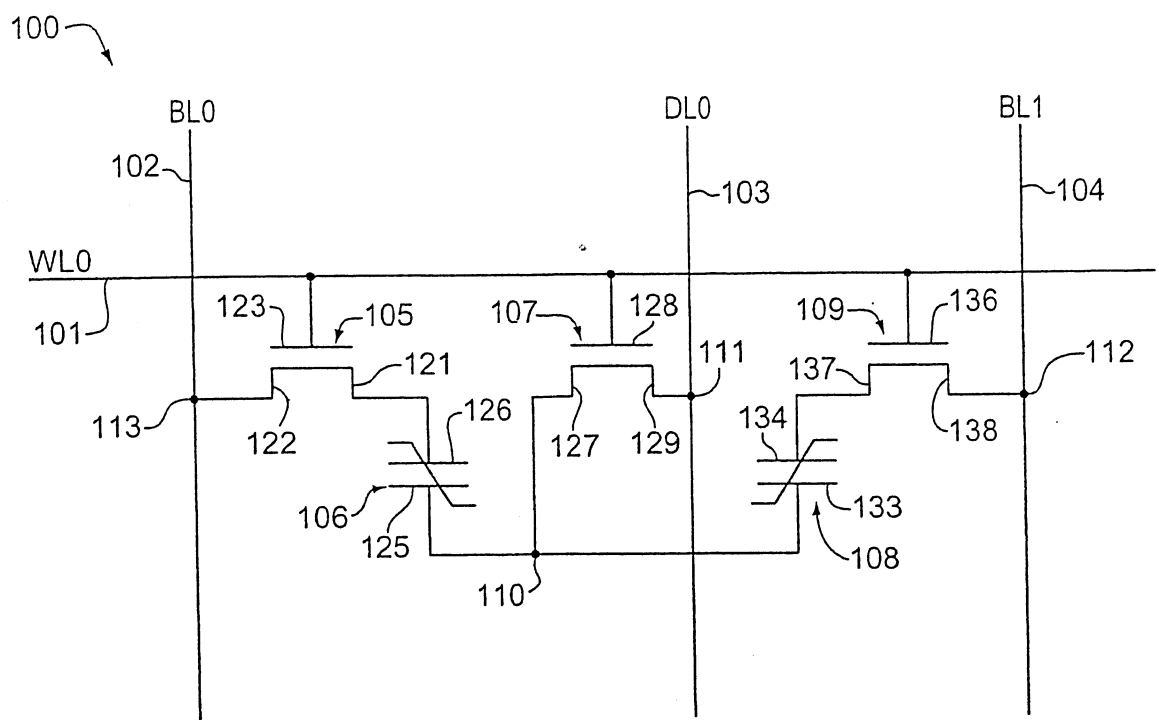
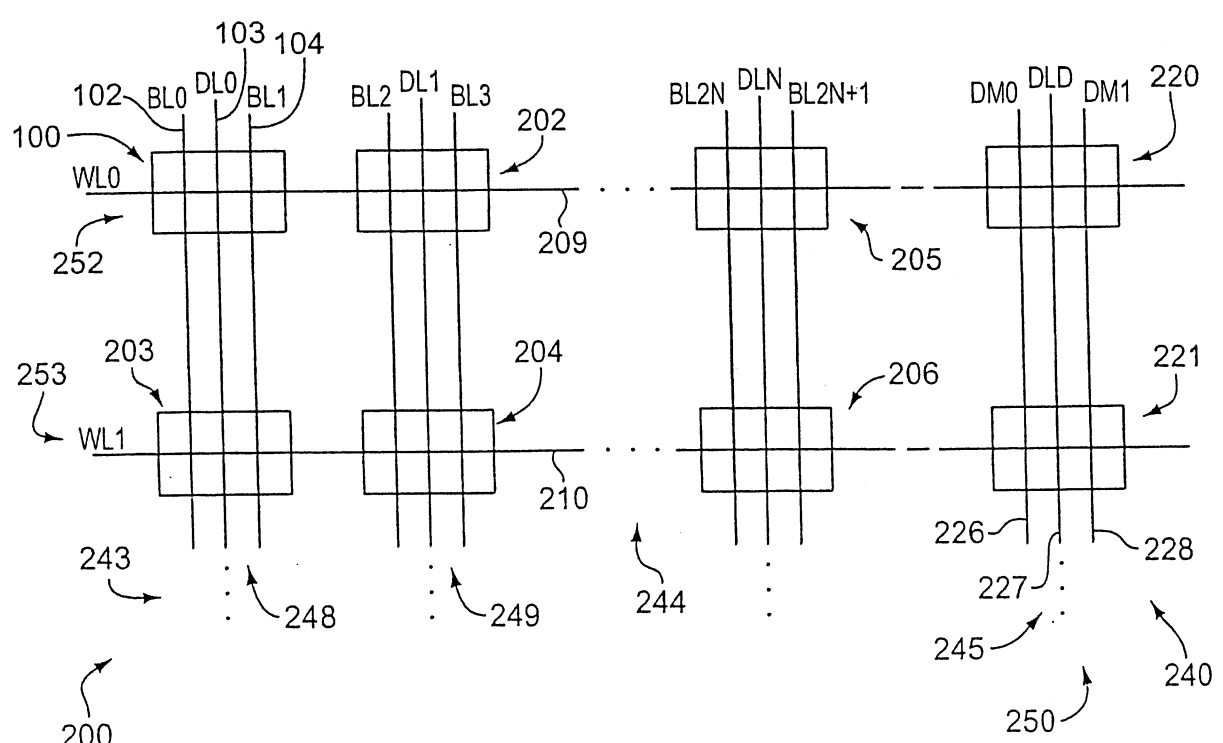
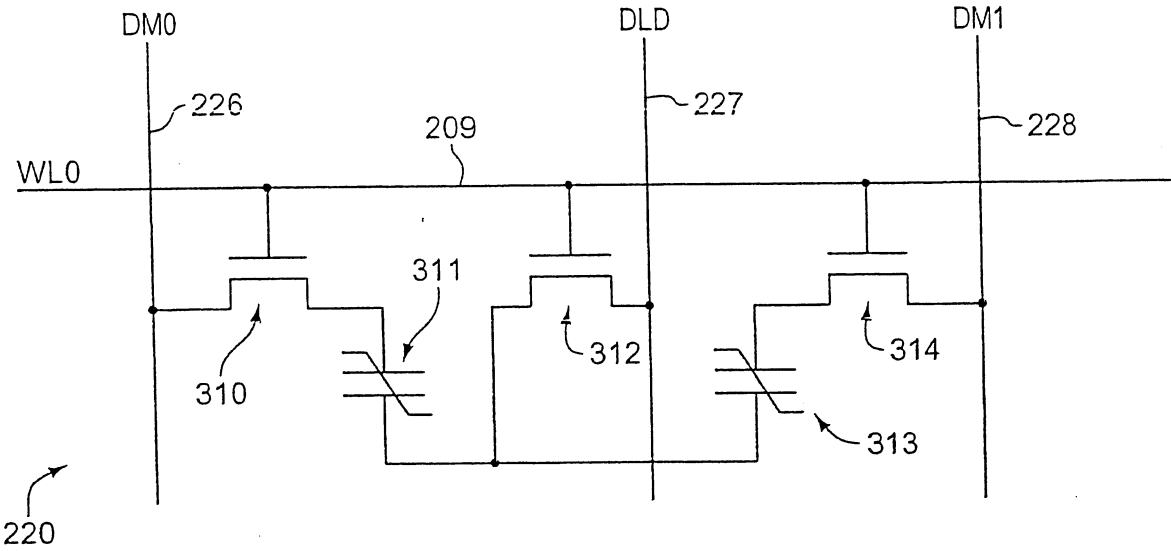




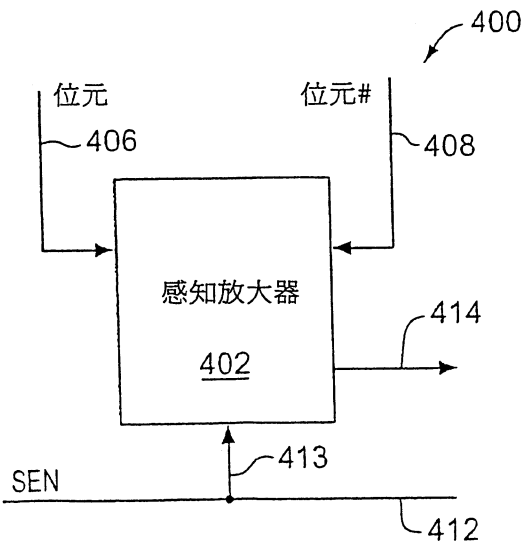
第 1 圖



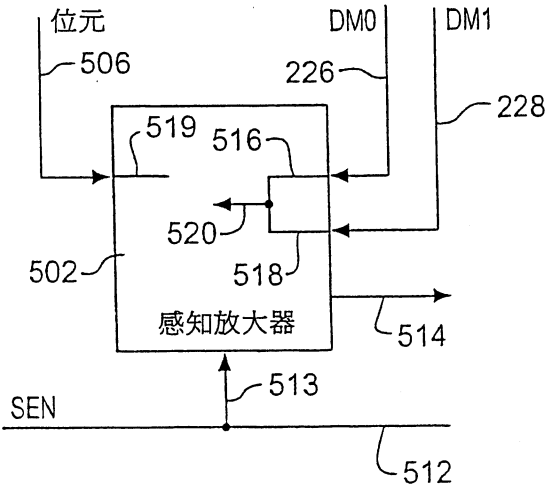
第 2 圖



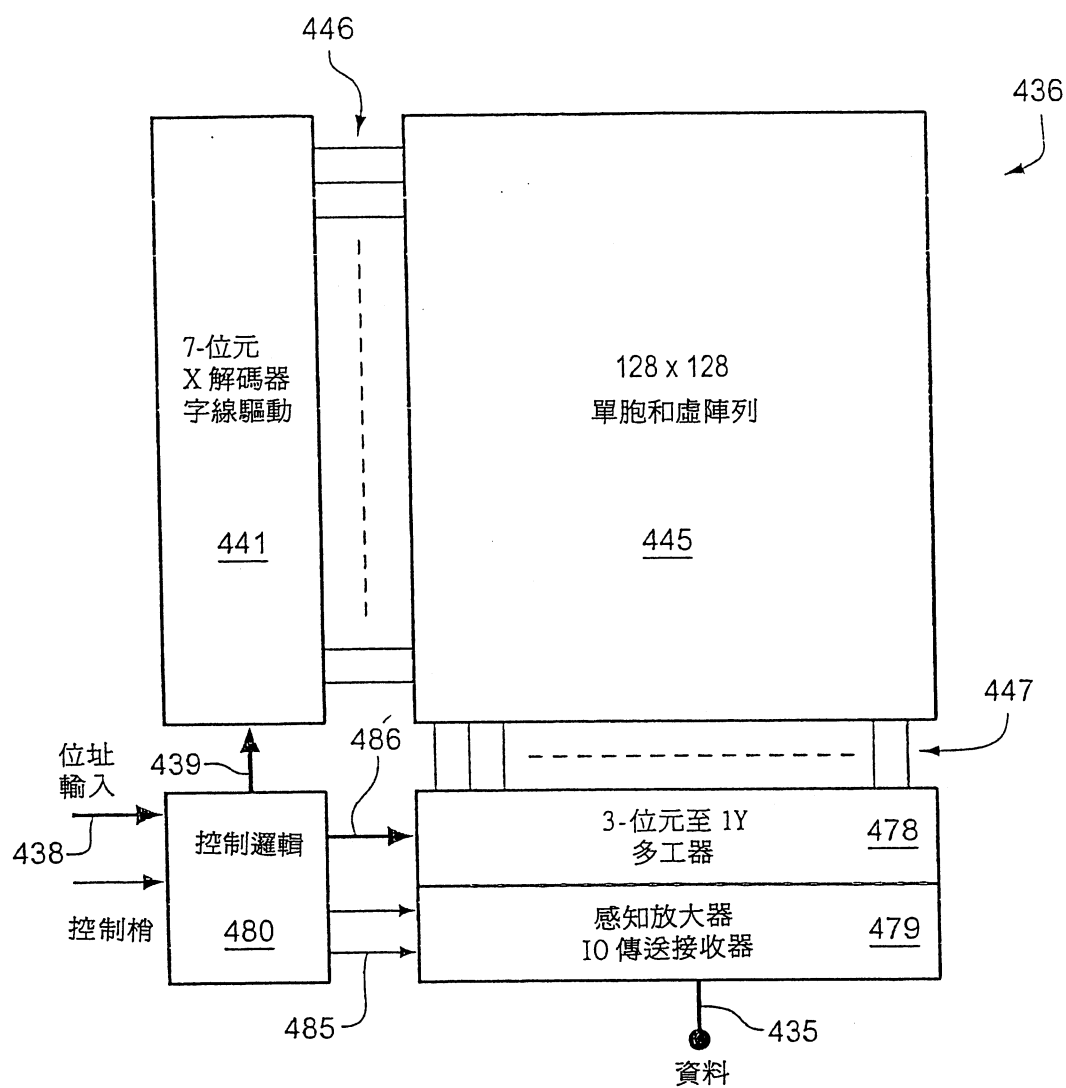
第 3 圖



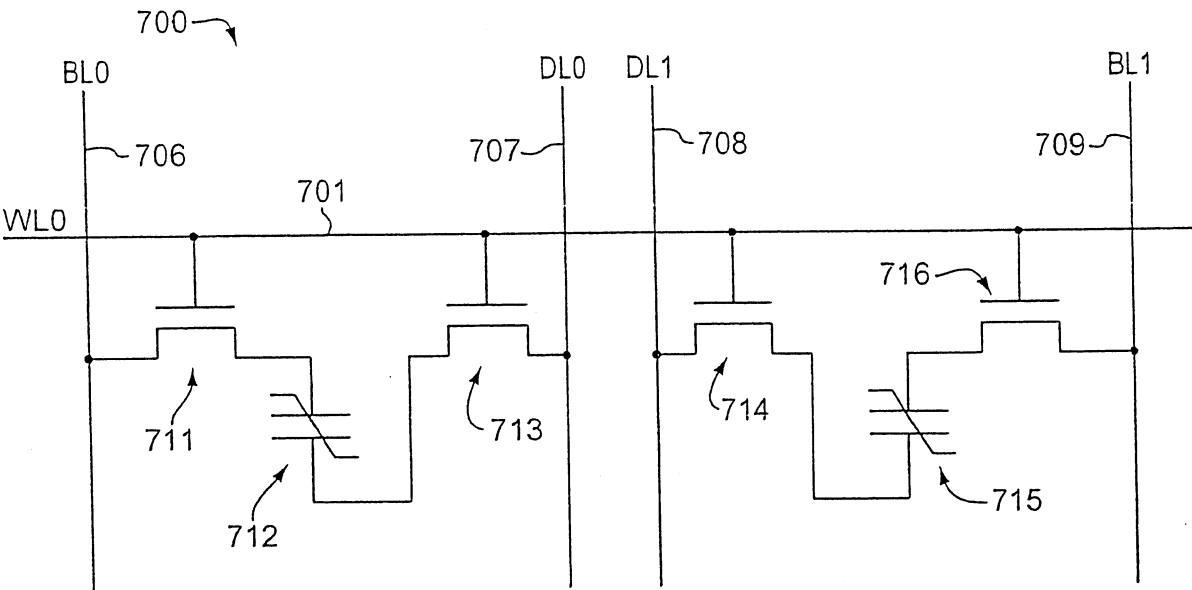
第 4 圖



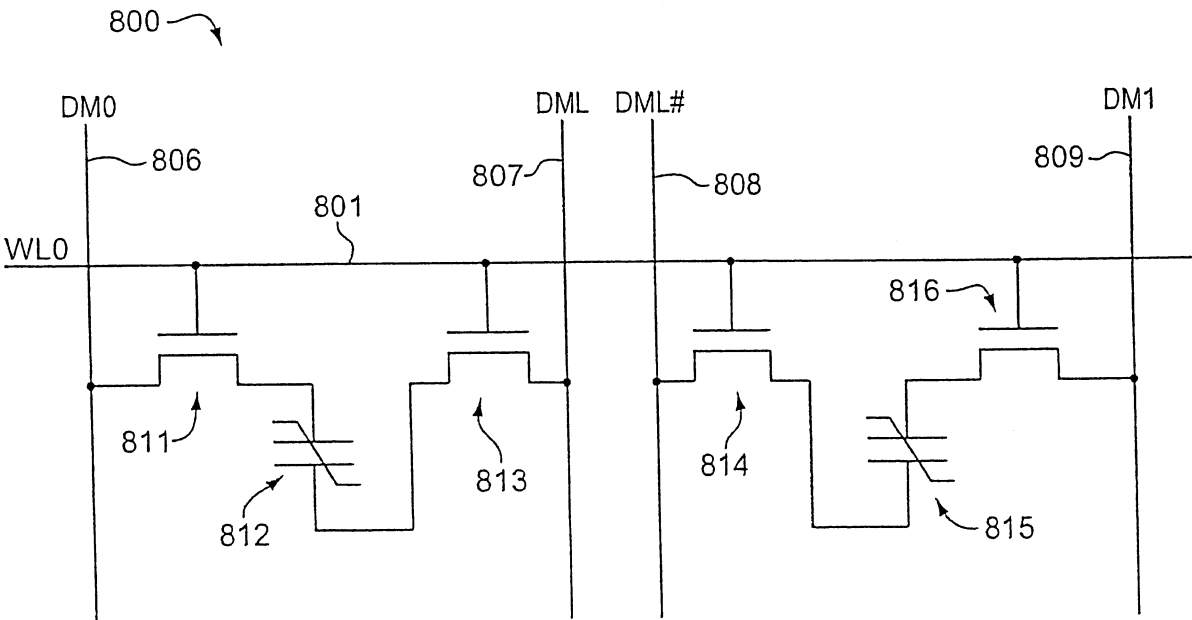
第 5 圖



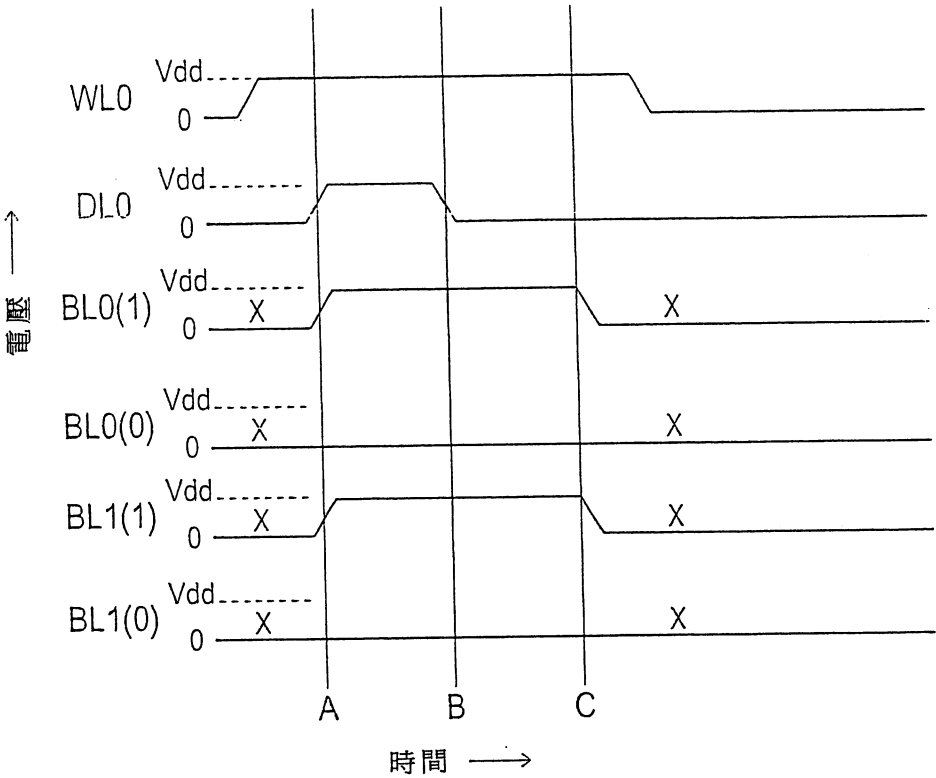
第 6 圖



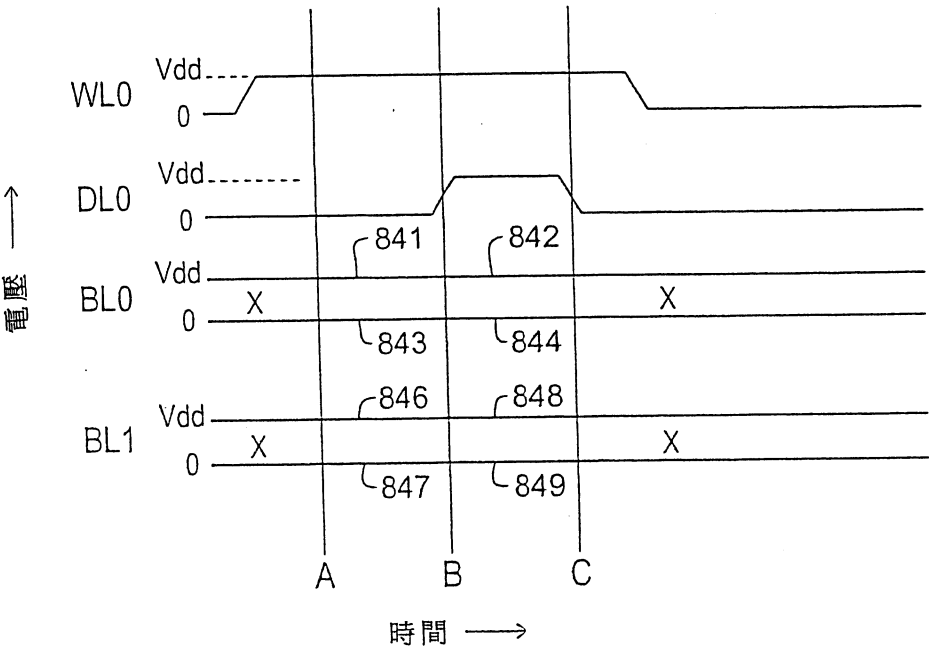
第 7 圖



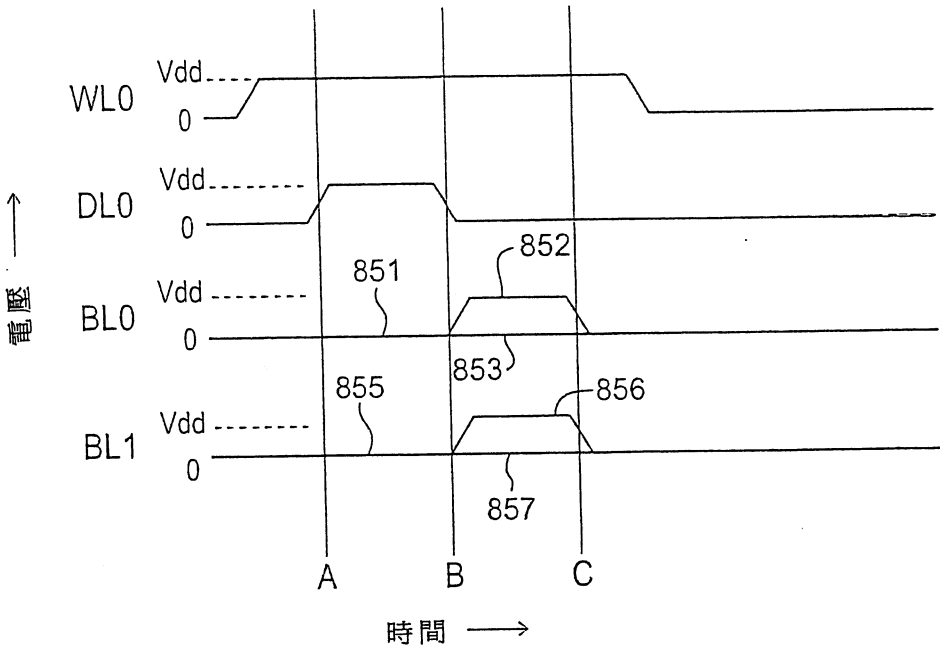
第 8 圖



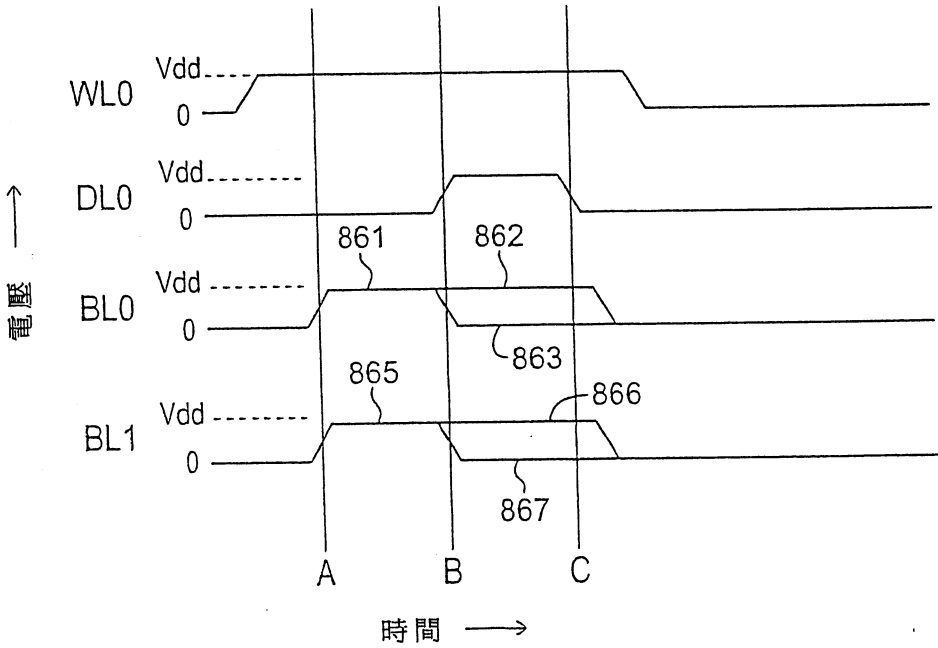
第 9 圖



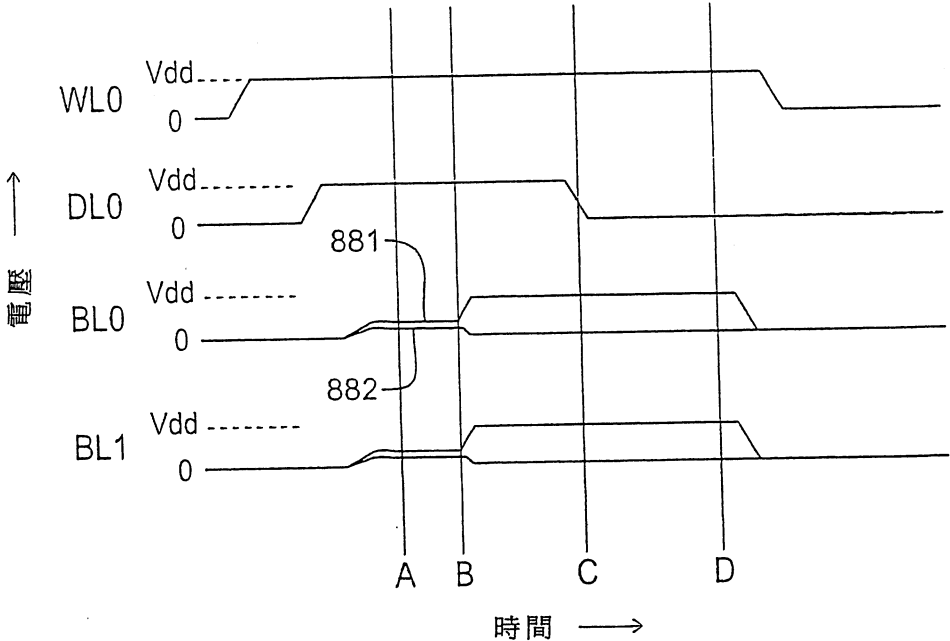
第 10 圖



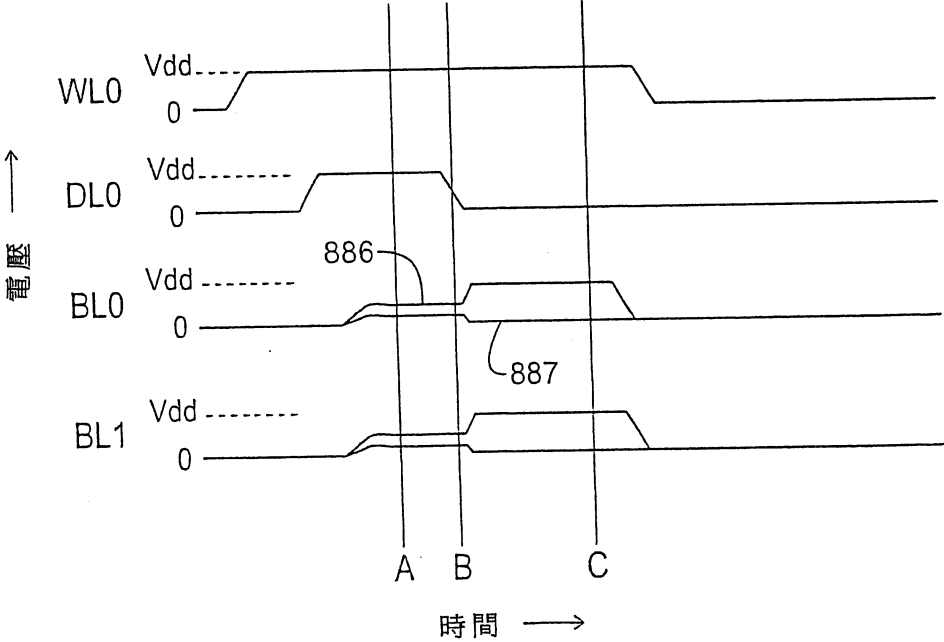
第 11 圖



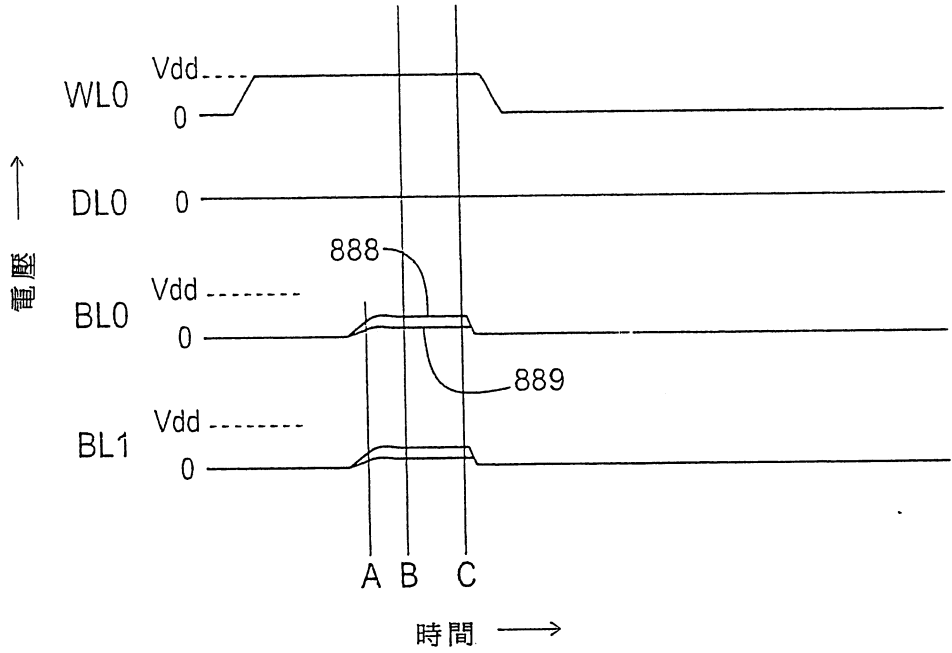
第 12 圖



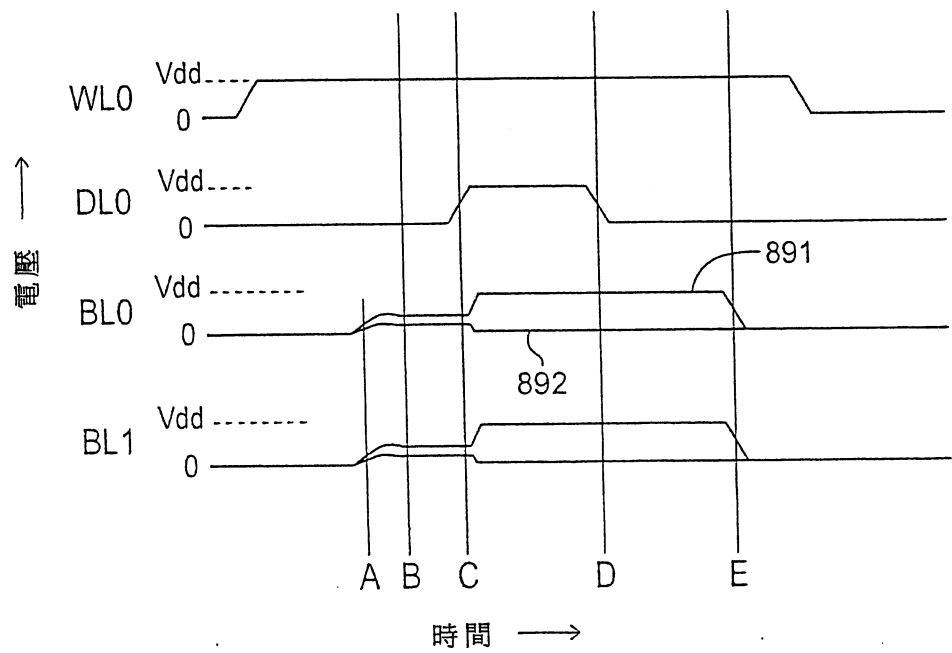
第 13 圖



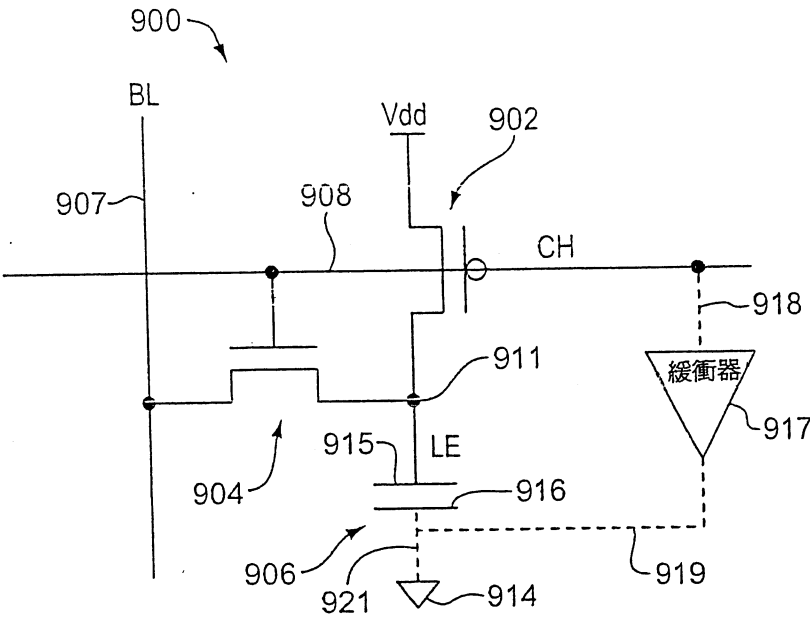
第 14 圖



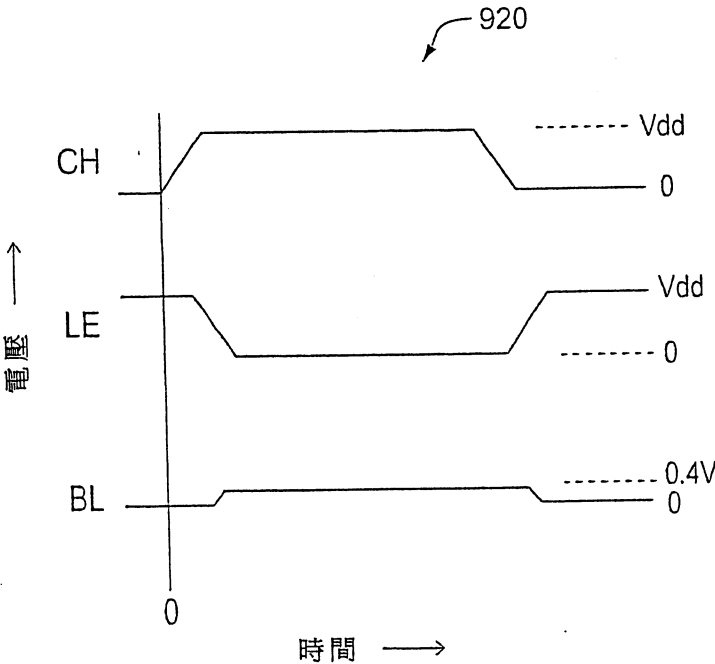
第 15 圖



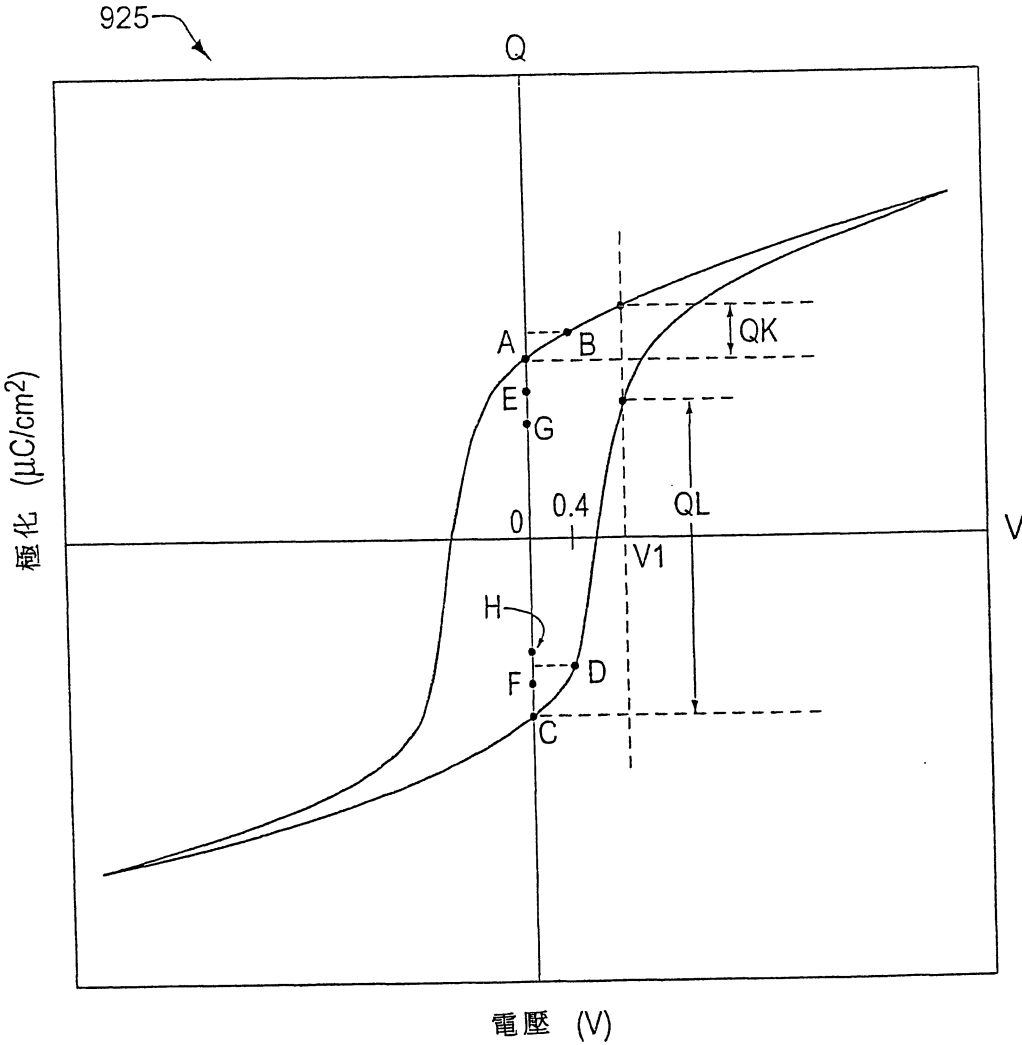
第 16 圖



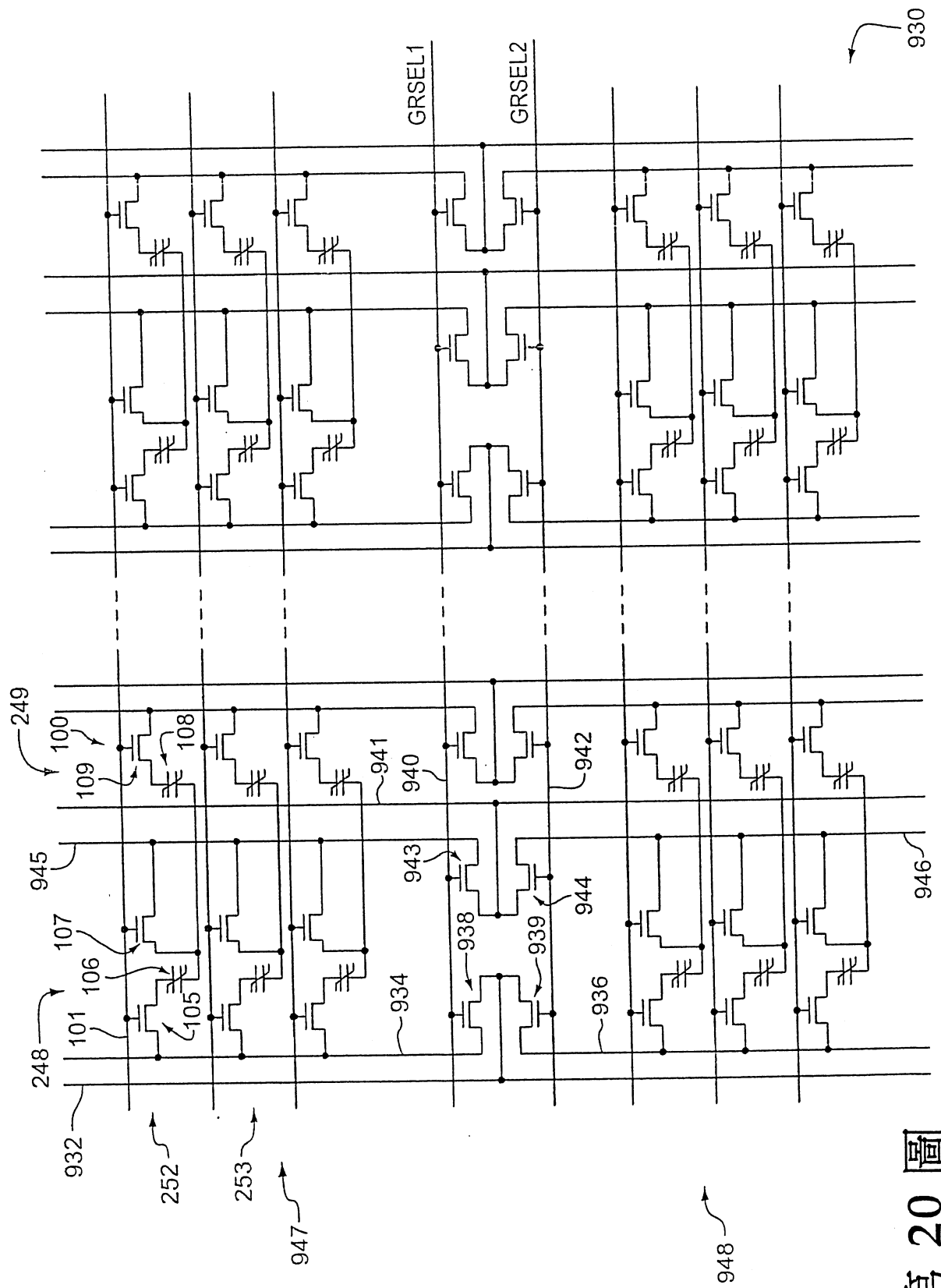
第 17 圖



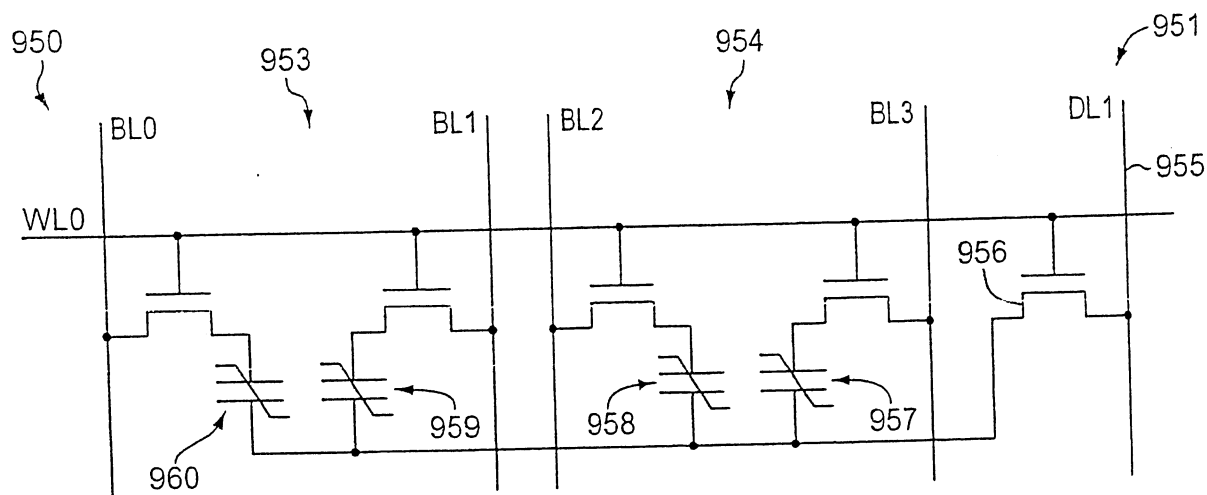
第 18 圖



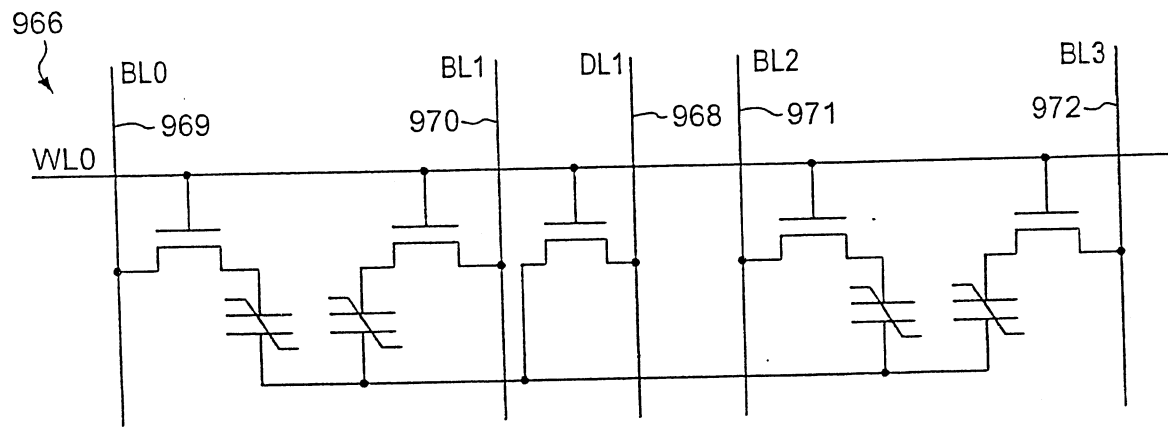
第 19 圖



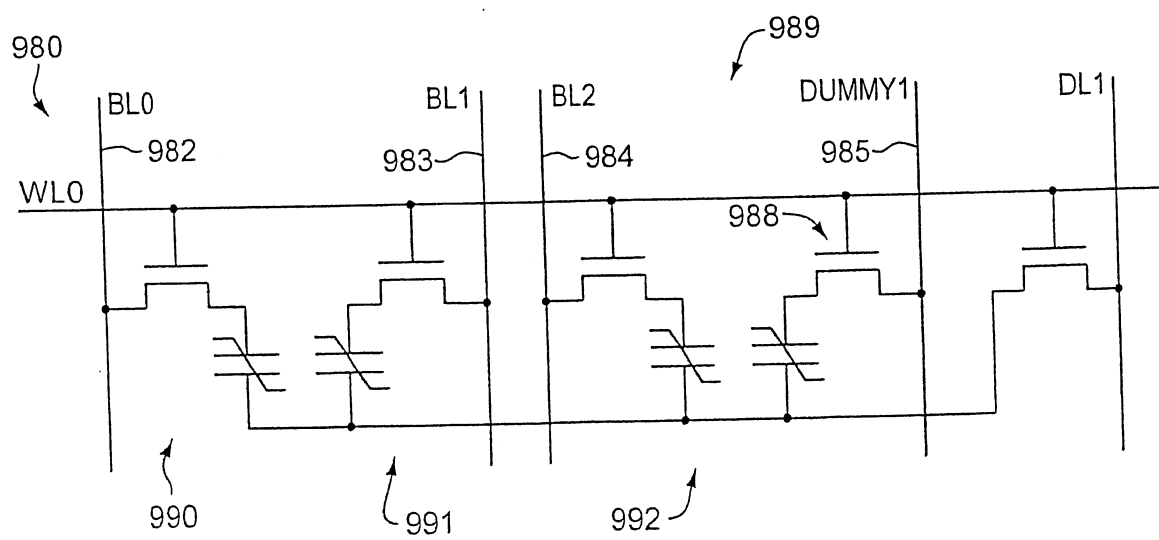
第 20 圖



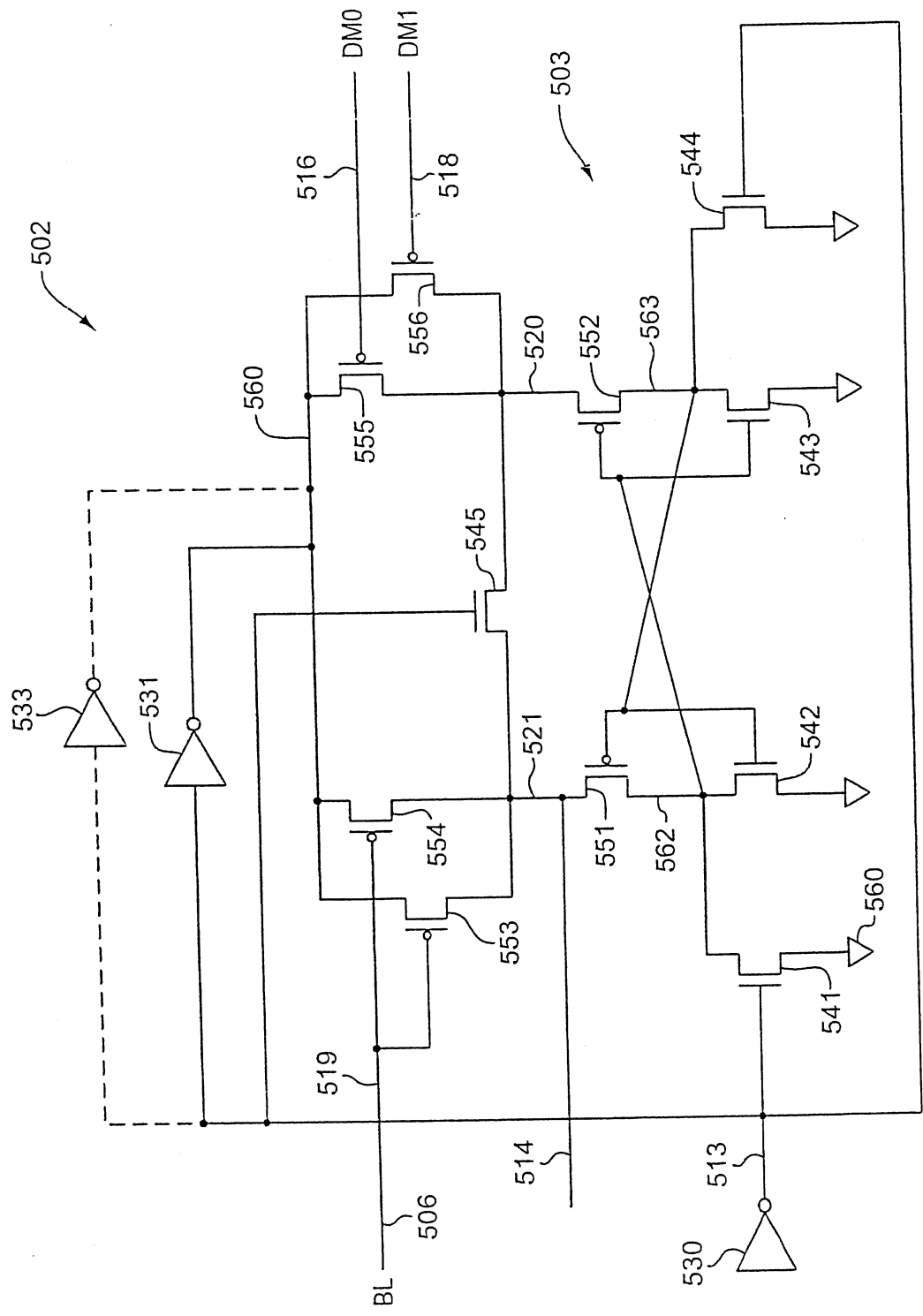
第 21 圖



第 22 圖



第 23 圖



第 24 圖

發明專利說明書

(2007 年 11 月修正)

※ 申請案號： 92112308

※ 申請日期：92.5.6.

※IPC 分類：G11C

11/22(2006.01)

壹、發明名稱：(中文/英文)

鐵電非揮發性記憶體及鐵電非揮發性記憶體之讀取方法

FERROELECTRIC NON-VOLATILE MEMORY AND READING METHOD THEREOF

貳、申請人：(共 2 人)

姓名或名稱：(中文/英文)

1. 西門特克斯公司 / SYMETRIX CORPORATION
2. 艾歐塔科技有限公司 / Iota Technology, Inc.

代表人：(中文/英文)

1. 拉瑞 D. 馬米蘭 (Larry D. McMillan)
2. 何宇明湯姆 (Iu Meng Tom Ho)

住居所或營業所地址：(中文/英文)

1. 美國科羅拉多州 80918 科羅拉多泉馬克達布林道 5055 號
5055 Mark Dabling Boulevard Colorado Springs, Colorado 80918,
U.S.A.
2. 美國加州 95134 聖荷西 115 北一街 2635 號
2635 North First Street, Suite 115, San Jose, California 95134,
U.S.A.

國 籍：(中文/英文)

1. 美國 \ USA
2. 美國 \ USA

參、發明人：(共 1 人)

姓 名：(中文/英文)

何宇明湯姆 / Iu Meng Tom Ho

住居所地址：(中文/英文)

美國加州 95035 米爾皮塔斯亞伯丁道 560 號

560 Aberdeen Way Milpitas, CA 95035 United States of America

國 籍：(中文/英文)

美國/USA

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家(地區)申請專利 ☒ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 美國 2002.05.06 10/139,426

2.

3.

4.

5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

住居所地址：(中文/英文)

美國加州 95035 米爾皮塔斯亞伯丁道 560 號

560 Aberdeen Way Milpitas, CA 95035 United States of America

國 籍：(中文/英文)

美國/USA

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家(地區)申請專利 ☒ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 美國 2002.05.06 10/139,426

2.

3.

4.

5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

(一)發明所屬之技術領域

本發明係關於鐵電記憶體，尤其該記憶體係包括含有鐵電電容器且配置為多列和多行以形成陣列之記憶體胞元。

(二)先前技術

眾所週知的是鐵電材料可保持極化，其可用於非非發性記憶體中儲存資訊。例如，若一夠強度之電場或電壓施加於鐵電電容器上，電壓移除時，極化依電場方向保持。若電場接著以相反方向跨在相同電容器上，鐵電材料反轉切換，且當電場移除，極化以相反方向保持。電子電路設計為在一方向極化時具有邏輯狀態"1"，在另一方向極化時具有邏輯狀態"0"。例如在美國專利 NO.2,876,436，出版於 1959 年 3 月 3 日，J.R.安德森，其中所述之電路。類似其他的積體電路記憶體，這些電路包括配置成多列和多行之記憶體胞元，各記憶體胞元包括至少一開關，一具有一對電極之電容器，各記憶體又包括板線，有時稱作驅動線，其係連接至各胞元電容器中之一電極，且位元線經由開關連接至電容器之另一電極。在此項揭示中，板線視為驅動線，因此領域中有時如此做。如上之安德森引證案，開關係為二極體。如該領域所知，開關可能是具有閘極，源極和汲極之電晶體，且該記憶體包括連接至電晶體控制閘極之字元線。例如，在美國專利 NO.4,873,664 中，出版於 1989 年 10 月 10 日，S.謝菲德.伊頓二世。電晶體當作一個由閘極控制的開關，以連接電容器至位元線。資訊係由放置一高或低電壓在位元線上而寫入記

憶體胞元，導通電晶體以連接位元線至電容器，及放置一在高和低電壓之間的電壓至驅動線。高電壓導致記憶體胞元認定一種極化狀態，而低高電壓導致記憶體胞元認定相反極化狀態。記憶體胞元係藉由在位元線和驅動線間創造一電壓差和經由電晶體連接位元線至電容器而被讀取。若鐵電狀態由於施加電壓而改變，位元線將假定一第一電壓，若鐵電狀態未切換，則位元線將假定一第二電壓。位元線狀態係和一在高和低電壓之間約一半的參考電壓比較，若位元線電壓壓較參考電壓為低則感知放大器驅動一低輸出，且若位元線電壓壓較參考電壓為高則感知放大器驅動一高輸出。以此方式，在讀取胞元時事先讀取鐵電電容器狀態可決定輸出狀態。

如上所述記憶體和其他類似習知記憶體，驅動線係為跳動。相對較長且連接至許多電容器的電極之驅動線，係具有較高電容量。因此，將花費較長時間用於將電壓上升至全值，結果造成讀取和寫入記憶體時間很長。為了加速寫入和讀取程序，驅動線並未跳動之鐵電電容器係被發展出來。觀察 Hiroki Koike et al., "具有非驅動平板線胞元讀取方案之 60-奈秒 1-MB 非揮發性鐵電記憶體"，IEEE 固態電路期刊，第 11 卷，編號 11，1996 年 6 月。另一種解決方案是使驅動線平行位元線，使得在同一時間僅有一個電容器跳動。觀察如上所述之伊頓二世的第 6 圖之實施例。片斷化之驅動線係建議用以提升驅動週期之速度和降低功率。觀察美國專利編號 5,598,366。然而，由於嚴重干擾問題，所有此類記憶體均未成功。"干擾"係大部分習知鐵電記憶體之問題特徵，其

中幅度很小之干擾電壓，無法避免地施加到非存取之記憶體胞元，該電壓可能改變記憶體狀態，因此早成誤讀取。例如在 Koike et al 參考案中，解釋由位元線和驅動線洩漏至未存取電容器之節點，可能破壞資料。此問題可由增加記憶體複雜性且顯示如下之補償方案來克服。因此，如 Koike et al. 參考案中，干擾問題已導致記憶體做的更複雜和更慢以克服干擾；或如 Eaton, Jr 專利，單純地導致設計較不可靠的達成。然而，此種胞元所需之平均功率依舊很高。

直到最近，所有鐵電材料超時趨向疲勞，和切換電荷下降至胞元無法再被讀取之點。約十年前，發現一種稱作層狀超結晶格混合物不會疲勞。然而，當切換電荷在這些材料中維持相對地穩定，材料依然會老化，亦即，第一和第二電壓之大小通常依記憶體胞元之歷史。例如，依照歷史，在特定胞元的一次讀取中第一和第二電壓兩者，和稍後讀取的相同胞元的第一和第二電壓，係因某些電壓因素而不同；或磁滯曲線由於電容器內電荷的重分配，可能以毫秒等級對時間漂移。因此，當參考電壓在度讀取時，將在第一和第二電壓之間，在稍後讀取時，第一和第二電壓二者可能在參考電壓之上。因此，此記憶體係不“安全”，因在讀取或感知時係相對不穩定。

對於上述問題電形之解答係討論在美國專利編號 NO.4888,733，出版於 1989 年 12 月 19 日，Kenneth j. Mobley。在 Mobley 專利中所揭示之記憶體係使用兩電晶隔離餐電電容器，其可避免干擾問題。其同時以一方向脈動鐵

電電容器，且儲存已發展電荷於第一暫時儲存電容，以相反方向脈動鐵電電容器，且儲存已發展電荷於第二暫時儲存電容，接著係比較兩儲存電容上之儲存電荷。因此，此記憶體本質上比較相同電容器之兩狀態，其係以一時間間隔一個接在一個之後，其可避免因時間間隔太短會老化或發生其他變化的問題。然而，此解決方案會花三倍長的時間讀去記憶體；因此，此記憶體無法和需要快速讀取時間之最新發展記憶體競爭。再者，額外暫時儲存電容器係線性電容器，其在記憶體中發生大量的額外空間，因此依照 Mobley 設計之記憶體係相對非常龐大，且無法和記憶體晶片大量增加密集度的世上上記憶體競爭。有許多其他多電容器/多電晶體鐵電記憶體，已被用於建議解決上述問題，其中一部份已被整合為商業產品。所有不但更密集數倍且較習知 DRAM 更慢。

上述問題，特別是老化問題和”干擾”問題，在快速和密集結構中係更加嚴格。因此，到目前為止鐵電記憶體電容器係被侷限在相對較慢且較龐大結構，諸如 Mobley 設計。有高度需求的是，鐵電記憶體具有較 Mobley 設計具有更快且較小之結構，而不會產生干擾問題。可同時避免老化問題的記憶設計，在此技術中，將是極大之進步。

(三)發明內容

本發明解決上述問題，以及藉由提供鐵電記憶體之習知技術的其他問題，其中各記憶體胞元可單獨地被選擇而不會電氣連結到任何其他記憶體胞元，因此消除任何干擾可能性。

本發明亦提供讀取記憶體胞元之方法，其係感知記憶體胞

元在不同狀態之間的電容差異。

本發明亦提供一記憶體胞元，其中鐵電元件係為電容器，記憶體胞元可在不切換鐵電電容器時被讀取。

本發明亦提供一種用於鐵電記憶體之新穎位元線驅動器，其係驅動電壓至 1 伏特或更低，且較佳地低於 1/2 伏特。

本發明亦提供一種用於鐵電記憶體中之新穎感知放大器，其係感測放大包括三位元線輸入，其中二者係由虛位元線輸入。

本發明亦提供一種操作鐵電記憶體之方法，具有一對虛胞元，其中虛胞元之邏輯狀態係為交變(alternated)，其可避免虛胞元之印記(imprinting)。

本發明亦提供一種操作鐵電記憶體，其中位元線係分隔。

本發明亦提供一種鐵電非揮發性記憶體，其係包括：複數之個並聯位元線對和複數個記憶體胞元，各該記憶體胞元係和該位元線對之一相關，各該記憶體胞元包括：一第一鐵電電容器，具有一第一電極和一第二電極；一第二鐵電電容器，係具有一第一電極和一第二電極；一第一電晶體，係具有一閘極；及一第二電晶體，係具有一閘極；其中各該記憶體胞元之該第一電晶體係連接於該第一電容器的第一電極和該相關位元線對中的該位元線之一之間，該第二電晶體係連接於該第二電容器的第一電極和該相關位元線對中的該位元線之另一之間；該記憶體又包括：一複數個驅動線及與各該等驅動線相關之一電晶體驅動線電晶體，該驅動線電晶體包括一閘極，該等驅動線係平行該等位元線，各該驅動線

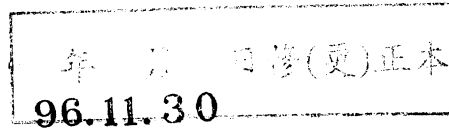
係經由該驅動線電晶體連接至該記憶體胞元中之該電容器之該第二電極，各該驅動線係連接至兩個或更少之記憶體胞元，該記憶體又包括垂直於該位元線對和該驅動線之一字元線；且該第一電晶體之閘極，該第二電晶體和該驅動線電晶體係連接至該字元線。較佳地，各該驅動線係在該記憶體胞元之唯一中，連接至該第一電容器之該第二電極和該第二容器之該第二電極。較佳地，本發明亦提供一種操作鐵電記憶體，其具中和該各該胞元相關之該驅動線之一，且該驅動線係位於和該位元對相關且與該驅動線有關之胞元中的該等位元線之間。較佳地，其中該驅動線係位於該二胞元之間。較佳地，其中該等位元線係互補，且各該記憶體胞元單元係為一個 1 位元記憶體胞元。較佳地，其中該二記憶體胞元中之一，係為 2-位元記憶體胞元，且該二記憶體胞元之另一係為包括一虛(dummy)電容器之 1-位元記憶體胞元，且連接至該虛電容器之該位元線係為一虛位元線(dummy bit line)。較佳地，其中該等位元線係為互補，且各該等記憶體胞元係為 1 位元記憶體胞元。較佳地，其中該等位元線係最上層位元線，且具有複數個區分成第一群組和第二群組的該記憶體胞元，該記憶體又包括一具有閘極之第一群組選擇電晶體，一具有閘極之第二群組選擇電晶體，一第一群組選擇線，一第二群組選擇線，一第一個第二層位元線，一第二個第二層位元線，且其中該第一群組選擇電晶體係連接至該最上層位元線和該第一個第二層位元線之間，該第二群組選擇電晶體係連接至該最上層位元線和該第二個第二層位元線之間，該第

一群組選擇線係連接至該第一群組選擇電晶體之閘極，且該第二群組選擇線係連接至該第二群組選擇電晶體之閘極。較佳地，其中又包括位元線驅動電路，其係用於驅動該位元線至該記憶體之高電壓的三分之一或更低電壓之一。較佳地，其中記憶體胞元係一 2 位元記憶體胞元。較佳地，其中位元線對之一係為虛 (dummy) 位元線，關於該虛位元線對之該記憶體胞元係為一虛胞元 (dummy cell)，且連接至該虛胞元之該驅動線係一虛驅動線。較佳地，其中該等虛位元線係為互補。較佳地，其中在第一記憶體週期中，在該虛胞元中之該第一電容器之邏輯狀態係為邏輯 "0"，且在該虛胞元中之該第二電容器之邏輯狀態係為邏輯 "1"；和在第二記憶體週期中，在該虛胞元中之該第一電容器之邏輯狀態係為邏輯 "1"，且在該虛胞元中之該第二電容器之邏輯狀態係為邏輯 "0"。較佳地，其中又包括一具有三位元線輸入之感知放大器，該等輸入之二者係連接至該虛位元線對。較佳地，其中具有關於各該胞元的該等驅動線之二者和該驅動線電晶體之二者；該二驅動線之一係藉由該二驅動線電晶體之第一連接至該第一電容器之該第二電極，且該二驅動線之另一係藉由該二驅動線電晶體之第二連接至該第二電容器之該第二電極。較佳地，其中關於各該胞元之該位元線對係為互補。較佳地，其中各該胞元係為 2 位元胞元。較佳地，其中該胞元之一係包括一虛 (dummy) 電容器。較佳地，其中包括一虛電容器之該胞元，係具有連接至一虛電容器對之一虛位元線對，及連接至虛電容器對之一虛驅動線對。較佳地，其

中在第一記憶體週期中，在該虛胞元中之該第一電容器之邏輯狀態係為邏輯"0"，且在該虛胞元中之該第二電容器之邏輯狀態係為邏輯"1"；及在第二記憶體週期中，在該虛胞元中之該第一電容器之邏輯狀態係為邏輯"1"，且在該虛胞元中之該第二電容器之邏輯狀態係為邏輯"0"。較佳地，其中具有複數個該字元線，關於該記憶體胞元之不同列的各該字元線，具有記憶體胞元之一列的各該記憶體胞元之各該電晶體之閘極，係連接至關於該列之該字元線；且該記憶體包括經由該驅動線連接至各該複數列中之至少一該記憶體胞元中之第一和第二電容器的驅動線驅動電路。

在另一項觀點中，本發明提供一種鐵電非揮發性記憶體，包括互補位元線對，定位且平行在互補位元線之間的驅動線，垂直位元線和驅動線的字元線，且記憶體胞元包括：第一鐵電電容器，第二鐵電電容器，第一電晶體，第二電晶體，驅動線電晶體；其中第一電晶體係連接至第一電容器和互補位元線之一者之間，第二電晶體係連接至第二電容器和互補位元線另一者之間，驅動線電晶體係連接至至少一電容器和驅動線之間。

在又一項觀點中，本發明提供一種鐵電非揮發性記憶體，包括互補位元線對，其中位元線及/或驅動線係為分離。在實施例中位元線係分離，具有階層的位元線，各較高階之層藉群組選擇信號由電晶體控制連接至相隣較低之層。較佳地，具有最上層位元線和具有複數個區分成第一群組和第二群組的記憶替胞元，該記憶體又包括具有閘極之第一群組選



擇電晶體，具有閘極之第二群組選擇電晶體，第一群組選擇線，第二群組選擇線，第一第二層位元線，第二第二層位元線，且其中第一群組選擇電晶體係連接於最上層位元線和第一第二層位元線之間，第二群組選擇電晶體係連接於最上層位元線和第二第二層位元線之間，第一群組選擇線係連接於第一群組選擇電晶體之閘極，第二群組選擇線係連接於第二群組選擇電晶體之閘極。

在另一項觀點中，本發明提供一種鐵電非揮發性記憶體，包括：第一位元線，平行於第一位元線之第二位元線；定位且平行於第一和第二位元線之間的驅動線；複數個記憶體胞元，各記憶體胞元包括：第一鐵電電容器，第二鐵電電容器，第一電晶體，第二電晶體，第三電晶體，各具有閘極；其中第一電晶體係連接至第一電容器和第一位元線之間，第二電晶體係連接至第二電容器和第二位元線之間，第三電晶體係連接至電容器和驅動線之間；複數個字元線，各關於記憶體胞元不同列之字元線和在記憶體胞元群的一列中之各記憶體胞元的電晶體之閘極，係連接至相關列之字元線；且驅動線驅動電路經由驅動線連接至複數列中記憶體胞元之一的第一和第二電容器。

在另一項觀點中，本發明提供一種鐵電非揮發性記憶體，具有複數個配置成數列和數行之記憶體胞元，各行係包括耦接至沿著該行之記憶體胞元之一位元線，各列係包括耦接至沿著該列之記憶體胞元之一字元線，該記憶體同時包括和該位元和字元線分開之複數個驅動線，各該記憶體胞元耦接至

年 月 日修(更)正本 96.11.30

相關之驅動線，各該記憶體胞元包括一鐵電記憶體元件，該鐵電記憶體元件之極化狀態係符合儲存在其中之資料，該記憶體又包括提供讀取信號之信號產生器，其中記憶體之改良又包括回應讀取信號之位元線驅動電路，其係用於驅動位元線至不超過 1 伏特之電壓。

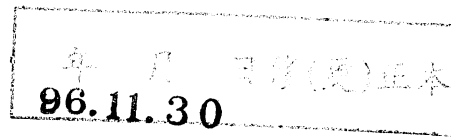
在又一項觀點中，本發明提供一種鐵電非揮發性記憶體，具有複數個配至成數列和數行之記憶體胞元，各行係包括沿著該行耦接至記憶體胞元之一位元線，各列係包括沿著該列耦接至記憶體胞元之一字元線，該記憶體又包括和該位元及字元線分開之複數個驅動線，各該記憶體胞元耦接至相關驅動線，各該記憶體胞元包括一鐵電元件，該鐵電元件符合儲存在其中之資料而極性化，該記憶體又包括提供一讀取信號之一信號產生器，其中該等位元線之二者係為互補虛位元線，及該位元線之一並非一虛位元線；該記憶體又包括：一感知放大器，具有可連接至其係不是虛位元線之該位元線的第一位元線輸入，可連接至該虛位元線之第一端的第二位元線輸入，可連接至該虛位元線之第二端的第三位元線輸入。

在另一項觀點中，本發明提供一種鐵電非揮發性記憶體，具有複數個配至成數列和數行之記憶體胞元，各行係包括沿著該行耦接至記憶體胞元之一位元線，各列係包括沿著該列耦接至記憶體胞元之一字元線，該記憶體又包括和該位元及字元線分開之複數個驅動線，各該記憶體胞元耦接至相關驅動線，各該記憶體胞元包括一鐵電元件，該鐵電元件符合儲存在其中之資料而極化，其中位元線之改良係為最上層位元

線和區分爲第一和第二群組的複數個記憶體胞元；記憶體又包括具有閘極之第一群組選擇電晶體，具有閘極之第二群組選擇電晶體，第一群組選擇線，第二群組選擇線，第一個第二層位元線，第二個第二層位元線，其中第一群組選擇電晶體係連接於最上層位元線和第一個第二群組位元線之間，第二群組選擇電晶體係連接於最上層位元線和第二個第二群組位元線之間，第一群組選擇線係連接至第一群組選擇電晶體之閘極，第二群組選擇線係連接至第二群組選擇電晶體之閘極。

在另一項觀點中，本發明亦提供操作鐵電非揮發性記憶體之方法，包括複數個記憶體胞元，各該記憶體胞元包括一記憶體胞元鐵電元件，該方法包括：將各該記憶體胞元鐵電元件和所有其他該記憶體胞元鐵電元件電氣隔離。較佳地，記憶體胞元鐵電元件係一鐵電電容器。

在另一項觀點中，本發明亦提供操作鐵電非揮發型記憶體之方法，具有複數個配置成數和數行之胞元，各行係包括沿著該行耦接至記憶體胞元之一位元線，各列係包括沿著該列耦接至記憶體胞元之一字元線對，該記憶體又包括和該位元和字元線分開之複數個驅動線，各該記憶體胞元耦接至相關之驅動線，各該記憶體胞元包括一鐵電元件對，各該鐵電記憶體元件符合儲存在其中之資料而極性化；該方法包括：將各該記憶體胞元鐵電元件對和所有其他該記憶體胞元鐵電元件對電氣隔離。其中各該驅動線係沿著行耦接至記憶體胞元及該行中之各該記憶體胞元包括複數個電晶體。該電晶體



之第一者係連接至該鐵電電容器之第一者和關於該行之該位元對中之第一位元線之間，該電晶體之第二者係連接至該鐵電電容器之第二和關於該行之該位元對中之二第位元線之間，和該電晶體之一第三者係連接至至少一該鐵電電容和關於該行之該驅動線之間，及該電氣隔離包括關於該行之各該胞元中的第一，第二和第三電晶體，除了在該記憶體胞元在選用位址外均使其保持關閉，且同一時間在該行中僅選擇一記憶體胞元。較佳地，第三電晶體係連接至該第一鐵電電容器和一第一相關驅動線，及各該記憶體胞元係包括連接至該第二鐵電電容器和一第二相關驅動線之一第四電晶體，且該保持係包括：除了在該相關之記憶體胞元在選用位址外均使位在該行中之第四電晶體保持關閉。較佳地，該絕緣包括在維持該絕緣時，寫入該記憶體胞元之一。較佳地，該寫入包括在第一時間週期寫入一第一預定邏輯狀態，及在第二時間週期寫入一第二預定邏輯狀態。較佳地，該寫入包括寫入第一預定邏輯狀態至該元件對之一中的兩個鐵電記憶體元件，接著寫入第二預定邏輯狀態至任何該對中之該鐵電記憶體元件，該對係用於施加資料置該記憶體要求在非第一狀態之狀態。較佳地，該絕緣包括在維持該絕緣時，讀取該記憶體胞元之一。較佳地，該讀取包括一破壞性讀出方法。較佳地，該讀取包括一非破壞性讀出方法。

在又一項觀點中，本發明提供一種讀取鐵電非揮發性記憶體之方法，具有配置為數行和數列的複數個記憶體胞元，各行包括沿著該行耦接至記憶體胞元的一位元線，各列包括沿



著該列耦接至記憶體胞元的字元線，該記憶體又包括和該位元線及該字元線不同的複數個驅動線，各該記憶體胞元耦接至一相關之驅動線，各該記憶體胞元包括一鐵電記憶元件，該鐵電記憶元件之極性化係符合儲存在其中之資料，該方法包括：自所有其他記憶體胞元對電氣隔離各記憶體胞元對；施加單一讀取脈波至記憶體胞元，及感知記憶體胞元在單一讀取脈波後之邏輯狀態。較佳地，該方法又包括施加一重寫入脈波至記憶體胞元。

在又一項觀點中，本發明提供一種操作鐵電非揮發性記憶體之方法，具有配置為數行和數列的複數個記憶體胞元，各行包括沿著該行耦接至記憶體胞元的一位元線，各列包括沿著該列耦接至記憶體胞元的字元線，該記憶體又包括和該位元線及該字元線不同的複數個驅動線，各該記憶體胞元耦接至一相關之驅動線，各該記憶體胞元包括一鐵電記憶元件，該鐵電記憶元件之極性化係符合儲存在其中之資料，該方法包括：自所有其他記憶體胞元對電氣隔離各記憶體胞元對；施加單一讀取脈波至記憶體胞元，及感知記憶體胞元在單一讀取脈波後之邏輯狀態。較佳地，該方法又包括施加一重寫入脈波至記憶體胞元。

在又另一項觀點中，本發明提供一種操作鐵電非揮發性記憶體之方法，具有複數個配置成數列和數行之記憶體胞元，各行係包括耦接至沿著該行之記憶體胞元之一位元線，各列係包括耦接至沿著該列之記憶體胞元之一字元線，該記憶體同時包括和該位元和字元線分開之複數個驅動線，各該記憶

年 月 日修(更)正本
96.11.30

體胞元耦接至相關之驅動線，各該記憶體胞元包括一鐵電記憶體元件，該鐵電記憶體元件之電容狀態係符合儲存在其中之資料，該方法包括：應用不超過 1 伏特之讀取脈波電壓至記憶體胞元；及感知記憶體胞元在讀取脈波後之邏輯狀態。較佳地，該讀取脈波係為 $1/2$ 伏特或更低。

在又一項觀點中，本發明提供一種讀取鐵電非揮發性記憶體之方法，具有配置為數行和數列之至少 25 個記憶體胞元，各行包括沿著該行耦接至記憶體胞元的一位元線，各列包括沿著該列耦接至記憶體胞元的字元線，該記憶體又包括和該位元線及該字元線不同的複數個驅動線，各該記憶體胞元耦接至一相關之驅動線，各該記憶體胞元包括一鐵電記憶元件，該鐵電記憶元件之極性化係符合儲存在其中之資料，該方法包括：讀取連接至選擇線的記憶體胞元之一；及在讀取步驟中，電氣連接不超過 4 個該等鐵電記憶元件至該選擇線。

在又另一項觀點中，本發明提供一種讀取鐵電非揮發性記憶體之方法，具有複數個配置成數列和數行之記憶體胞元，各行係包括耦接至沿著該行之記憶體胞元之一位元線，各列係包括耦接至沿著該列之記憶體胞元之一字元線，該記憶體同時包括和該位元和字元線分開之複數個驅動線，各該記憶體胞元耦接至相關之驅動線，各該記憶體胞元包括一鐵電記憶體元件，該鐵電記憶體元件之電容狀態係符合儲存在其中之資料，該方法包括：電氣連結一選定記憶體胞元至一選定位元線；及提供符合該鐵電記憶體元件之該電容狀態的一資料輸出信號。

在又一項觀點中，本發明提供一種讀取鐵電非揮發性記憶體之方法，具有複數個配置成數列和數行之記憶體胞元，各行係包括耦接至沿著該行之記憶體胞元之一位元線，各列係包括耦接至沿著該列之記憶體胞元之一字元線，該記憶體同時包括和該位元和字元線分開之複數個驅動線，各該記憶體胞元耦接至相關之驅動線，各該記憶體胞元包括一鐵電記憶體元件，該鐵電記憶體元件之電容狀態係符合儲存在其中之資料，該方法包括：電氣連結選定一記憶體胞元至一選定位元線；施加電荷至該位元線；未切換該選定胞元之該鐵電記憶體元件，依照鐵電原件極化狀態吸收該元件之全部電荷；及感測該選定位元線上之電壓，及提供符合該鐵電記憶體元件之該極化狀態的一資料輸出信號。

在又一項觀點中，本發明提供一種讀取鐵電非揮發性記憶體之方法，具有複數個配置成數列和數行之記憶體胞元，各行係包括耦接至沿著該行之記憶體胞元之一位元線，各列係包括耦接至沿著該列之記憶體胞元之一字元線，該記憶體同時包括和該位元和字元線分開之複數個驅動線，各該記憶體胞元耦接至相關之驅動線，各該記憶體胞元包括一鐵電記憶體元件，該鐵電記憶體元件之電容狀態係對應儲存在其中之資料，該方法包括：選擇該鐵電記憶體胞元之一；及讀取在該選定記憶體胞元中未改變該電容器之鐵電極化狀態之。較佳地，該讀取步驟包括感測該鐵電電容器之電容值。

本發明亦提供，在又一項觀點中，一種讀取鐵電非揮發性記憶體之方法，具有複數個配置成數列和數行之記憶體胞

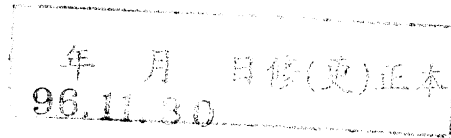
年 月 日修(更)正本
96.11.30

元，各行係包括耦接至沿著該行之記憶體胞元之一位元線，各列係包括耦接至沿著該列之記憶體胞元之一字元線，該記憶體同時包括和該位元和字元線分開之複數個驅動線，各該記憶體胞元耦接至相關之驅動線，各該記憶體胞元包括一鐵電記憶體元件，該鐵電記憶體元件之電容狀態係符合儲存在其中之資料，該方法包括：在第一記憶體週期中寫入第一邏輯狀態至該第一虛記憶體胞元，及在第二記憶體週期中寫入第二邏輯狀態至該第一虛記憶體胞元。

在又一項觀點中，本發明提供一種選擇鐵電非揮發性記憶體之方法，具有複數個記憶體陣列，各記憶體陣列具有複數個配置成數列和數行之記憶體胞元；選擇複數陣列之一；及選擇已選定陣列中之記憶體胞元。較佳地，該選定胞元當電氣隔離選定記憶體胞元和所有其他記憶體中的記憶體胞元時，選定一對記憶體胞元。較佳地，該選定係包括當電氣隔離選定記憶體胞元和所有其他記憶體中的記憶體胞元時，選定單一記憶體胞元。

在又一項觀點中，本發明提供一種寫入鐵電非揮發性記憶體之方法，該方法包括：選擇在該記憶體中，使用互補模式之一單一記憶體胞元；及寫入資料至該選定記憶體胞元，而不會電氣連接至該記憶體中之任何非選定記憶體胞元。

在又一項觀點中，本發明提供一種寫入鐵電非揮發性記憶體之方法，該方法包括：在該記憶體中選擇一單一記憶體胞元；及寫入資料至該選定記憶體胞元，而不會電氣連接至該記憶體中之任何非選定記憶體胞元。



在又一項觀點中，本發明提供一種讀取鐵電非揮發性記憶體之方法，該方法包括：選擇用於在該記憶體中互補模式之一單一記憶體胞元；及讀取該記憶體胞元，而不會電氣連接至該記憶體中之任何非選定記憶體胞元。

在又一項觀點中，本發明提供一種讀取鐵電非揮發性記憶體之方法，該方法包括：在該記憶體中選擇一單一記憶體胞元；及寫入資料至該選定記憶體胞元，而不會電氣連接至該記憶體中之任何非選定記憶體胞元。

本發明係第一次用於鐵電非揮發性記憶體，其針對速度，可靠度及密度和 DRAMS 和 SRAMS 比較係具有競爭力。本發明的無數其他特徵，目的及優點將藉由相關圖式之描述而變得更明顯。

(四)實施方式

注意第 6 圖，其顯示依據本發明之記憶體 436。記憶體位址施加至輸入 438，在控制邏輯 480，中被解碼，解碼器 441 及多工器 478 如該位址所指示，定址出陣列 445 中之一特定記憶體胞元。對應由線 435 輸入之資料的信號係藉由 IO 傳送接收器 479 和多工器 478 施加至被定址之胞元，並寫入至胞元，且感知放大器及 IO 傳送接收器 479 自被定址之胞元感測輸出資料並將其輸出至線 435 上。信號產生器 480 產生某個時序信號以操作記憶體，並將其施加至解碼器 441、感知放大器和 IO 傳送接收器 479 和多工器 478。本發明係關於如第 1~3、7 和 8 圖中所示之記憶體胞元和虛胞元(dummy cell)之新穎結構，如第 4 和 5 圖中所顯示之感知放大器結

構，如第 17 圖中所顯示之位元線驅動器，如第 20 圖中所顯示之陣列結構，其係單獨地及組合而導致密集的、快速的、可靠的和高效能的記憶體，以及操作方法和製造此結構及其所結合之記憶體，該等方法其中之一部份係圖示在第 9 至 16、18 和 19 圖中。

在此，”電壓線”一般係對應於位元線、字元線、驅動線或其他電壓源；”trinion 胞元”一詞，一般係對應於具有三個電晶體和二個電容器之記憶體胞元，或者是稱為 3T/2C 組態。在此，”源極/汲極”路徑一詞，當施加至電晶體，參照為導通路徑，其係經由場效電晶體(FET)，其他型式電晶體，或其他依閘極狀態或切換控制機構決定路徑為導通或非導通之切換裝置。在此，討論晶圓剖面視圖方向的文中，矽層通常在底部，而金屬層通常在圖之上部。因此，參考第一元件被放在第二元件上，一般係對應於較第一元件更接近矽層的第二元件。再者，朝上方向係對應於由矽層朝向金屬層的方向。

第 1 圖係依據本發明較佳實施例之記憶體胞元 100 的電路圖。記憶體胞元 100 包括第一鐵電電容器 106、第二鐵電電容器 108、和電晶體 105、107 及 109。在陣列 445(第 6 圖)中，胞元 100 係藉由字元線 101，包括位元線 102，104 之位元線對和驅動線 103 而連接。電晶體 105、107 和 109 之閘極 123、128、136 係分別連接至字元線 101。電晶體 105 之源極/汲極係連接至在節點 113 之位元線 102，且晶體 105 之另一源極/汲極係連接至電容器 106 之下部電極 126。電容器

106 之上部電極 125 係連接至節點 110，其係同時連接至電晶體 107 之源極/汲極 127 和電容器 108 之上部電極 133。電晶體 107 之另一源極/汲極 129 係連接至在節點 111 之位元線 103。電容器 108 之下部電極 134 係連接至電晶體 109 之源極/汲極，電晶體 109 之另一源極/汲極 138 係連接至在節點 112 之位元線 104。我們將電晶體 107 稱作”驅動線電晶體”。在此揭示中，電晶體係胞元 100 之一部份。

第 1 圖的較佳實施例記憶體胞元 100 之另一觀點係為位元線 102 和 104 之走向平行驅動線 103，及所有前述之配置係和字元線 101 垂直。此項配置較佳地致能欲選擇之個別胞元，其係藉作動字元線之組合和唯一關於特別胞元之位元線而選擇之個別胞元。當只對一個胞元有興趣時，此種選擇性可降低關於啓動整行或整列胞元的功率需求。再者，以此方法僅選擇單一胞元，可防止不希望之干擾電壓出現在非選定之胞元上。如前所述為必須的，因此干擾電壓可能隨時導致在非選定之胞元的極化中不希望之改變。當應用本發明在此揭示之技術時，受到鑑賞的是可能被應用之字元線，位元線和驅動線的替代性相對來源，且所有諸如此類之變化將包括在本發明之範圍內。

在一較佳實施例中，第 1 圖中所示之 trinion 胞元包括兩個鐵電電容器和三個電晶體。該三電晶體由參考數字 052、107 和 109 識別，係最佳為 N 通道電晶體，但可選用 P 通道電晶體、P 和 N 傳輸閘極、雙極電晶體、其他電流切換裝置或可用電晶體之混合。鐵電電容器 106 和 108 包括鐵電材料



範圍之一或多個，包括但不限於 PZT(鉛鋇鈦酸鹽)或層狀超晶格材料。層狀超晶格材料係在美國專利編號 US5,519,234，1996 年 5 月 21 日發行，名稱爲”具有低疲勞度和至少能以 Giga 週期切換之鐵電介質記憶體胞元”，其係在此一併作爲參考。

該 trinion 胞元之較佳實施例之優點，係爲電容器 106 和 108 二者之上部和下部電極兩者，係藉由至少一電晶體和分別之位元線及/或驅動線絕緣，由此，當電晶體關閉時，可獲得習知技術更佳之電氣隔離。在較佳實施例中，選擇性地與其所分別連接之位元線和驅動線絕緣的電容器 106 和 108，係耦接至單一字元線 101。以此方式，較佳爲操作字元線 101 之關閉(turn off)動作來關閉三個電晶體 105，107 和 109，因而完全隔離兩個電容器 106、108 之兩電極使其免於位元線 102、104 和驅動線 103 之電壓擾動，及免於遭受因連接至這些電壓線之電壓線之電位雜訊源的雜訊。雖然上述討論係針對具有藉切換單一字元線而而使電容器和雜訊源完全隔離之電路，但能了解到在選用實施例中應用一個以上之字元線以達成所希望之電容隔離，且所有類此之變化亦包含在本發明之範疇中。

在本發明之一實施例中，可採用藉由在位元線 102 及 104 上儲存互補資料而儲存儲存單一資料的 3T/2C 胞元或 trinion 胞元。在此，這種方法指的是 1 位元的儲存模式。另外，能夠在位元線 102 及 104 上儲存獨立資料，藉以在本發明之記憶體胞元中儲存 2 資料位元。以下將會以更長的長度

年 月 日修(更)正本
96.11.30

來討論 2 位元資料儲存的選擇。在此，此第二方法指的是 2 位元的儲存模式。

當在 1 位元的儲存模式中採用 3T/2C 記憶體胞元時，最好具備高階的抗雜訊能力。此外，使用與兩個電容器 106、108 之上部電極接觸的共通驅動線或 DL 線 103，可較佳地提供平衡佳的電壓脈衝至兩個電容器 106、108，藉以有利地將在兩個電容器之上部電極的電壓及電流狀態中之誤配置 (mismatch) 減至最低。

在較佳實施例中，針對兩個分離之電容器 106、108 的共通驅動線 103 結合配置在驅動線 103 及電容器 106、108 之上部電極之間的電晶體 107，這種配置的運作能夠減少在驅動線 103 上的電容性負載。可以看做是當字元線 101 關閉時，電晶體 107 會在驅動線 103 及電容器 106、108 之上部電極之間形成開路 (open)，藉以防止電容器 106、108 對驅動線 103 造成電容性負載。相較於存在有電容性負載的情況，降低電容性負載能夠有利地在更短的時間內致能欲切換之驅動線 103，且消耗更少的能量。此外，由字元線 101 所控制之電晶體 107 的適當切換能較佳地運作，能夠防止干擾或「干擾」電壓沿著驅動線 103 影響到電容器 106 及 108 之上部電極。

除了如上討論電氣隔離之益處，本發明的記憶體胞元之一較佳實施例中將驅動線 103 配置在位元線 102 和 104 之間，較佳地均等化二條位元線 102 和 104 之間的相互電容耦合。

如前所述，3T/3C 或 Trinion 胞元可同時使用在 2 位元儲

存模式。此例中，位元線 102 和 104 較佳地包括獨立資料位元。以此模式操作，本發明之記憶體胞元，測量以每胞元之電晶體數目區分之儲存位元，將實質上提供優於習知技術之儲存密度。特別地，在本發明之 2 位元儲存模式中，兩資料位元可儲存在具有三個電晶體之胞元中。相反地，一般僅有一個位元儲存在傳統 2T/2C 記憶體胞元中。因此，本發明之較佳實施例係以每 1.5 個電晶體儲存一個位元，而習知技術 2T/2C 記憶體胞元係每兩個電晶體儲存一個位元。此資料儲存密度之增加，能夠更進一步地使應用在此揭露之本發明技術的記憶體電路之尺寸減小。

在一較佳實施例中，在位元線 102 和 104 之間部署之共同驅動線 103，產生平衡之電氣脈波至電容器 106 和 108 之上部電極。此電氣平衡較佳地動作以降低信號之誤配置 (mismatch)，及加強使用於虛參考胞元(第 2、3 圖)之感知放大器之動作。使用 1 位元儲存之例子，共同驅動線 103 之使用結合電晶體 107 較佳地動作以降低驅動線 103 上之電容性負載。

第 2 圖說明依據本發明較佳實施例之記憶體陣列 200、240。第 2 圖說明依據 1 位元儲存模式之陣列 200 之實施例，及依據 2 位元儲存模式之陣列 240 之實施例。陣列 200 包括記憶體胞元之複數行 248，249...等，及複數列 252，253...等，之記憶體胞元，具有總計 $(N+1) \times M$ 個胞元，其中 $N+1$ 是陣列 200 之行數， M 是陣列之列數。點線 243 表示完成陣列所需之額外列，點線 244 表示完成陣列所需之另外行。陣

年 月 日修(更)正本 96.11.30

列 200 包括胞元 100、202-206，同時由點線 243，244 所指明。陣列 240 包括所有陣列 200 之胞元加上一行 250 之虛胞元，包括虛胞元 220、221 和由點線 245 所指明之額外胞元。較佳地，共同驅動線 227 係配置在位元線 226 和 228 之間，操作以降低位元線之間的相互電容耦合。

一實施例之虛胞元顯示於第 3 圖中。胞元具有和第 1 圖之胞元記憶體 100 相同之結構，包括三個電晶體 310、312、314，兩個鐵電電容器 311 和 313，其係如上所述連接，且其係藉字元線 209、虛位元線 226、228、和虛驅動線 227，以及如上所述用於第 1 圖之相關元件，連接至陣列 240。事實上，具有兩個虛位元線 226 和 228，及兩個虛鐵電電容器 311 和 313，係為本發明之重要特徵。虛胞元 220 以互補模式動作：儲存在電容器 311 和 313 之鐵電狀態，及施加至位元線 226 和 228 之信號，係為互補。亦即，當電容器 311 之狀態為邏輯"1"時，電容器 313 之狀態就是邏輯"0"，反之亦同。

回到第 2 圖，可理解到各胞元 100、202-206 之元件和電氣連結，及未明示的陣列 200 之其它胞元，一般是對應於第 1 圖中的那些記憶體胞元 100，此時列 250 中各虛胞元之元件和電路一般關於第 3 圖中顯示之虛胞元 220。然而，為了簡化緣故，各胞元之內部詳細係在第 2 圖中省略。

在一較佳實施例中，字元線 209、210 及其他延伸通過陣列 200，240 之字元線，各字元線關於胞元之一列。相似地，位元線 102 和 104、和驅動線 103、以及其他位元和驅動線，延伸通過陣列 200 及，在 1 位元實施例中位元線係為互補，

年 月 日修(更)正本 96.11.30

各互補位元線對和相關之驅動線係關於胞元之一行。

在一較佳實施例中，爲了選擇胞元，字元線和驅動線兩者同時致動在一致之胞元。例如，當字元線 210 和驅動線 103 兩者皆被啓動時，胞元 203 會被啓動。具有主動線和驅動線的組合狀態，胞元 100 較佳地具有一啓動驅動線，但是不存在一啓動字元線，以防止任何電壓到達胞元 100 中電容器之電極。在胞元 204 中，啓動字元線，因此電容器之上部電極耦接至驅動線 207。然而，不會啓動驅動線 207，因而防止胞元 204 之電容器的極化之干擾。

在習知技術中，干擾電壓之存在，已阻礙了多重虛線之使用，其係因干擾電壓的破壞效應會出現在電容器的一或多個電極。然而，在本發明的一較佳實施例中，在各虛胞元及所有干擾電壓源中電容器之兩電極間電晶體或其他切換裝置之部署，係較佳的動作以保護電容器對抗此等干擾電壓，因此在記憶體電路設計時，不會干擾記憶體胞元中各種電容器之極化，導致較大的彈性。

在第 2 圖之實施例中， N 是一個整數且可能等於零。亦即，可能是用於各活動胞元的一個虛胞元。較佳地， N 等於 3、7、15 或 $2N-1$ 的其他倍數。如此技藝中所週知，可能包括更多及 / 或更少列，和包括啓動之胞元之額外行及虛胞元之額外行二者的更多行。本發明之一項優點爲，可較習知記憶體使用更多胞元之列數。其係因爲在一行中除了被定址的胞元之外，所有胞元和驅動線分離，因他們的電容不會加到驅動線的電容。因此，在習知之鐵電記憶體，記憶體胞元電容器中

之電容係為驅動線電容器之等級，當依照本發之記憶體胞元結任何習知設計，行之長度可能藉乘上大約等於習知技藝設計之一行之胞元數目而延伸。例如，若依習知技術設計限制在 8 列，本發明之胞元可使用 64 列且仍具有大約相同速度。

第 4 圖說明感知放大器 402 連接至第 2 圖之陣列及，在每胞元 1 位元模式之第 6 圖中之記憶體，及第 5 圖說明感知放大器 502 連接至第 2 圖之陣列及，在 2 位元實施例之第 6 圖中之記憶體。感知放大器之設計，如 402，在此技術中為眾所週知，因此不在此詳述。感知放大器 502，特別地，其在線 516 和 518 上的參考信號如何由虛胞元 220 驅動是新穎的。在第 4 圖中，位元線 406 和 408 表示一位元線對。在此時施例中，位元線符合相反邏輯狀態。如同習知技術中，位元線係連接至感知放大器之兩側。透過輸入 413，由感測致能線 412 所傳送之感知放大器致動信號 SEN 被施加至感知放大器 402。感測致能線 412 係使信號線 485 連接至信號產生器 480(第 6 圖)的各線之一。如此技術中所知，在資料線 414 上從感知放大器 402 輸出資料，該資料線 414 係多工連接至資料輸出 435(第 6 圖)。

在第 5 圖中，位元線 506 對應於位元線 102、104 等之任一個。在此實施例中，感知放大器 502 包括三個位元線輸入 516、518 和 519。一個位元線輸入 519 係連接至位元線 506。位元線輸入 516 係連接至虛位元線 226，且位元線輸入 518 係連接至虛線 228。在感知放大器 502 內，來自兩條虛線

年 月 日修(更)正本 96.11.30

226，228 之信號係結合以在參考線 520 上產生一個參考信號，該參考信號係為信號 DM0 和 DM1 間之一半。感知輸入 513、感知線 512 和資料線 514 連接至第 6 圖中之記憶體 436 係如前述之第 4 圖之感知放大器所述。

第 24 圖係說明第 5 圖之感知放大器之較佳實施例的電路圖。第 24 圖顯示驅動器 530、531 和 532，其提供感知致能信號和感知放大器 502。驅動器 533 係為選用，因此以虛線顯示。感知放大器 502 包括 N 通道電晶體 541、542、543、544 和 545，及 P 通道電晶體 551、552、553、554、555 和 556。P 通道電晶體亦可能為具反向閘極之 N 通道電晶體。具有信號線 BL 之位元線輸入 519 係連接至電晶體 553 和 554 之閘極。具有信號 DM0 之虛位元線係連接至電晶體 555 之閘極，及具有信號 DM1 之虛位元線係連接至電晶體 556 之閘極。驅動器 530 之輸出係連接至電晶體 541、542 和 545 之閘極及驅動器 531 和 533 之輸入。驅動器 531 和 533 之輸出係連接至節點 560，該節點係連接電晶體 553、554、555 和 556 的一個源極/汲極。由各電晶體 541 到 544 的一個源極/汲極係連接至接地，如在 560。電晶體 541 的另一個源極/汲極係連接至節點 562，該節點係將電晶體 551、542 連接至電晶體 552、543 之閘極。電晶體 545 的一個源極/汲極係連接至電晶體 555、556、552 的一個源極/汲極。電晶體 544 的另一個源極/汲極係連接至節點 563，該節點係將電晶體 552、543 連接至電晶體 551、542 之閘極，且電晶體 545 的另一個源極/汲極係連接至電晶體 554、555 和 551 的一個源

極 / 汲 極 。

感知放大器 502 動作如下。當感知致能信號提供在線 513，電晶體 541 和 544 導通以將節點 562 和 563 接地。同時，驅動器 531、533 施加一高信號至節點 560。若信號 BL 高於 DM1 和 DM0 之組合信號，電晶體 553、554 將較電晶體 555、556 更易導通，且節點 521 將被較快拉高。另一方面，若 DM1 和 DM0 的組合信號較信號 BL 為高，節點 521 將被較快拉高。包括電晶體 551、552、542 和 543 之電路 503 接著扮演類似傳統感知放大器，以將節點 520、521 之組合信號拉至軌道。亦即，若在節點 521 之信號高於節點 520 之信號，接著節點 520 和資料線 514 拉高且節點 520 拉低，且若節點 521 上之信號低於節點 521、520 上之組合信號，則資料線 521 拉低。

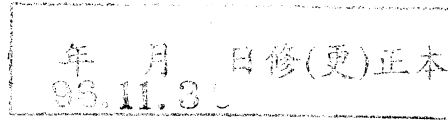
如習知記憶中所知，分離之感知放大器 402 可連接至各互補位元線對，或一感知放大器可由許多藉信號產生器 480(第 6 圖)動作之電晶體之位元線對所利用，其係經由多工器電路或以其它方式。相同地，分離感知放大器 502 可連接至虛位元線和其他各位元線之間，或感知放大器可用於複數個位元線。

本發明之特徵為諸如 220 之虛胞元，係被驅動使得電容器 311 和 314 為相反邏輯狀態。然而，特定邏輯狀態可能每週期改變，但較佳的是狀態很少改變，如 25 或 100 週期，視鐵電材料而定。亦即，若在一週期系列，電容器 311 在邏輯 "0" 狀態且電容器 314 在邏輯 "1" 狀態，在下一週期系列，電容

年 月 日修(更)正本 96.11.30

器 311 置入邏輯"1"狀態且電容器 314 置入邏輯"0"狀態。此將防止電容器留下痕跡及/或疲乏，且較佳地改善虛胞元之匹配。

第 6 圖係說明積體電路記憶體 436 之一實施例之方塊圖，記憶體 100 係為其中之一部份，且諸如 220 和 240 之記憶體陣列，依照本發明而利用。為了簡化，此實施例顯示 16Kx1 FeRAM；然而，本發明可利用在多種不同變化之尺寸和型式的記憶體，包括但不限於那些非多工的位址，諸如快閃(flash)或 SRAM 型記憶體。在 16K 實施例中顯示，具有 7 個位址輸入線 438，其係連接控制邏輯區段 480 和線 439 至 X 解碼區段 441。X 解碼器 441 係經由 128 條線 446 連接至 128x128 記憶體胞元陣列 445，其包括諸如 252 和 253(第 2 圖)之字元線，及群組選擇線 940 和 942(第 20 圖)。另外三個解碼線 438 係經由控制邏輯 480 解碼，以產生 8Y 選擇線 486 而驅動 Y 多工器 478，其驅動諸如 102 至 104，226 至 228(第 2、3 圖)之位元和驅動線。控制邏輯信號產生器 480 係經由線 485 連接至感知放大器和資料輸出多工器電路 479。這些線提供第 4 圖已討論之 SEN 信號、以下第 17、18 和 20 圖所討論之 CH 和 GR SEL 信號及其他信號。線 446、447、485 和 486 之數目視本發明在此討論而利用之實施例，以及陣列之尺寸而定。資料匯流排 435 係雙向 16 位元匯流排，其連接至感知放大器及資料輸出多工器 479，並提供輸入至記憶體內的 16 位元資料。記憶體胞元陣列 445 之實施例顯示包括 $128 \times 128 = 16,384$ 記憶體胞元，其係習知設計之 16K。這些胞



元係為諸如 100 之鐵電切換電容器為基礎的胞元。

第 6 圖中記憶體之動作如下。X 解碼器信號 A_0 到 A_6 ，和 Y 解碼器信號 A_7 到 A_9 係被控制邏輯 480 所門鎖、緩衝、解碼，且分別傳遞至 X 解碼器 441 和雙向 Y 多工器 478。X 解碼器 441 解碼位址信號，且放置諸如先前討論之 WL_0 和 WL_1 信號的字元線信號在字元線 446 之一上；一般而言，信號係放置在定址之胞元的字元線。如上所述，感知放大器及 IO 收發電路 479 包括感知放大器，諸如 402 和 502 (第 4 及 5 圖) 係沿線 447 而定位，以感知及放大在選定線上之信號，且 IO 收發器電路 479 係驅動及接收來自資料線 435 之資料。

第 6 圖中記憶體 436 之各種元件，係僅顯示作為示範實施例，用於說明本發明使用。然而，有上百個本發明可利用之記憶體設計，而不同設計將不同元件放在不同位置，可能採用某些元件，或採用其他元件。例如，在不同記憶體設計中，感知放大器係位在線 447 之中間點，在線驅動器之相同端，或電路中的其他位置。在某些記憶體中，信號產生器 480 和 X 解碼器及字元線驅動電路可能結合成單一信號產生單元。記憶體 436 之各種元件電路，除了在此所討論之外，亦為積體電路記憶體設計所熟知之技術，且將不會於此在討論。其他邏輯需求或用以執行如上所描述之功能，及其他習知記憶體功能，係同時包括在記憶體 436 中，但未顯示或討論，因其並非本發明知直接應用。

第 7 圖係為依據本發明之選用記憶體胞元 700 之電路示意圖。此結構包括 4 個電晶體 711、713、714 和 716，及兩個

鐵電電容器 712 和 715。電晶體 711、713 和電容器 712 係連接至位元線 706 和驅動線 707，其係與電晶體 105、107 和電容器 106 係連接至字元線 101，位元線 102 和驅動線 103(第 1 圖)相同之方式，及電晶體 714、716 和電容器 715 連接至字元線 701 和位元線 709 和驅動線 708，其係與電晶體 107、109 和電容器 108 係連接至字元線 101，位元線 104 和驅動線 103 相同之方式。唯一的差別係為以兩個驅動線 707 和 708 取代一個。再者，胞元 100 可被規劃成具有互補狀態的電容器 712 和 715 之單一位元胞元，或成為 2 位元胞元。此類似第 1 圖中胞元 100 之結構，在高雜訊環境中是較佳的，例如嵌入記憶體，因鐵電電容器 712、715 除了被定址外，係完全絕緣。然而，更多的細節詳見如下，寫入週期約為胞元 100 之寫入週期的一半；因此，具有胞元 700 之記憶體係非常快速。

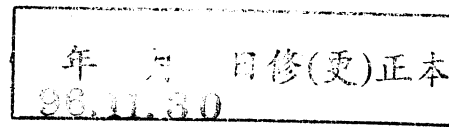
第 8 圖顯示虛胞元 800，其中電晶體 811、813、814 和 816，及電容器 812、815，係連接至位元線 806 和 809、字元線 801 和驅動線 807 和 808，如同對應之電晶體和電容器係在胞元 700 中連接。在此結構中，虛線 807、808 總是具有互補信號，如同位元線 806、809 之動作。

感知放大器 402(第 4 圖)及 502(第 5 圖)係較佳的用於胞元 700 之 1 位元實施例及胞元 700 之 2 位元實施例，如上所述用於第 1 圖之胞元 100。

現轉移至第 9 圖，時序圖係顯示用於記憶體胞元 100 之寫入功能的實施例。因在此之技術為習知的，第 9 圖中之時序

圖，當每 6 個曲線，時間延著 X 前進至右邊，而電壓係沿著 Y 軸。時序圖說明第 1 圖中用於各個關聯信號 WL0，DL0、BL0(1)、BL0(0)、BL1(1)和 BL1(0)之相對時序。BL0(1)、BL1(1)係為用於邏輯狀態”1”之位元線信號，而 BL0(0)、BL1(0)係為用於邏輯狀態”0”之位元線信號。如此技術中所熟知，選擇電狀態為邏輯”0”或邏輯”1”是任意的，且相反的選擇一樣可動作。寫入週期在字元線變為高時開始。高電壓係寫入成為 Vdd。字元線將上升至如顯示之 Vdd 電壓，或較佳地上升至高於 Vdd 之電壓，如在此技術中所熟知。驅動線信號 DL0 接著變為高。在位元線信號上的”X”，係位於位元線信號之起始點和終點，意指”Don't care”，如在此技術中所熟知，其係指在此區域信號之狀態無關緊要。若邏輯”1”狀態寫入電容器，位元線信號 BL0(1)，BL1(1)和 DL0 同時上升。因在電容器上兩電極之電壓係相同，在 A 到 B 期間此狀態沒有被寫入。然而，在週期之後半部，時間”B”，DL0 變為低。因 BL0(1)和 BL1(1)停留在高，約為 Vdd 之電壓跨於電容器上且邏輯”1”以此條件寫入。當邏輯”0”寫入電容器時，位元線信號 BL0(0)和 BL1(0)停留在低。此例中，在 A 到 C 期間內，約為 Vdd 之電壓以相反方向跨於電容器上，且邏輯”0”係寫入電容器。因此，一般而言，當 DL0 為高時，邏輯”0”將寫入胞元中，及 DL0 為低時，邏輯”1”將寫入。當然，在 1 位元且互補之模式時，相反狀態被寫入至電容器。

用於選用寫入功能之時序圖係顯示於第 10 圖中。在此圖中，為了簡化，邏輯”1”位元線信號和邏輯”0”位元線信號係



顯示在一起，用於邏輯"1"信號狀態標示為"1"，用於邏輯"0"信號狀態標示為"0"。此例中，在 A 到 B 期間 DL0 係為低，及 B 到 C 期間係為高。因此，在 841 和 846，邏輯"1"係寫入，且在 844 和 849，邏輯"0"係寫入。在 843、849、844 和 848，沒有電壓跨在電容器上，且沒有寫入任何東西。因此，在第 10 圖功能中，在前半週期中邏輯"1"被寫入，在後半週期中邏輯"0"被寫入

另一選用寫入方法係顯示於第 11 圖。在此方法中，在前半週期 851 和 855，邏輯"0"係寫入兩個電容器 106 和 108，且若想要寫入邏輯"1"，其係在後半週期 852 和 856 完成。若寫入狀態為邏輯"0"，位元線係停留在低，在 853 和 857 沒有寫入東西，且在前半週期寫入之邏輯"0"仍保持。此寫入方法中，正確資料可能在週期中較後到達。正確資料可能較後到達之另一選用例係顯示於第 12 圖。在此實施例中，在前半週期中，驅動線信號 DL0 係為低，在後半週期中係為高。因此，在前半週期 861 和 865，邏輯"1"係寫入兩個電容器 106 和 108，接著，若有需要的話，在後半週期，於 863 和 867 寫入邏輯"0"。若欲寫入之狀態為邏輯"1"，位元線係停留在高，在 862 和 866 沒有寫入任何東西。

第 13 圖係顯示讀取胞元 100 之選擇破壞性讀出(SDRO)方法。在此方法中，在週期開始時位元線係在零電壓，且在字元線信號 WL0 電位高之後，驅動線信號 DR0 變為高。此導致電壓位於位元線上。若電容係在邏輯"1"狀態，鐵電電容器切換，且印記於位元線上之電壓係較高，如在 881。若

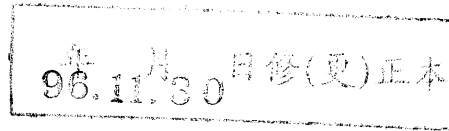
年 月 日修(受)正本
96.11.30

電容係在邏輯"0"狀態，鐵電電容器不會切換，且銘記於位元線上之電壓係較低，如在 882。在期間 B 到 C，感知放大器接著分離電壓且強迫前述高電壓信號至邏輯"1"或高狀態，及前述低電壓信號至邏輯"0"或低狀態。同時，在期間 B 到 C，邏輯"0"係重寫入已經在邏輯"0"狀態的電容器。驅動線在 C 點變為低。若電容器係在邏輯"0"狀態，因相關位元線係同時為低而不會有電壓跨在電容器上，電容器就停留在此狀態。若電容器係在邏輯"1"狀態，約為 V_{dd} 之電壓跨在電容器上，在期間 C 到 D，就重寫入邏輯"1"狀態。此讀取方法是非常紮實的，因藉由讀取功能在讀取週期中引發之功率突波或下降所導致的任何電容器狀態擾動，可藉由正向重新寫入而修正。

第 14 圖係顯示另一選擇破壞性讀出(SDRO)方法。再者，在此方法中位元線開始為低，及驅動線在字元線變為高之後亦變為高。在 BL0 信號中，用於對應到在邏輯"0"狀態電容器之位元線的位元線信號係顯示在 887，即用於對應到在邏輯"0"狀態電容器之位元線的電壓係顯示在 886。用於 BL1 電壓之信號係相同。接著，對於兩個邏輯狀態而言，施加於位元線上之電壓係不同，且感知放大器將邏輯"0"電容器之位元線驅動為低，且將邏輯"1"電容器驅動為高。此方法具有之優點為，在期間 A 到 B，DL0 脈波總是較位元線為高，因此，脈波不會干擾邏輯"0"狀態之電容器。因此，不需重新寫入邏輯"0"狀態，且在 B 點驅動線信號和 BL0 信號變為低。因對應到在邏輯"0"狀態電容器之位元線在期間 B 到 C

係被驅動變為低，不會有電壓跨在電容器上，電容器就停留在邏輯"0"狀態。然而，用於邏輯"1"狀態電容器之位元線係被驅動變為高，其置放約為 V_{dd} 之電壓跨在電容器上，及重寫入邏輯"1"狀態。位元線接著下降至低狀態，因位元線仍處於低狀態導致不會發生任何動作。此方法之讀取功能不像第 13 圖之方法紮實，所以比較快速。

上述讀取方法說明依照本發明之記憶體胞元，可用破壞性讀出模式可靠且快速的讀取，此破壞性讀出模式除了虛胞元可規劃改變"0"和"1"狀態，和習知技術之讀取方法類似。然而本發明亦提供快速且較佳的記憶體胞元讀取方法，其係以選擇性非破壞讀出方法而和習知技術有很大不同。轉移到第 15 圖，選擇性非破壞讀出方法(SNDRO)之較佳實例係說明於第 15 圖中之時序圖。接著，讀取週期係由 $WL0$ 變為高而開始。然而，此方法中， $DL0$ 停留在低。替代的是，很小的電荷係置於位元線 102 和 104(第 1 圖)，其在位元線上建立電壓，此位元線電壓較切換胞元所需之強迫電壓明顯地為低。提供電源線驅動之電壓係顯示在第 17 圖中且敘述如下。爾後將配合第 19 圖來討論鐵電電容器對於較小電壓會有何反應。現在，須要注意的是在邏輯"1"狀態(亦即，當 DL 線低於位元線時，與因所施加之電壓所致之電場相同方向極化之狀態)之鐵電電容器，係較在邏輯"0"狀態之鐵電電容器具有較小的電容。因此其將吸收較邏輯"0"狀態之鐵電電容器之較小電荷，且施加一小電壓，關於邏輯"1"狀態之電容器的位元線，最後將升高至較邏輯"1"狀態之位元線為高的



電壓。亦即，若電壓係在相同方向而在強迫電壓之上，即使在未切換時，已切換之電容器將傾向吸收更多電荷。因此，如第 15 圖中曲線 888 和 889 所示，對應到邏輯 "0" 狀態之電容器的兩位元線和對應到邏輯 "1" 狀態之電容器的位元線之電壓，當鐵電電容器充電時，首先升起然後回降。因在邏輯 "1" 狀態之電容器由於其低電容，不會產生如此多之電荷。對應到邏輯 "1" 狀態之電容器的位元線將上升至較邏輯 "0" 狀態之位元線狀態為高之電壓。時間 C 點後，位元線係藉由此技術中所熟知的預充電路強迫變為低，且在週期終止時字元線變為低。因為沒有重寫入，前述週期係極為快速。在此實施例中，位元線上之電壓係輸出至將其放大且輸出到輸出 435 之陣列外部之資料輸出電路 479，且因此位元線沒有被驅動至軌道，更節省週期時間。

第 16 圖，顯示依照本發明的另一選用之選擇性非破壞讀出方法 (SNDRO) 之較佳實例。此法之開始和第 15 圖之方法相同，當小電壓施加於位元線上，字元線變為高且位元線停留在低。然而，此例中，緊接著趕之期間 B 到 C，在 C 到 D 期間位元線立即變為高。此例中，感知放大器驅動位元線至軌道 (rail) 上，高位元線 (亦即關於邏輯 "1" 狀態之電容器的位元線) 將被驅動至 Vdd，如曲線 891 所示，且關於低電壓之位元線，亦即關於邏輯 "0" 狀態之電容器的位元線，將被驅動至零電壓，如曲線 892 所示。因 DL0 信號亦為高，沒有電壓跨在邏輯 "1" 狀態之電容器上，且其維持邏輯 "1" 狀態。然而，有電壓跨在邏輯 "0" 狀態之電容器上，且其重寫入邏

年 月 日 修(更)正本
96.11.30

輯”0”狀態。接著，在時間 D 點，DL 變為低。跨在邏輯”0”狀態之電容器的電壓變為零，且其停留在相同狀態。跨在邏輯”1”狀態之電容器的電壓電為 V_{dd} ，且邏輯”1”狀態重寫入。接著，兩位元線下降至零。前述讀取方法係較第 16 圖中之讀取方法更慢，但是若讀取功能有任何輕微的干擾，其將重置(reset)電容器至原始狀態。然而，雖其較第 15 圖之 SNDRO 讀取週期為長，其係較如上所述之破壞性讀取週期以及那些習知技術更為短，因電容器基本上已處於寫入狀態，重寫入週期不須如此長。因此，此讀取方法提供較習知技術之讀取週期為短之強固(robust)讀取週期。

現轉換至第 17 圖，位元線驅動電路 900 之二實施例係顯示提供用於第 15 和 16 圖之讀取方法的小電荷。驅動電路 900 係包括二電晶體 902 和 904 及電容器 906。電晶體 902 具有反向閘極。當電晶體 904 是 P 通道電晶體，電晶體 902 可能是 N 通道電晶體。電容器 906 可能是鐵電電容器或習知之線性電容器。電晶體 902 之反向閘極係連接至”充電”線 908。在較佳的為較低電極之源極/汲極 902 係連接至電容器 906 之電極 915 時，電晶體之另一源極/汲極 902 係連接至 V_{dd} 。在一實施例中，電容器 906 之另一電極 916 係經由線 921 連接至接地 914。第二實施例包括緩衝放大器 917。第二實施例中，緩衝器 917 之輸入係連接至充電線 908 且輸出係連接至電極 916。在電晶體 902 和電極 915 之間的節點 911 係同時經由電晶體 904 連接至位元線 907，電晶體 904 之閘極係連接至充電線 908。P 通道電晶體可由具有 P/N 傳輸閘極或



任何 CH 係為低時可導通之閘通元件來取代。同樣地，N 通道電晶體可由具有 P/N 傳輸閘極或任何 CH 係為高時可導通之閘通元件來取代。

顯示位元線驅動 900 之時序圖 920 係顯示在第 18 圖中。週期開始時，充電線上 CH 信號係為低，其表示電晶體 902 導通，電晶體 904 關閉。因此，電極 915 拉高，且表示此電極之電壓狀態的 LE 信號係為高。接著充電線上之 CH 信號變為高，其關閉電晶體 902 及導通電晶體 904，其允許電極 915 上之正電荷灌至位元線 907，導致位元線 907 之電壓 BL 上升很小數量。電容器 906 之電容係謹慎的選擇且匹配位元線 907 之電容，使得位元線上之電壓上升足以驅動讀取動作，但不足以嚴重干擾連接至位元線之記憶體胞元的鐵電電容器。較佳地，依照鐵電電容器目前之技術和記憶體胞元技術，電容器 915 係選擇使得位元線之電壓上升至記憶體之高電壓源(即 V_{dd} 電壓)的三分之一或更低。更佳的是，記憶體之高電壓源的四分之一或更低。然而，結合第 19 圖的討論，將發現的是即使在 1.5 和 2 伏特時系統仍運作良好，在鐵電電容器之技術狀態儘可能多到記憶體高電壓的三分之一到四分之一。具有緩衝放大器 917 的實施例係相同，除了當充電線 908 變為高時，緩衝器 917 導通且驅動上部電極 916 變為高，電極 916 灌注兩倍之電荷至位元線 907。

第 19 圖係描繪鐵電電容器(例如 106)之極化特性 P 相對於電壓的鐵電磁滯曲線 925。此磁滯曲線係習知的技術，故如何產生不須在此討論。Y 軸表示電容器上之電荷 Q，而 X

軸表示電壓 V 。在零伏，邏輯"1"狀態之鐵電電容器係在磁滯曲線 925 之 A 點，而邏輯"0"狀態之鐵電電容器係在磁滯曲線 925 之 C 點。當 0.4 伏特置於電容器上，在邏輯"1"狀態之鐵電電容器沿著磁滯曲線上升至 B 點，此時邏輯"0"狀態之鐵電電容器上升至 D 點。因磁滯曲線係以步階式由 C 到 D，由 A 到 B，在邏輯"0"狀態之電容器吸收更多極化電荷。因此，位元線最終之電壓狀態係較邏輯"1"狀態之電容器為低。由曲線 925 要注意到的主要事實是，假若以相同方向將電壓施加至電容器，磁滯曲線係以步階式達到所要切換之狀態，惟較前述施加電壓更大。電容器在任何一種極化狀態其係為真。因此，在 SDRO 週期中較低之位元線係同時在 SNDRO 週期中較低之位元線。

第 19 圖說明磁滯曲線之不同步階如何導致強固之感知方案。若很小的充電施加至鐵電電容器，視電容器是在邏輯"1"狀態或是在邏輯"0"狀態，產生在電容器上的電壓將會有很大的差異。若電容器在狀態"A"所發展之電壓，將遠高於若電容器在狀態"C"所發展之電壓。前述電壓之發展將不足以改變鐵電電容器之狀態，但電壓差可由習知技術之感知放大器很容易地感知。在感知後，電荷被快速移除。若希望極強固的系統，依照設計要求，寫回(write back)可選擇性的使用。選擇性地，若具有電壓 V_1 之脈波施加至鐵電電容器之一側，其電荷很小而不足以改變鐵電電容器之狀態，鐵電電容器將灌注電荷至位元線上。電荷灌注至之邏輯"1"狀態及電荷灌注至之邏輯"0"狀態之間的差異為 $Q_L - Q_K$ 。此在電容

年 月 日修(更)正本
96 11 30

器的兩個不同狀態間大的電荷差異 QL-QK 可輕易地由習知的感知放大器所感知。在感知放大器檢測前述狀態後，寫回動作可或不可施行則視設計要求。

此技術中所週知，當電壓自電容器移除，在邏輯"1"狀態之電容器掉回約 E 點，而在邏輯"0"狀態之電容器掉回約 F 點。每次電容器被讀取時，電容回到更朝向零之狀態。然而，在目前技術狀態之電容器，具有磁滯曲線在多少時會鬆弛(relax)的限制，數百萬週之後，邏輯"1"狀態之電容器達到不會再更加鬆弛的 G 點，及，邏輯"0"狀態之電容器達到不會再更加鬆弛的 H 點。然而，如此技術中所週知，磁滯曲線在第一之後的後續週期亦會位移，使得邏輯"1"狀態之電容器總是較邏輯"0"狀態之電容器吸收較少電荷。上述同時可解釋，為何對於強固的系統而言，即使電容器在如上述之 SNDRO 讀取方法中沒有切換時，具有重寫入週期是受到期盼的。前述重寫入週期使分別使電容器回到 A 點和 C 點狀態；因此，前述電容器之鬆弛不會影響電容器之性能。

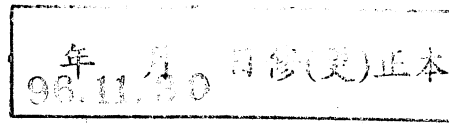
現轉換至第 20 圖，係顯示依照本發明之記憶體胞元陣列 930 之一部分，具有分離的位元線和驅動線。陣列 930 包括數層位元線。上層位元線 932 係為記憶體 436(第 6 圖)之線 447 之一。亦即，其較接近 Y 多工器 478。各上層位元線，諸如 932，具有和其相關之兩第二層位元線 932、934 之多個群組(947，948)。在圖之上部和底部的位元線 932、934 和 936 之延伸係旨在指出第二層位元線之多個群組的較佳呈現。第二層位元線之數目將視配置和在不同階段有不同考慮

年 月 日修(受)正本 96.11.30

之電路設計。各第二層位元線 934、936 係經由電晶體 938 和 939 分別連至上層位元線 932。電晶體 938 之閘極係連接至第一群組選擇線 940，而電晶體 939 之閘極係連接至第二群組選擇線 942。爲了使讀者能夠理解陣列 930 和第 2 圖中陣列 200 和陣列 240 之連結關係，故假設左上角之記憶體胞元或陣列 930 亦爲陣列 200、240 左上角之記憶體胞元，且元件編號相同。爲了在陣列 930 中選擇定址之胞元，對應到胞元之群組選擇線和字元線兩者均須作動。例如選擇胞元 110 時，GRSEL1 信號須爲高以導通電晶體 938，且連接第二層位元線 934 至上層位元線 932，且字元線 101 必須爲高以導通電晶體 105、107 和 109。爲了選擇下部群組之胞元，GRSEL1 爲低而 GRSEL2 爲高。

各第二層位元線，諸如 934，係連接至少數記憶體胞元，如 8 個，16 個等。總位元線電容係爲上層位元線電容及第二層位元線電容之總合。當存取一胞元時，因僅有一第二層位元線會連接至上層位元線，其他第二層位元線之電容不會影響總位元線電容。因此，位元線分隔明顯的降低前述位元線電容，其係明顯地增加位元線上升至滿電壓之速度，其可增加記憶體之速度。

陣列 930 亦包括數層驅動線。上層驅動線 941 係記憶體 436(第 6 圖)的線 447 之一。亦即，其較接近 Y 多工器 478。各上層驅動線，諸如 941，具有和其相關之兩第二層位元線 945、946 之多個群組。在圖之上部和底部的位元線 941、945 和 946 之延伸係旨在指出第二層位元線之多個群組的較佳呈



現。在者，第二層位元線之數目將視配置和在不同階段有不同考慮之電路設計。各第二層位元線 945、946 係經由電晶體 943 和 944 分別連至上層位元線 941。電晶體 943 之閘極係連接至第一群組選擇線 940，而電晶體 944 之閘極係連接至第二群組選擇線 942。在此實施例中，群組選擇信號 GRSEL1 和 GRSEL2 選擇如上所述之相關分隔位元線。對於前述位元線，各第二層位元線，諸如 943，係連接至少數記憶體胞元，如 8 個，16 個等。總位元線電容係為上層位元線電容及第二層位元線電容之總合。當存取一胞元時，因僅有一第二層位元線會連接至上層位元線，其他第二層位元線之電容不會影響總位元線電容。因此，位元線分隔明顯的降低前述位元線電容，其係明顯地增加位元線上升至滿電壓之速度，其可增加記憶體之速度。

在第 20 圖所顯示之實施例中，位元線和驅動線兩者皆分開，再另一實施例中僅位元線或僅驅動線分隔開。在第二層之下的額外層亦可能存在。重要的觀念係為具有階層式的位元線及/或驅動線，具有經電晶體連接至多個第二層線的各上層線，具有經電晶體連接至多個第三層線的各第二層線等。字元線亦可能用和位元線及驅動線相同之方法分隔開。

因胞元 100 較習知 DRAM 設計具有一額外之電晶體，可見到的是和互補模式 DRAM 比較，或和使用虛胞元設計之 DRAM 比較，具有略小之密度。然而，當記憶體胞元部分之密度細略大於習知標示為 1T/1C 之設計，當各記憶體須考慮具有支撐結構時，絕緣和低功率之優點將導致整體的低密

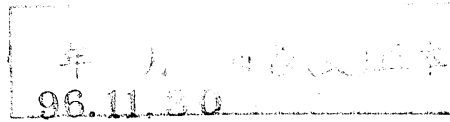
年 月 日修(更)正本
96.11.30

度。因為未被定址之電容係為隔離，及其電容不會加入到驅動和位元線電容，前述陣列可製成比以往鐵電記憶體陣列更大許多，且胞元之各列不須要非常多的位元線和驅動線驅動，且如某些習知記憶體，不須具有用於驅動胞元之各列的平板線。因支撐結構小很多，整體記憶體密度係更小。當和 DRAMS 比較，因記憶體係為非揮發性，不須有更新(refresh)電路。此外，位於位元線之間的驅動線允許記憶體做有效率的設計，且同時降低各位元線之間的串音(cross-talk)，其將使陣列之所有元件更為緊密。

本發明之記憶體所使用之功率也遠低於習知設計。需要由大的位元線和驅動線驅動之大電容，或前述例子中之各胞元列的驅動器，本質上會導致較高的功率需求。再者，習知設計中，許多未被定址之胞元係持續被供電。此將浪費功率，但會在本發明之記憶體中獲得解決。

本發明之隔離電容器和其他特徵，除了密度和低功率之外，更提供降低電容及大大地增進記憶體之速度。降低電容意指用於電壓線穩定化時間較小，且週期時間亦跟著變小。前述隔離係同時導致低雜訊，且完全消除非被選定記憶體胞元，因其他被選定寫入或讀取記憶體胞元所造成的干擾。此低雜訊和消除許多干擾源會允許較可靠的且極快速的 SNDRO 讀取功能。

如前所述之記憶體具有三個電晶體和兩個電容器，對稱之驅動線位於位元線之間，且具有數個其他新穎之特徵。須要了解的是在圖中顯示之特別實施例和在此說明書中所述，係



爲舉例之目的而非建構以限制本發明，而其將於如後之申請專利範圍討論。在者，可證明的是熟習該項技術者可針對前述實施例做各種不同的應用和修改，而不會偏離本發明之概念。

利用本發明之特徵和優點之記憶體陣列結構的一些例子，係顯示在第 21-23 圖中。第 21 圖係記憶體陣列之一部份 950 之電路圖，其中各驅動線 955 和驅動線電晶體 956 係關於兩個電晶體，兩個鐵電電容記憶體胞元 953 和 954 之一對。在此實施例中，單一驅動線 955 係連接至各電容器 957、968、959 和 960。否則，電路係和第 1 圖之電路 100 相同。電路 950 可考慮作爲具有四個電容器和五個電晶體的單一 2 位元胞元 951，或作爲具有驅動線 955 而經由驅動電晶體連接至兩胞元之兩個 1 位元胞元 953 和 954。

第 22 圖係胞元陣列一部份 966 之電路圖，該陣列除了驅動線 968 位於位元線 969、970 和 971、972 之間外，其係和陣列 950 相同。此實施例可考慮作爲單一個 2 位元胞元或兩個 1 位元胞元。此實施例係較第 21 圖之實施例爲佳，因其具有較低雜訊且配置較平衡及有效率。

第 23 圖係顯示記憶體陣列之一部份 980 之另一實施例，其係和第 21 圖之實施例具有相同結構，除了位元線對 982、983 和 984、985 係非互補，電容 988 係爲虛電容，位元線 985 係爲虛位元線。電路 980 可被考慮作爲一個 3-位元胞元 989 或三個 1 位元胞元 990、991 和 992。

第 21-23 圖之實施例係較任何習知記憶體更密集且快

速，但較前述實施例略慢且使用更多功率。若嚐試使用四個以上電容器附在單一驅動線上，驅動和支援電路變得太大且速度下降許多，使得本發明之優點喪失。有效率之配置亦同時喪失。

本發明係亦鐵電元件為電容器之鐵電記憶體為名稱而敘述。然而，許多觀點可以應用至鐵電元件為鐵電 FET 或其他鐵電元件之鐵電記憶體。觀察，如美國專利 No.6,339,238，2002 年 1 月 15 日出版，Lim et al.，其係參考所有在此揭示之思想而整合於此。許多元件，諸如胞元係互補隔離之結構，係同時可應用至 DRAMS。

極為明顯的是如前所述之裝置元件和動作，在某些例子中，可以不同程度來施行；或等效結構可替換前述之各種結構；或可使用各種不同結構。須要了解的是在閱讀上述的揭示後，熟習於此項技術者，除了上述之實施例以外，可製作許多不同實施例。

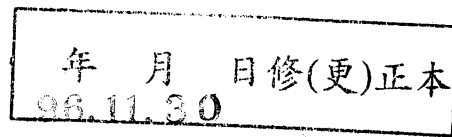
(五)圖示簡單說明

第 1 圖係依據本發明較佳實施例之具有 3 電晶體和 2 電容器之記憶體胞元的電路圖；

第 2 圖係為說明依據本發明之記憶體胞元陣列之二實施例的電路圖；

第 3 圖係為顯示依據本發明之虛記憶體胞元之細部的電路圖；

第 4 圖係為顯示依據本發明一較佳實施例中連接感知放大器之電路圖；



第 5 圖係為顯示依據本發明另一較佳實施例中連接感知放大器之電路圖；

第 6 圖為結合本發明之記憶體之具體實施例；

第 7 圖係為依據本發明之記憶體胞元之選用較佳實施例電路圖；

第 8 圖係為依據本發明之虛記憶體胞元之選用較佳實施例電路圖；

第 9~12 圖係說明依據本發明 4 個較佳選用實施例之寫入功能時序圖；

第 13~16 圖係說明依據本發明 4 個較佳選用實施例之讀取功能時序圖；

第 17 圖係說明依據本發明較佳選用實施例之用於讀取功能的位元線驅動電路之 2 個實施例的電路圖；

第 18 圖係用於第 17 圖電路之時序圖；

第 19 圖係係顯示用於鐵電材料之具體磁滯曲線，係在說明依據本發明之讀取功能的較佳實施例之特徵；

第 20 圖係依據本發明較佳選用實施例之分配式記憶體胞元陣列的一部分；

第 21 圖係具有 2 位元 4C/5T 記憶體胞元之記憶體陣列的部分的選用較佳實施例之電路圖；

第 22 圖係為記憶體胞元之記憶體陣列之部分之選用較佳實施例之電路圖，除了驅動線定位在位元線對之間，其係和第 21 圖之陣列相同；

第 23 圖係為記憶體胞元之記憶體陣列之部分之另一選用較

佳實施例之電路圖，除了包括虛位元線和電容器外，其係和第 21 圖之陣列相同；

第 24 圖係說明第 5 圖之感知放大器之較佳實施例的電路圖；

元件代表符號簡單說明：

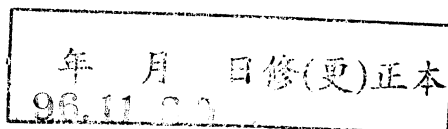
100	記憶體胞元
101	字元線
102，104	位元線
103	驅動線
105，107，109	電晶體
106	第一鐵電電容器
108	第二鐵電電容器
110，111	節點
112，113	節點
123，128，136	閘極
125，133	上部電極
126，134	下部電極
127，129，138	源極/汲極
BL	位元線
DL	驅動線
WL	字元線
200	陣列
203，204	胞元
205，206	驅動線
209，210	字元線

年 月 日修(更)正本
96.11.30

220 , 221	虛 胞 元
226 , 228	位 元 線
227	驅 動 線
240	陣 列
243~245	點 線
248~250	行
252 , 253	列 (字 元 線)
310 , 312	電 晶 體
311 , 313 , 314	鐵 電 電 容 器
402	感 知 放 大 器
406 , 408	位 元 線
412	致 能 線
413	輸 入
414	資 料 線
435	資 料 輸 出
436	記 憶 體
438 , 439	位 址 輸 入 線
441	X 解 碼 器
445	陣 列
446 , 447	線
485 , 486	線
502	感 知 放 大 器
506	位 元 線
514	資 料 線

96.11.30 (受)正本

516 , 518 , 519	位元線輸入
520	參考線
521	節點
530 , 531	驅動器
532 , 533	驅動器
541~545	N 通道電晶體
551~556	P 通道電晶體
560~563	節點
DM	信號
700	記憶體胞元
701	字元線
706	位元線
707 , 708	驅動線
709	位元線
711 , 713	電晶體
712 , 715	電容器
714 , 716	電晶體
800	虛胞元
801	字元線
807 , 808	驅動線
806 , 809	位元線
811 , 813	電晶體
814 , 816	電晶體
812 , 815	電容器

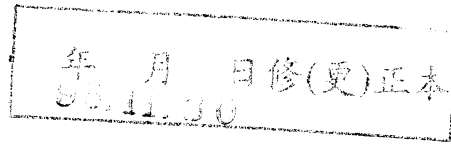


891, 892	曲線
900	位元線驅動電路
902, 904	電晶體
906	電容器
907	位元線
908	充電線
911	節點
914	接地
915, 916	電極
917	緩衝放大器
920	時序圖
930	胞元陣列
934, 936	第二層位元線
938	電晶體
940	第一群組選擇線
941	上層位元線
942	第二群組選擇線
943, 944	電晶體
950	電路
951	2位元胞元
953	1位元胞元
955	驅動線
956	驅動線電晶體
957~960	電容器
966	電路

I301271

年 月 日 (受) 正本
96.11.30

968	驅 動 線
969~972	位 元 線
980	部 分 陣 列
982~984	位 元 線 對
990~992	1 位 元 胞 元



伍、中文發明摘要：

一種鐵電記憶體(436)包括一位元線對(102, 104)，平行且位於位元線間之一驅動線對(103)，及一關聯之記憶體胞元(100)。該記憶體胞元包括兩個鐵電電容器(106, 108)，各電容器係經由電晶體(105, 109)連接至該等位元線之一，且各電容器同時經由電晶體(107)連接至該驅動線。所有三個電晶體之閘極(123, 126, 128)係連接至和位元線及驅動線垂直之字元線(101)，使得在字元線未被選擇時，電容器被完全絕緣而不受任何干擾。具有三個位元線(519, 516, 518)輸入之感知放大器(502)比較該胞元位元線和二虛位元線(226, 228)驅動之信號。需電容器之邏輯狀態在每一週期改變，以防止留下印記或產生疲乏。記憶體胞元係以在不同鐵電極化狀態下，區分鐵電電容器的不同電容量之非破壞性讀出方法而讀取。

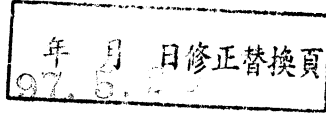
陸、英文發明摘要：

第 92112308 號「鐵電非揮發性記憶體及鐵電非揮發性記憶體之讀取方法」

(2008 年 05 月修正)

拾、申請專利範圍：

1. 一種鐵電非揮發性記憶體(436)，其包括：複數個(248, 249)平行之位元線對(102, 104)、平行於該等位元線對的複數個驅動線(103)、垂直於該等位元線對及該等驅動線的字元線(101)及複數個記憶體胞元(100, 202-206)，且各該記憶體胞元係和該等位元線對之一及該等驅動線之一相關，各該記憶體胞元包括：第一鐵電電容器(106)，其具有第一下部電極(126)和第一上部電極(125)；第二鐵電電容器(108)，其具有第二下部電極(134)和第二上部電極(133)；第一電晶體(105)，其具有閘極(123)；及第二電晶體(109)，其具有閘極(136)；其中在各該記憶體胞元中，該第一電晶體係連接於該第一鐵電電容器的第一下部電極和該相關之位元線對中的一條位元線(102)之間，該第二電晶體係連接於該第二鐵電電容器的第二下部電極和該相關之位元線對中的另一條位元線(104)之間；且該第一電晶體及該第二電晶體之閘極係連接至各該字元線，該記憶體之特徵為：與各該等驅動線相關之驅動線電晶體(107)，該驅動線電晶體包括閘極(128)，各該驅動線係經由該驅動線電晶體，而連接至與該驅動線相關之該記憶體胞元中的該第一及第二鐵電電容器之該上部電極，各該驅動線係連接至兩個或更少之記憶體胞元；且該驅動線電晶體之閘極係連接至各該字



元線。

- 2.如申請專利範圍第1項之鐵電非揮發性記憶體，其中在平行於該等字元線的列上及平行於各該位元線與驅動線的行上配置該記憶體胞元，其特徵為：各該驅動線係在記憶體胞元列上之僅一個記憶體胞元中，連接至該第一鐵電電容器之該第一上部電極及該第二鐵電電容器之該第二上部電極。
- 3.如申請專利範圍第1項之鐵電非揮發性記憶體，其中具有和各該記憶體胞元相關之該等驅動線之一，且各該驅動線係位於與各該驅動線相關之各該記憶體胞元所相關之各該位元線對中的該等位元線之間。
- 4.如申請專利範圍第1項之鐵電非揮發性記憶體，其中在平行於該等字元線的列上及平行於該位元與驅動線的行上配置該等記憶體胞元，其特徵為：各該驅動線係在記憶體胞元列上之兩個記憶體胞元中，連接至該第一鐵電電容器之第一上部電極及該第二鐵電電容器之第二上部電極。
- 5.如申請專利範圍第4項之鐵電非揮發性記憶體，其中各該驅動線係位於該兩個記憶體胞元之間。
- 6.如申請專利範圍第1項之鐵電非揮發性記憶體，其中該等位元線係互補，且各該記憶體胞元係1位元記憶體胞元。
- 7.如申請專利範圍第1項之鐵電非揮發性記憶體，其中該等第一及第二鐵電電容器之一係虛鐵電電容器，且連接至該虛鐵電電容器之該位元線係虛位元線(dummy bit line)。
- 8.如申請專利範圍第1項之鐵電非揮發性記憶體，其中該等

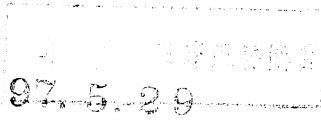
位元線係最上層位元線(932)，且具有區分成第一群組(947)和第二群組(948)的複數個該記憶體胞元，該記憶體又包括具有閘極之第一群組選擇電晶體(938)、具有閘極之第二群組選擇電晶體(939)、第一群組選擇線(940)、第二群組選擇線(942)、第一個第二層位元線(934)及第二個第二層位元線(936)，且其中該第一群組選擇電晶體係連接至該最上層位元線和該第一個第二層位元線之間，該第二群組選擇電晶體係連接至該最上層位元線和該第二個第二層位元線之間，該第一群組選擇線係連接至該第一群組選擇電晶體之閘極，且該第二群組選擇線係連接至該第二群組選擇電晶體之閘極。

9.如申請專利範圍第 8 項之鐵電非揮發性記憶體，其中又包括位元線驅動電路(900)，其用於驅動該位元線至該記憶體之高電壓的三分之一或更低的電壓。

10.如申請專利範圍第 1 項之鐵電非揮發性記憶體，其中各該記憶體胞元係 2 位元記憶體胞元。

11.如申請專利範圍第 10 項之鐵電非揮發性記憶體，其中該等第一及第二鐵電電容器之一係虛鐵電電容器，且連接至該虛鐵電電容器之該位元線係虛位元線(226,228)。

12.一種讀取鐵電非揮發性記憶體之方法，該型式之鐵電非揮發性記憶體具有複數個配置成數列和數行之記憶體胞元，各行係包括沿著該行而耦接至記憶體胞元之位元線，各列係包括沿著該列而耦接至該記憶體胞元之字元線，該記憶體也包括和該位元線和字元線分開之複數個驅動線，



各該記憶體胞元耦接至對應之驅動線，各該記憶體胞元包括鐵電電容，該鐵電電容之極化狀態係符合儲存在該鐵電電容中之資料，該方法包括：

將選定之記憶體胞元電氣連結至選定之位元線，同時將該選定之記憶體胞元與所有其他的記憶體胞元隔離；

施加電荷至該位元線；

未切換該選定之記憶體胞元的該鐵電電容，依照該鐵電電容之極化狀態，在該選定之記憶體胞元之該鐵電電容中吸收該電荷的一個電量；及

感測該選定之位元線上的電壓，及提供符合該鐵電電容之該極化狀態的資料輸出信號。

13.如申請專利範圍第 12 項之方法，且更包括在該感測步驟之後重新寫入該鐵電電容。

柒、指定代表圖：

(一)本案指定代表圖為：第 1 圖。

(二)本代表圖之元件代表符號簡單說明：

100	記憶體胞元
101	字元線
102, 104	位元線
103	驅動線
105, 107, 109	電晶體
106	第一鐵電電容器
108	第二鐵電電容器
110, 111	節點
112, 113	節點
123, 128, 136	閘極
125, 133	上部電極
126, 134	下部電極
127, 129, 138	源極 / 汲極

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：